

SNxAHCT74 具有清零和预置功能的双路正边沿触发式 D 类触发器

1 特性

- 工作电压范围为 4.5 V 至 5.5V
- 低功耗， I_{CC} 最大值为 10 μ A
- 5 V 下的输出驱动为 ± 8 mA
- 输入兼容 TTL 电压
- 闩锁性能超过 250mA，符合 JESD 17 规范

2 应用

- 将瞬时开关转换为拨动开关
- 在控制器复位期间保持信号
- 输入慢速边沿速率信号
- 可在高噪声环境中运行
- 将时钟信号一分为二

3 说明

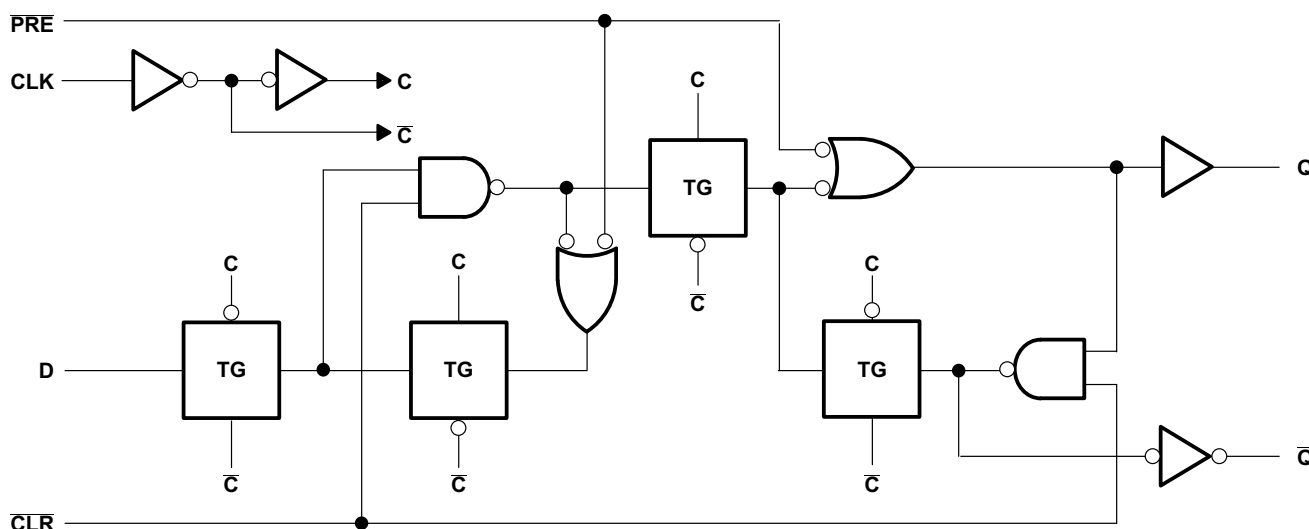
AHCT74 双路正边沿触发器是 D 型触发器。

预设 (\overline{PRE}) 或清零 (\overline{CLR}) 输入端的低电平会设置或复位输出，不受其他输入端的电平的影响。当 \overline{PRE} 和 \overline{CLR} 处于非活动状态 (高电平) 时，数据 (D) 输入处满足设置时间要求的数据将传输到时钟脉冲正向缘上的输出端。时钟触发出现在一个特定电压电平的上升时间上，并且不与时钟脉冲的上升时间直接相关。经过保持时间间隔后，可以更改 D 输入端的数据而不影响输出端的电平。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	封装尺寸 (标称值) ⁽³⁾
SN54AHCT74	J (CDIP, 14)	21.3mm × 7.6mm	19.56mm × 6.67mm
	W (CFP, 14)	13.1mm × 6.92mm	13.1mm × 6.92mm
	FK (LCCC, 20)	8.9mm × 8.9mm	8.9mm × 8.9mm
SN74AHCT74	N (PDIP, 14)	19.3mm × 8mm	19.3mm × 6.35mm
	D (SOIC, 14)	8.7mm × 6mm	8.7mm × 3.91mm
	NS (SOP, 14)	10.3mm × 7.8mm	10.3mm × 5.3mm
	DB (SSOP, 14)	6.2mm × 7.8mm	6.2mm × 5.3mm
	PW (TSSOP, 14)	5mm × 6.4mm	5mm × 4.4mm
	DGV (TVSOP, 14)	3.6mm × 6.4mm	3.6mm × 4.4mm
	RGY (VQFN, 14)	3.5mm × 3.5mm	3.50mm × 3.50mm
	BQA (WQFN, 14)	3mm × 2.5mm	3.00mm × 2.50mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
- (3) 封装尺寸 (长 × 宽) 为标称值，不包括引脚。



展示各触发器的逻辑图 (正逻辑)



内容

1 特性	1	8 详细说明	9
2 应用	1	8.1 概述.....	9
3 说明	1	8.2 功能方框图.....	9
4 修订历史记录	2	8.3 特性说明.....	9
5 引脚配置和功能	3	8.4 器件功能模式.....	10
6 规格	4	9 应用和实施	11
6.1 绝对最大额定值.....	4	9.1 应用信息.....	11
6.2 ESD 等级.....	4	9.2 典型应用.....	11
6.3 建议运行条件.....	4	9.3 电源相关建议.....	13
6.4 热性能信息.....	5	9.4 布局.....	13
6.5 电气特性.....	5	10 器件和文档支持	14
6.6 时序要求.....	5	10.1 接收文档更新通知.....	14
6.7 开关特性.....	6	10.2 支持资源.....	14
6.8 噪声特性.....	6	10.3 商标.....	14
6.9 工作特性.....	6	10.4 静电放电警告.....	14
6.10 典型特性.....	6	10.5 术语表.....	14
7 参数测量信息	8	11 机械、封装和可订购信息	14

4 修订历史记录

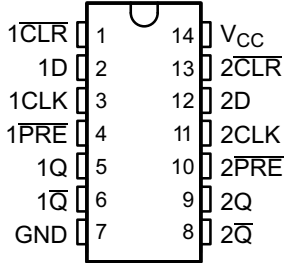
注：以前版本的页码可能与当前版本的页码不同

Changes from Revision Q (July 2023) to Revision R (October 2023)	Page
• 更新了 <i>器件信息</i> 表的标题和格式.....	1
• 更新了 $R^{\theta}JA$ 值：D = 86 至 124.5，所有值均以 °C/W 为单位.....	5

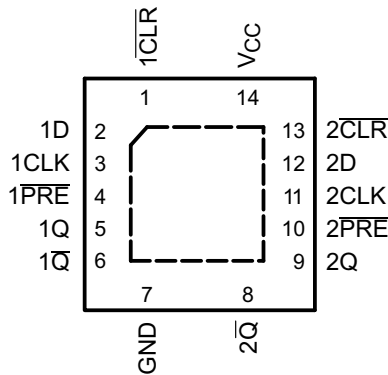
Changes from Revision P (May 2023) to Revision Q (July 2023)	Page
• 将 PW 封装的热指标值从 $R^{\theta}JA = 113$ 更新为 147.7，所有值均以 °C/W 为单位.....	5

5 引脚配置和功能

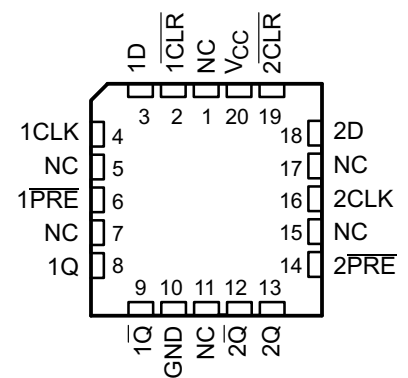
SN54AHCT74... J or W PACKAGE
SN74AHCT74... D, DB, DGV, N, NS,
OR PW PACKAGE
(TOP VIEW)



SN74AHCT74... RGY PACKAGE
(TOP VIEW)



SN54AHCT74... FK PACKAGE
(TOP VIEW)



NC - No internal connection

图 5-1. 标题

表 5-1. 引脚功能

名称	引脚				类型 ⁽¹⁾	说明
	SN74AHCT74		SN54AHCT74			
	D、DB、 DGV、 N、NS、PW	RGY、 BQA	J、W	FK		
1CLR	1	1	1	2	I	1A 输入
1D	2	2	2	3	I	1B 输入
1CLK	3	3	3	4	O	1Y 输出
1PRE	4	4	4	6	I	2A 输入
1Q	5	5	5	8	I	2B 输入
1Q-bar	6	6	6	9	O	2Y 输出
2Q	8	8	8	12	O	3Y 输出
2Q	9	9	9	13	I	3A 输入
2PRE	10	10	10	14	I	3B 输入
2CLK	11	11	11	16	O	4Y 输出
2D	12	12	12	18	I	4A 输入
2CLR	13	13	13	19	I	4B 输入
GND	7	7	7	10	—	接地引脚
NC	—	—	—	1、5、7、 11、15、17	—	无连接
VCC	14	14	14	20	—	电源引脚
散热焊盘	—	PAD	—	—	—	散热焊盘

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.5	7	V
V_I ⁽²⁾	输入电压范围	-0.5	7	V
V_O ⁽²⁾	输出电压范围	-0.5	$V_{CC}+0.5$	V
I_{IK}	输入钳位电流, ($V_I < 0$)		-20	mA
I_{OK}	输出钳位电流 ($V_O < 0$ 或 $V_O > V_{CC}$)		± 20	mA
I_O	持续输出电流 ($V_O = 0$ 至 V_{CC})		± 25	mA
	通过 V_{CC} 或 GND 的持续电流		± 50	mA
T_{stg}	贮存温度范围	-65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成损坏。这些仅为压力额定值,并不表示器件在这些条件下以及在建议的工作条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出电流额定值,输入和输出电压可超过额定值。

6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电		V
	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	± 1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		SN54AHCT74		SN74AHCT74		单位
		最小值	最大值	最小值	最大值	
V_{CC}	电源电压	4.5	5.5	4.5	5.5	V
V_{IH}	高电平输入电压	2		2		V
V_{IL}	低电平输入电压		0.8		0.8	V
V_I	输入电压	0	5.5	0	5.5	V
V_O	输出电压	0	V_{CC}	0	V_{CC}	V
I_{OH}	高电平输出电流		-8		-8	mA
I_{OL}	低电平输出电流		8		8	mA
$\Delta t / \Delta v$	输入转换上升或下降速率		20		20	ns/V
T_A	自然通风条件下的工作温度范围	-55	125	-40	125	°C

- (1) 器件所有的未使用输入必须被保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 CMOS 输入缓慢变化或悬空的影响, 文献编号 SCBA004。

6.4 热性能信息

热指标 ¹	SNx4AHCT74								单位
	D	DB	DGV	N	NS	PW	RGY	BQA	
	14 引脚								
R _{θJA} 结至环境热阻	124.5	96	127	80	76	147.7	47	88.3	°C/W

(1) 有关传统和新热指标的更多信息，请参阅 *IC 封装热指标应用报告*。

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	T _A = 25°C		T _A = -55°C 至 125°C		T _A = -40°C 至 85°C		T _A = -40°C 至 125°C		单位
					SN54AHCT74		SN74AHCT74		推荐		
			最小值	典型值 最大值	最小值	最大值	最小值	最大值	最小值	最大值	
V _{OH}	I _{OH} = -50μA	4.5V	4.4	4.5	4.4		4.4		4.4		V
	I _{OH} = -8mA		3.94		3.8		3.8		3.8		
V _{OL}	I _{OL} = 50μA	4.5V		0.1		0.1		0.1		0.1	V
	I _{OH} = 8 mA			0.36		0.44		0.44		0.44	
I _I	V _I = 5.5V 或 GND	0V 至 5.5V		±0.1		±1 ⁽¹⁾		±1		±1	μA
I _{CC}	V _I = V _{CC} 或 GND, I _O = 0	5.5V		2		20		20		20	μA
ΔI _{CC}	一个输入电压为 3.4V, 其他输入电压为 V _{CC} 或 GND	5.5V		1.35		1.5		1.5		1.5	mA
C _i	V _I = V _{CC} 或 GND	5V		2 10				10			pF

(1) 对于符合 MIL-PRF-38535 标准的产品，此参数未经量产测试（在 V_{CC} = 0V 时）。

6.6 时序要求

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（请参阅节 6.6）

参数	测试条件	T _A = 25°C		T _A = -55°C 至 125°C		T _A = -40°C 至 85°C		T _A = -40°C 至 125°C		单位
				SN54AHCT74		SN54AHCT74		推荐		
		典型值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _w	脉冲持续时间	PRE 或 CLR 为低电平	5		5		5		5	ns
		CLK	5		5		5		5	
t _{su}	CLK ↑ 前的建立时间	数据	5		5		5		5	ns
		PRE 或 CLR 处于非活动状态	3.5		3.5		3.5		3.5	
t _h	保持时间，CLK ↑ 后的数据		0		0		0		0	ns

6.7 开关特性

在推荐的自然通风条件下的工作温度范围内测得， $V_{CC} = 5V \pm 0.5V$ (除非另有说明) (请参阅图 7-1)

参数	从 (输入)	到 (输出)	负载 电容	$T_A = 25^\circ\text{C}$			$T_A = -55^\circ\text{C}$ 至 125°C		$T_A = -40^\circ\text{C}$ 至 85°C		$T_A = -40^\circ\text{C}$ 至 125°C		单位		
							SN54AHCT74		SN54AHCT74		推荐			SN54AHCT74	
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	最小值	最大值		最小值	最大值
f_{\max}			$C_L = 15\text{pF}$	100 ⁽¹⁾	160 ⁽¹⁾		90		80		80	ns			
			$C_L = 50\text{pF}$	80	140		65		65		65				
t_{PLH}	$\overline{\text{PRE}}$ 或 $\overline{\text{CLR}}$	Q 或 \overline{Q}	$C_L = 15\text{pF}$	7.6 ⁽¹⁾	10.4 ⁽¹⁾		1 ⁽¹⁾	12 ⁽¹⁾	1	12	1	12	ns		
t_{PHL}				7.6 ⁽¹⁾	10.4 ⁽¹⁾		1 ⁽¹⁾	12 ⁽¹⁾	1	12	1	12			
t_{PLH}	CLK	Q 或 \overline{Q}	$C_L = 15\text{pF}$	5.8 ⁽¹⁾	7.8 ⁽¹⁾		1 ⁽¹⁾	9 ⁽¹⁾	1	9	1	9.0	ns		
t_{PHL}				5.8 ⁽¹⁾	7.8 ⁽¹⁾		1 ⁽¹⁾	9 ⁽¹⁾	1	9	1	9.0			
t_{PLH}	$\overline{\text{PRE}}$ 或 $\overline{\text{CLR}}$	Q 或 \overline{Q}	$C_L = 50\text{pF}$	8.1	11.4		1	13	1	13	1	13	ns		
t_{PHL}				8.1	11.4		1	13	1	13	1	13			
t_{PLH}	CLK	Q 或 \overline{Q}	$C_L = 50\text{pF}$	6.3	8.8		1	10	1	10	1	10	ns		
t_{PHL}				6.3	8.8		1	10	1	10	1	10			

(1) 对于符合 MIL-PRF-38535 标准的产品，此参数未经量产测试。

6.8 噪声特性

$V_{CC} = 5V$, $C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$ ⁽¹⁾

参数		SN54AHCT74		单位
		最小值	最大值	
$V_{\text{OL(P)}}$	安静输出，最大动态 V_{OL}	0.8		V
$V_{\text{OL(V)}}$	安静输出，最小动态 V_{OL}	-0.8		V
$V_{\text{OH(V)}}$	安静输出，最小动态 V_{OH}	4		V
$V_{\text{IH(D)}}$	高电平动态输入电压	2		V
$V_{\text{IL(D)}}$	低电平动态输入电压	0.8		V

(1) 特性仅适用于表面贴装封装。

6.9 工作特性

$V_{CC} = 5V$, $T_A = 25^\circ\text{C}$

参数		测试条件	典型值	单位
C_{pd}	功率耗散电容	无负载， $f = 1\text{MHz}$	32	pF

6.10 典型特性

$T_A = 25^\circ\text{C}$ (除非另有说明)

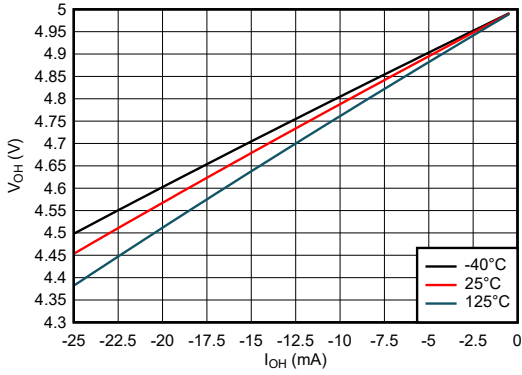


图 6-1. 高电平状态下输出电压与电流间的关系；5V 电源

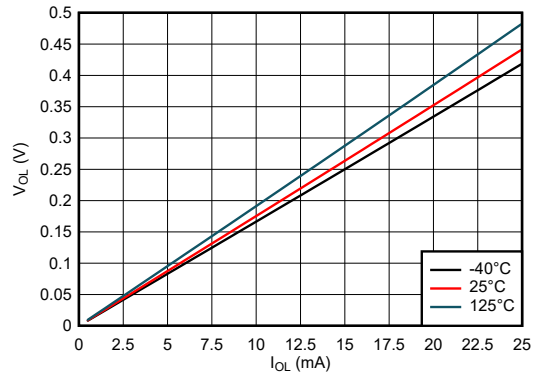
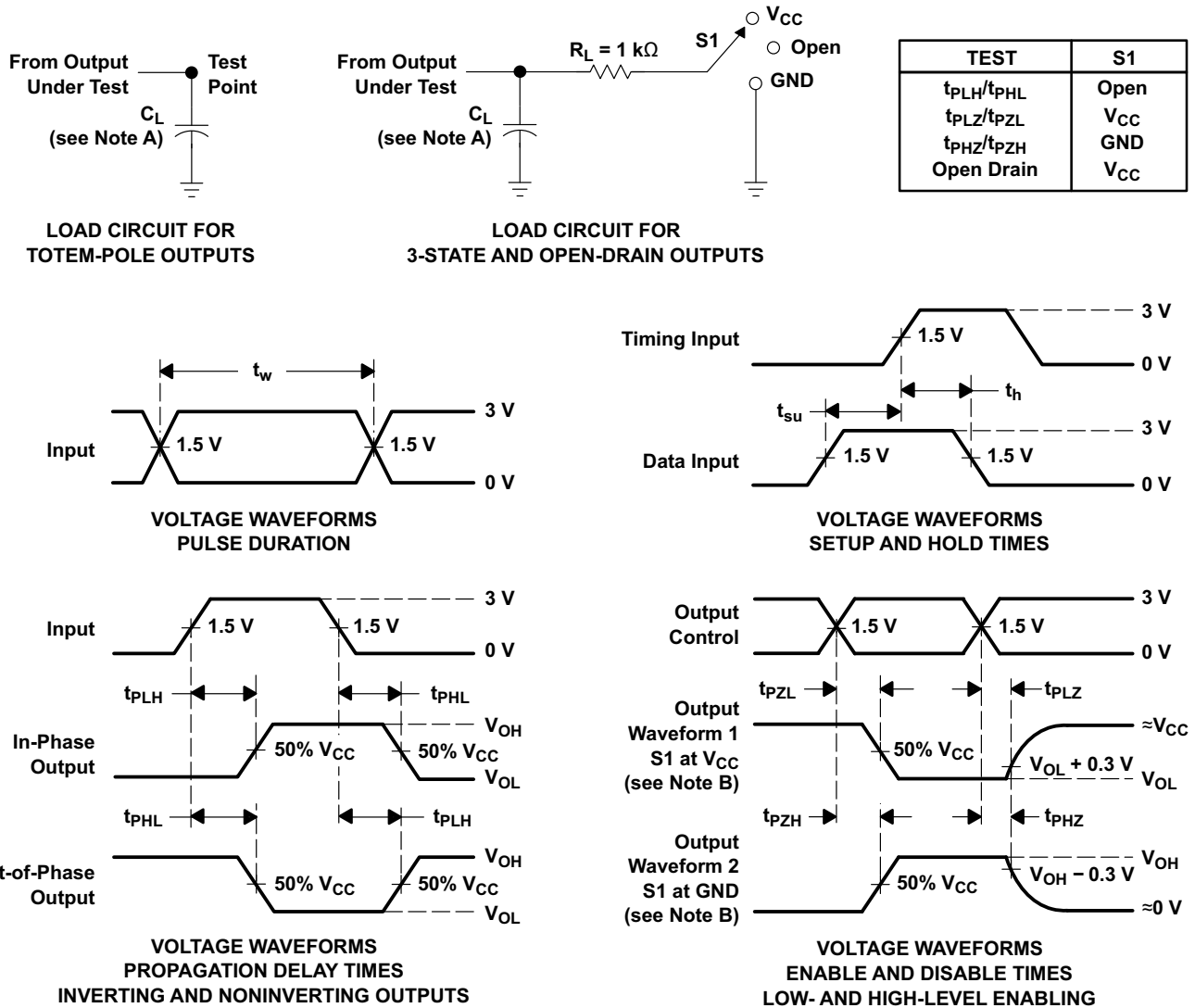


图 6-2. 低电平状态下输出电压与电流间的关系；5V 电源

7 参数测量信息



- A. C_L 包括探头和夹具电容。
- B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。
波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
- C. 所有输入脉冲由具有以下特性的发生器提供：PRR \leq 1MHz， $Z_O = 50\ \Omega$ ， $t_r \leq 3\text{ ns}$ ， $t_f \leq 3\text{ ns}$ 。
- D. 一次测量一个输出，每次测量一个输入转换。
- E. 并非所有参数和波形都适用于所有器件。

图 7-1. 负载电路和电压波形

8 详细说明

8.1 概述

AHCT74 双路正边沿触发器件是 D 型触发器。

预设 ($\overline{\text{PRE}}$) 或清零 ($\overline{\text{CLR}}$) 输入端的低电平会设置或复位输出，不受其他输入端的电平的影响。当 $\overline{\text{PRE}}$ 和 $\overline{\text{CLR}}$ 处于非活动状态 (高电平) 时，数据 (D) 输入处满足设置时间要求的数据将传输到时钟脉冲正向缘上的输出端。时钟触发出现在一个特定电压电路上，并且不与时钟脉冲的上升时间直接相关。经过保持时间间隔后，可以更改 D 输入端的数据而不影响输出端的电平。

8.2 功能方框图

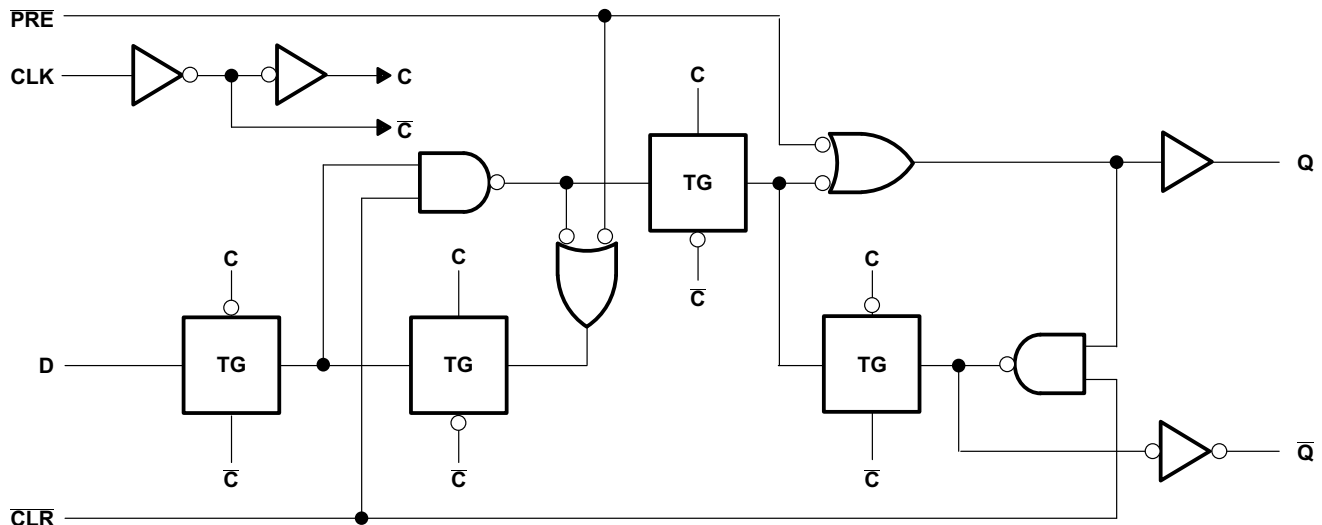


图 8-1.

8.3 特性说明

8.3.1 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 [CMOS 输入缓慢变化或悬空的影响](#) 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 $10k\Omega$ 电阻器，这通常可以满足所有要求。

8.3.2 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

未使用的推挽 CMOS 输出应保持断开状态。

8.3.3 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 8-2 所示。

小心

电压超出绝对最大额定值表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

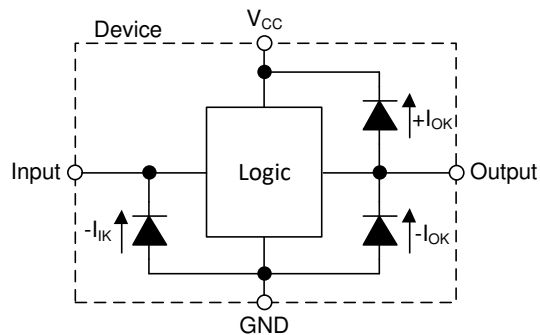


图 8-2. 每个输入和输出的钳位二极管的电气布置

8.4 器件功能模式

表 8-1. 功能表
(每个触发器)

输入				输出	
PRE	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

(1) 该配置不稳定；也就是说，当 PRE 或 CLR 恢复到其非活动（高）电平时，该配置不会持续存在。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

拨动开关通常尺寸较大、机械结构复杂且成本相对昂贵。最好改用瞬时开关，因为此类开关具有尺寸较小、机械结构简单且成本较低的优点。某些系统需要拨动开关的功能，但空间或成本受限，因此必须改用瞬时开关。外部施密特触发缓冲器用于消除 (CLK) 和 (D) 输入中的噪声输入。

如果 SNx4AHCT74 的数据输入 (D) 连接到反相输出 (\bar{Q})，则每个时钟脉冲将使输出 (Q) 的值发生切换。瞬时开关可以去除抖动，并直接连接到时钟输入 (CLK) 以切换输出。

9.2 典型应用

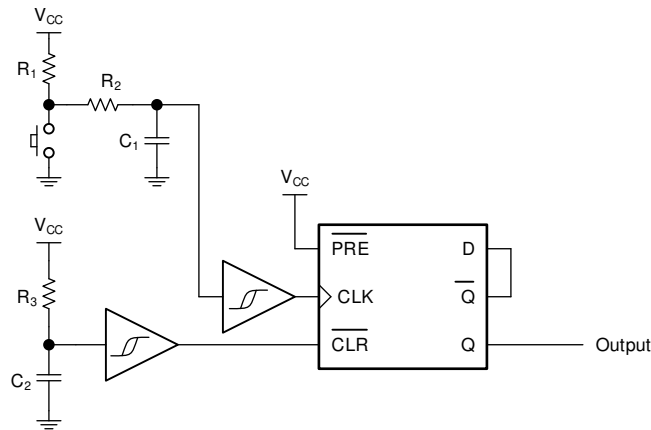


图 9-1. 典型应用框图

9.2.1 设计要求

9.2.1.1 输入注意事项

输入信号必须超过 V_{IL} 才能被视为逻辑低电平，超过 V_{IH} 才能被视为逻辑高电平。不要超过 *绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SNx4AHCT74 的漏电流（如 *电气特性* 中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 10k Ω 的电阻值。

有关此器件的输入的附加信息，请参阅 *特性描述* 部分。

9.2.1.2 输出注意事项

接地电压用于产生输出低电平电压。根据 *电气特性* 中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅 *特性描述* 部分。

9.2.1.3 电源注意事项

确保所需电源电压在 *建议的工作条件* 中规定的范围内。电源电压按照 *电气特性* 部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。

地必须能够灌入的电流等于 SNx4AHCT74 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

SNx4AHCT74 可以驱动总电容小于或等于 50pF 的负载, 同时仍满足所有数据表规格。可以施加更大的容性负载; 但建议不要超过 50pF。

SNx4AHCT74 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载, 输出电压和电流在 *电气特性* 表中用 V_{OL} 定义。在高电平状态下输出时, 公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 应用手册中提供的信息进行计算。

可以使用 *标准线性逻辑 (SLL) 封装和器件的热特性* 应用手册中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

9.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件, 在电气上靠近 V_{CC} 和 GND 引脚。 *布局* 部分中显示了示例布局。
2. 确保输出端的容性负载 $\leq 50\text{pF}$ 。这不是硬性限制; 但是, 根据设计, 该限制将优化性能。这可以通过从 SNx4AHCT74 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)}) \Omega$ 。这可防止超出 *绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 $M\Omega$ 为单位的电阻负载; 远大于之前计算的最小值。
4. 逻辑门很少关注热问题; 然而, 可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

9.2.3 应用曲线

图 9-2 举例说明了单次按钮按压反弹并导致输出多次切换。这将导致所需的应用中出现问题。图 9-3 显示了 4 次按钮按压操作, 其中添加了去抖电路, 用于修复不希望发生的切换问题并确保拨动开关正常工作。

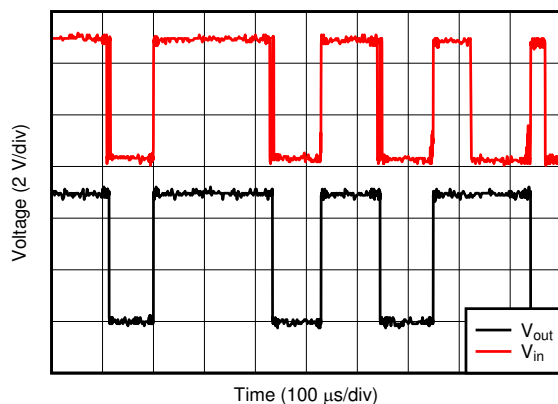


图 9-2. 无 RC 去抖的电路响应
 $V_{in} := \text{CLK}$ 输入, $V_{out} := Q$ 输出

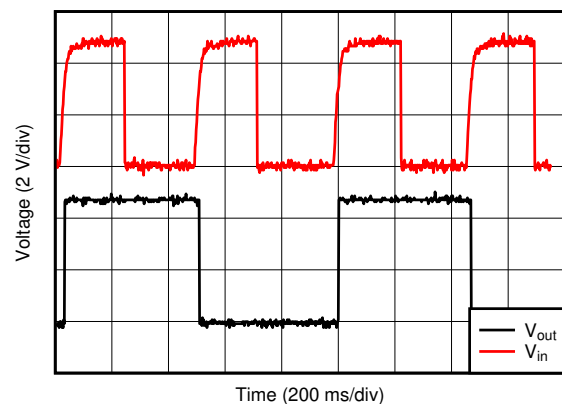


图 9-3. 有 RC 去抖的电路响应 $V_{in} := \text{CLK}$ 输入,
 $V_{out} := Q$ 输出

9.3 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。旁路电容器应安装在尽可能靠近电源端子的位置，以获得更佳效果，如下布局示例所示。

9.4 布局

9.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能（例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时）。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC} ，以对逻辑功能更有意义或更方便者为准。

9.4.1.1 布局示例

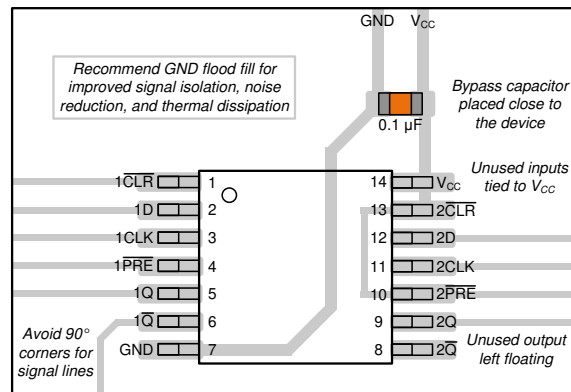


图 9-4. SNx4AHCT74 的布局示例

10 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9686101Q2A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686101Q2A SNJ54AHCT74FK	Samples
5962-9686101QCA	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686101QCA SNJ54AHCT74J	Samples
5962-9686101QDA	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686101QDA SNJ54AHCT74W	Samples
SN74AHCT74BQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74	Samples
SN74AHCT74DBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74	Samples
SN74AHCT74DGVR	ACTIVE	TVSOP	DGV	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74	Samples
SN74AHCT74DR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74	Samples
SN74AHCT74N	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	SN74AHCT74N	Samples
SN74AHCT74NSR	ACTIVE	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74	Samples
SN74AHCT74PWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	HB74	Samples
SN74AHCT74RGR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HB74	Samples
SNJ54AHCT74FK	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686101Q2A SNJ54AHCT74FK	Samples
SNJ54AHCT74J	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686101QCA SNJ54AHCT74J	Samples
SNJ54AHCT74W	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686101QDA SNJ54AHCT74W	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHCT74, SN74AHCT74 :

● Catalog : [SN74AHCT74](#)

● Enhanced Product : [SN74AHCT74-EP](#), [SN74AHCT74-EP](#)

● Military : [SN54AHCT74](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT74BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHCT74DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHCT74DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHCT74DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT74DR	SOIC	D	14	2500	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74AHCT74DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT74NSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74AHCT74PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT74PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT74PWR	TSSOP	PW	14	2000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
SN74AHCT74RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT74BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHCT74DBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74AHCT74DGVR	TVSOP	DGV	14	2000	356.0	356.0	35.0
SN74AHCT74DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHCT74DR	SOIC	D	14	2500	340.5	336.1	32.0
SN74AHCT74DR	SOIC	D	14	2500	356.0	356.0	35.0
SN74AHCT74NSR	SO	NS	14	2000	356.0	356.0	35.0
SN74AHCT74PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74AHCT74PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT74PWR	TSSOP	PW	14	2000	366.0	364.0	50.0
SN74AHCT74RGYR	VQFN	RGY	14	3000	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-9686101Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9686101QDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74AHCT74N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHCT74N	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AHCT74FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT74W	W	CFP	14	25	506.98	26.16	6220	NA

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - QFN (Quad Flatpack No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
 - Package complies to JEDEC MO-241 variation BA.

RGY (S-PVQFN-N14)

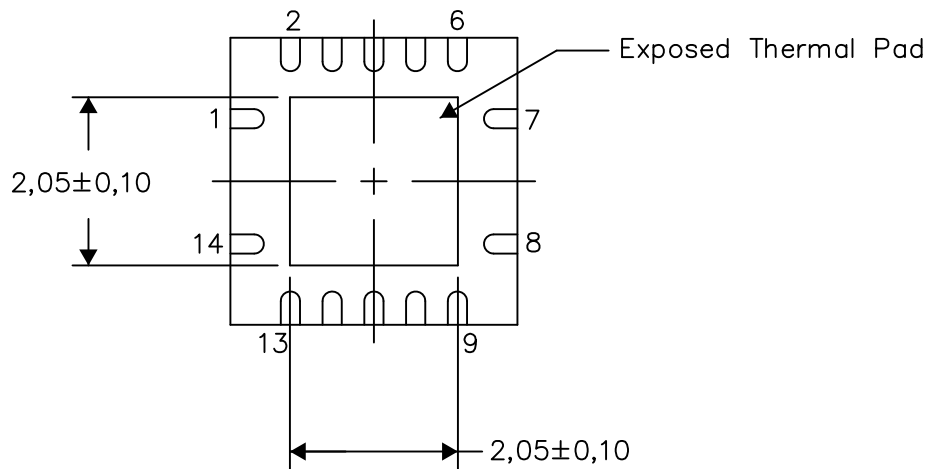
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4206353-2/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



4208122-2/P 03/14

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

GENERIC PACKAGE VIEW

BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

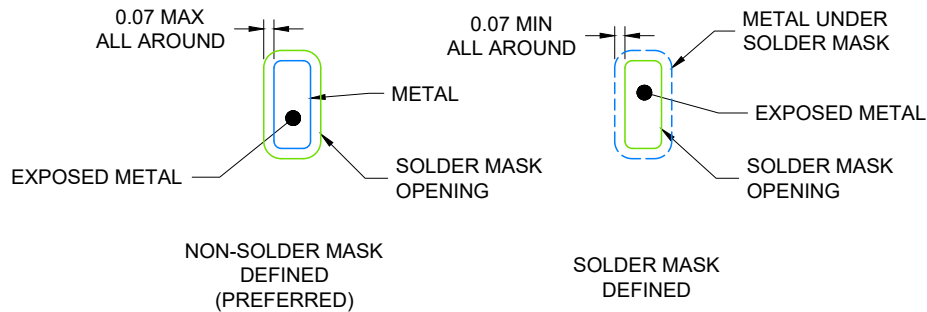
WQFN - 0.8 mm max height

BQA0014A

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 88% PRINTED COVERAGE BY AREA
 SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R-GDFP-F14)

CERAMIC DUAL FLATPACK



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package can be hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only.
 - E. Falls within MIL STD 1835 GDFP1-F14

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



4073251/E 08/00

- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194

DB0014A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

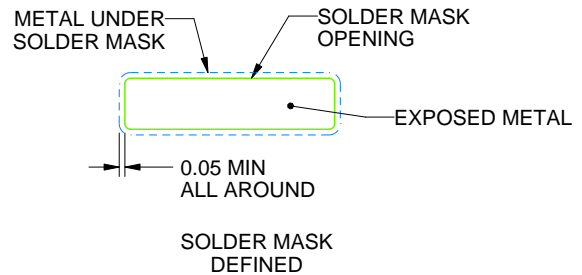
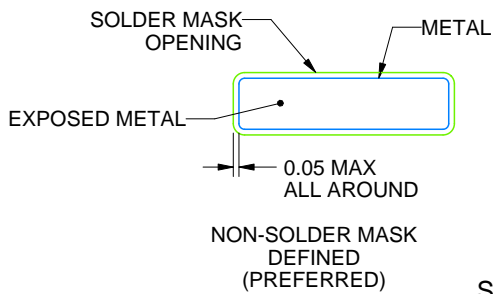
DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

J 14

GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



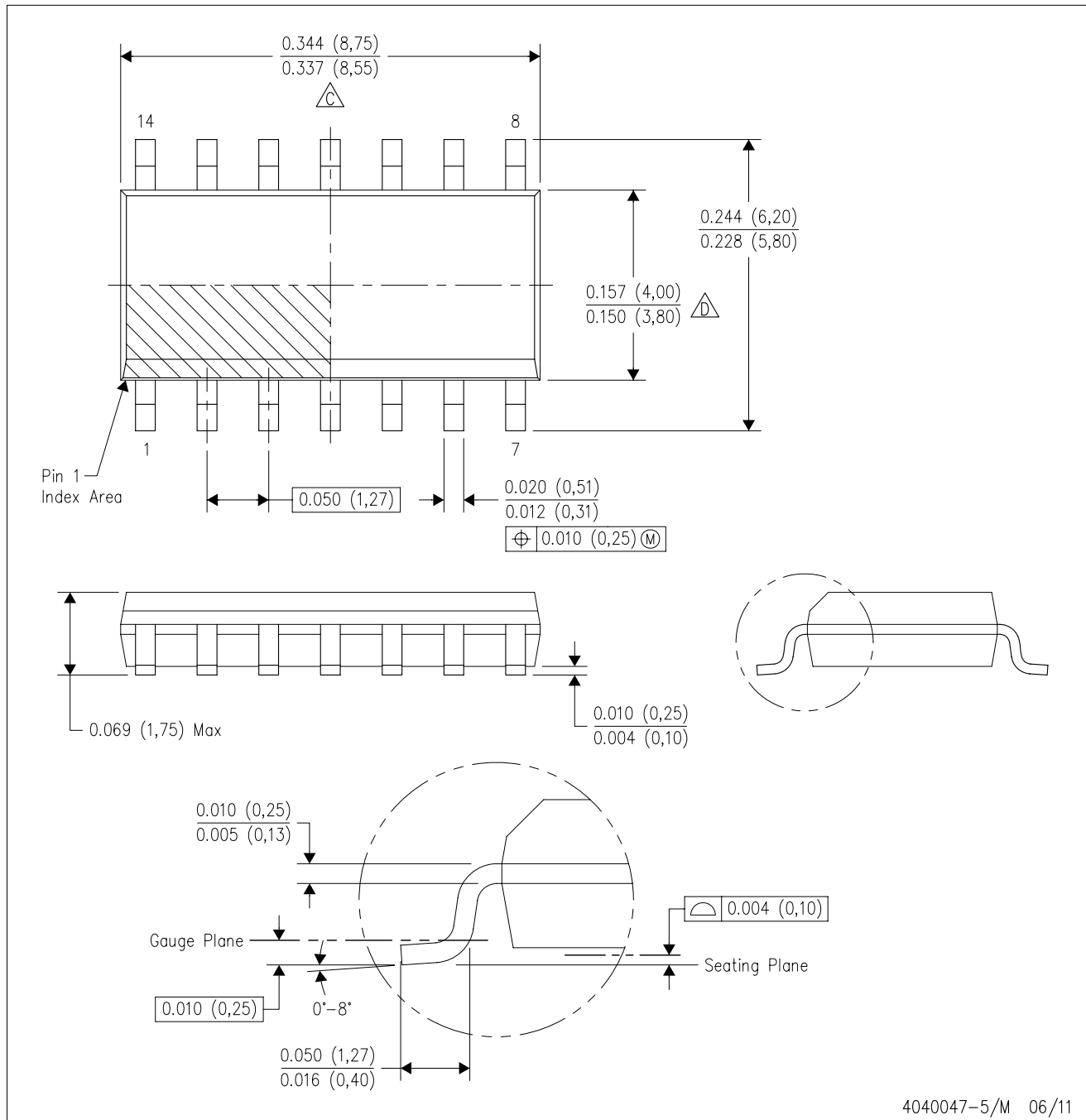
LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X





4214771/A 05/2017

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040047-5/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE

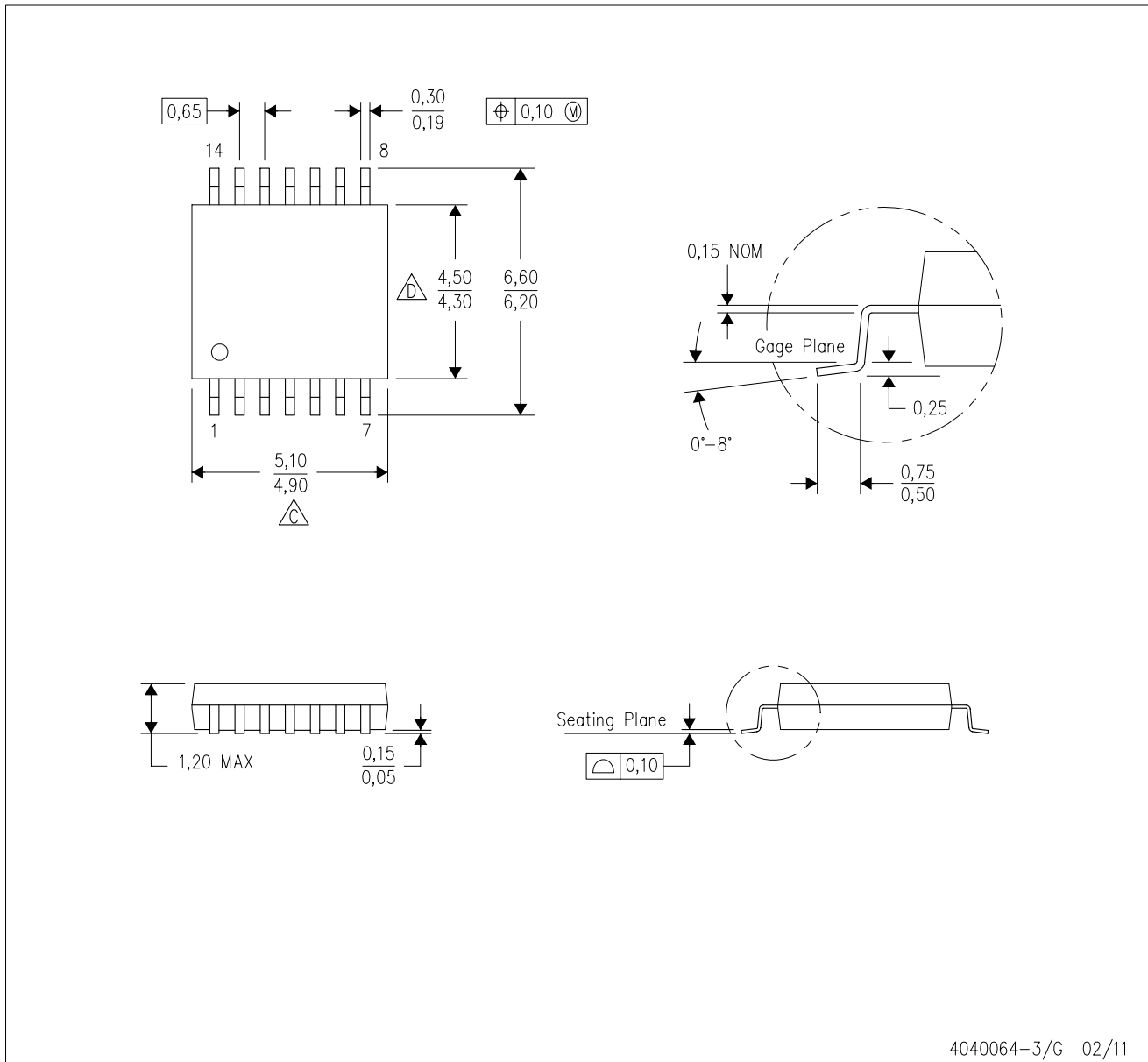


4211283-3/E 08/12

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024，德州仪器 (TI) 公司