

高速数据转换

By Mike Koen (602) 746-7337

引言

在很多方面，高速数据转换设计需要考虑的问题与一般数据转化十分相似，但由于芯片型号的限制，加上只有可靠的设计技术和结构才能使用，高速电路就显得有些不同，然而它们的基础是一样的。高速电路或系统往往促进了前沿技术动态性能的发展。

这篇报告主要集中介绍了基本模块如运算放大器，采样/保持，数模转换和模数转换器(DAC & ADCs)，本文以技术测试作为结束。作为系统基础的组件模块的运算放大器应该首先就要考虑，接下来需要考虑的是在数据转换中发挥重要作用的采样/保持，然后是DACs，最后ADCs，ADCs混合了以上三个电路。实际操作中，应特别强调混合及整体设计技术，因为这些操作直接影响到系统的最优性能。所用电路材料在进行设计之前就必须存在，同时这方面还应该有一定的理论与实践的例子，以便于数据转换设计者及使用者都可以找到有用的材料。现有的概念不要求设计者具有广泛的数据转换经验，下面讨论的基础观点很容易理解，文章着重强调高速电路设计时需要考虑的问题，对电路理论涉及不深。

本报告包含一下内容

- A. 放大器结构
 - 1. 缓冲器
 - 2. 运算
 - 3. 开环
 - 4. 比较器
- B. 放大器的应用
 - 1. 采样/保持
 - 2. 峰值探测器
- C. 数模转换(DAC)
 - 1. 双极
 - 2. 抗尖峰DAC
- D. 模数转换(ADC)
 - 1. 逐次逼近
 - 2. 闪存
 - 3. 分级比较
- E. 测试技术
 - 1. 稳定时间
 - 2. 窗口抖动
 - 3. 敲击频率测试
 - 4. 伺服环路测试

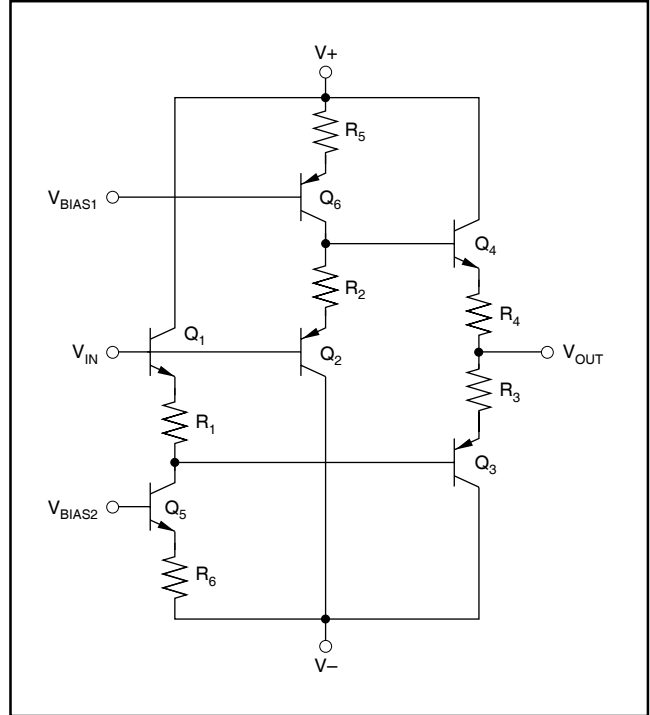


图1.高速双极缓冲器

放大器结构

所有的放大器在数据转换系统中占据着重要的地位。高速放大器很有用，但也很难设计，因此懂得它的工作原理就显得尤为重要。本文讨论了4种不同的放大器结构。信号处理器件中，比较常见的放大器有：缓冲器，运算放大器，开环放大器，比较器。

缓冲器

开环缓冲器是射极输出放大器中比较常见的一种结构。这种电路之所以受欢迎是因为它结构简单，功耗低，频带宽和易于使用。开环缓冲器在高速系统中占有很重要的地位。低速电压输出跟随器系统中，开环放大器的作用是一样的。该器件经常用于宽带运算放大器和其他类型的宽带放大器的输出中。如图1、2所示，给出了两种缓冲器电路的结构。每个缓冲器的输出阻抗大约是 5Ω ，带宽位几百兆赫兹。FET缓冲器经常作为宽带FETS用在混合结构中。同时，同一单片电路工艺的晶体管不是都一样的。这种双极的缓冲器在单片电路中起到互补的作用，这里NPN和PNP晶体管都是有着很高性能的纵向结构。图1给出了这种缓

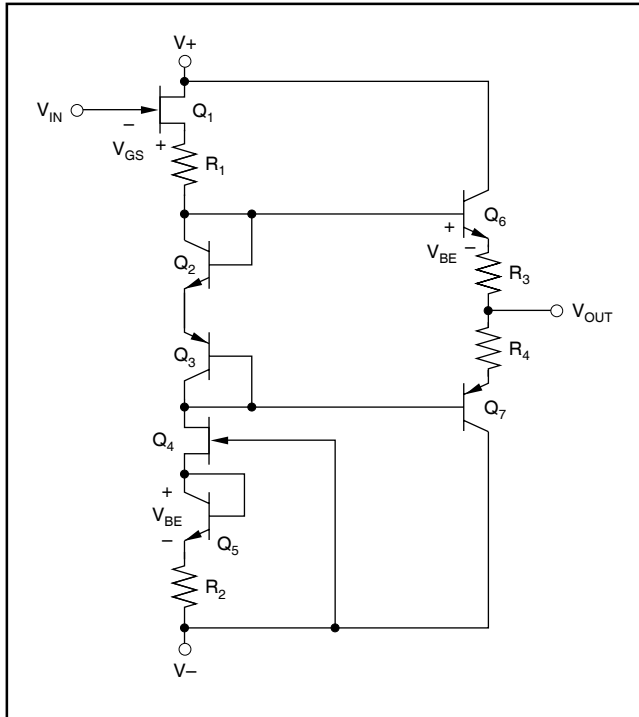


图2.高速场效应管缓冲器

缓冲器的一般结构。这个缓冲器的输入连接到一对互补的晶体管上。通过电阻 R_1 和 R_2 的输入晶体管连接到输出晶体管 Q_3 和 Q_4 的基极，这样的话，如果基极到NPN和PNP的发射极电压相等的话，那么偏移量将为零。在相同的偏置电流下，如果将晶体管设计成具有相同 V_{BE} 的几何尺寸时，就可以获得零偏移。当电路有合适的高输入阻抗和有高电流输出的能力时，那么这个电路是比较理想的。这种缓冲电路的一个重要应用是放大单片电路上的运放的输出电流。单片电路上的运放通常没有超过10mA到50mA的输出电流，而如图一所示的缓冲器可以输出超过100mA的电流。这种缓冲器典型的带宽是250MHz，因此它可以应用于大多数单片运放的反馈环路中，且对稳定性的影响很小。图3给出的是一个缓冲器如何连接形成一个环路，这样放大器的DC性能就由无缓冲放大器和无输出缓冲器决定。图3给出的是这种连接的结构，缓冲器里存在驱动负载热耗散，这样的话就可以从敏感的运放的输入端减少热致的变形和补偿漂移。

图2给出的是前面提到的场效应管的电路型号。这个FET通过镜像使 Q_5 获得零漂移，由输入FET Q_1 的电压作用于 Q_5 。 Q_5 的 V_{BE} 决定了FET电流源 Q_4 的门级电压。当流进 Q_4 和 Q_1 的电流相同时， Q_1 的门级就会等于

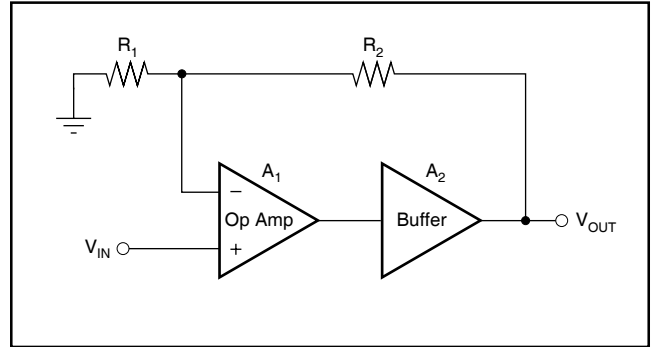


FIGURE 3. High Current Op Amp.

V_{BE} ，当晶体管 Q_5 和 Q_6 相同时，FET缓冲器电路的漂移理论上为0。如图2所示的电路是一个混和的电路，为了使电路的偏移为零，就很有必要调整电阻 R_1 和 R_2 。激光微调 R_1 和 R_2 可以调整偏移量，并可以使该偏移量为零。此时电阻不工作。（这就是我们所知道的主动微调。）这种电路的一般用于缓冲采样/保持电路中的保持电路。当室温下，典型的FET的输入电流大约是50pA时，FET缓冲器的高阻抗性允许电容长时间保持采样电压。

这两种电路的缓冲电路中，另一种比较常见的应用是驱动高电容性负载，并且这样不会减少系统的带宽。虽然运放有很低的闭环输出阻抗，但在高容性阻抗中会特别的不稳定。虽然开环缓冲器只有驱动容性负载时就才会变的稳定，但如果容性负载过多的话，那这种电路将形成环路。图4给出的是由于起反作用的输出阻抗引起的射极输出放大器的振荡。图5至7给出的是，当一个简单的射极输出放大器驱动一个容性负载时，由不同条件得出的计算结果。这也向我们解释了产生这种振荡的原因。

开环缓冲器的一个重要的应用是驱动“后匹配”的传输电缆。后匹配电缆可以有效阻止反射，这种接收器末端接终止电缆是一种比较常规的方法。后匹配电缆的优点是：电路不必提供稳定的电流，由于温度是与电路的铜损耗有关，故而精确性也不会降低。图8给出的是描述开环缓冲器驱动后匹配电缆工作的电路原理图和说明。

运算放大器

下面我们将给出宽带运放结构的几个例子。在100ns和在超过100MHz的闭环的带宽中，这些放大器可以将稳定时间可以是100ns的±0.01%。最常见的问题是：“多大的环路增益才足够？”一般情况下，宽带放大器获得的环路增益与低频放大器是不同的。这是带宽和相位角优化的结果。

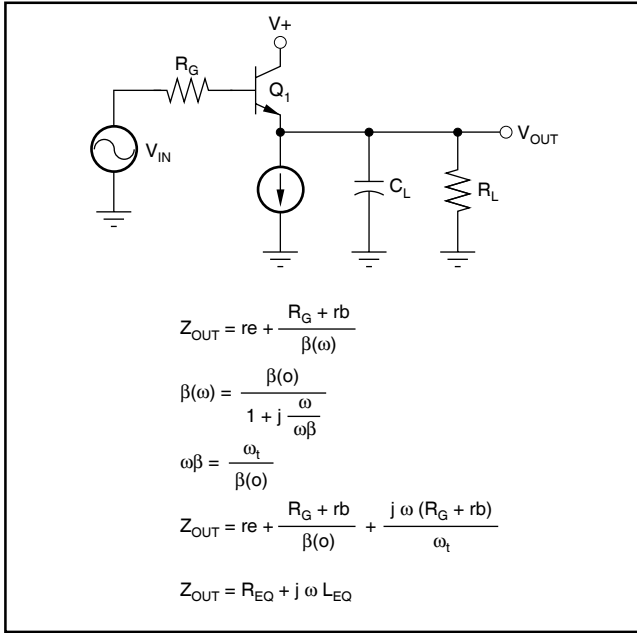


图4.射极输出放大器的输出阻抗

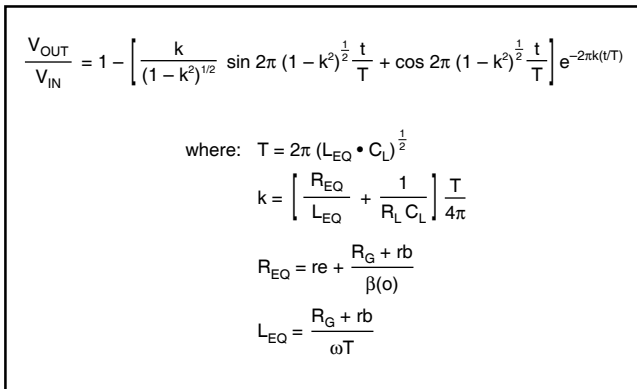


图5.时间响应

$f_T = 1\text{GHz}$	$f_T = 5\text{GHz}$	$f_T = 5\text{GHz}$
$R_G = 50\Omega$	$R_G = 50\Omega$	$R_G = 50\Omega$
$rb = 50$	$rb = 50$	$rb = 50$
$re = 5$	$re = 5$	$re = 5$
$C_L = 50\text{pF}$	$C_L = 50\text{pF}$	$C_L = 50\text{pF}$
$\beta(o) = 100$	$\beta(o) = 100$	$\beta(o) = 100$
$k = 0.35$	$k = 0.44$	$k = 0.51$
$T = 5.6\text{ns}$	$T = 4.7\text{ns}$	$T = 1.9\text{ns}$

图6.不同的条件下

如果开环增益在信号强度足够大的温度和线性度的条件下稳定，那么高开环增益就不必要那么大了。这点很重要，原因是获得宽带放大器的高开环增益是件困难的事情。

有几种方法可以产生开环增益/相位特性，或放大器的Bode曲线。这种方法的选择取决于是否强调高回转速率和快速处理速率。这些放大器稳定闭环增益的方法将会导致稳定时间特性的差异。下面将解释每一种方法的益处。第一个放大器有FET输入端，其他的有双极输入。如果将高速放大器设计成可以驱动50Ω负载，那么这个放大器是极其有用的。高速系统中连接信号的多是Ω欧姆的电缆。

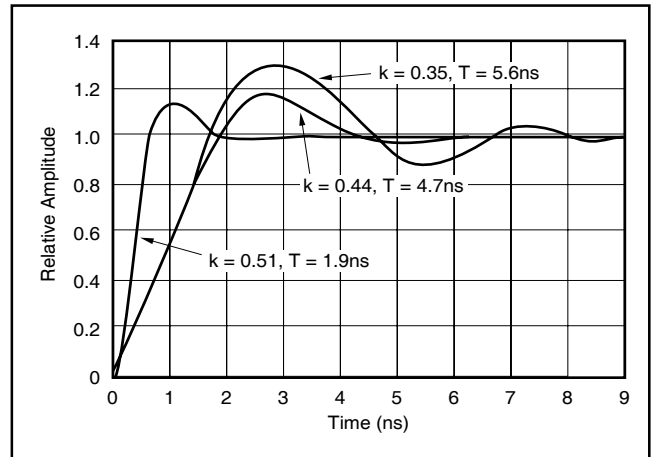


图7.结果

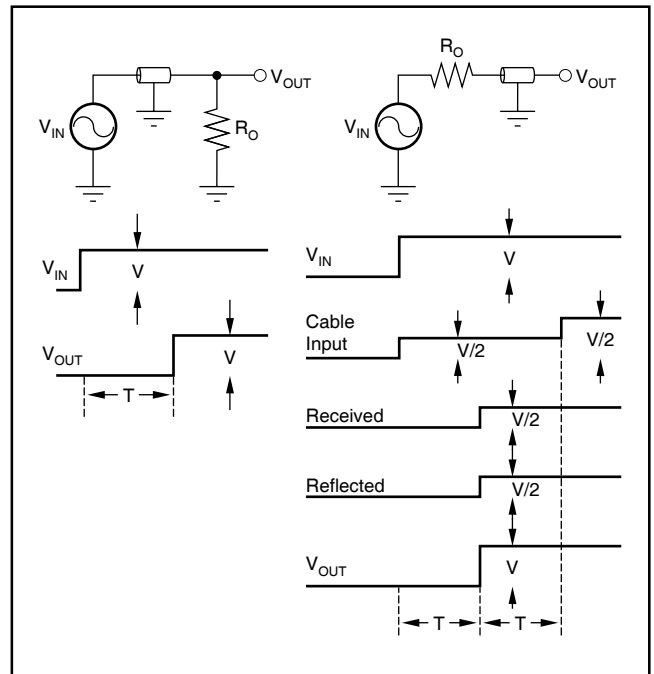


图8.后匹配电缆

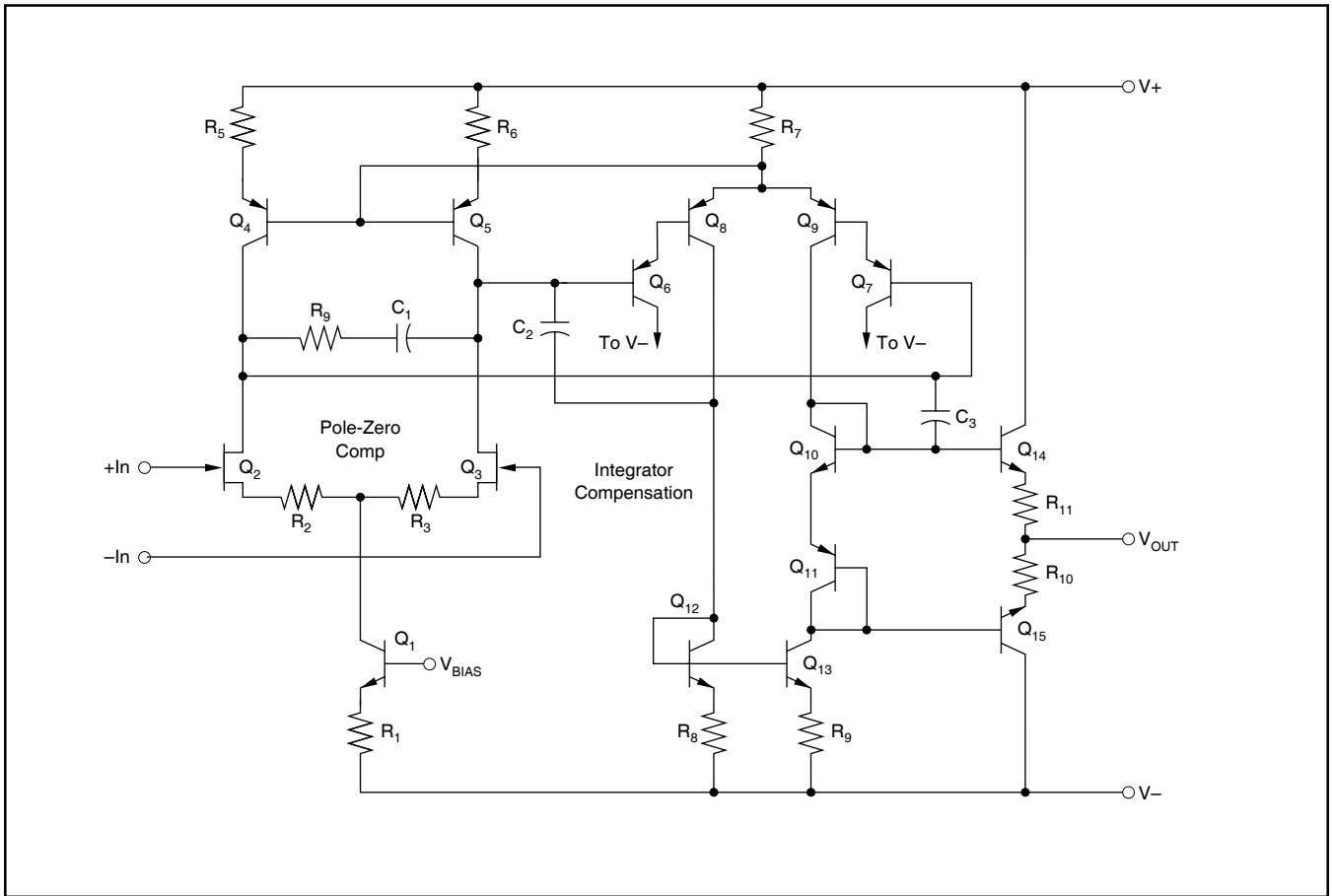


图9.场效应管运算放大器

考虑如图9所示的一个典型的两状态混合放大器，它可以由综合器反馈补偿或由电极零级补偿是实现补偿。混合放大器可以获得最高的动态性能，原因是优化的输入和输出器件可以广泛的应用于不同的技术。我们可以获得带宽的组合，漏压和在混合技术中所需的电流强度。详细的分析这种放大器的性能是很有意义的。我们是用证明与高速放大器很多相关考虑的方法来分析的。高速放大器可以用其他的形式实现，但主要的设计考虑是相同的。FET输入放大器是非常有用的，这是因为其高输入阻抗可以提供采样/保持电容的一个缓冲。另外，在超载情况下，一个FET比双极输入更可以忍受大的差分输入电压，同时由于输入电流的关系，这也不会有错误。

放大器的输入电路如图9所示，每边上拉5mA的电流，25°C时输入电流典型值是25pA。一个双极输入电路在相同的电流驱动下可以有50μA的输入电流，当转换反馈电阻时，将产生一个附加的漂移误差和噪声源。为了补偿输入电路的低增益（G=25），在第一和

第二状态之间可以维持一个令人满意的差动连接。当这做一种这样的连接时，就很有必要用一般模式的反馈建立输入电路的工作点。假设FET对Q₂和Q₃匹配的很好，电流就会平均的分配，晶体管Q₄和Q₅的集电极的电流就会相同。Q₄和Q₅的基极是连接在一起的，这也可以用于PNP晶体管Q₈和Q₉的反射极的一般连接。因此，为了在环路中建立一种平衡，在R₇上就会产生一个比较大的电压，这样就使得在晶体管在Q₄中的电流值可以使FETQ₂和Q₃所需的电流得到平衡。晶体管Q₈和Q₉，射极输出器驱动可以增加整个环路的增益。射极输出器晶体管Q₆和Q₇可以由起阻挡作用的Q₈和Q₉增加第一级增益。晶体管Q₈和Q₉的差分输出与输出射极输出器直接相连，并与Q₁₂和Q₁₃形成镜像关系。放大器的整个DC增益是94dB。通过输出射极输出器的电流是通过与晶体管Q₁₀和Q₁₁相连接的二极管的偏置与否建立的。放大器的漂移电压低于1mV，同时其电压漂移系数小于10μV/°C。

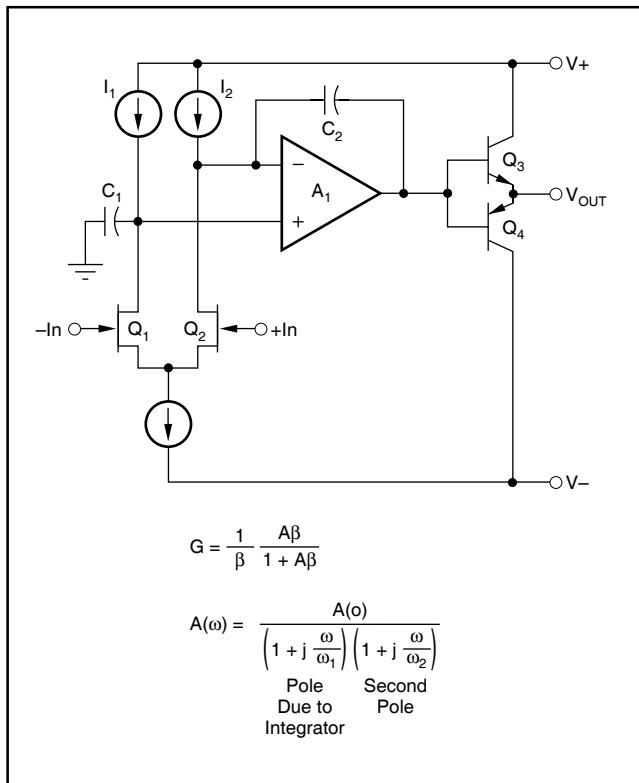


图10.积分器补偿

如前所述，有两种补偿放大器开环频率响应的方法。第一种方法是被称之为综合反馈，这种反馈是作为一个电容连接输出器和输入级的漏极。图10给出的是这种连接的方框图，这种连接清晰的向我们展示了为什么将综合补偿称之为补偿器，同时是由放大器的输出增益状态所决定。这种综合器的反馈的优点是闭环频率响应，这种响应应具有所有的电极，这意味着暂态响应可以容忍参数的改变。下面我们将要提到的是，另一种双极或单极结构的频率补偿，这种频率响应很差，原因是小参数的变化。当综合器形成了一个与单极结构想对应输出滤波器时，这种综合器反馈的具有低噪声输出的好处，这种结构只形成一种不完整的输出结构滤波器。图11和图12给出的是频率和时间的关系或有综合反馈的反馈放大器的暂态响应。

图13到16给出的是单极失配产生的情况。单极失配在暂态响应里产生一个拖尾和长的时间常数。单极补偿在稳定一个放大器时没有综合反馈有效，但当综合器自身不够稳定时，我们可以一直等到其稳定为止。单极补偿放大器通常有较高的恢复率。

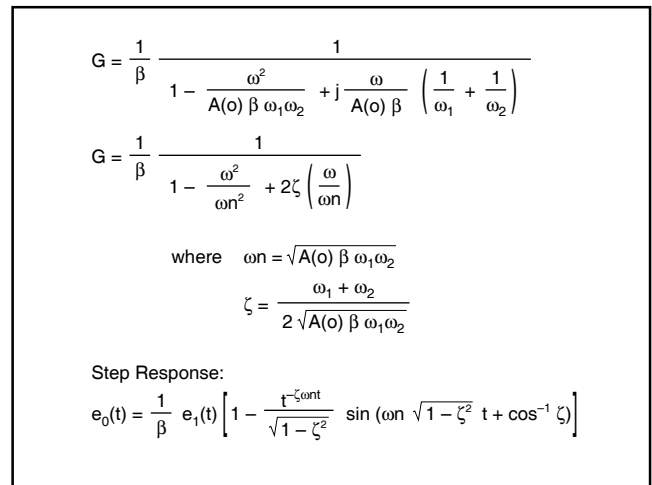


图11.暂态响应积分器补偿

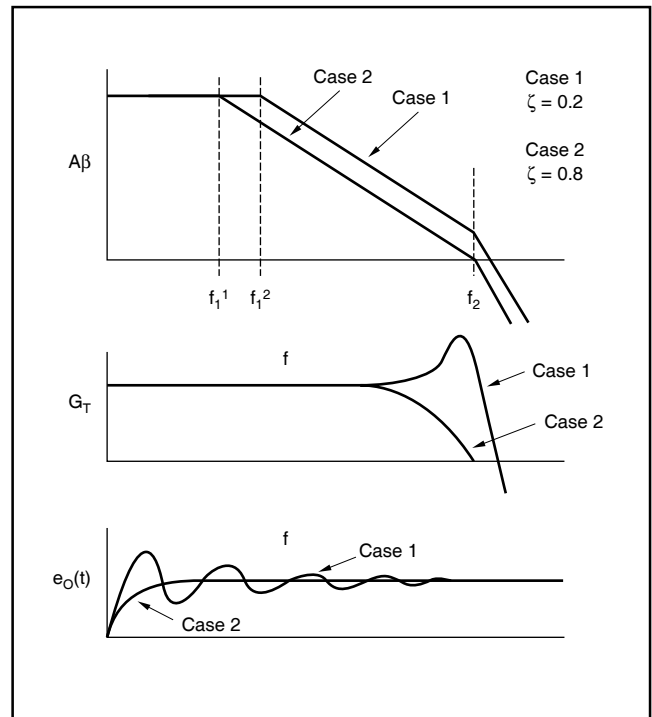


图12.开环增益，闭环增益，暂态响应积分器补偿

我们将要讨论的第二种结构是折叠共发共基放大器。当所有的开环增益可以在单一状态获得时，这种电路结构非常有用，当在单一状态形成所有的增益时，高可用的增益带宽将产生Bode曲线，这种曲线看起来更像是稳定性极高的单极响应。

图17给出的是这种放大器的一种简单结构。这种放大器的输入端是晶体管Q1和Q2的基极，晶体管Q1和Q2的输出来自各自的集电极，其输出流向Q4和Q5的发射极。晶体管Q4和Q5是射地-基地放大器件，这种器件可以减小Q1, Q2集电极的阻抗。

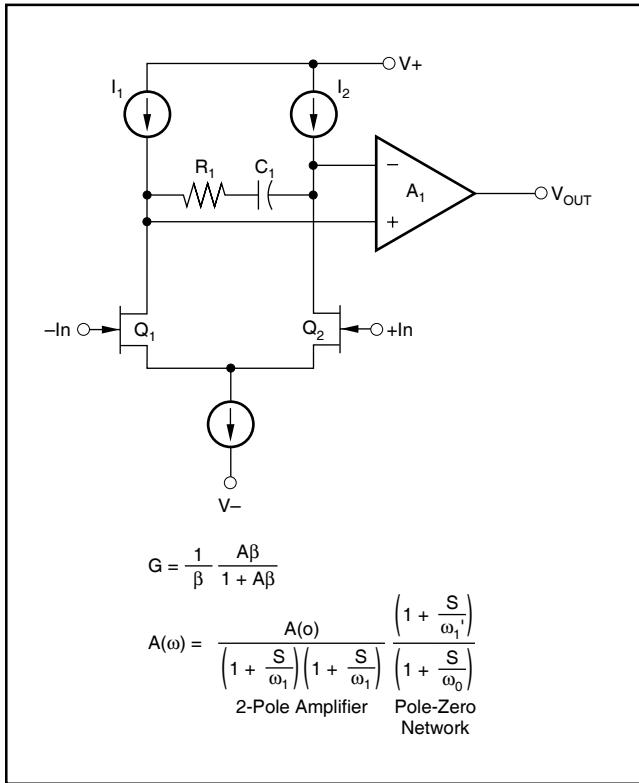


图13 运放中的单极补偿

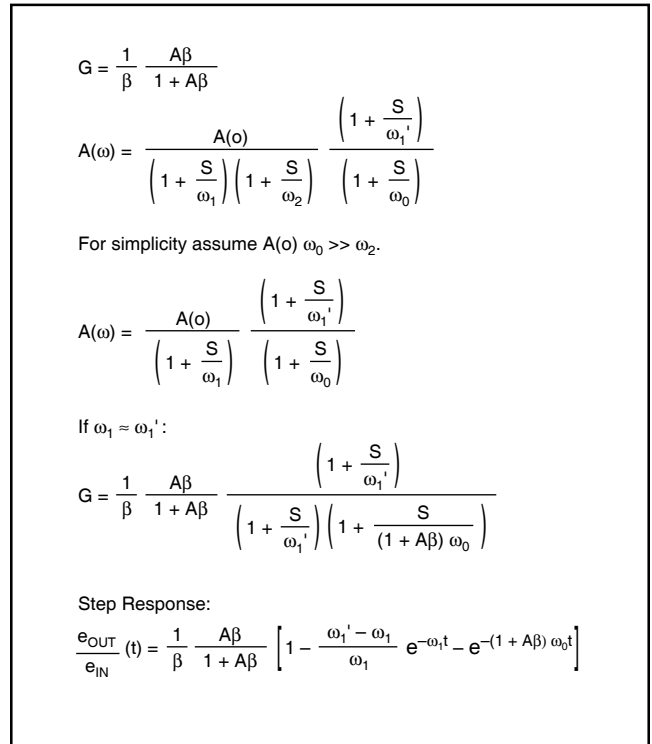


图15 零点暂态响应

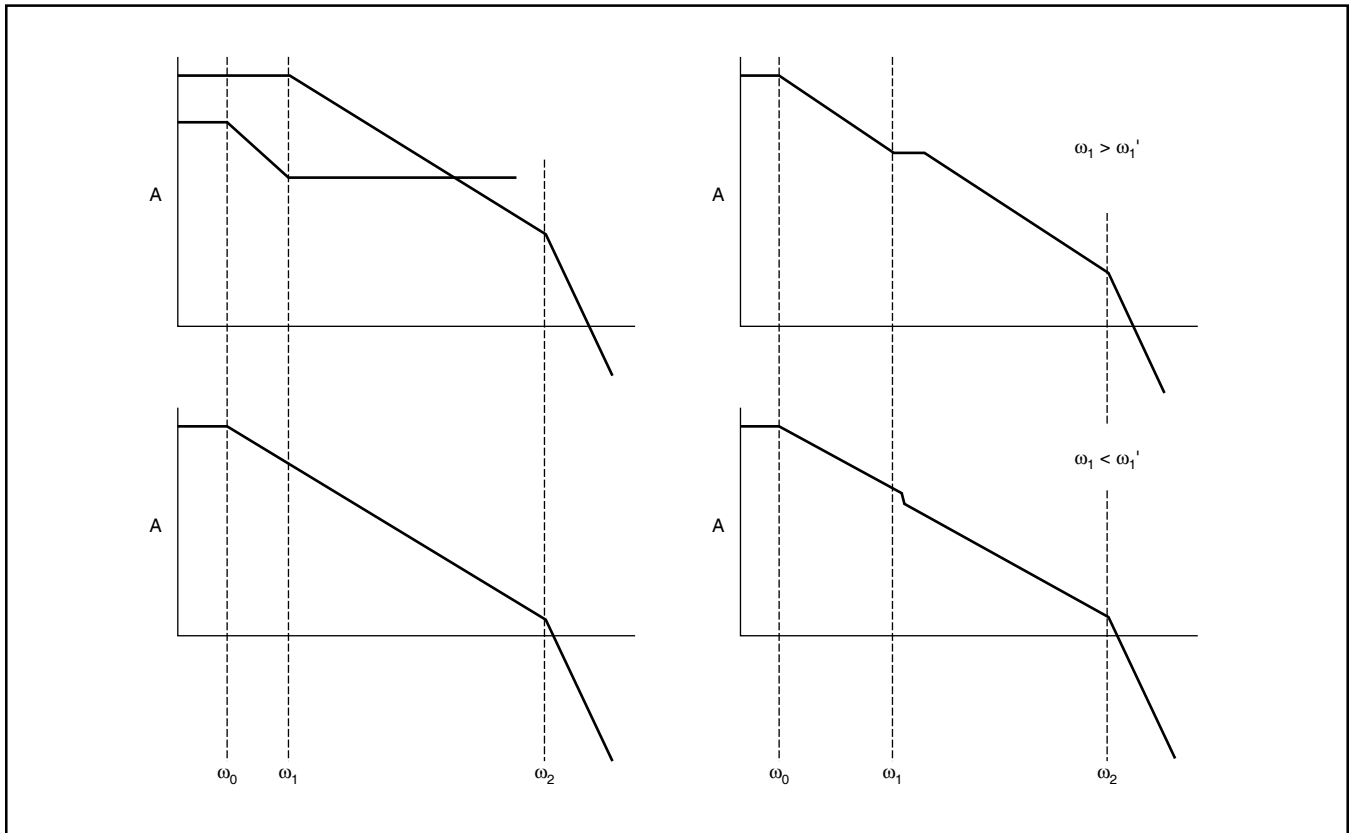


图14 零点补偿Bode曲线

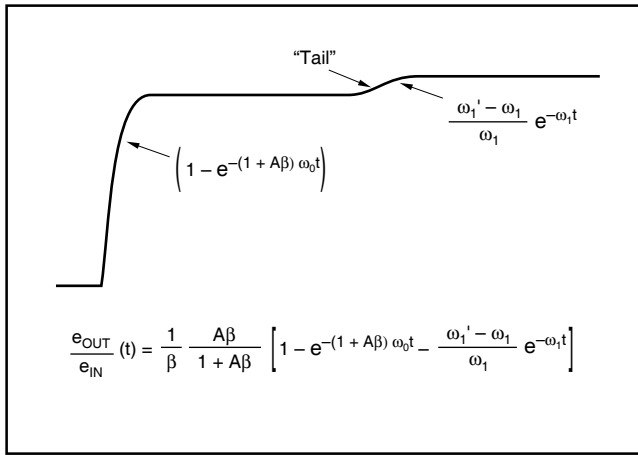


图16.零点暂态响应和零点失配

允许通过晶体管 Q_4 和 Q_5 的信号电流衰减很小。术语“折叠射地-基地放大器”指的是PNP晶体管，该晶体管不仅支持射地-基地放大器，同时也支持“折叠”信号到负载，这个负载连接于负电压源。作为 Q_4 和 Q_5 的电流源负载 Q_8 和 Q_9 可以晶体管在单态电路中获得超过80dB的增益。射极输出器以相同的方式驱动输出负载，这种方法在FET运放中提到过。这种结构的另外一个好处是带有一个电容的放大器可以很稳定，因此这种结构趋近于没有拖尾的单极响应。

比较器

比较器在信号处理系统中是很常见的一个部分，它用来感测信号的大小，同时产生数字信号，1或0，用来给出与其他系统比较的结果。比较器可以通过两种方式实现，要么利用高增益的放大器，要么利用闭环的方法。每一比较器的优点将在下面予以讨论。

当一个高增益的放大器用于比较器时，许多低增益结构用到的都是射地-基地放大器，目的是获得高增益带宽的产品。图18给出的是一个20ns的比较器。该比较器于宽带运放的设计形成对比。宽带运放的设计目标是获得单极电路的高增益，以避免相位漂移的积累。我们将在运算放大器上用一个反馈。这样获得相位特性趋近于单极响应对设计很重要。尽管可以获得高带宽和低传输延迟，但比较器的相位漂移并不重要。开环放大器和比较器的设计很相似。主要的不同在于比较器没有稳定的或线性的增益特性，同时要将输出设计成逻辑兼容的，比如说TTL或ECL。不像线性的开环放大器，比较器的设计需要考虑的是逻辑极端的输出饱和状态是否处于非线性模式。这种逻辑极限与输出信号是否超过输入的标准有关。另外，要小心将中间的状态设计成保证最好的过载恢复和最小的传播延迟的情况。通过利用射极输出放大器将信

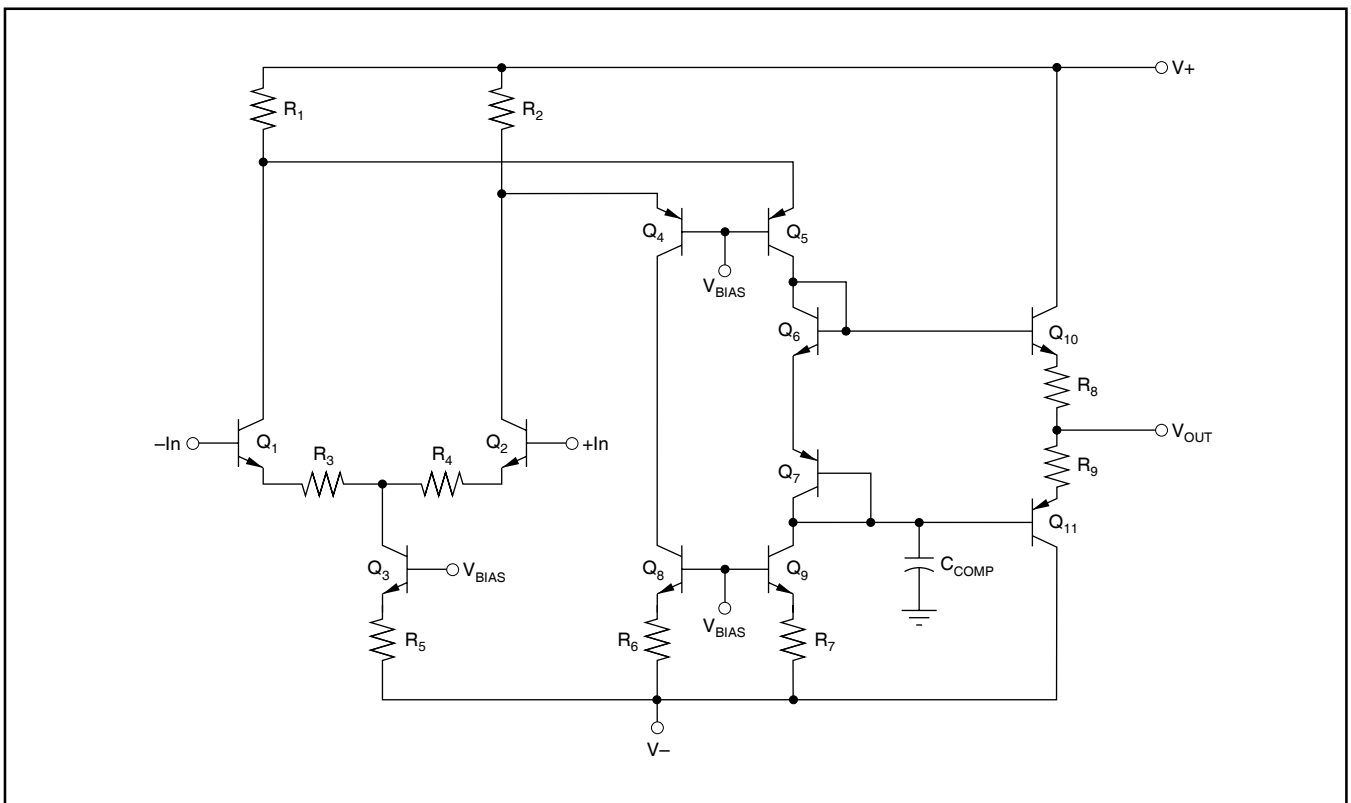


FIGURE 17. Folded Cascode.

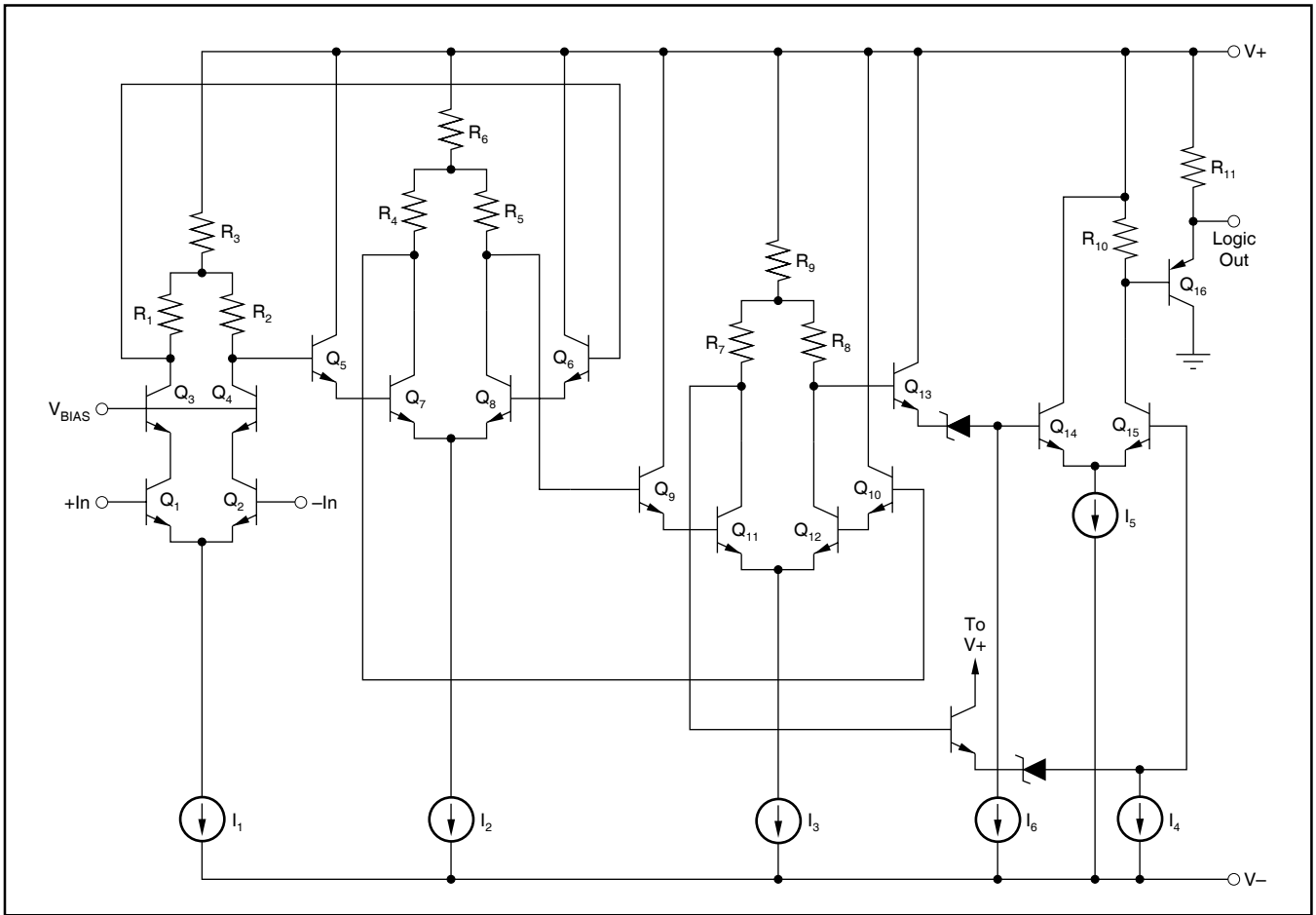


FIGURE 18. High Speed Comparator.

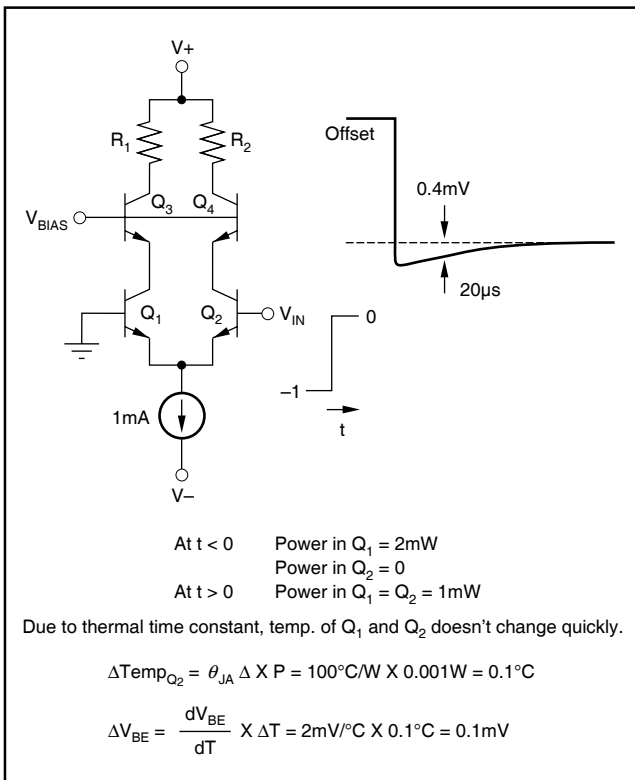


FIGURE 19. Thermal Offset.

号从一级耦合到另一级，一个设计很好的比较器的任一个级都与ECL逻辑级相同，这样做可以避免饱和和保证最大级间的带宽。比较器振荡的问题可以利用闭环比较器解决，但这两种结构都对热诱偏移敏感。当输出信号将输入差分放大器偏置为“开”或“关”时，就会产生热诱偏移，因此改变了相对于另一边的功率耗散。通过减小输入差分对的功率耗散可以抑制这种效应。这种限制由输入的带宽和回复率的需求决定。图19给出了比较器中热诱偏移的估计值。这种估计值给出了在达到平衡之前，比较器偏移的值会小于0.1mV。该平衡的速率由系统的热时间常数决定。系统的热时间常数从10µs到100µs不等。影响时间常数的因素有晶体管的物理尺寸，晶体管的衬底与节点的连接方法。热诱偏移在高速和精确度要求较高的系统中将成为一个非常严重的问题，同时其经常成为决定性能的限制因素。

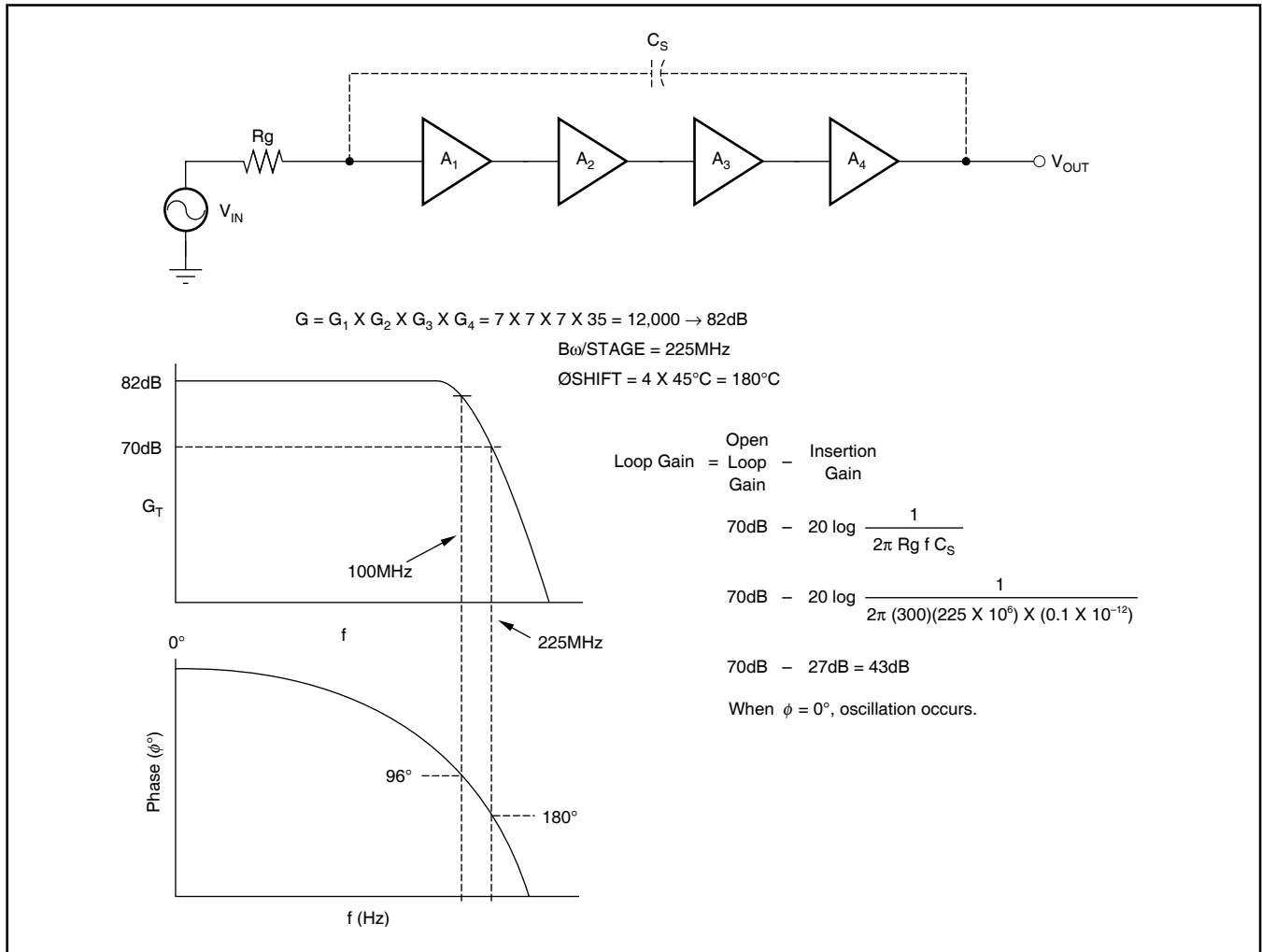


图20.比较振荡器

另一个限制无闭环比较器精确度的因素是振荡器易于振荡。比较振荡器是由电容反馈耦合至比较器的输入端的，这样做的原因是受来自输出信号的寄生反馈的影响。在不连续的情况下，当仍然尝试着保持高的灵敏度和低的传输延迟时，这种问题就很难解决了。图20和21给出的是描述的是比较器端口的电路。这种比较器可以产生足够的反馈用来模拟谐振。甚至在混合电路中，比较器谐振也是一个很严重的问题。将比较器集成到一个单片芯片中是有好处的，之所以说有好处是因为它可以减少寄生电容的总量。

如前所述，另外一种比较器：“闭环型的”。图22给出的是这种比较器前端的简化电路。当被闭环使能信号过滤时，这种闭环比较器通过再生状态形成了一个“高增益”。当比较器处在跟踪模式时，典型的输入对Q₁和Q₂至少可以获得10dB的增益系数。在消除“尾电流”时，I等于输入线性对到输入“闭环对”Q₃和Q₄的转换产生的电流。闭锁状态将由Q₁和Q₂输入基

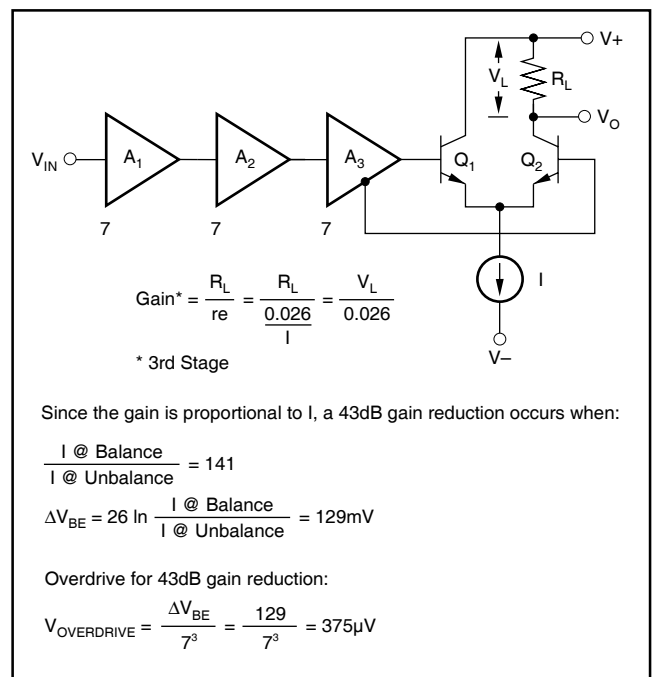


FIGURE 21. Gain Reduction to Stop Comparator Oscillation.

极上的信号状态决定。这个闭环接收器对通过两个射极输出放大器 Q_7 和 Q_8 来接收反馈。射极比较器同样可以提供合适的逻辑电平。当比较器处在保持状态时，振荡器不太可能发生振荡，当比较器保持在初始状态时，如果比较器在很短的时间内被置于一种低增益状态时，振荡的趋势是减弱的：1) 开环增益太低不足以维持振荡。2) 如果滤波时间过短，那么闭环状态会在寄生振荡可以建立起来的时候就被决定。

最快的模数转换器是由量子化态的闭环比较器组成。这种比较器的设计除了闭环比较器不应用于任何一种技术，它可以提供足够的简化的设计以满足必要的积分需求。快速转换器的更多详细内容将在后面的论述中给出。GaAs是一种新兴的，超高速的技术；当能够获得很高的速度时，它是以低增益为代价的。闭环比较器的特别有用的地方就在这里体现，它并不在实际应用当中获得这种技术的任何一种比较器功能。

跟踪和保持

一个数据转换器系统的一个重要的组成部分是跟踪和保持电路。跟踪/保持和采样/保持很类似，实际的应用目的是相同的。如果跟踪和保持或采样和保持控制直接耦合，这两种采样器是相同的。一些特别快的采样器有耦合AC的控制。短时间内，信号被采样，然后保持；因此形成了采样和保持。在说明跟踪和保持的结构之前，解释为什么跟踪和保持通常在模数转换器电路之前就很有必要了。

一个跟踪和保持被用来减少采样系统的缝隙时间。（采样系统是一个跟踪和保持驱动的模式转换器）。总的来说，在转换的过程中，将输入信号稳定的连接到数模转换器很有必要，这样可以避免误差的出现。

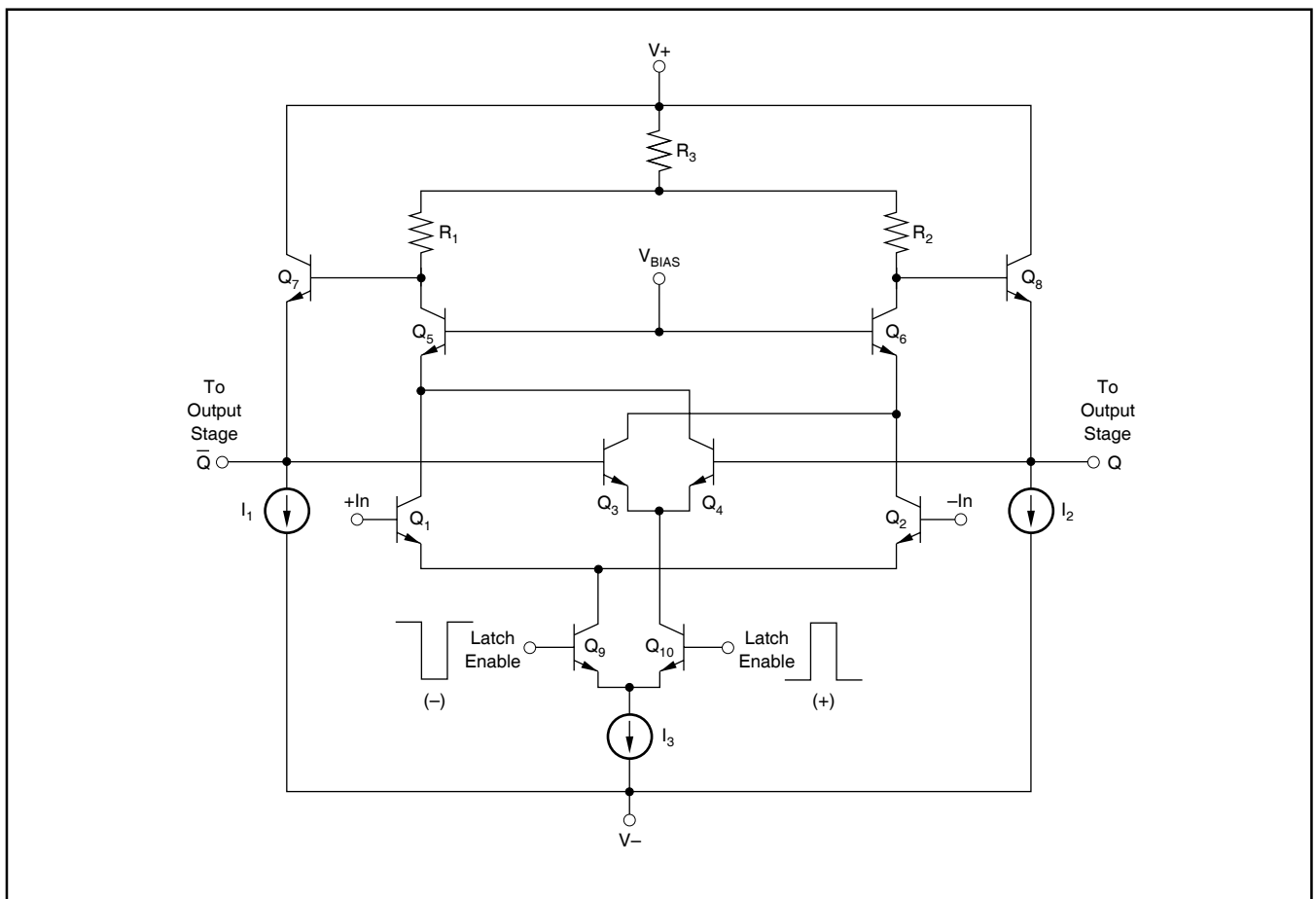


图22.闭环比较器前端

$$e(t) = \frac{EFS}{2} \sin 2\pi ft$$

EFS = Full Scale ADC Range

$$\frac{d e(t)}{dt} = f EFS \pi \cos 2\pi ft, \quad \frac{d e(t)}{dt} = f EFS \pi$$

$$f = \frac{\frac{d e(t)}{dt}}{EFS \pi}$$

Assume maximum allowable change during ADC conversion time.
 $T = 1/2LSB$ and $EFS = 2^N LSB$ where N is the number of bit ADC.

$$f = \frac{1/2LSB}{T 2^N LSB \pi} = \frac{1}{\pi 2^{(N+1)} T}$$

As an example, let $N = 12$ and $T = 1\mu s$:

$$f_{MAX} = \frac{1/2LSB}{T 2^N LSB \pi} = 38.9Hz$$

With a sample/hold, the maximum frequency would be 500kHz.

图23.没有保持/采样ADC的最大输入频率

当形成转换时，我们用一个逐次逼近的ADC的N步算法，如果信号在转换的过程中产生变化，逼近就会产生误差。甚至快速转化器可以从跟踪和保持的驱动中获益，这中情况发生在所有比较器的延迟时间都是一样的时候。图23计算了ADC改进后的性能，当跟踪和保持电路连接在一个ADC之前时，可以获得这种性能。图23给出了，可以 $1\mu s$ ADC处理的的最大频率，该频率仅仅是38.9Hz.当采样和保持电路驱动ADC时，ADC的最大频率可以会上升到 $N\mu$ quist频率——500kHz.另外，我们将给出跟踪和保持是如何应用于抗尖峰脉冲的DAC，同时我们也给出了如何制造尖峰探测器。我们将给出各种跟踪和保持结构的优点和缺点。讨论采样和保持电路的特性，如何理解优化特殊应用的设计。这也是提高理解复杂度的一个好方法。图24计算了跟踪和保持带宽，图25给出了频率响应的曲线。

作为一个介绍的方法，最基本的跟踪和保持电路如图26所示。一个FET开关与一个电容相连，这个电容器打开时，它是通过一个高输入阻抗的缓冲器与输出相隔开的。采样信号时，与N沟道增强型FET的门级连接时，它是处于高电平状态的。FET串联电阻最低时，其值是 R_{ON} ，在这种条件下，缓冲器的输出是由低通滤波器和保持电容C修正的输入信号。通过保持电容的电压与输入电压一致，直到信号返回到低电平状态和FET已经截止。这种情况下，保持电容保持着即时采样的输入电压。图27给出的是跟踪和保持动态特性的波形。当跟踪和保持驱动一个模数转换器时，保持电压转换成响应的数字电平。前面提到的电路限制了性能。为了确定限制的性能，我们将给出一个设计的例子，这个例子给出的是性能是如何被决定的。一个典型的N型D-MOSFET将与FET运放一起使用，这个FET运放是作为一个电压源随器连接的，FET有如下参数：

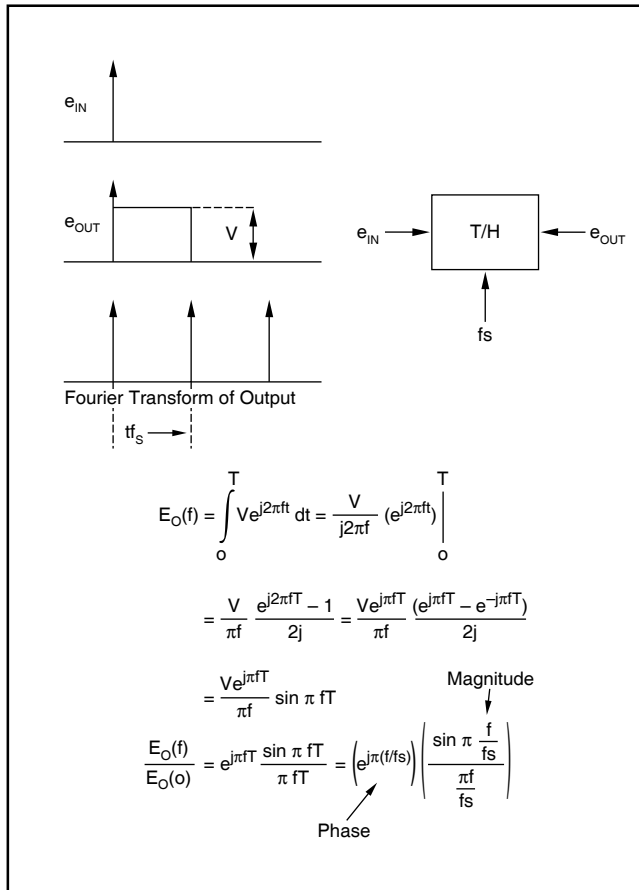


图24.跟踪/保持带宽

1. $R_{ON}=50\Omega$
2. $V_T=2.5V$
3. $C_{GA}=0.5Pf$
4. $C_{DS}=0.1pf$
5. $I_{DSS}=25Ma$
6. $I_{OFF}=50pA$

假设这个例子是输入信号的范围是10V的峰峰值，每一个误差源会达到整个误差源 V_{IN} 的 $\pm 0.01\%$ 。特别

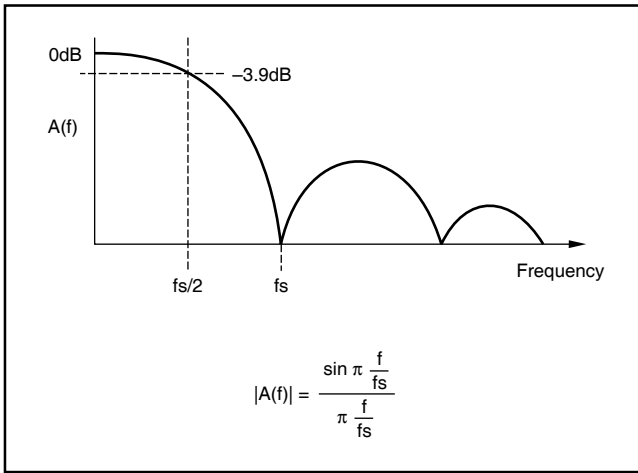


图25.采样/保持频率响应

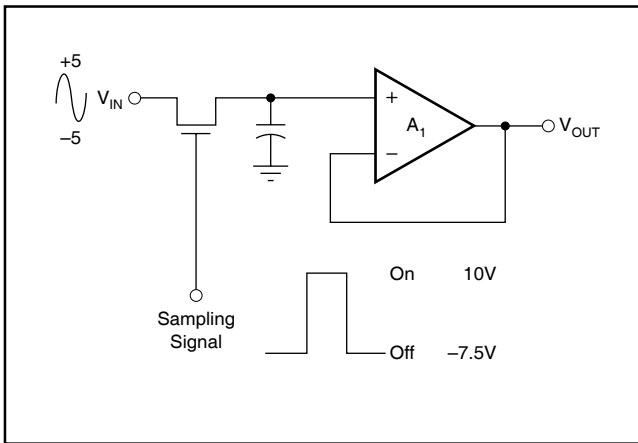
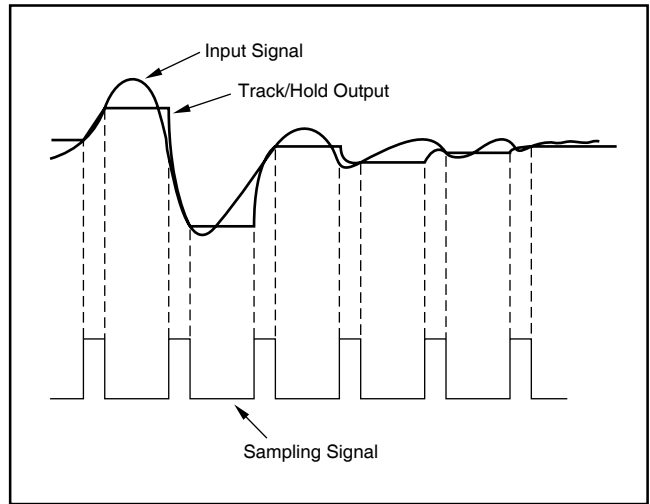
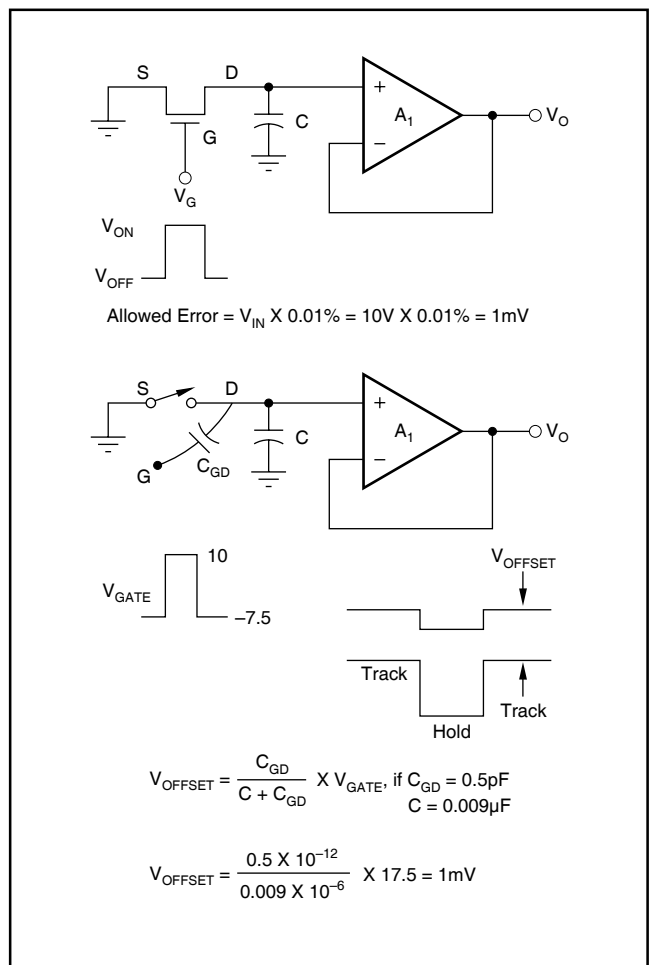


图26.基本采样/保持电路

的应用是赋予不同个体误差源的值。误差源可以认为是以下因素产生的：

1. 变化引起补偿误差
2. 相角的非线性
3. 信号的流入
4. 相角不足
5. 相角延迟
6. 固定偏差
7. 收集时间
8. 跟踪到保持的确定
9. 满功率带宽



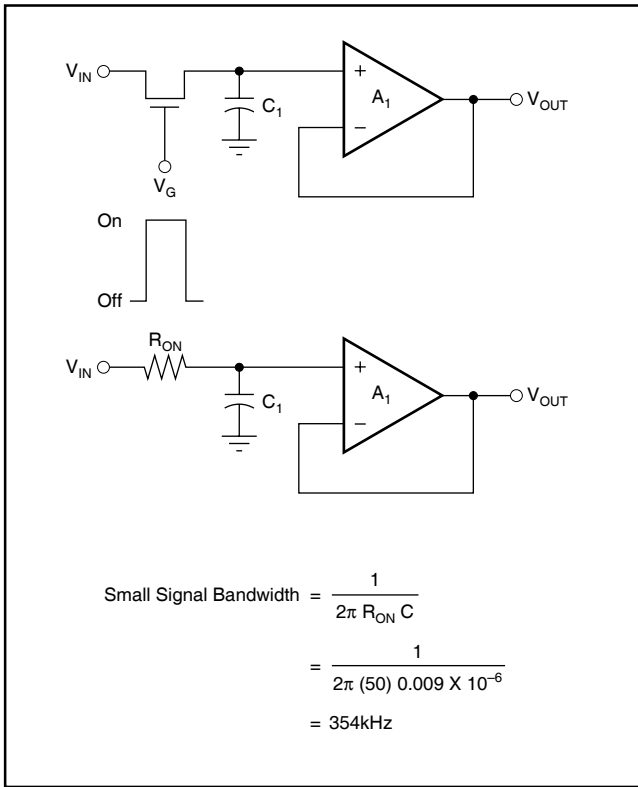
电荷引起的补偿或脉冲电平误差

为了保证FET是低阻的导通状态，可很有必要将超过峰值信号，达到5V，那么FET的门级电压是：

$$V_{ON} + V_{PEAK} = 5 + 5 = 10V$$

为了保证FET是截止的，最坏的情况下，将FET反偏就

很有必要。采样和保持的最小电压应该是-5V，在这种情况下，将门级偏置翻转是很可观的。因此门级上的截止信号电压是-7.5V。如图26所示。FET的栅极电压总的变化是17.5V，这包括导通和截止信号的总和。图28给出的是如何形成栅极到漏极电容 C_{GD} 和保持电容C



的电压驱动器。补偿误差引起的电荷是由电压驱动器产生的。其值如下：

$$V_{OFFSET} = V_{GATE} \left(\frac{C_{GD}}{C + C_{GD}} \right)$$

因此电荷的减少引起的补偿误差是：

$$0.01\% \times 10 = 1\text{mV}$$

保持电容值的计算

$$C = \frac{C_{GD} \cdot V_{GATE} - C_{GD} \cdot V_{OFFSET}}{V_{OFF}}$$

$$C = \frac{0.5\text{pF} \cdot 17.5\text{V} - 0.5\text{pF} \cdot 1\text{mV}}{1\text{mV}} = 8.75\text{nF}$$

因此保持电容 (CH=C) 的值一旦确定，跟踪和保持的带宽如下 (见图29)：

$$BW = 1/2 \pi (R_{ON})(C_H) = 1/2 \pi (50)(9 \times 10^{-9}) = 354\text{kHz}$$

相角引起的非线性

前面的电荷引起的补偿误差的讨论中，假设栅极截止，信号仍然可以达到17.5V。如果输入信号在5V的峰值上被采样，FET的初始电压是2.5V，那么FET将截

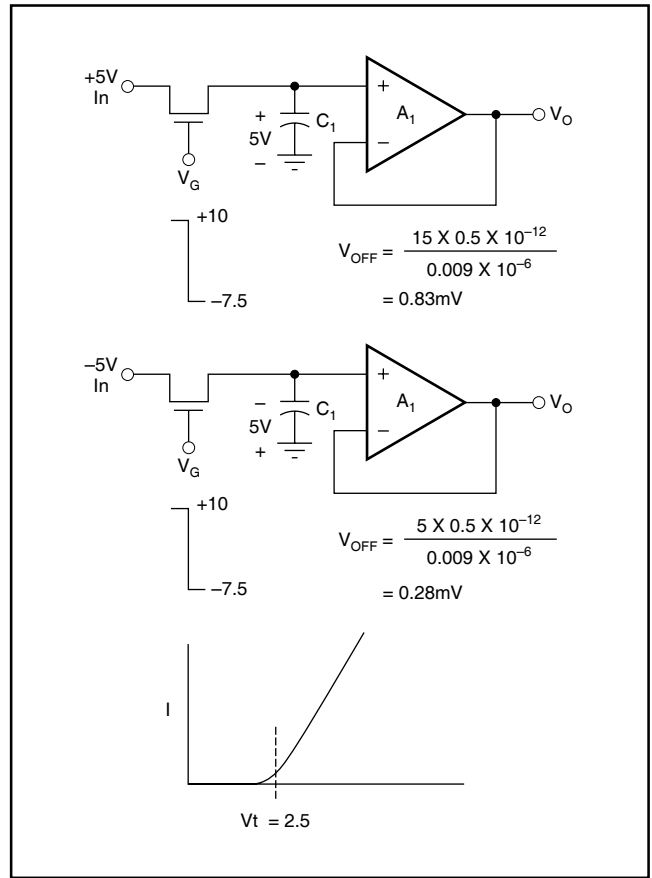


图30.FET初始特性和相角的非线性

止，此时栅极上的电压是7.5V。有效的栅极信号的变化将减少至15V，电荷引起的总补偿也会减少。

类似的，如果输入信号的采样的是处在-5V的水平，那么有效栅极变化将是5V。在前面的部分，我们计算了如果栅极变化电压是17.5V，那么补偿引起的充电电压将会是1mV。见图30，实际上电荷引起的电压的变化被信号电压调制，它的变化范围从正极限的0.83mV到负极限的0.28mV。当两种补偿电压都小于允许的误差时，这将不会是一个问题；此时保持电容相对较大。在后面的论述中我们将看到，这不是我们所希望获得的宽带工作的情况。当它成为一个严重的误差源时，由于这种影响，我们将再次考虑宽带工作设计。

信号馈通

信号馈通之所以发生是因为电容的影响，这个电容是从漏极连接到FET的源极电容。该电容由于版面的寄生电容或是其他偏离影响而产生的寄生电容。如图31，给出的是将输入信号耦合至保持电容，如下：

$$V_{FEEDTHROUGH} = (C_{DS} / C_H) (V_{IN}) = (0.1\text{pF} / 0.009\mu\text{F})(10) = 111\mu\text{Vp-p}$$

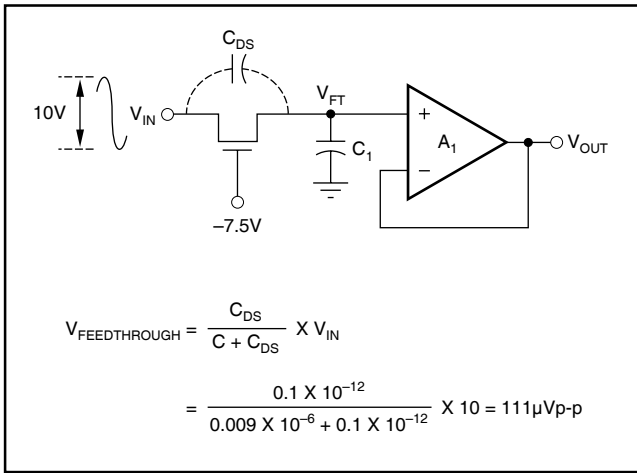


图31.信号馈通

这是一个允许的误差，这点我们将在宽带宽的设计中看到，这种设计必须采取较小的保持电容，而这样的电容不能一开始与规范不符。

孔径抖动

在一个采样和保持转换发生之后，当采样和保持开关打开时，孔径抖动或是不确定性是时间的变化量。（孔径延迟是采样到保持动态的共用时间，为的是打开保持模式的开关。）有两个孔径抖动：由于热噪声，电源就会引起噪声和阈值变化。如果我们考虑合适的过滤电压源时，就和我们用容易控制的电压源一样，这将不是一个孔径抖动源。作为一个实际的例子，因为测量的问题，确定孔径抖动的总量在系统中有所体现。这样的系统比限制到一个可接收的水平系统更容易存在严重的问题。测量孔径抖动的技术将在测量部分给出。假设与逻辑阈值相关的噪声是 $50\text{Nv}/\text{Hz}^{1/2}$ 这比典型线性放大器的噪声大十倍。更进一步的假设，逻辑电路的带宽形成的栅极信号频率是 300MHz 。逻辑水平的噪声变化是（见图32）：漏极噪声阈值变化量 = $(50\text{nV})(\sqrt{300\text{E}6}) = 0.87\text{mV}$

如果转换的逻辑信号比率是 $0.4\text{V}/\text{ns}$ ，那么孔径抖动是（如图33）：

$$\text{孔径抖动} = (\text{阈值噪声}) / (\text{逻辑回速率}) = t_A$$

$$= (0.87\text{mV}) / (0.4\text{V}/\text{ns}) = 2.2\text{ps}$$

这在高采样率的数据装换器件中可以忽略。孔径通过动态信号采样的变化来产生振幅噪声。这个噪声如下所示：

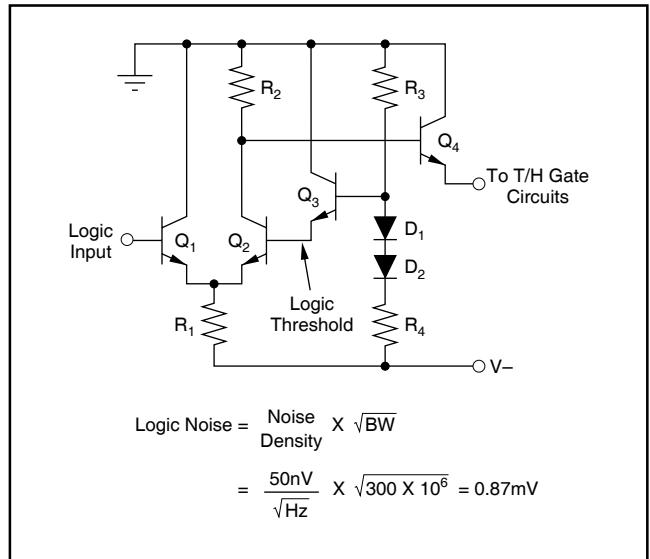


图32.逻辑噪声

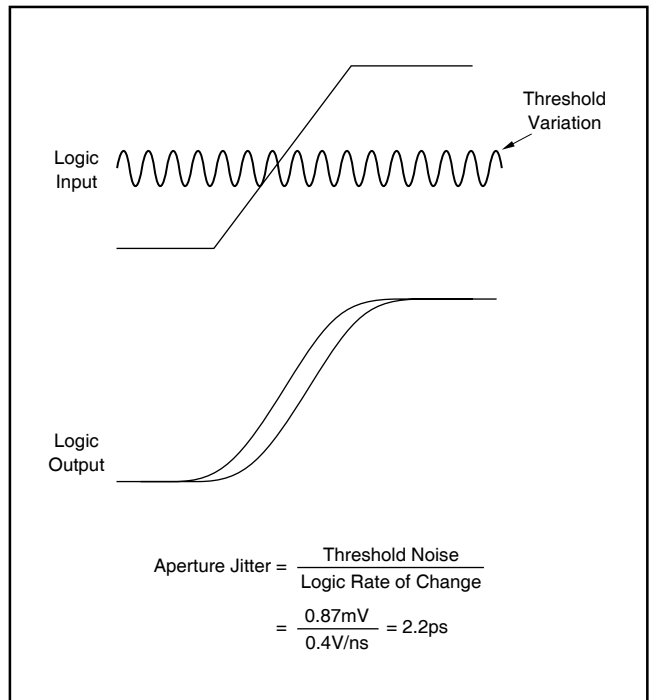


图33.孔径抖动

孔径引起的噪声

$$= (\text{改变的信号率}) (\text{孔径抖动}) = (de/dt)(t_A) = (FS)(\pi)(f)(t_A)$$

假设一个12位ADC的采样率是 20MHz ， $FS = 4096\text{LSB}$ ， $f = 100\text{MHz}$ ， $t_A = 2.2\text{ps}$ 。

$$\text{孔径引起的噪声} = (4096)(\pi)(t_A) = (4096)(\text{p})(10\text{E}6)(2.2\text{E} - 12) = 0.28\text{LSB}。$$

0.28LSB引起的噪声对于有着10MHz的1.2位ADC来说是可以接受的。图34和35给出了结果。

孔径延迟

孔径延迟是采样到保持的动态共用时间，打开保持模式中的开关。如图36所示。当多通道之间需要相互匹配时，控制孔径延迟就显得重要了。此时采样和保

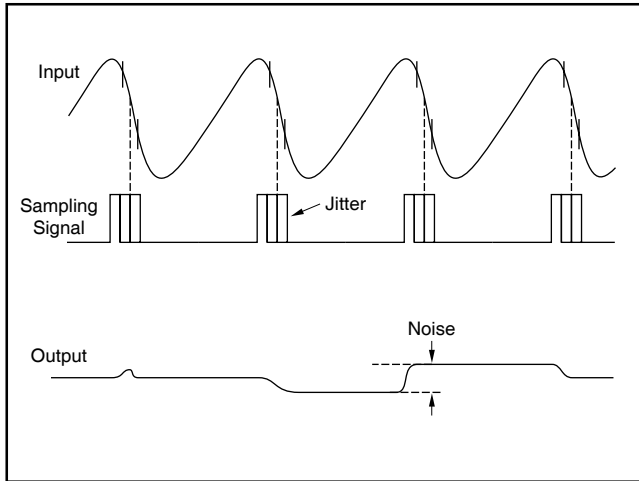


图34.孔径引起的噪声

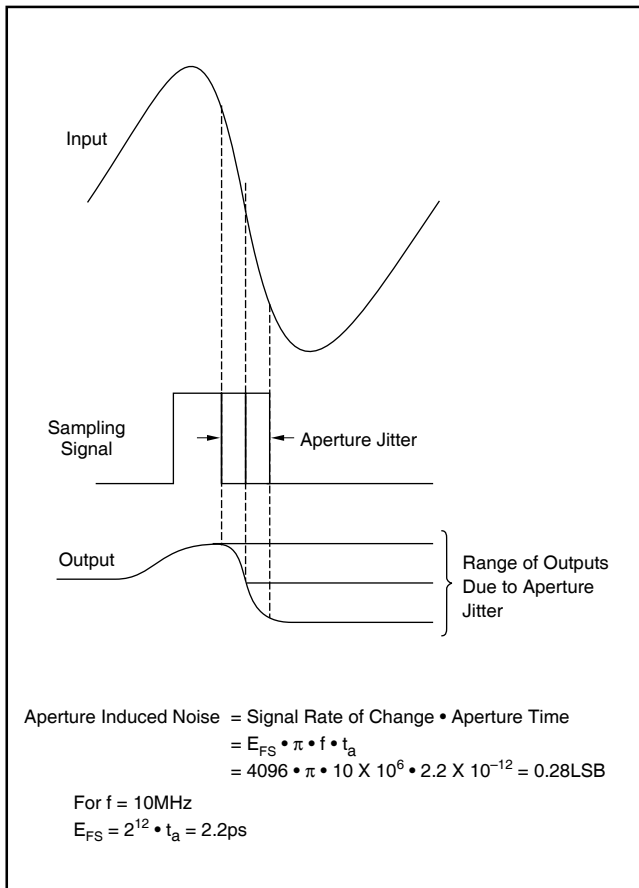


图35.孔径引起的噪声

持是处在保持模式，流过FET的漏电流和运放的输入偏置电流将会向保持电容放（或充）电。两种电流源在25°C时是50pA，因此电容就会以如下的速率改变（见图38）：

$$I/C = 100\text{pA}/0.009\mu\text{F} = 0.011\text{V/s}$$

如果采样和保持以10μs的转换时间驱动ADC时，那么在转换的过程中保持电压的值将会改变0.11μV。当任一源的允许误差是1mV时，在室温下这不是误差源。漏电流每10°C变化两倍，当工作温度增加至125°C，由于固定偏差，电压的变化在转换的过程中将增至0.11mV，这仍然低于允许值。宽频带的设计用到的是比较小的保持电容，可以很容易的满足这种需求，下面我们讨论，其他可以将固定偏差降低至可以接受的水平的方法。

收集时间

采样和保持收集时间的计算与决定运放的处理时间的计算方法相同。（确实是相同的情况。）采样和保持对一个大的信号改变时会有很大的回转响应，这种情况知道采样和保持改变的输出率在线性范围之内。

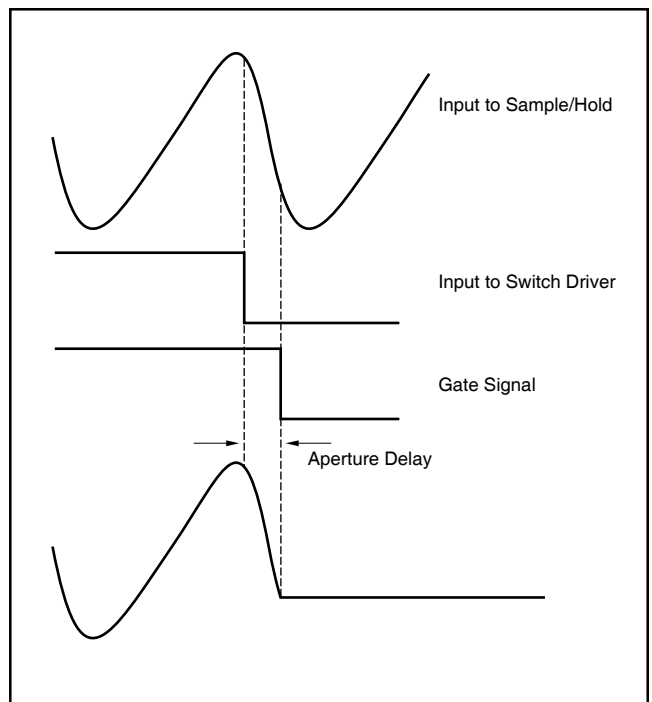


图36.孔径延迟

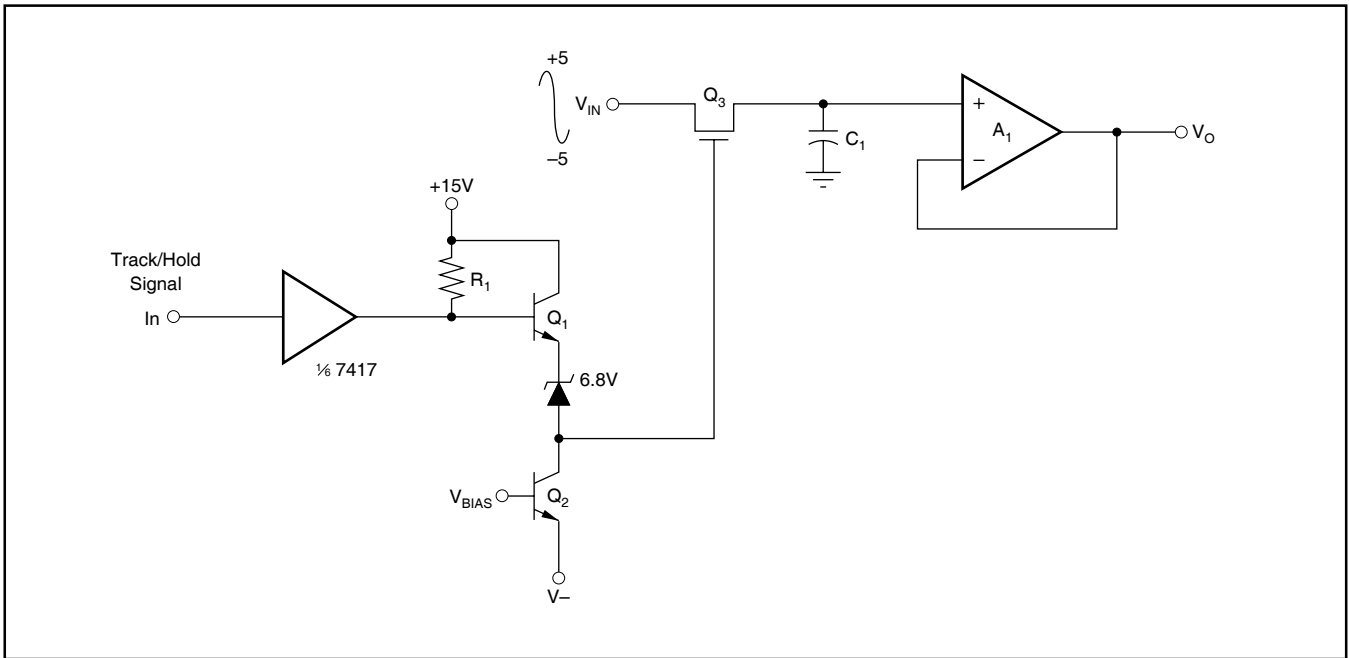


图37.FET开关驱动器

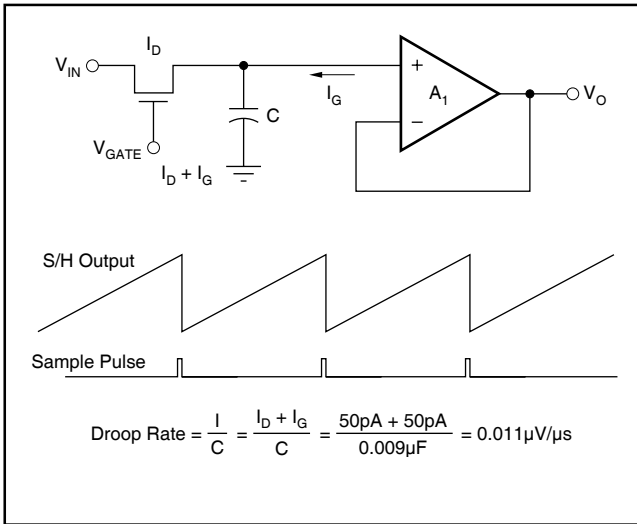


图38.固定偏差

当 V_{IN} 足够大可以改变FET时，采样开关的转换率由下式给出（见39）：

$$\text{Slew rate} = I_{DSS} / C_H = 25\text{mA} / 0.009\mu\text{F} = 2.8\text{V}/\mu\text{s}$$

采样和保持只有在输出在采样和保持的线性范围之内改变时，才会回转。（见图40）：

$$V = (R_{ON}) (I_{DSS}) = 1.25\text{V}$$

对于一个10V输入的改变，采样和保持只有当输出值处在最终值是1.25V到8.75V之内才会回转，这将会用去 $(8.75\text{V}) / (2.8\text{V}/\mu\text{s}) = 3.1\mu\text{s}$ 。收集时间余项就会发生，要保持1.25V时就必须在最终值的1mV之内处理。

假设单极稳定，稳定的线性部分由下面的公式给出（见图41）：

$$V = V(1 - e^{-t/R_{ON} \cdot C_H})$$

整理如下：

$$t = (R_{ON})(C_H) \ln(V/0.001)$$

$$t = (0.45\mu\text{s}) \ln(1.25/0.001) = 3.2\mu\text{s}$$

采样和保持的维持时间是回转和线性稳定的时间，或者是：

$$\text{Acquisition time} = 3.1\mu\text{s} + 3.2\mu\text{s} = 6.3\mu\text{s}$$

我们现在假设缓冲器和保持电容驱动的运放处理时间比上面提到的6.3μs还要小。实际上，获得处理时间低于1μs时的单片FET放大器是有可能的，收集时间会增加3%。

跟踪到保持的稳定

跟踪保持稳定时间由两部分时间组成：一是采样和保持从耦合到保持电容的栅极暂态恢复所花的时间，还有一个就是隔离输出端保持电容缓冲器的还原时间。设计的采样和保持电路有足够大的保持电容，因此跟踪到保持的稳定不是采样和保持的重要因素。另外一个例子可以更好的解释跟踪到保持的还原。

全功率带宽

采样保持的全功率带宽的计算方式与运放相同。

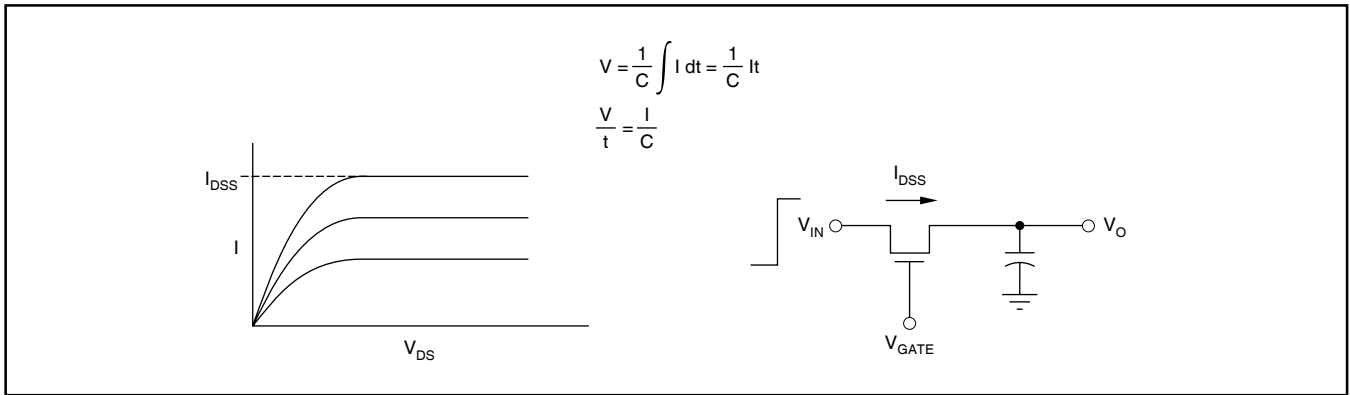


图39. 恒流源对电容的充电

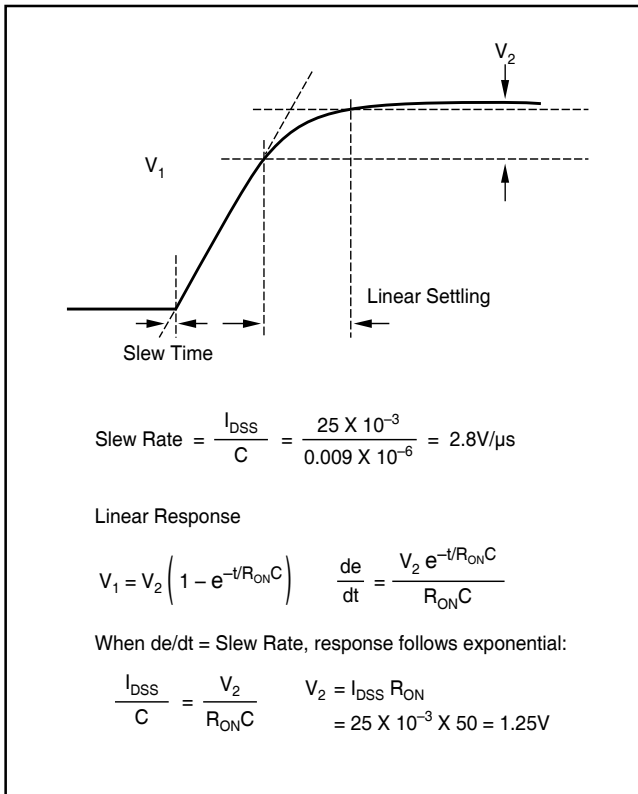


图40. 收集时间

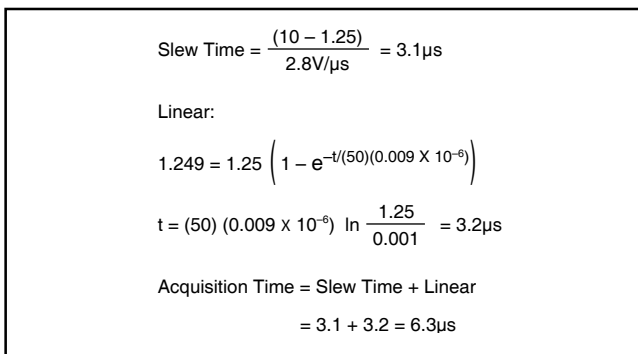


图41. 收集时间

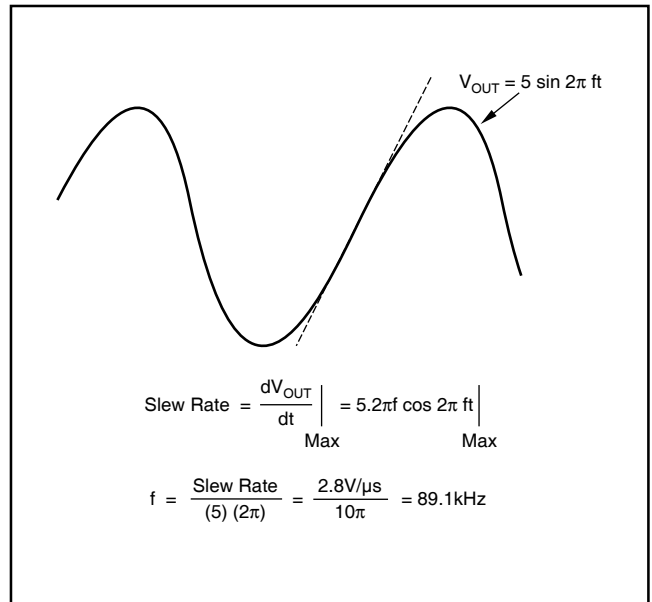


图42. 全功率带宽

我们知道全功率带宽很重要，它对工作在小于保持低水平失真的频率很有必要。设计例子如图所示（见图42）：

$$V_{OUT} = (5) \sin(2\pi ft) \text{ 和}$$

$$d_{V_{OUT}}/dT = \text{最大回转率} = 10(\pi) f$$

整理为：全功率带宽 = (换转率) / 10(π) = 89.1 KHz。
 上面的例子给出了如何逼近最简单的跟踪和保持的设计。尽管简单，但对于全功率带宽89.1kHz很有用，这个频率对于处理音频信号足够了。收集时间是6.2μs的采样和保持驱动一个转化时间为10μs的ADC，这个采样保持有足够的采样率足以处理音频信号。更进一步，这种电路会花费5-10美元。而设计这种电路相对

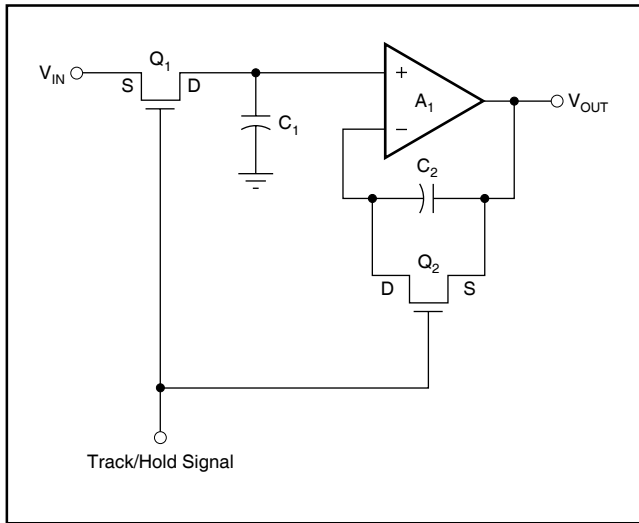


图43.平稳跟踪/保持

简单，它有限制的带宽。我们将给出几个跟踪和保持设计的例子，如何大幅度增大带宽，而这带宽的增加不会以牺牲太多的线性度为代价。

这个例子假设的目的是，我们很有必要将采样和保持电路的收集时间减少至300ns。这个设计比起先前的采样和保持电路会减少20二十个数量级。前面提到的保持电容的参考点必须减小到20的因子以下，以将收集时间从6.2s减小到0.3s。如果上面都已经做好，孔径引起的线性度和固定偏差会因为相同的因素增加。

当这种新设计的目标只获得±0.01%的线性度时，没有一个是可行的。图43给出了采样和保持的简化电路图，其采样和保持可以快速的工作，但仍然可以保持很好的线性度。跟踪和保持如图43所示比较快，原因是匹配的FETQ₁和Q₂的平衡连接。当这种跟踪和保持从跟踪到保持模式改变时，栅漏电容和保持电容与每一个FET相关，形成一个差分连接，因此可以忽略电荷引起的补偿和脉冲电平的误差。图44解释了原因。这种电路对如何匹配C₁和C₂，和FET的C_{RSS}一样变的敏感。下面给出了电荷引起的补偿误差的分析：

$$V_{OFF} = V_G \cdot \frac{C_{RSS}}{C} \left(\frac{\Delta C_{RSS}}{C_{RSS}} + \frac{\Delta C}{C} \right) = 17.5 (0.5/450) (0.05 + 0.05) = 1.9mV$$

带有平稳保持电容的采样和保持电路不需要满足1.0mV误差。现在我们仍然可以看到这种结构还原的稳定时间。就如同前面提到的一样，0.01的线性度可以满足有效的电压变化，这个波动不是与计算的V_{OFF}的一样大。收集时间与保持电容成直接的比例时，快速采样和保持的收集时间是300ns，一旦时间变快，我们必须考虑其他我们先前忽略的因素。单片FET运放的30ns处理时间现在变的可靠，因此该结构计算的收集时间必须增加。一个评价这种组合收集时间的近似方法“RMS”单个处理时间。当测量运放的输出时，收集时间是424ns。当用这种方法解决这个问题时，我

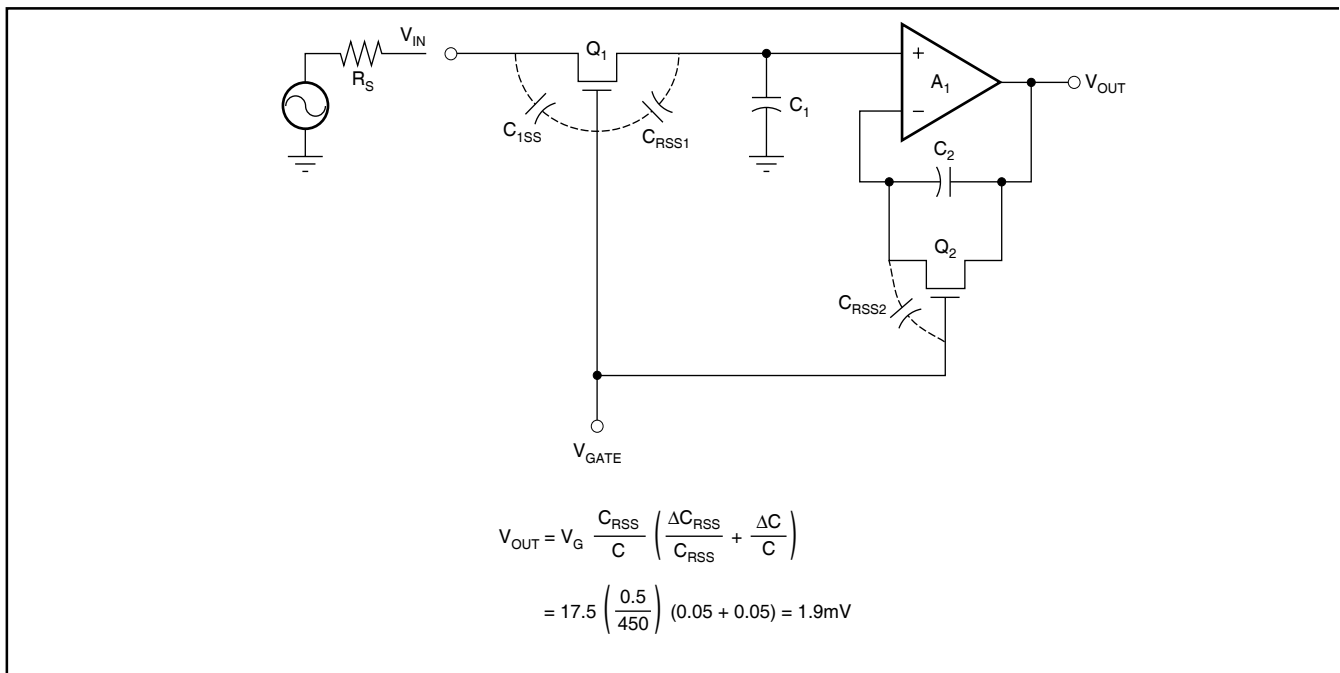


FIGURE 44. Capacitance Mismatch.

们给出了一个关于收集时间的妙处。前面讨论的两种结构给出的是采样和保持功能与相关的缓冲器和运放是分开的。这对于反馈结构是不合适的，我们将在后面讨论这种反馈结构。在一些系统的应用中，保持电容产生电压和缓冲器的输出之间的差别是很重要的。我们将在数模转换器中详细讨论一种重要的应用。这种数模转换器它的采样和保持驱动了一个分级比较的ADC。甚至是需要非常准确的输入信号。但这个电压不必与所知的初始转换电压一致。图45给出了保持电容如何在300ns时获得信号，而缓冲器的输出在424ns时达到相同的状态。

这个前面提到的电路的一个缺点就是源漏电容的栅极信号的电荷注入，如图44所示。驱动阻抗的特性是产生了大量的不确定性，就如同FET从打开到截止的时间内脉冲电平的特性一样。这种源会以相反的方式发生响应或迁入。跟踪和保持将会存储驱动源的结果而不是迁入的结果。跟踪和保持将从一个缓冲器的驱动中受益，可以消除这种问题。

另一个电路的问题如图43所示，馈通性能比较差。如果馈通电容是0.1pF，保持电容是450pF，馈通电压是 $(10) \cdot (0.1/450) = 2.2\text{mV}$ ，其超过了1mV的电压。为了减小馈通电压，保持电容必须增加至990pF。增加保持电容的值到990pF以减少馈通电压增加。通过保持电容的收集时间为600ns。

前面的计算给出了如何设计参数，这些参数能之间相互影响，甚至在设计完成之前，一个参数相对另一个参数需要作出修改。即使300ns的随机设计目标不可能达到，但这种电路不可能不用，通过改进，可以得到良好的性能。这种采样和保持电路的成本相对合适，大约是10到15美元之间。实际应用中，一个低于500ns的采样和保持电路可以非常有用，此时连接的是5μs的ADC，并可以得到整个电路的最小转换时间。

让我们回到开始设计的困难之处，这个设计是300ns的采样和保持电路。另一种值得考虑的结构如图46所示。这种结构带有一个开关FET，用来对转换反馈的放大器做加法计算。这种连接的优点是，可以驱动有很小栅极信号的FET，这个信号可以让保持电容变的更小。这种结构也有不同连接方式的补偿FET，因此这种电路只对匹配的FET敏感，而对 C_{RSS} 的绝对值不敏感。注意连接到求和节点的钳位二极管。当采样和

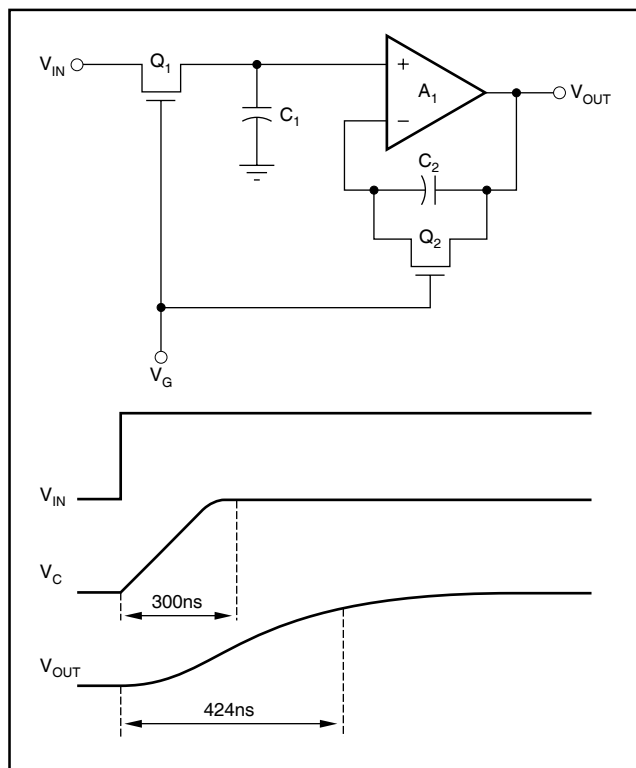


FIGURE 45. Difference in Acquisition Time Between Buffer and Hold Cap.

保持是处于工作状态，这些二极管减小不接近的FET信号。因此驱动信号的最小值应用于FET。尽管它比两个二极管连接的反馈和保持电路复杂，但馈通问题最小化的电路仍然应用于前面提到的两个例子。门级驱动的信号可以很小，直到开关锁定于运放的求和点。放大器的反馈趋向于将求和点的信号驱动至零。这也是将跟踪和保持线性化的工作，当电荷引起的补偿低脉冲电平不是独立的信号时，这种信号不是开始设计的那个信号。为了保证FET是打开的，在采样和保持模式中，我们用5V的信号。为了保证保持状态FET是截止的，我们用的电压是-2.5V。因此总的栅极变化量是7.5V。当在求和点放置二极管时，可以形成的输入到FET的最大电压是0.6V。从前面的例子我们可以看出，一个将馈通电压降至可接收的水平500pF保持电容就显得很有必要。直到反馈跟踪和保持电路将FET的有效输入电压减小至0.6V保持电容也可以响应的减小至60pF。这种跟踪和保持连接的有效小信号时间 $T = (2R_{ON} + R_F)C$ 。

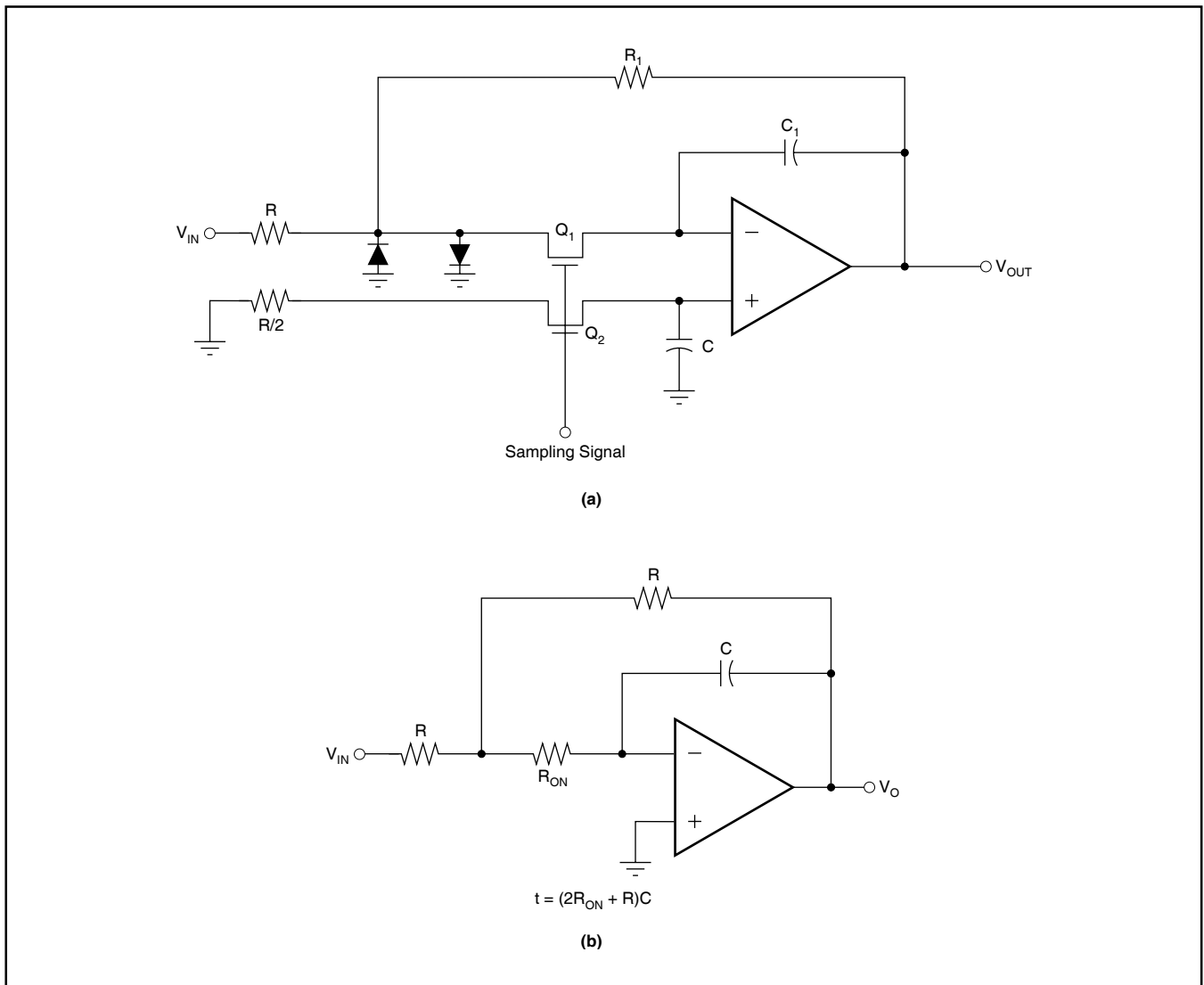


图46.采样/保持的转换

Amplifier will slew until slew rate = $\frac{E}{T}$

$T = (2 R_{ON} + R_f) C = (2 \times 50 + 300) 60\text{pF} = 24\text{ns}$

$E = T \times \text{Slew Rate} = 24 \times 10^{-9} \times \frac{200\text{V}}{10^{-6}} = 4.8\text{V}$

Acquisition Time = $\frac{\text{Input} - E}{\text{Slew Rate}} + T \ln \frac{E}{\text{Error}}$

$= \frac{10 - 4.8}{200\text{V}/\mu\text{s}} + 24\text{ns} \ln \frac{4\text{V}}{0.001\text{V}}$

$= 26\text{ns} + 203\text{ns} = 229\text{ns}$

Feedthrough = $0.6\text{Vp-p} \times \frac{0.1\text{pF}}{60\text{pF}} = 1\text{mVp-p}$

Input Clamped by Diode Feedback Capacitance

图47.反馈保持/保持性能

假设前面提到的FET用在回转率为 $20\text{V}/\mu\text{s}$ 和小信号带宽为 30MHz 的单片放大器上， R_f 为 $300\ \Omega$ 。放大器直到保持电压改变时才恢复，这种改变是处在运放的线性恢复率的能力范围之内的。这种跟踪和保持电路的小信号时间是：

$$T = [(2)50 + 300][60] = 24\text{ns}$$

这与小信号 6.6MHz 相符，因此跟踪和保持的小信号带宽由外部部分决定，而不是运放。因此，当跟踪和保持的保持电压变化至 4.8V 时，跟踪和保持可能停止回转。假设的回转时间是 $(10-4.8) / (200\text{V} / \mu\text{s})$ 。（见图40和41给出的收集时间。）保持时间是 241ns ($4.8 / 0.0001\%$) = 203ns ；因此跟踪和保持的时间是 229ns ，图46给出的是可以达到 300ns 的结构。图47概括了反馈跟踪和保持的性能。而跟踪和保

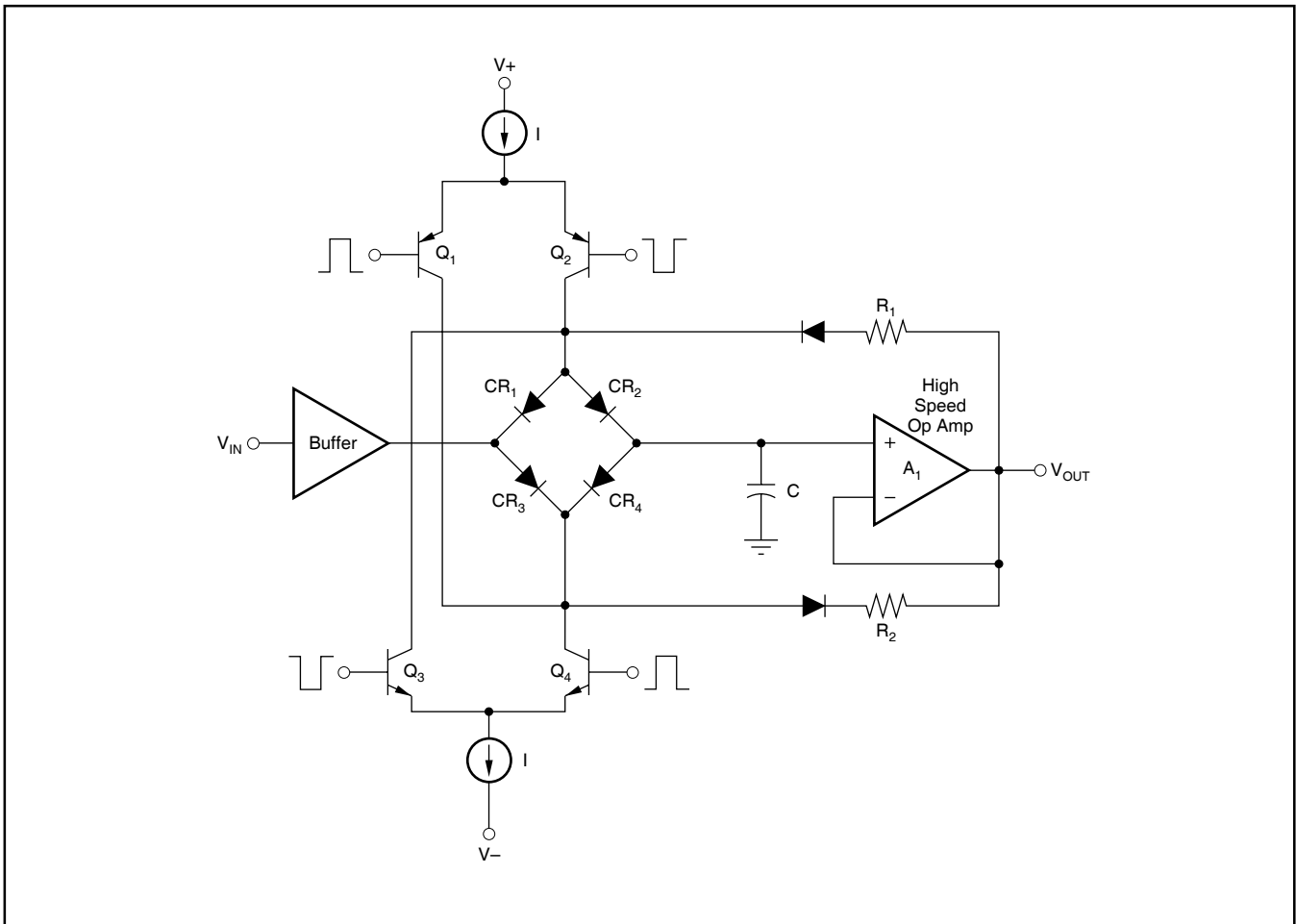


图48.超高速采样 / 保持电路

保持结构能够获得比较短的时间，这是以低输入阻抗为代价。当输入阻抗是 300Ω 时，许多运放有驱动 $\pm 5V$ 输入的能力，看起来这并不像需要很大的代价才能实现。

最后一个追踪和保持电路的收集时间比前面提到电路的要快上一个数量级。追踪和保持，如图48所示，尽管采样部分是不同的，但与前面提到的结构的某些部分是相同的。超高速采样和保持在桥结构中用热载流子二极管组成采样的部分。二极管虽然组成采样保持电路很困难，但可以获得高速采样速率，原因是于一个FET和低阈值电压相比，有更短的时间常数。举个例子，一个工作在 $5mA$ 条件下的热载流子二极管的阻抗是 5Ω ， V_D 是 $0.6V$ ，电容是 $5pF$ 。图48给出的是以个采样和保持电路的结构图，这中结构的收集时间是 $40ns$ ，电压的变化是以 $\pm 0.02\%$ 步进至 $2V$ 。采样和保持的测量孔径时间小于 $3ps$ 。（测量孔径时间的技术在

测量部分有介绍。）采样功能是通过转换热载流子二极管 C_{R1} 到 C_{R2} 的开和关的状态来控制的。采样模式下，流进二极管桥的电流代通过 Q_4 打开 Q_3 。 Q_3 和 Q_4 截止， Q_1 和 Q_3 导通，电桥又回到保持模式。导通 Q_1 和 Q_3 会对 C_{R1} 和 C_{R4} 产生一个负的偏置。当输出是这些偏置电压的参考电压时，会产生一个步进效应 C_{R1} 到 C_{R4} 的反偏置电压将与信号水平无关。当这种行为阻碍了电荷补偿的固定误差成为信号水平的非线性功能时，这将是设计很重要的一方面。将ECL信号耦合至开关晶体管 Q_1 到 Q_4 。这种保持电容通过高速缓冲器和在放大器前面提到的运放独立于输出。采样电桥通过高速开环缓冲器与模拟输出信号无关。

作为一种比较的方法，我们将通过计算给出这种跟踪和保持电路的各种不同的性能参数。我们可以通过下面的式子计算得出，二极管电桥与FET相比有一个更佳的性能。

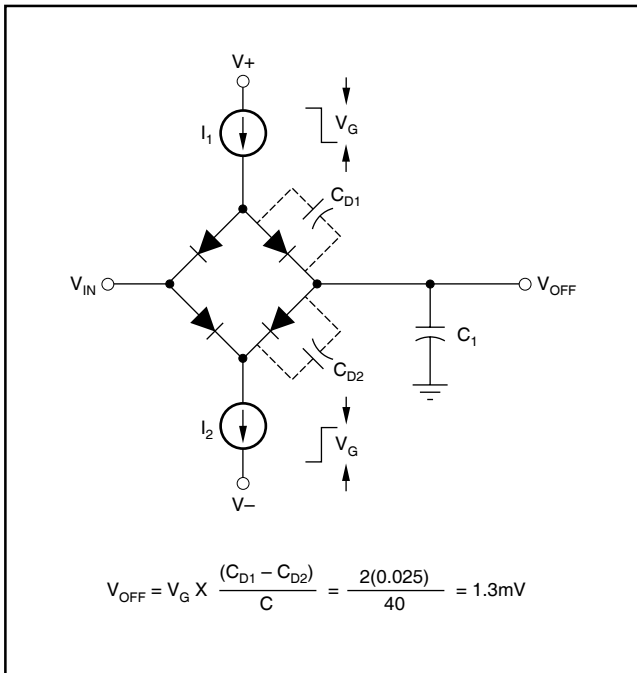


图49.二极管电桥的脉冲基地电平

电荷引起的脉冲基地电平误差

为了保证二极管电桥始终处于截止状态，我们用电桥的顶端和末端的互补信号来驱动二极管电桥。由于二极管电容的失配，电荷引起的脉冲基地电平误差主要由下式给出（见图49）：

$$V_{OFF} = (V_{OFF})(C_{D1} - C_{D2}) / C$$

有保护二极管可以将电容匹配至0.025 pf，（实际上应用中，我们将电容调整至这种水平，一旦调整，二极管电容可以被保持至0.025 pf。为了得到合适的动态性能， $V_G = 2V$ ，保持电容是40pf。代入上面的式子：

$$V_{OFF} = (2)(0.025 / 40) = 1.3\text{mV}$$

不同于FET的设计，当步进电压补偿这种独立于信号电压水平的补偿电压时，就会有一个补偿误差存在。

开关延迟脉冲基地电平误差

二极管桥开关有一个附加的误差源，而在FET开关中没有这一误差源。如果偏置电桥的电流源不是对称的开关，那么保持电容将开始放电直到其它电流源闭合。该误差在系统级出现，就像是一个补偿电压一样。为了第一级近似，交叉耦合忽略了时间失配，这

种失配存在于NPN和PNP开关对之间。然而由于不同水平的寄生电容的二阶效应，这里就会有一个典型的开关电桥互补信号的50ps失配。等效的电压如下（见图50，假设电桥电流是1或5Ma）：

$$V_{OFF} = I(T/C) \quad 5\text{Ma} \quad (50\text{ps} / 40\text{pF}) = 6.3\text{mV}$$

由于自举电路，这种效应独立于信号电压水平。

跟踪到保持的还原

跟踪保持的还原是跟踪和保持响应到保持的恢复时间的测量值。前面提到的三种结构都独立于采样部分，无论它是一个FET还是一个二极管，严格转换相类似的波形和转变特性。总的来说，这是不会发生的，这是因为一个小信号将会流入缓冲运放。跟踪到保持的恢复是一个复杂的计算过程，代表性的波形如图51所示。

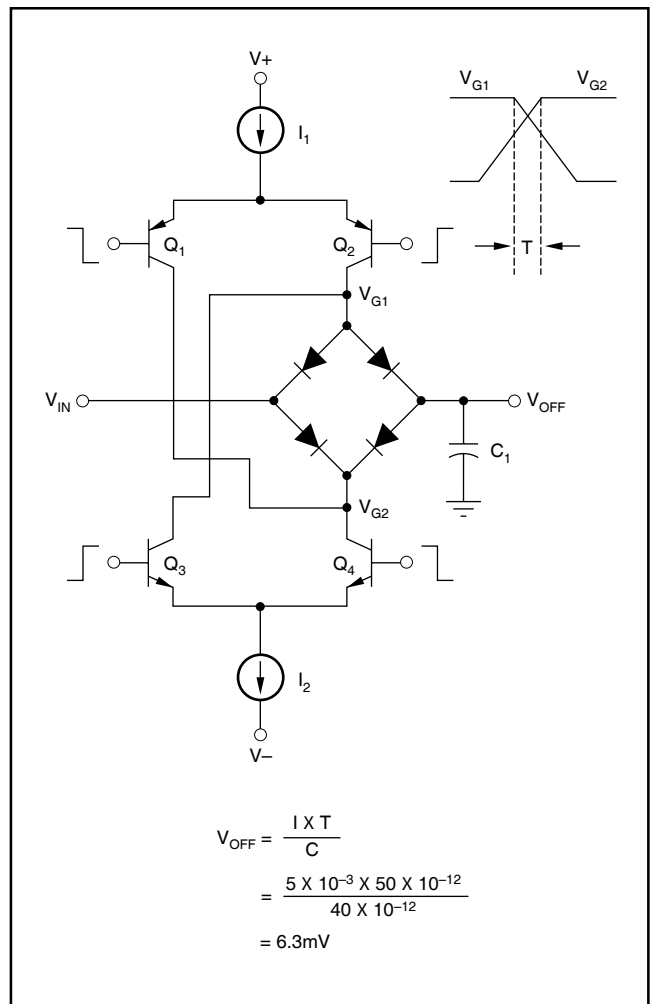


图50.转换延迟

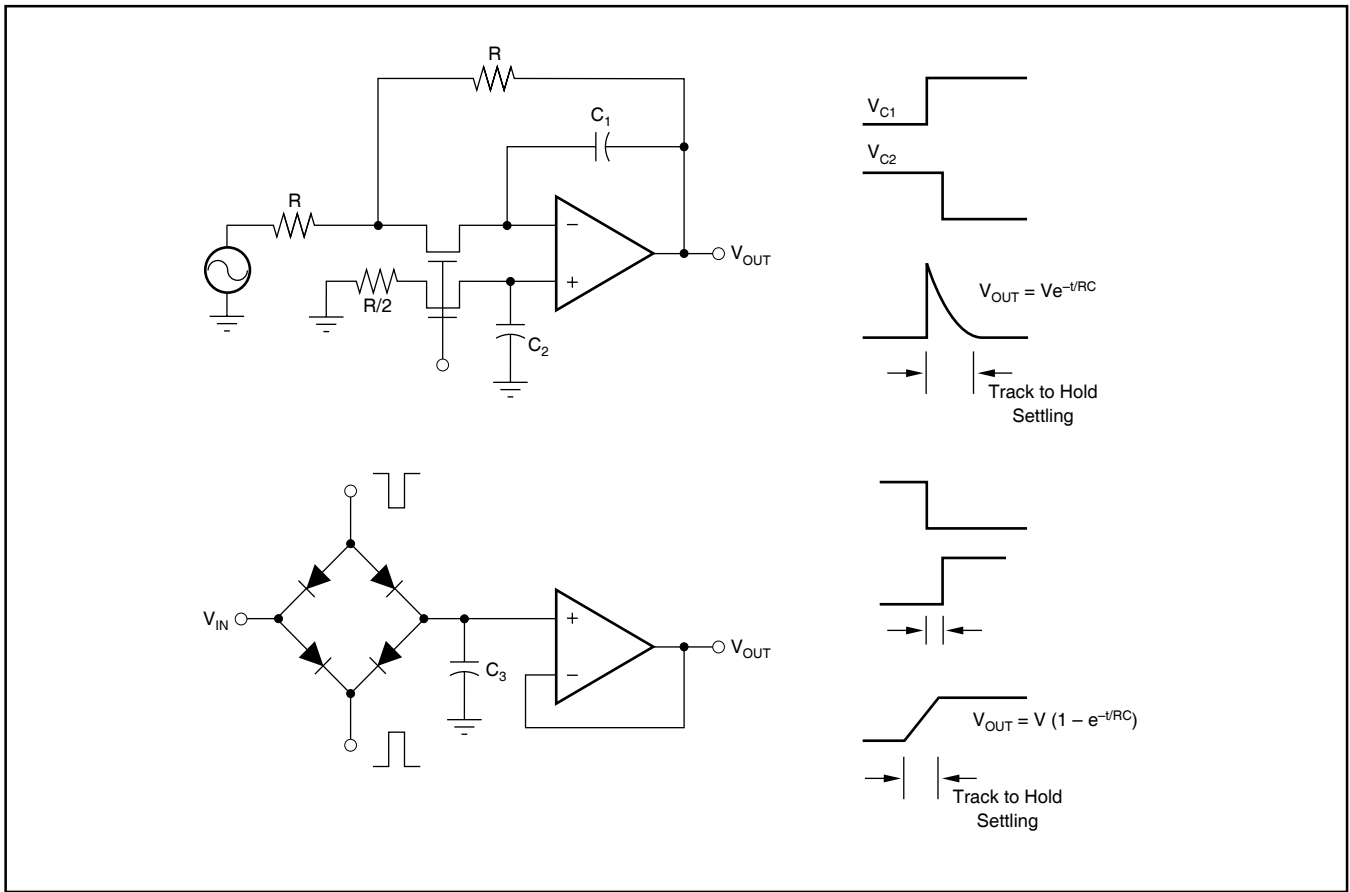


图51.跟踪到保持的的还原

信号馈通

当处于截止状态时，电桥的顶端和末端之间有一个低电阻，因此阻碍了信号在那条路上耦合。由于版面的原因，信号馈通一定会发生，带有保护耦合电容 0.01pF 可以从电桥的输入和输出端获得馈通电压。电桥馈通电压是（图52给出的是在截止状态的电桥）：

$$V_{\text{FEEDTHROUGH}} = V_{\text{IN}}(C_C / C) = 2(0.01 / 40) = 0.5\text{mV}$$

窗口抖动和延迟

可以获得不小于 3ps 的窗口抖动和 3ns 的窗口抖动。加入多频 ECL 的接口电路，就可以得到更小的窗口延迟。

固定偏差

带有一对匹配的热载流子的二极管可以获得的漏电流比 FET 的电流要高出很多。采取合适的热水平的版图，可以得到 1nA 的漏电流，固定偏差的计算如下：

$$\begin{aligned} \text{固定偏差} &= 1\text{nA} / 40\text{pF} = 25\mu\text{V} / \mu\text{s} \quad (25^\circ\text{C}) \\ &\text{或 } 25\text{mV} / \mu\text{s} \quad (125^\circ\text{C}) \end{aligned}$$

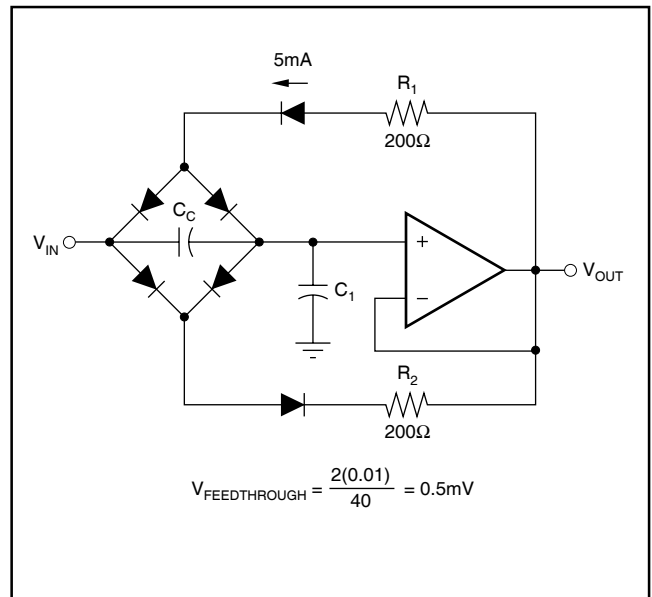


图52.截止状态的电桥

收集时间和全功率带宽

为了完成比较，我们将用前面提到的证明方法来计算收集时间和全功率带宽。设计最快的采样和保持电路只能产生2V的波形，因此等效误差的0.01%是0.2mV。假设放大器的带宽是80MHz,回率是300V/ μ s。图53给出了这种计算。

正如前面提到的，追踪和保持最一般的应用是置于数模转换器前以减少窗口时间。数模转换器的最后一个部分给处理另一种应用，这种应用给出的是追踪和保持如何应用于抗尖峰脉冲的DAC。第三种应用就是如何将追踪和保持电路用于制作一个精确的峰值探测器。图54给出了峰值探测器的框图。延迟线和比较器

$$\begin{aligned} \text{Amplifier will slew until slew rate} &= \frac{E}{T} \\ T &= \frac{1}{2\pi B\omega} = \frac{1}{2\pi \cdot 80 \times 10^6} = 1.99\text{ns} \\ E &= T \cdot \text{Slew Rate} = 1.99 \times 10^{-9} \cdot 300\text{V}/\mu\text{s} = 0.6\text{V} \\ \text{Acquisition Time} &= \frac{\text{Input} - E}{\text{Slew Rate}} + T \ln \frac{E}{\text{Error}} \\ &= \frac{2 - 0.6}{300\text{V}/\mu\text{s}} + 1.99\text{ns} \ln \frac{0.6}{0.0002} \\ &= 4.7\text{ns} + 15.9\text{ns} = 20.6\text{ns} \\ \text{Full Power Bandwidth} &= \frac{\text{Slew Rate}}{(V_{\text{PEAK}})(2\pi)} \\ &= \frac{300\text{V}/\mu\text{s}}{(1)(2\pi)} = 47.7\text{MHz} \end{aligned}$$

图53.高速采样/保持的收集时间和全功率带宽的计算

是用来形成实时锁定尖峰脉冲发生的点的数字方法。比较器的输出允许跟踪和保持电路跟踪信号直到峰值被锁定。一旦峰值产生，比较器转换状态，因此将跟踪和保持电路置于保持模式，存储峰值信息以备进一步的处理。

数模转换器

图56所示的原理图是一个高速数模转换器的典型结构。图56所示的数模转换器兼容于ECL,但与TTL兼容的DAC有很多组成部分是相同的，它们的核心电流控制部分是相似的。最近，CMOS技术已经应用于设计高性能数模转换器。CMOS DAC有12位的分辨率，但不能获得与双极技术相同的速度。近来GaAs技术被用来设计超高速DAC，其还原时间是1ns左右，在某种程度上与双极设计有着相类似的拓扑结构。因此了解双极技术的高速数模转换器会对理解高速高分辨率的DAC带来方便。与高速开关一起，其他部分比如“伺服放大器”，其高度精确的数模转换器的典型的电路小于5ns，分辨率是16位。这种我们将要讨论的DAC有12位的分辨率，还原时间是25ns,可以达到 $\pm 0.01\%$ 的精度。它可以工作在-55 $^{\circ}$ C到125 $^{\circ}$ C的范围内。这是一种典型的目前单片工艺可以达到的转换器。DAC工作在20V，它包含一个1GHz的NPN，该NPN还包含一个薄膜电阻，后面我们将要讲到，薄膜电阻是用激光平衡技术在一个很宽的温度范围内获得的12位线性度的。进一步说，薄膜电阻能在一个长时间内保持精确度，它对于制造高速，高分辨率，低耗数模转换器提

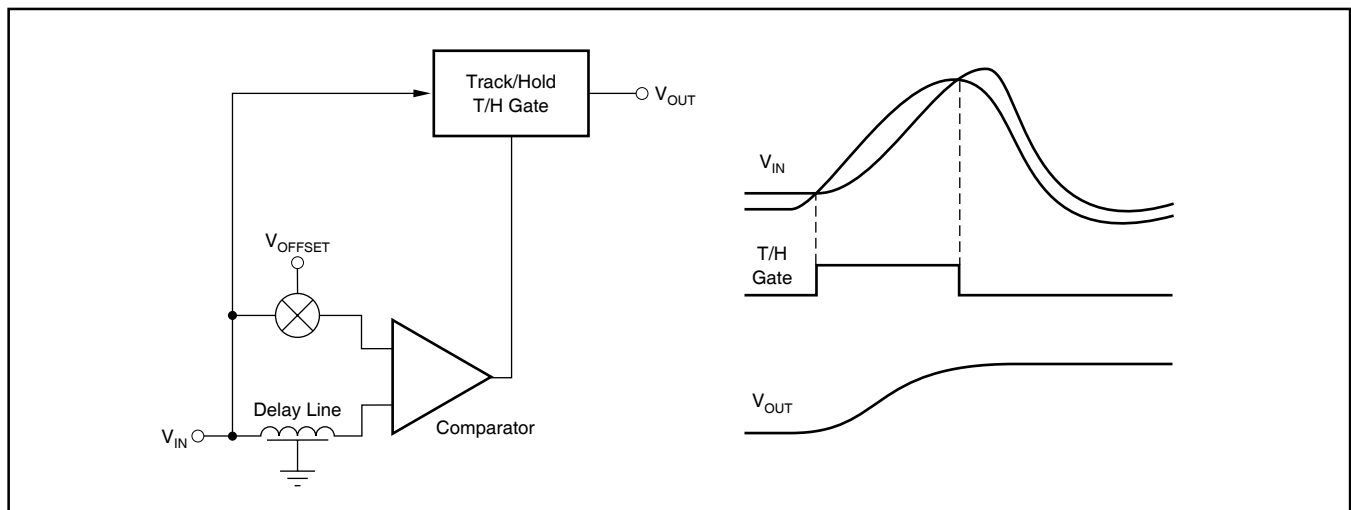
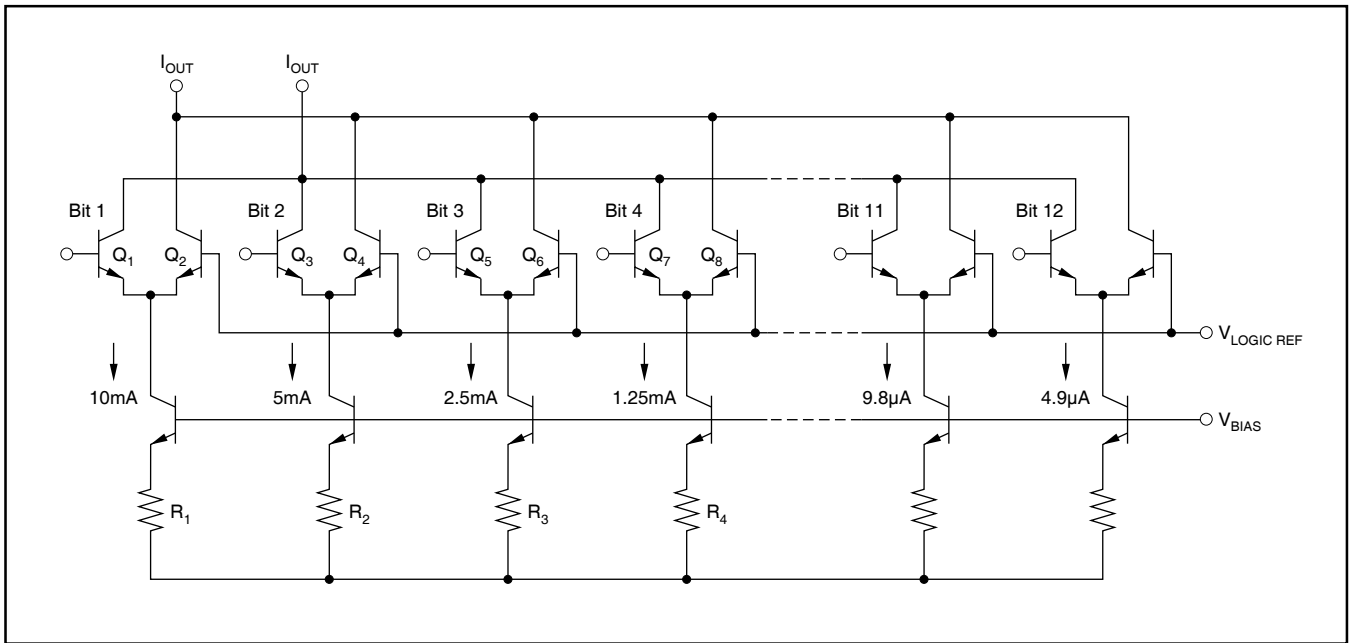


图54.峰值探测器



54. 峰值探测器

供了一个可以信赖的技术。将要讨论的转换器是一个单片器件，它包含高精度电流开关，伺服放大器，低漂移参考点。只有很少的电容太大以至不能集成，需要作为滤波和旁路的片外器件。

该转换器由12个开关组成，在非饱和状态下工作。为控制通过输出开关的电流能足够快，避免饱和就显得很重要了。一旦晶体管饱和，恢复时间就会以12或更大的因子递增。有很多方法可以得到于该DAC相近的设计。我们将讨论该图设计的考虑，在我们给出解释之前，我们将给出不同DAC结构的概述。其中的一种方法就是二进制，单个的位开关和后面的求和输出如图55所示。用该方法可以得到很高的精确度。在如此宽的电流范围内，精确的匹配分立的电流源和开关很难。如果一个12位的DAC的满刻度输出电流是10mA。那么LSB（低位）将是4.9μA。这个值太小以至于不能获得高速的开关。另外，当所有的开关都是并行的，那么输出电容将变的相当快。二进制DAC的唯一可取之处是：不会损耗电流，这种类型的数模转换器的网络耗散比其他的设计方法要低的多。

另一个接近这种设计的方法是12位等值的电流开关。12位等值的电流开关是通过R-2R电流的二进制权，如图56所示。12位等值权的电流源与伺服控制环精确匹配，如图57所示。该伺服环使输出电流值与参

考电流一致。（在电路的容限之内）参考电流连接到运放的正极输入端和晶体管Q₁的集电极。这个通过Q₁的参考电流是相同的，附加的基极电流会产生射极电流。Q₁的射极电流是Q₂的集电极电流。电压电流通过Q₂的基极和集电极产生，通过R₁的电压和通过Q₂的R₁产生相同的电流。Q₃的集电极电流是Q₅集电极电流，依次从作为输出电流源的Q₅处产生。图57给出了分析的例子，如果所有的晶体管和电阻的匹配很好，那么输出电流将会等于参考电流。实际上制作相同的晶体管和电阻技术中，这将在单片工艺上实现的理想技术。下面我们将给出误差源的详细分析。一个用这种方法设计的数模转换器有最小的失灵性能，但是以高功率耗散为代价的。“失灵”指的是不确定DAC的输出，当数字输入改变发生时，DAC的转换不会立即改变。我们将在高速模数转换器的最后一个章节给出低失灵DAC的设计。

实际的数模转换器是前面提到的两个例子的混合体，如图60所示，从MSB开始（最高有效位），电流是二进制权的，直到电流足够小可以影响转换速度才结束。

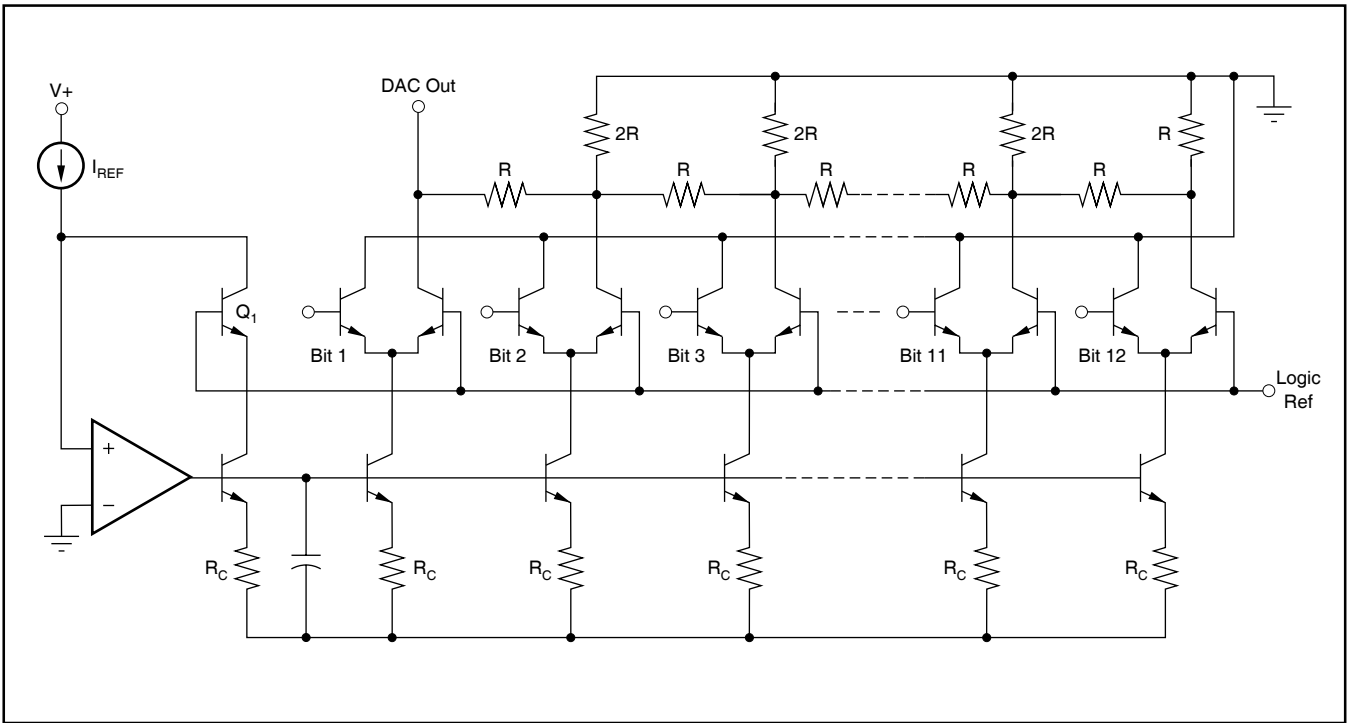


图56.等电流的高速DAC

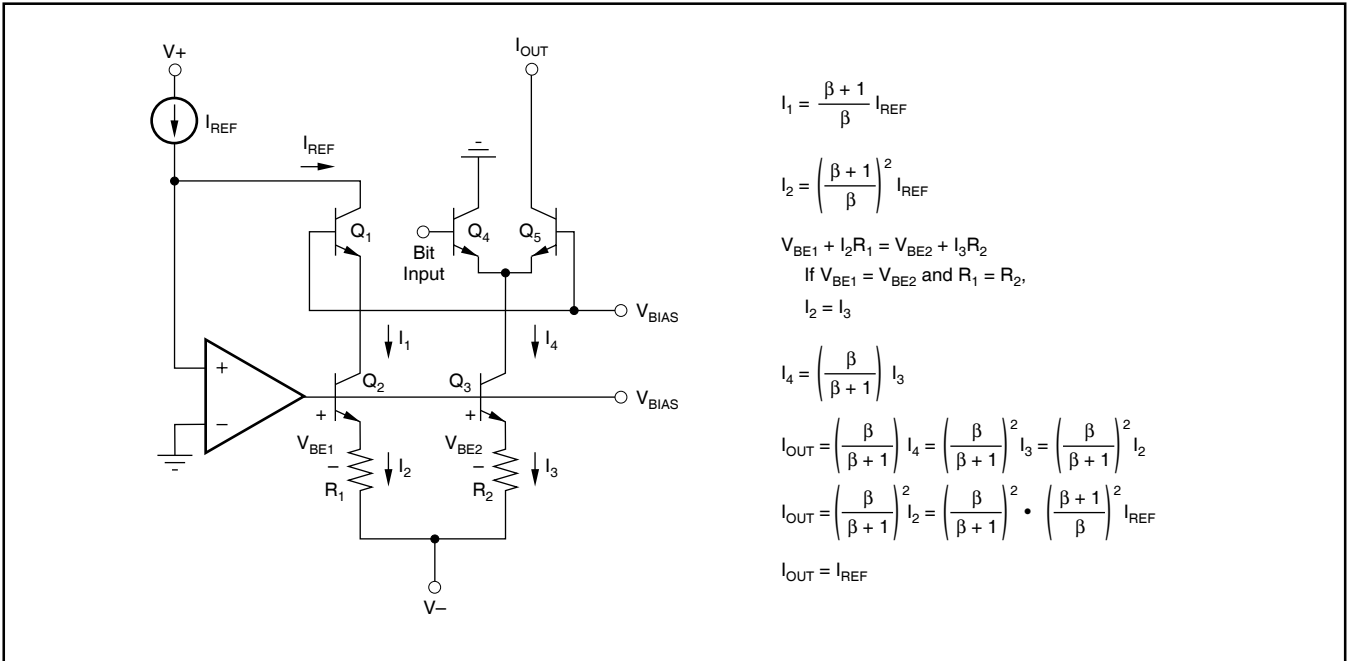


图57.DAC伺服环路

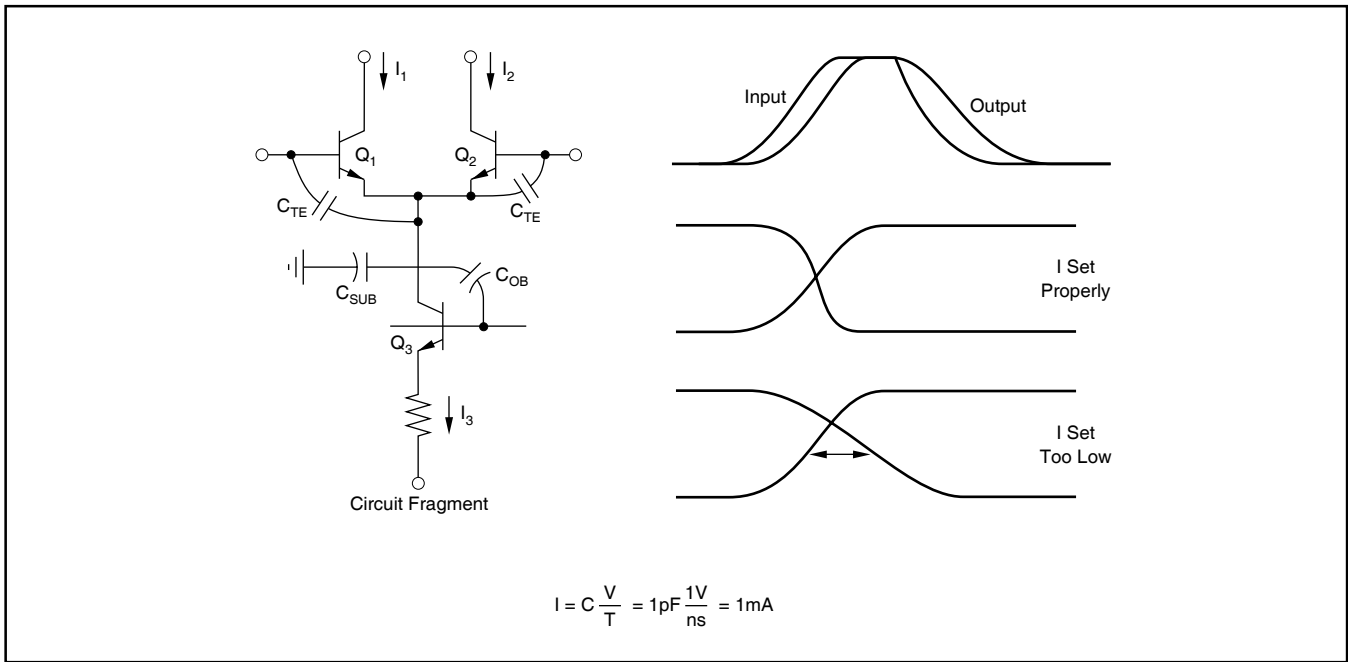


图58.DAC开关

尽管MSB的电流与LSB的电流不是相同的值，但当电流密度相同时，匹配是可以持续下去的。电流的密度是可以通过制作控制大电流、实体更大的二极管来保持。因此这将产生与晶体管相同的电压降。这与并行放置晶体管类似。图58给出了描述表示一个DAC电流开关的转换电路。该射极耦合对能够非常快速的装换，积极响应通过输入逻辑改变， Q_1 是作为一个射极输出器。该设计输出器可以驱动连接一般模式的电容，这种模式下， Q_1 和 Q_2 的射极是连接在一起的。如果驱动 Q_1 的基极，ECL在 Q_1 的射极的输出速度有ECL输出的改变率决定，该速度大约是1V/ns。为的是获得低失灵性能。为了获得低失灵性能，DAC传播延迟是负值，同时也有正的逻辑变化。因此，当逻辑输入是负的时候，由电流源 Q_3 提供的转换电流可以提供足够的电流驱动第一个电容时，以使其射极的电压改变，跟踪负值输入信号。不同的数模转换器的设计驱动的电开是不同，这意味着转换的每一部分都可以自主的驱动节点电容，而不是依赖于电流的转换。当这种方法解决了低位高电流的供应问题，但它是牺牲提供的差动驱动器为代价的。如果是这样，那么芯片必须有一个附加的十二位的输入，同时用户必须提供差动输入。另外，将一个差动驱动器置于芯片之上，这种做法的代价是速度的降低和电路复杂度的提高。采用一个特别的方法以强调简化性。回到手

边的设计：需要形成一个跟随的负逻辑变化的电流的总量（见图58）：

$$I=C(V/T)$$

这里的C是节点电容，(V/T)是逻辑输入变化率。

$$I=1\text{pF}(1\text{V}/\text{ns})=1\text{mA}$$

另一个附加的电流是用来保证两个方向上的传输延迟，这样的话，最低有效位的最小电流就设置成了1.25mA。MSB的电流转换是四倍于最低有效位电流，5mA。下一位，位2，是最低有效位的两倍，或是2.5mA。位3到12都是1.25mA。位1到3连接在一起，而位4到12是通过R-2R的梯度，以形成合适的二进制权。为了保持高准确性，位1和2都是物理进制。物理进制可以认为是并行放置的单元电流开关，因此允许通过伺服放大器选取合适的匹配和补偿。图59给出了实际的电路。典型的输出电路梯度是250欧姆（见图60），因此DAC的输出电压变化是2.5V。为了更大的灵活性，将一个电阻连接到正的参考端，这个端口允许DAC的输出能够相对于地有±1.25V的变化。为了提供-1.25V的电压，必须注意输出晶体管不是饱和的。图61给出的是一个电路的框图，它包括寄生集电极电阻，我们必须去除这个电阻。

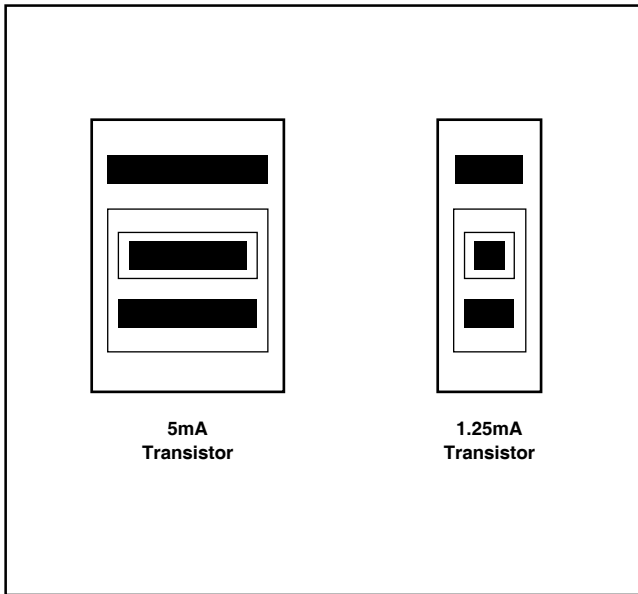


图59.进制权晶体管

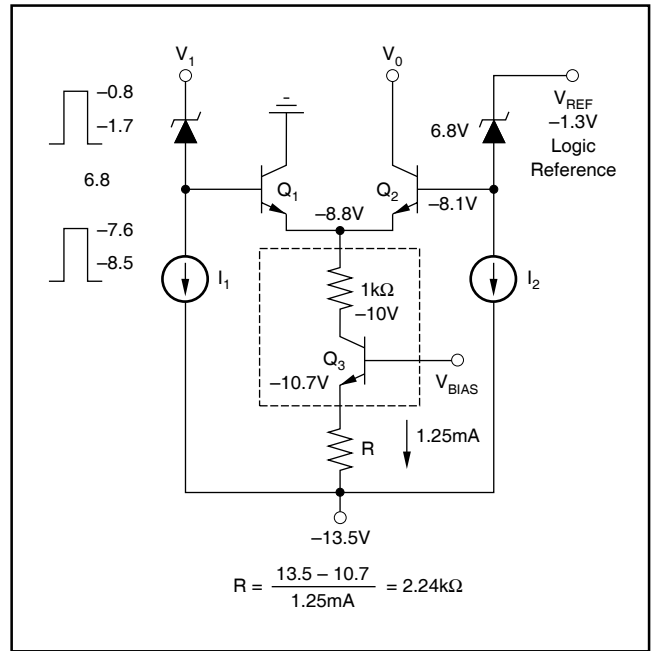


图61.DAC偏置电压

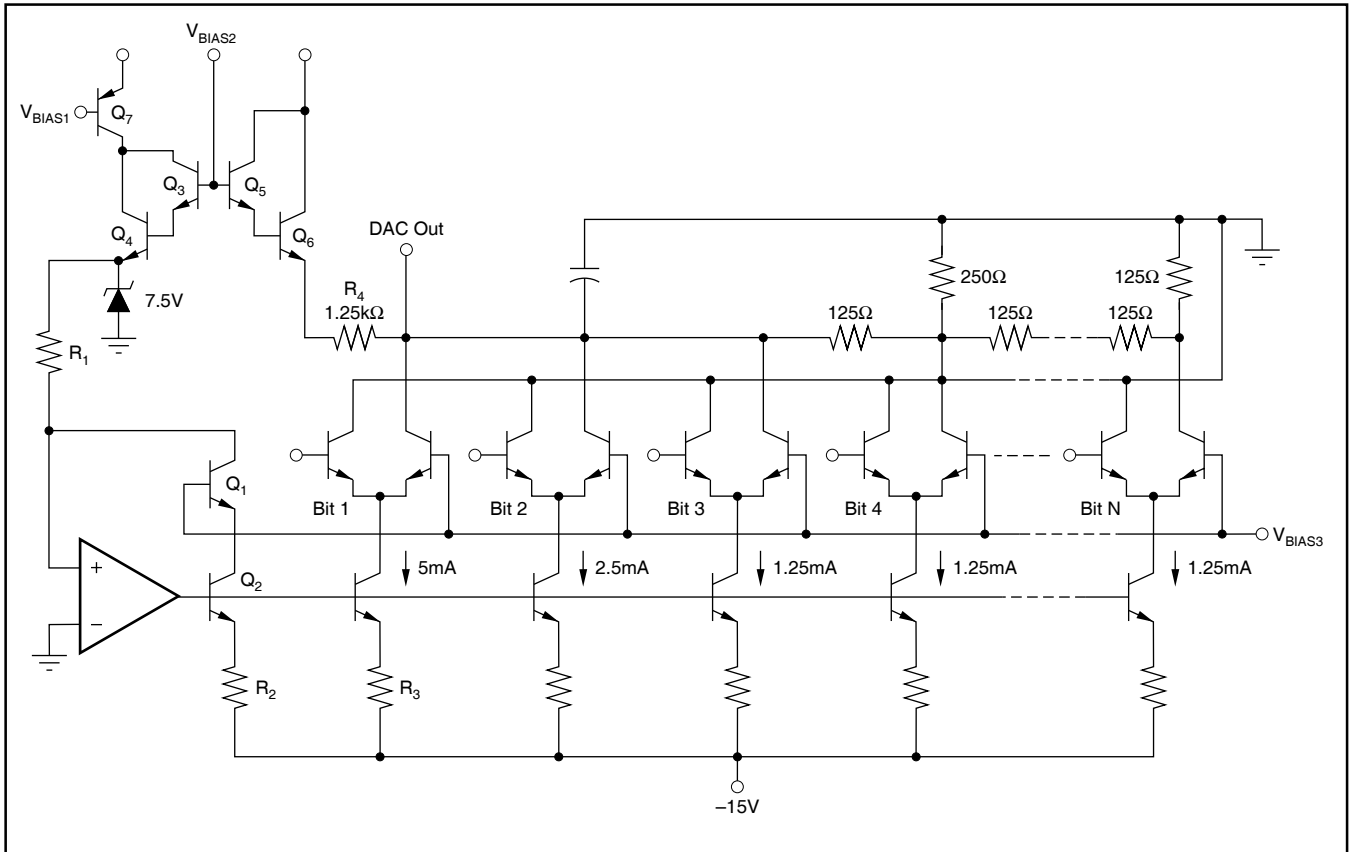


图60.寄生DAC

这个图片给出了转换的齐纳击穿，因此DAC开关可以与ECL输入端实现接口。一个6.8V的齐纳击穿是非常有用的电压转换器件，阻抗的值比较低，大约是50欧姆，这对于保持高速很有必要。当ECL的处在-1.7V的低电平时， Q_1 基极的电压是-8.5V。当 Q_2 的基极电压是-8.1V时， Q_1 将截止， Q_2 导通。即使 Q_1 微导通，传导的总量对于12位的器件是可以忍受的。晶体管上的DAC饱和电阻的设计的是1k Ω ，电路是1.25mA，实际集电极的电压是-10V。在最坏的情况下，或是饱和的开始。因此，在这种条件下， Q_3 的射极是-10.7V。对于大的精确度来说，尽可能的产生一个射极负反馈电压。最大电压产生于射极电压是-10.7V，电源供应电压是理论上是-15V，最低时是-13.5V。在这种条件下，射极反馈电压是： $13.5 - 10.7 = 2.8V$ 。射极反馈电压将是 $(2.8V) / (1.25mA) = 2.24k\Omega$ 。

提到图62，它给出的是一个典型的DAC开关和电流源的原理性产生误差部分的分析，有三个误差源，这三个误差源可以通过组装DAC之后的调整来消除。通过设计，必须消除两个误差源。三个误差源可以调整至零或平衡是次要的。晶体管的匹配和薄膜电阻的匹配。当这些误差产生的效应可以在室温下消除时，它们在室温下是变化的。举个例子：晶体管的系数是150，温度系数是7000ppm/ $^{\circ}C$ 。这意味着在室温下集电极于发射极电流的的比值是 $150 / 151 = 47ppm / ^{\circ}C$ 。这意味着室温下发射极到集电极的电流的比率是 $150 / 151 = 0.99348$ 。125 $^{\circ}C$ 时，这个比率是0.99609。因为伺服环路的补偿作用，经验告诉我们，通过因子200获得进一步减小是可以得到的，因此，由于这种效应导致的温度纯漂移是0.24ppm/ $^{\circ}C$ 。如果小心匹配晶体管 Q_2 和 Q_3 ，它们的 V_{BE} s可以跟踪至1 $\mu V / ^{\circ}C$ 。转化的精确度效应是 $(1\mu V / ^{\circ}C) / 2.8V = 0.36ppm / ^{\circ}C$ 。最后，如果电阻选择合理的话，可以获得0.5ppm/ $^{\circ}C$ 的阻抗匹配。附加的这三种效应产生该温度下的净电流源是：

$$\begin{aligned} \text{温度改变量} &= (2) \text{Beta} + V_{BE} + \text{Resister} \\ &= 0.47 + 0.36 + 0.5 = 1.33ppm / ^{\circ}C \end{aligned}$$

假设这些误差可以在室温下调整至任意精度，任何一个100 $^{\circ}C$ 的温度改变的位转换都会带来133ppm的变化。这种变化意味着如果这些假设的跟踪值可以达到，那么就很难得到高增益的，有 $\pm 1/2LSB$ 线性度的DAC。制作高精度的数模转换器对设计，版图，工艺，制造技师的要求很高，这样做的目的是为了控制前面设计的单元有足够的精度。实际上，制作一个有

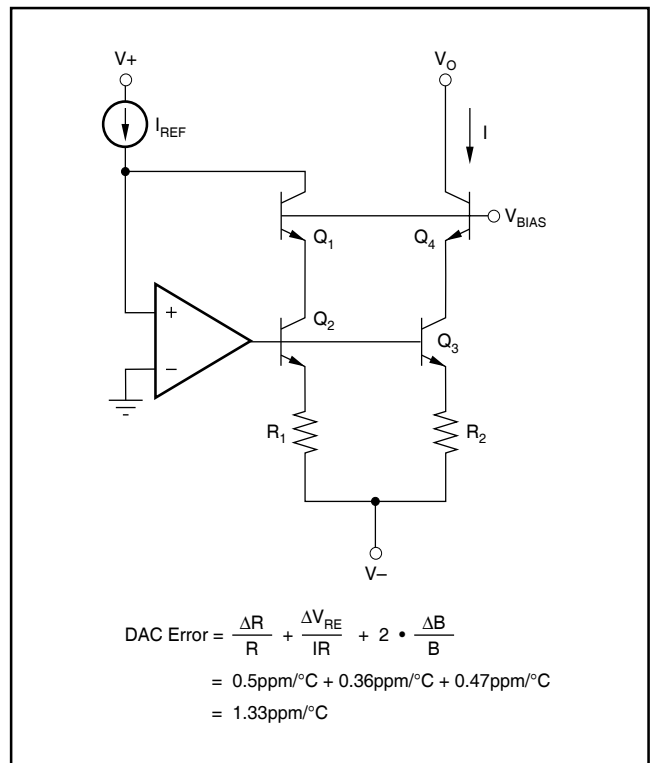


FIGURE 62. Trimmable DAC Errors.

$\pm 1/2LSB$ 的精确度，温度变化范围从-55 $^{\circ}C$ 到+125 $^{\circ}C$ 的DAC不是一件难事，上面提到的参数实际上都可以达到。

其它两个误差源可以通过合适的设计来消除：输出阻抗和重叠误差。由于存在DAC转换状态的射地-基地放大器的特性，输出阻抗由下式给出（见图63）：

$$\begin{aligned} R_{OUT} &= (\text{Beta}) (V_A / I) \quad (V_A = \text{Early Voltage}) \\ &= (150)(200/10) \\ &= 3Meg \end{aligned}$$

当步进阻抗是250 Ω ，输出阻抗的误差就是83.3ppm，它低于12位设计的122ppm的目标。当这有一个不同的值的时候，输出阻抗会产生一个非线性的误差，该不同值是发生在开关是打开的时候。

最后一种需要考虑的误差源是重叠误差。但当位没有达到合适的总和时，重叠误差就会产生，综合是由单个位打开时，由它们的值决定。重叠误差的产生有很多原因，但最重要的的一个原因是补偿，该补偿由R-2R梯度的反向线中的电阻产生。图64解释了当有多少打开时，DAC补偿可以显著的产生变化。如果个体位是导通的，那么补偿等于位电流与阻抗值的乘积，该电阻值是处在梯度的反方向中的。只要一位开关是

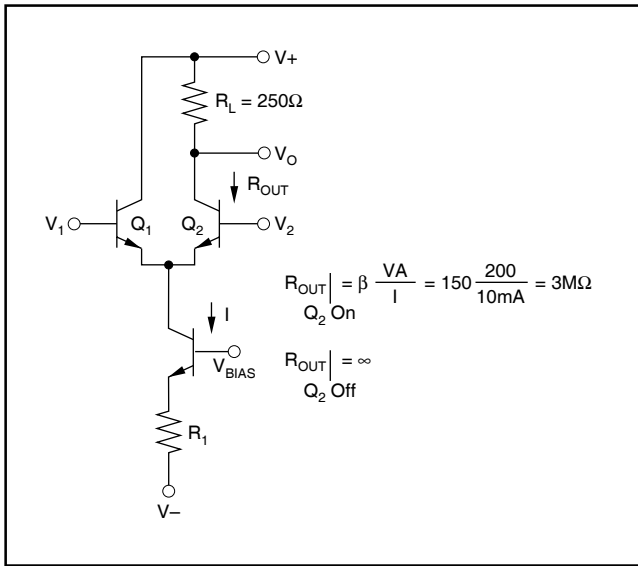


FIGURE 63. Error Due to R_{OUT} .

导通的，那么补偿电压将保持不变，然而，当若干个开关同时打开，那误差将不再是常量。考虑当DAC在MSB的范围内做1LSB的转换时的情况。当MSB是导通的时候，补偿电压是一个小值，这个值等于一个开关打开的值。然而，当低11位都打开，而MSB截止是，就会发生1LSB小于MSB的情况。这时的补偿电压将不

再11倍于一个MSB打开时的电压。这种效应可以通过尽可能的减小梯度返回阻抗的来获得优化，或通过返回位开关到达相同点的时候的相反值得到。此时回到了导通状态。对于任何一个数字代码的组合，这就有一个保持这种补偿电压是常量的效应。在梯度的准参考点附近，测得电压是否获得最大值很重要，此时的DAC是处于工厂生产水平上的。

数模转换器有处理恢复精度相对于26ns的满刻度改变时可以达到 $\pm 0.01\%$ 。恢复时间由梯度阻抗值和电容值来决定，这个电容值是输出端的电容。综合考虑R-2R的梯度的电容，补偿电阻，输出晶体管，可以得到负载电容大约是10pF。数字输入到实际的电流转换的传输延迟是3ns。恢复时间的保持部分有输出时间常量的电压恢复时间来决定，该电压恢复时间由梯度阻抗250欧姆和节点电容10pF产生，它的值是2.5ns。达到 $\pm 0.01\%$ 的精度时需要 $(2.5) 1n (1 / 0.01\%) = 23 \text{ ns}$ ，当数字传输延迟达到电压恢复时间时，总的时间是26 ns。为获得快和精确的恢复时间，我们需要注意设计的其他几个方面，该设计将在后面提到。不合适的设计标准和伺服放大器的电路会使得DAC达不到先前计算过的26 ns。图65给出的是数字输入耦合到外围电路的通路，该条线路决定了位电流的值。

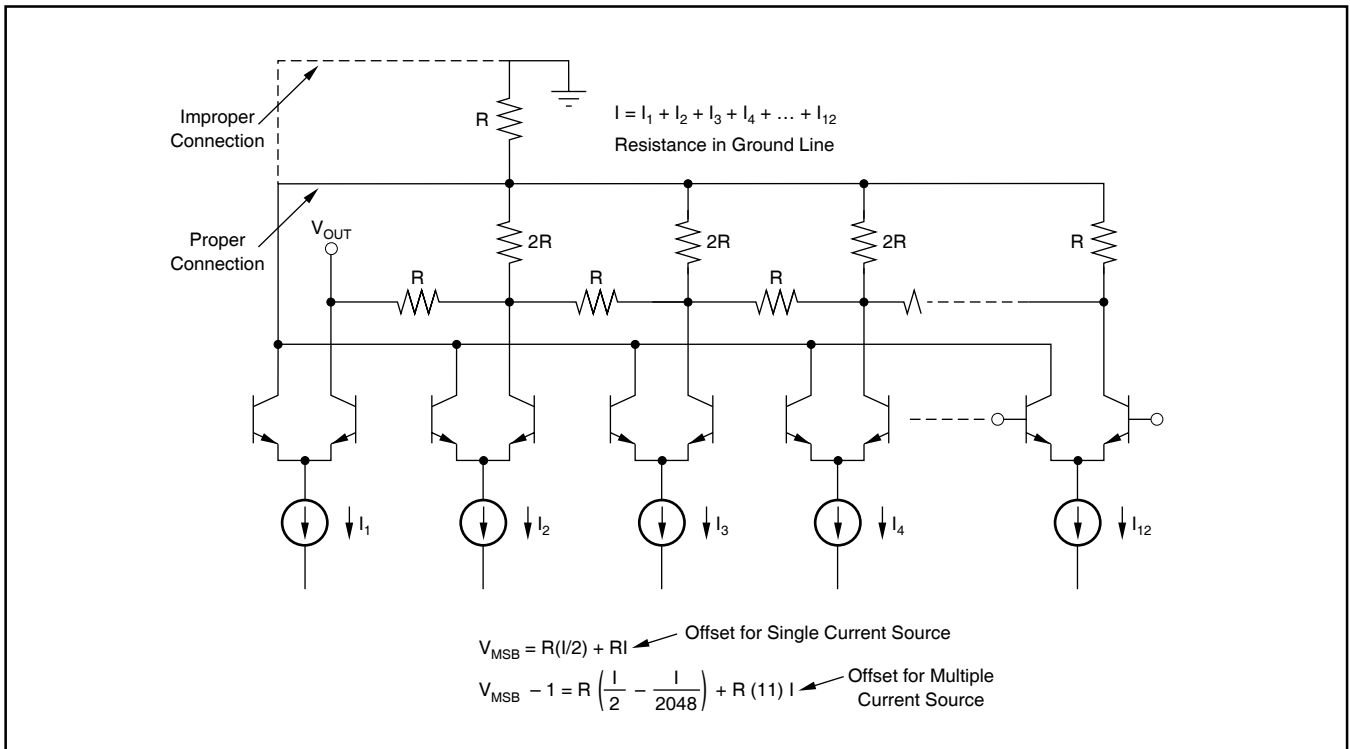


图64.重合误差

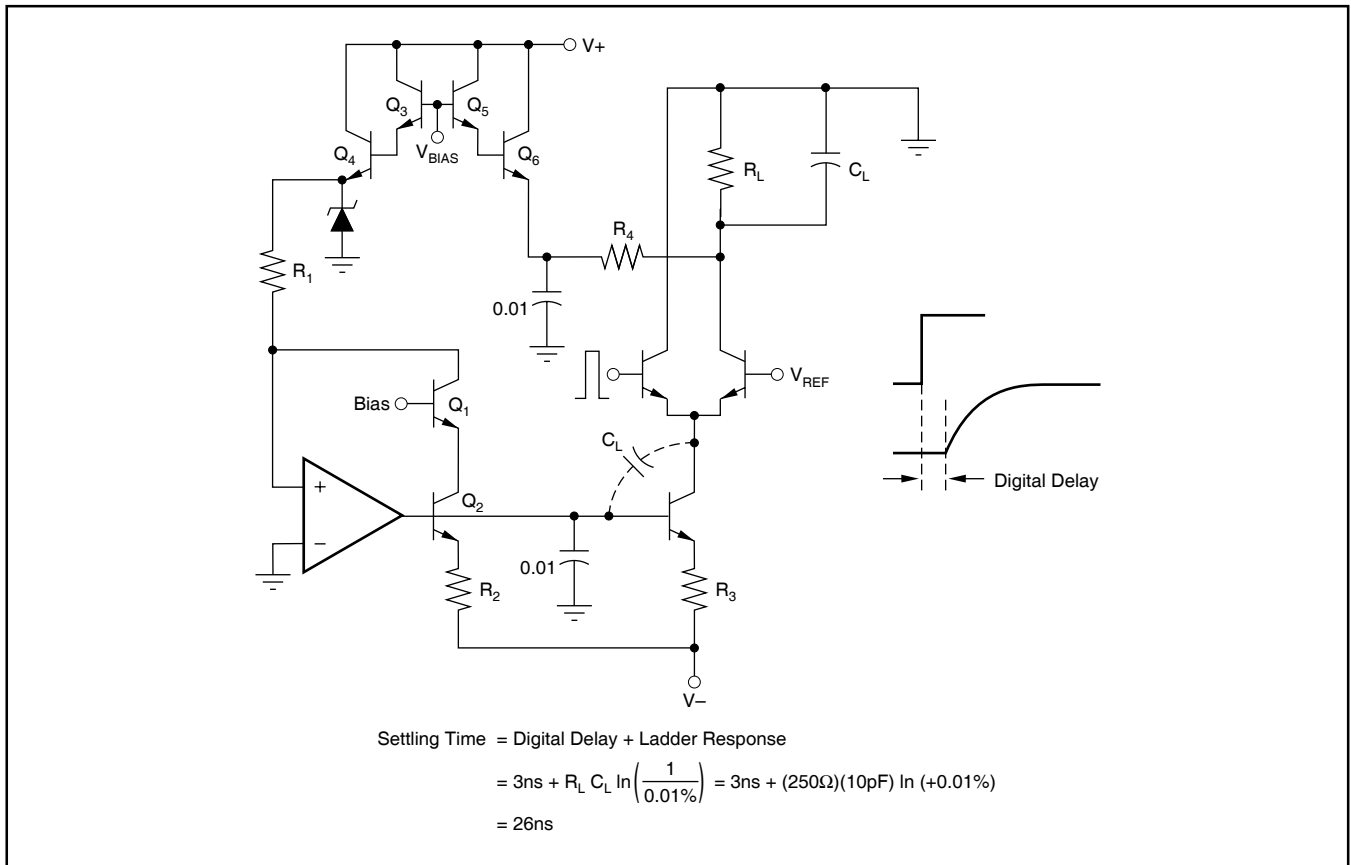


图65.恢复时间

伺服运放必须是25MHz到505MHz的带宽，这样它就可以响应和处理输出端的电容注入暂态。实际的应用是却不是这样，直到快速远方可以处理24ns时，即使是分开的设计，或不是DAC芯片的一部分。另一个实际的解决方法是将一个个0.01pF电容置于参考线上，以消除暂态，然后设计一个稳定的低频运放。

形成的DAC的开关是单极的，正常状态下，DAC有一个地到负电压的变化输出。为了最大的灵活性，可以使用双极DAC，这样的DAC需要在正极上转换输出电压。这可以通过将一个1.2kΩ接至7.5V的参考电压端。图65给出的是一个缓冲组合射极输出器，它是用于隔离低电流补偿电阻。这个缓冲器隔离了从低带宽参考和伺服放大器电路的参考补偿电流的改变。我们用一个0.01μF的电容来隔离电路，以阻止形成低频伺服环路形成的暂态。

一般情况下，设计者需要考虑利用ECL DAC，但对于前面提到的DAC，它比TTL DAC几个方面的性能更佳。简单的说就是，ECL较TTL逻辑延迟小，噪声低，同时，ECL数据寄存器有更低的数据不对称性。当所有的数字输入在相同的时间内不改变的时候，数据的

不对称性就会产生。它是 $T_{PD}(+)$ 和 $T_{PD}(-)$ 的函数。 $T_{PD}(+)$ 是传输延迟的正值，而响应的 $T_{PD}(-)$ 是负值。举个例子，考虑一个12位DAC的进位变化。对于一个MSB附近的LSB变化，理想情况下，数据代码将从0111 1111 1111 到1000 0000 0000变化。当存在数据不对称性的时候，所有的位都不会同时改变，此时会产生一个的中间码。考虑到如果MSB比其它位变化的快，那么代码的转换模型是：

0111 1111 1111 → 1111 1111 1111 → 1000 0000 0000
 代码转化前 中间代码 代码转换后

图66给出的是数据转换不对称性的时间表。对于一段时间等于数据不对称性的时间，DAC的输出将从输出的顶端开始。我们认为这种输出不同于原代码的1LSB的改变。该大的类暂态波形由数据不对称性给出。这种不对称性通常指的是DAC的输出端口的失灵率。通常的方法是通过测量LSB的单位失灵区域来详细给出这种失灵状态。对于更详细的失效率，这种方法比起它是一个电压幅值时更有效，通常情况小我们不会比较不同刻度输出范围的DAC。此外，如果DAC

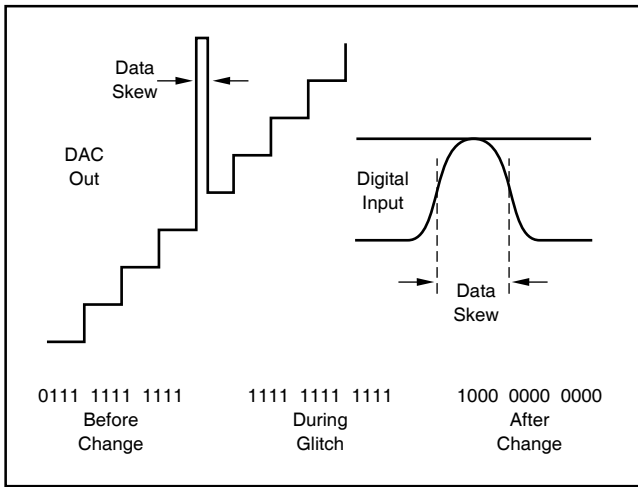


FIGURE 66. Skew.

的输出通过低带宽放大器工作，失效率的峰值会改变，但该曲线以下的区域不会。假设DAC的失效响应是一个等于数据不对称性的宽度的脉冲，它的峰值是满刻度的1/2。图67给出的是在失效的时间响应的面积是恒定的。失效时间响应的测试告诉我们峰值失效振幅是放大器带宽的函数。由于这个原因，一个详细说明DAC失效性能的方法。该DAC的是 E_T 的产品，或是LSB，此时 E_T 是独立于带宽的。 $e_o(t)$ 的平均值等于 E_T ，该平均值也是独立于放大器的带宽的。这就意味着，当带宽减少时，峰值幅值将会减小，但失效的效应会持续更长的时间。

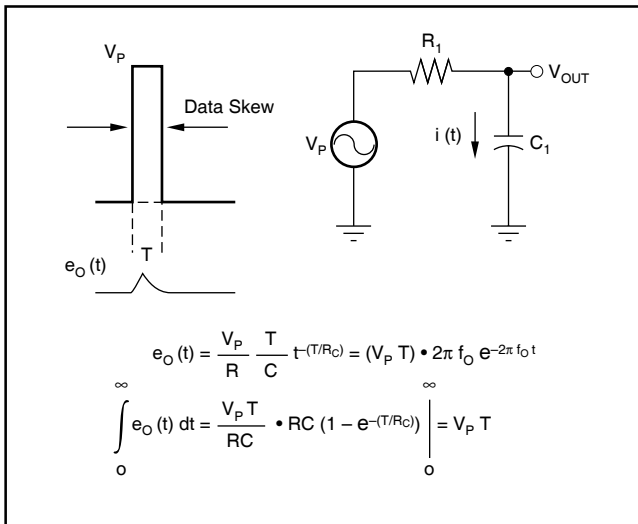


图67.短时脉冲干扰响应

一个ECLDAC的会比TTLDAC产生的失效更小，但我们有可以进一步减小失效的系统。关于这方面的应用，DAC后面带有跟踪和保持电路，如图68所示。跟踪和保持电路在寄存器锁存之前处于保持模式。在寄存器被锁存之后，可以设定数模转换器，跟踪和保持是处在跟踪的模式下的。很多系统中，响应失效的非一致特性会产生失真，甚至跟踪和保持电路实际上可能比DAC的短时脉冲干扰更强。对于所有模式下的组合，短时脉冲干扰是一致的，它将作为一种补偿或是增益来在系统上体现，而不是一个依赖于代码的非线性形式。

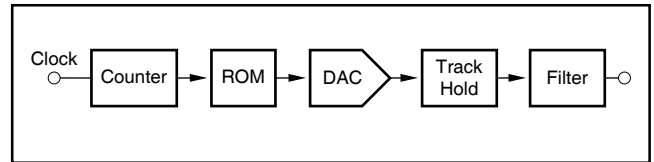


图69.随机波形发生器

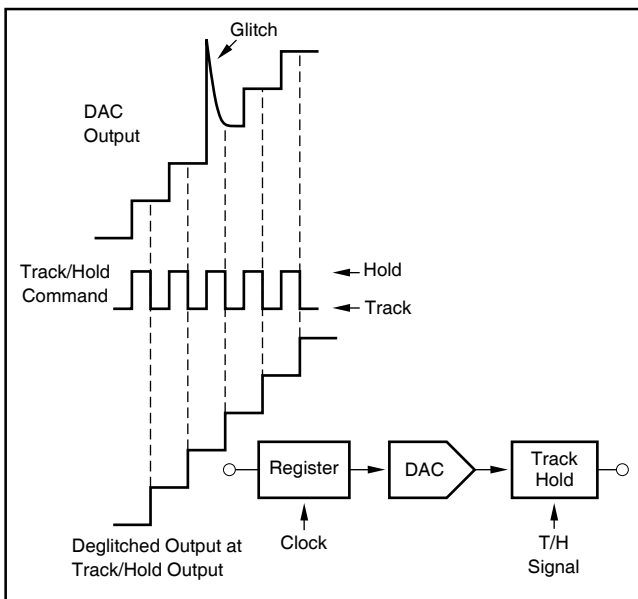


图68.抗尖峰脉冲DAC

图69给出的是一个带有高速数模转换器的系统，这个转换器可以用于产生一个精确的随机波形。有许多方法可以实现低频电路，高速DAC的应用是一个吸引人的选择。一个高频的DAC可以校正至50MHz，这可以充分的满足后面的模拟滤波器的需求。当波形的有效采样率是50MHz的时候，产生以个Nyquist频率为25MHz的频率波形是可以的。产生的随机波形是将一个模拟转换器数字化波形的反转和相同采样考虑的应用。图70给出的是一个模拟波形，换句话说这个波形是综合产生的。如果该波形是在周期间隔内被采样，那么相应的就会产生综合波形。该综合部分由接近每

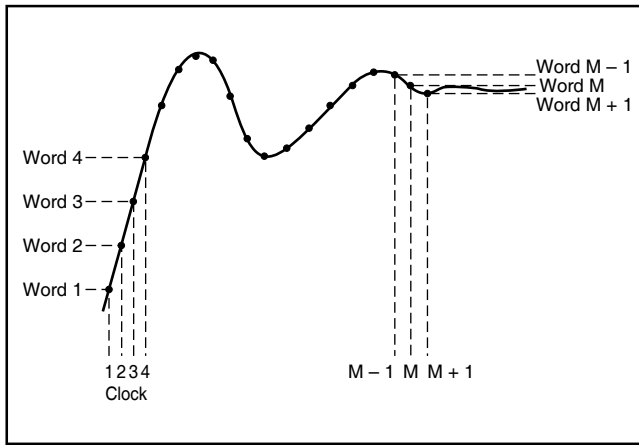


FIGURE 70. Arbitrary Waveform.

一个采样点的12位的数学计算结果给出，每一个采样点都会应用于产生ROM的编码表。图69给出的是一个系统的简化框图，这个系统会产生一个综合波形。该采样点与ROM的地址对应，而ROM的输出与地址的代码相关。

不同高速ADC结构

这个部分我们将比较高速模数转换器的一般结构：性能特性，可交换位。目的是为了解分辨率，速度，复杂度对模数转换器设计的影响。市场上，有三种最常见的高速ADC，尽管因为特殊技术的工艺，这些基本的电路也有很多的不同。在可以得到的变化增加之前，对它们最基本部分的理解很重要。每一种结构都有自己的特点，因此在实际应用中，选择合适的数

模转换器以得到最佳的性能。我们将要比较的三种结构，它们分别是闪存，逐次近似算法，分级比较。每一种转换的方法都有优点和缺点。这个部分将要比较每种转换器的在精确度，动态性能，窗口效应，简化性，成本等方面的优势。我们将给出每一个数模转换器的描述，后面我们将讨论每一种结构的性能优点。

闪存ADC

所有高速转换器中最快的数模转换器，也许是工作原理最容易理解的，就是闪存或是并行的转换器。我们之所以认为闪存转换器是最快的原因是这种转换只在单一方向上进行，因此我们将它命名为闪存。典型的闪存转换器分辨率是8位，尽管已经有超过10位分辨率的转换器，但其价格比较昂贵。闪存转换器由于其高的重复设计特性，它的对于单片设计者还是很有吸引力。图71是一个闪存转换器的结构图。目前已经有500MHz的速度，市场上主流的转换时间200MHz。CMOS的双极技术是用来设计最快的转换器的，该技术可以得到的转换速率可以达到30MHz。由于时间是2倍的电路总量，闪存转换器的分辨率是8位。分辨率增加一位。输入比较器置于温度计代码方式，每一个比较器比相邻的比较器高一位。比较器是由一串并联的电阻连接的，该电阻是连接在正级和负极之间的。电阻是单片集成的，但由于存在比较器补偿，整个闪存转换器可以不是单片的。如果标准电压设置的

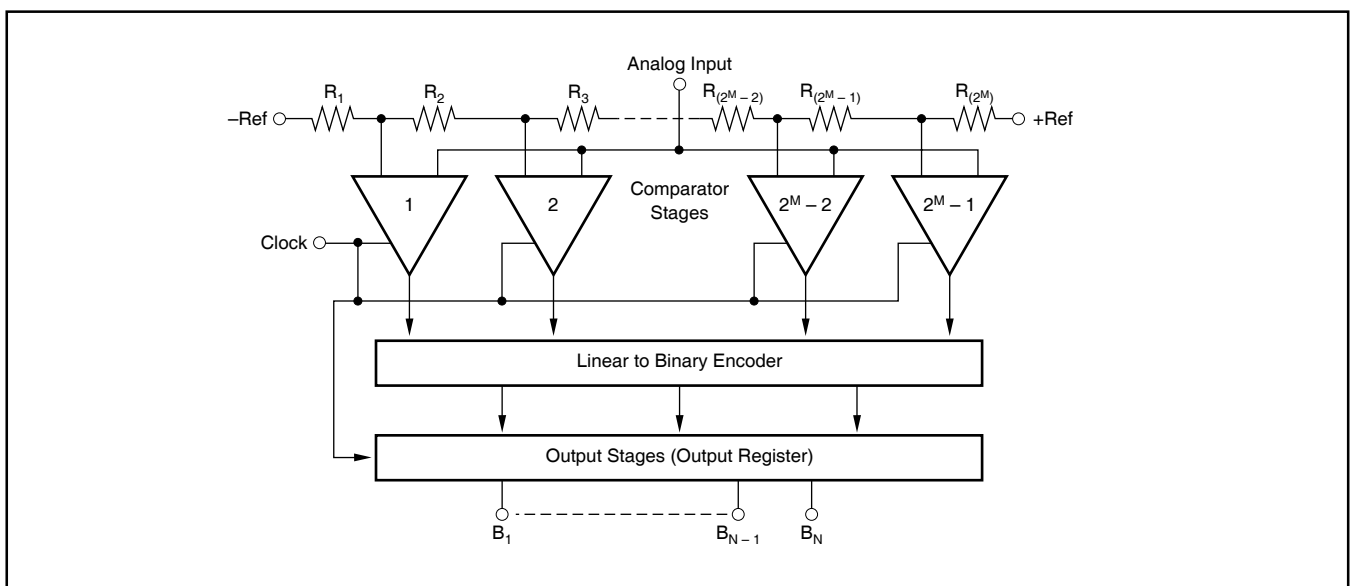


FIGURE 71. Block Diagram of a Flash Encoder.

过于低，那么这种情况就会发生，一旦产生这种情况，那么比较器的补偿可以决定有效的标准电平水平，该标准是所有标准之和。图72解释了这一点。闪存比较器的生产者可以生产一个单片的器件，并且可以保持LSB是5mV，尽管LSB是 $10\text{mV} \pm 1/2\text{LSB}$ 线性度的一半。比较器的输出需要被转化成一个数字代码，这样便于后续的处理。温度计的代码都会被转换至常规的二进制输出。为了获得高采样率，我们在闪存转换器的设计中安装了数字流水线操作。在初始二进制代码形成之前，这样做的好处就是可以产生一个新采样。比较器的设计常常要考虑到闪存转换器，这点与独比较器的设计相比某种程度上是不同的。当处于跟踪模式时，这个比较器的输入状态是一个低增益的状态。在变换至保持状态时就是一个高增益状态，保持状态是采样瞬间两个输入端的比较结果。采样发生于一个选通脉冲初始化正极反馈的时候，这样就导致了再生作用的产生，这个比较器的输出的设置是基于输入的条件，该设计方法可以得到一个很简洁的高分辨率的闪存转换器。图22给出了一个闪存ADC的典型比较器电路框图。

前面提到的低耗闪存转换器的设计要用到CMOS技术，它的转换速率是20MHz。CMOS比较器的一个缺点它们的补偿比双极比较器更高。低补偿比较器可以

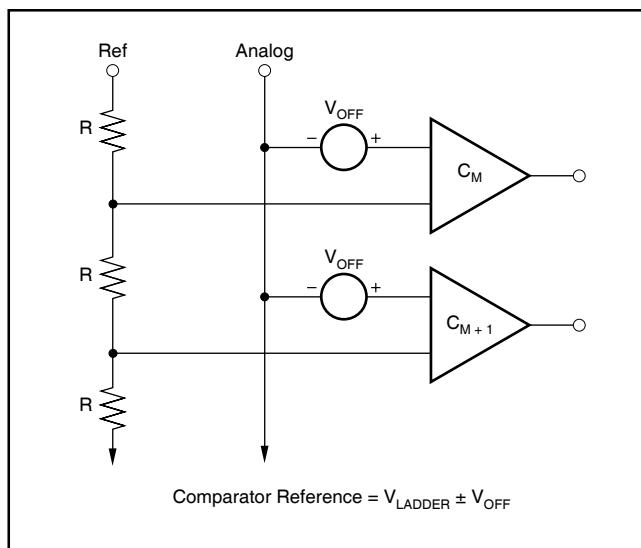


图72比较器补偿

通过利用自动归零技术得到。图73给出的是一个自动归零比较器的框图。CMOS技术在设计自动归零比较器中用的比较广泛，原因是CMOS的高阻抗特性。自动归零比较器在进入自动归零模式时工作，在保持时间内是测量模式。当处在自动归零模式时，输入耦合电容对比较器补偿电路充电，因此当比较器置于测量模式时，电容上的电压是这样趋势，取消了无补偿比较器的补偿。

动态性能是区别闪存比较器的一个方面。动态性能是一个闪存比较器获得准确数字化的高频信号方法。这就要求使用者懂得窗口抖动，窗口延迟变形和输入带宽如何影响整个系统的性能。输入带宽的概念很容易理解，它于限制带宽的器件比较相似。闪存转换器的输入带宽是由一个小的和大的信号组成部分构成。有些情况下，大信号带宽不直接给出，但它可以由输入回转率决定。闪存转换器的输入电容可以很高；因此驱动一个低阻抗源的译码器以达到高带宽就很有必要了。另一个限制闪存转换器高频性能的是窗口时间。窗口时间由有效点来决定，在这个点上，是由比较器来决定，需要注意的是窗口时间与电路上的处理比较信号和电路上处理滤波的延迟是不一样的。

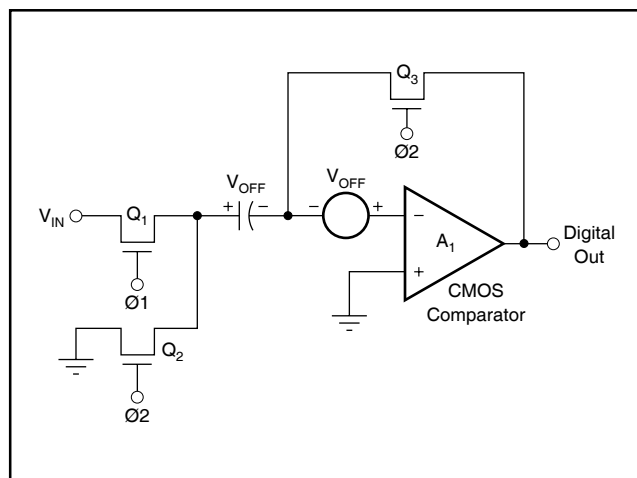


图73自零比较器

如果闪存比较器上的每个比较器的窗口延迟不同的话，这将成为失真源的一个严重的问题。举个这种效应的一个例子，考虑窗口延迟与一个8位，200MHz的闪存比较器相近的情况，这个闪存器与N频率的数字信号匹配，并且只有1LSB的误差。窗口误差由下式给出：

$$T_A = E_n / (D_{Fs} / D_T)$$

这里：

T_A = 窗口时间

E_n = 允许的误差 = 1LSB

F_s = 信号频率

D_{Fs} / D_T = 最大信号改变率 = $(2^N)(LSB)(7)(F_s)$

代入得：

$$T_A = LSB / (2^N)(LSB)(\pi)(F_s) = 1 / (256)(\pi)(100E6) = 12.5ps$$

如果比较器的有效模拟带宽是1GHz，比较器的传输延迟就是100ps到200ps之间。为了保证精确度，就有必要将每一个比较器匹配至12.5ps。直到闪存转换器有250mils的长度，该信号通过芯片的时间要400ps。大多数数模转换器的性能可以通过采样和保持来调整输入信号来改进。闪存译码器与比较器的时间延迟不匹配时，就会发生窗口失真的情况。当采样和保持用了一个单向的开关时，系统的窗口性能将会改变，其中的一个方法可以用来决定窗口导致的失真，这样，通过一个FET就可以测量光谱响应率。首先应该在低频情况下测试，以消除静态失真源的精确度。窗口导致的失真可以看成是失真的一部分，它会随着频率失真。甚至需要采样和保持电路时，将模拟信号接至闪存译码器，这个地方需要特别的注意。输入电容和电阻随着信号变化，因此驱动这些低阻源高速转换器就显得尤为重要，低阻源可以通过运放或缓冲器来提供。这种解决方法与高速放大器不同，当需要驱动大电容负载的闪存译码器的特性时，高速运放更易于振荡。通常，高速运放和缓冲器能够驱动低阻值的负载，因此通过驱动源减弱容性负载是可能的，该驱动源是通过在二者之间放置一个小阻值的电阻得到的。从缓冲器看过去，该电阻是一个全电阻，因此就不会形成振荡。将电阻值设定在10Ω到50Ω之间时，系统带宽受到的影响最小。这部分的学习的开始将给出大量的缓冲器和放大器，它们适合接在闪存译码器的。如图74所示，是耦合电容以稳定驱动源的电路。

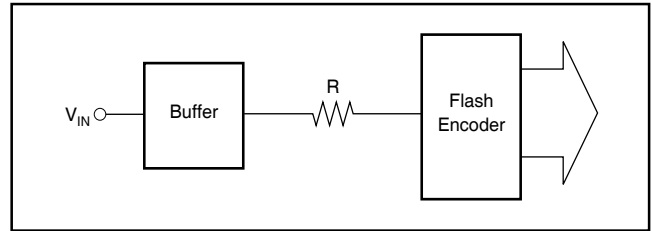


图74.缓冲器驱动闪存放大器

放置两个如图75所示，就可以增加闪存译码器的分辨率。用这种方式将两个译码器放在一起，这是我们需要注意，因为这样做的话，当将两个译码器窗口延迟匹配很困难的时候，性能就会很差。这个可以通过一个采样和保持来驱动的闪存译码器实现连接。

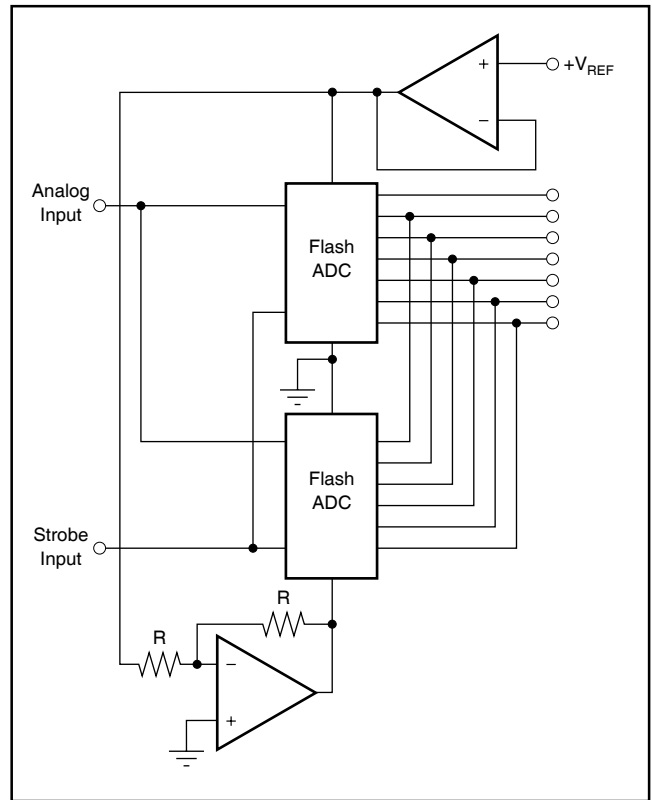


图75.堆叠闪存译码器

正如前面提到的，闪存转换器的分辨率不会大于8位。如果转活期的分辨率增加移位，增加的电路数量会翻倍。因此，一个10位转换器于8位的有相同的速度，面积比8位的大4倍，功耗比8位的大四倍。当设计者尝试着用一个尺寸小的器件减小芯片的尺寸时，就会产生冲突。小器件的应用会带来精确度的降低，这是获得10位闪存转换器的折中设计。类似的，速度适

当的降低可以避免芯片上额外的功率耗散。

逐次逼近ADC

一种最流行的模数转换器结构是组成逼近型的，逐次逼近型的之所以这样流行，原因是对于成本来说该结构有很高的性能。图76给出的是逐次逼近型ADC的框图。通过框图我们可以看到，该电路比较直观，只用到一个带有模数转化器和逐次逼近逻辑的比较器。前面提到的比较器和模数转换器都是逐次逼近ADC的合适组成部分。采用这种结构，性能的变化就会很

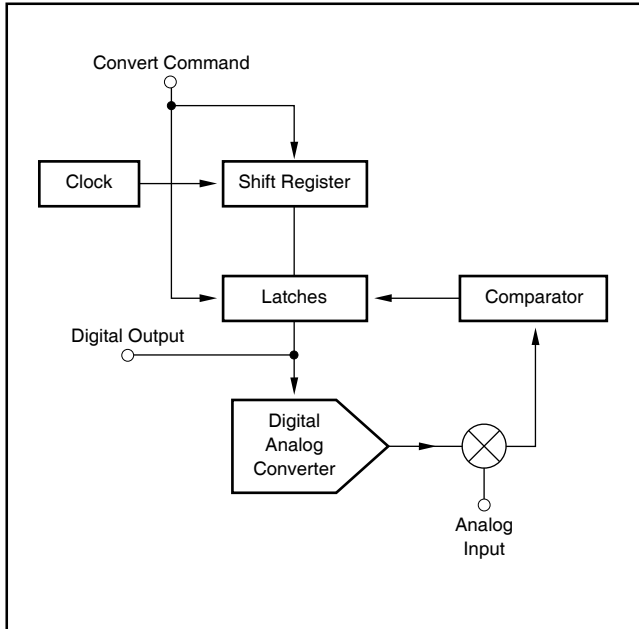


图76.逐次逼近模数转换器的框图

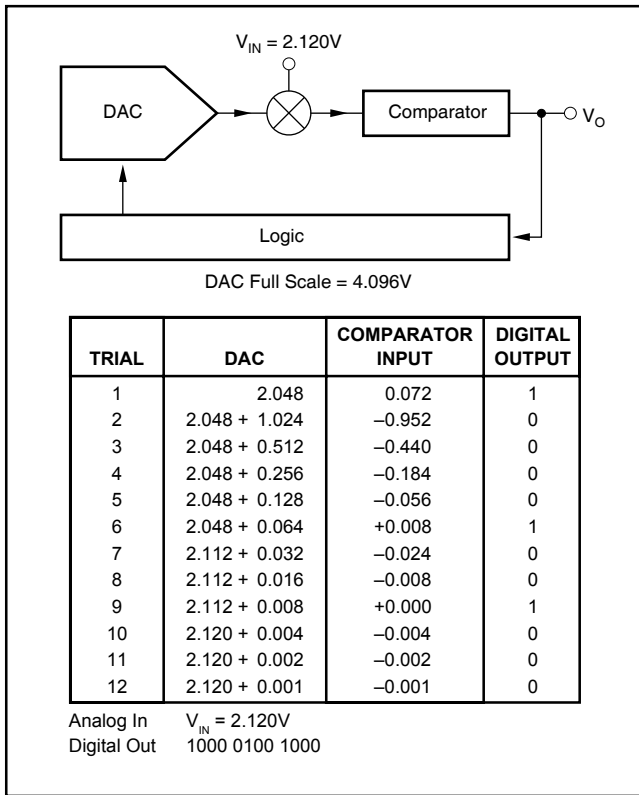
大，分辨率可以从8位到16位变化，转换速率可以从400ns变化到25 μ s。

制造这种类型的转换器用到的有混合的，离散的，单片技术，高性能部分都是混合设计。最近，单片设计已经成为混合技术外的一个新领域。制图版上，分辨率是12位，转换时间是3 μ s，速度降到1 μ s以下。这些单片12位ADC设计中用到的是双极技术，CMOS技术，和BIMOS技术。通过BIMOS设计，可以获得CMOS和双极技术令人满意的性能。低功耗高速逻辑，CMOS将是最佳选择，双极技术更适合于低噪音和高速电路中，这在ADC的模拟部分有需求。这些转

换器的优势在单片转换器或混合设计中的提供逻辑功能的CMOS技术中有介绍。CMOS比双极逻辑有更低的功耗和漏电流。低功耗会导致低温度上升，更高的稳定性，由温度升高和温度漂移引起的问题就更少，这对于一个系统使用者来说是很重要的。漏电流的减小会提高系统的精确度，由于一般模式下的数模电流通路引起的噪声就会减少。当前情况下，逐次逼近设计是由常规的R-2R梯度方法来决定，它是利用数模转换器的，这个数模转换器包含在ADC中的。在此水平上，一些生产商有CMOS的冲放电技术。这些新的CMOS设计也可以保持纠错和自刻度的电压，这样转换器就比双极转换器更稳定。这样的话，就可以得到CMOS的高密度电路，同时CMOS技术可以实现误差校正的功能。

逐次逼近从一个初始转换脉冲开始工作，将最重要的位置于工作状态，次重要的位保持在截止状态。模数转换器的输出传送到比较器的一个输出端。比较器的另一个输入是数字化的模拟信号。数模转换器有足够的时间处理之后，比较器的输出传输至闭锁电路，这个闭锁电路决定是高还是低。如果输入信号超过MSB的权，就将该位保持为高电平。在下一个判断周期，位2是高电平，增至初始MSB比较器的结果。这种情况下，信号会比MSB高，但不会大于MSB和位2之和，此时MSB是高电平，位2是低电平。这种增加一位和测试比较器的状态一直持续到数模转换器的位都是激活状态。图77给出的是这样的过程。图78给出的是逐次逼近转换周期的时间表。制造商将数字校正加至传统的逐次逼近算法。前8位只转换至8位的精度，此时转换器会进入保持状态，将转换校正至12位的精度。有校正能力的转换器相比传统的逐次逼近型允许前8位工作于高采样率。

逐次逼近型由于设计的简洁可以很广泛的应用。ADC的线性度依赖于数模转化器的线性度，其他ADC结构却不是这样的。比较器的补偿会产生一个整体的补偿，但在闪存比较器中不会产生线性的错误。产生精确的数模转换器的技术发展水平高度发展，而这样会给逐次逼近型转换器带来很大的好处。ADC带有这



些DAC会有宽的温度范围。典型地，逐次逼近型ADC相对于其他技术工作于很宽的温度范围，200°C时这种设计是可靠的。逐级比较模数转换器有附加的误差源，该误差源会影响线性度，我们将在后面阐述。当这里只有一个信号比较器，DAC和比较器会消耗更多的功耗，这样会减小整个转换时间。另外，逐次比进行转化器会产生一个连续的转换输出。该连续输出特性对于节约的数字转换是很有益处的。同时，它可以应用于光学分离技术，这样可以减小处理系统的模拟和数字之间的相互影响。这样的设计，只有DAC必须处理最终精确度。这不适用用逐次比较的范围，我们将在后面讨论这一点。假设可以得到转换速率，那么，逐次逼近型就是一个可以选择的结构。特殊转换速率器件卖价相同的情况下，我们选择逐次逼近型的，就可以得到更高水平的和更高性能的器件。另外一个逐次逼近型的吸引人的特性是：速度与精确度成反比。

图77.逐次逼近过程

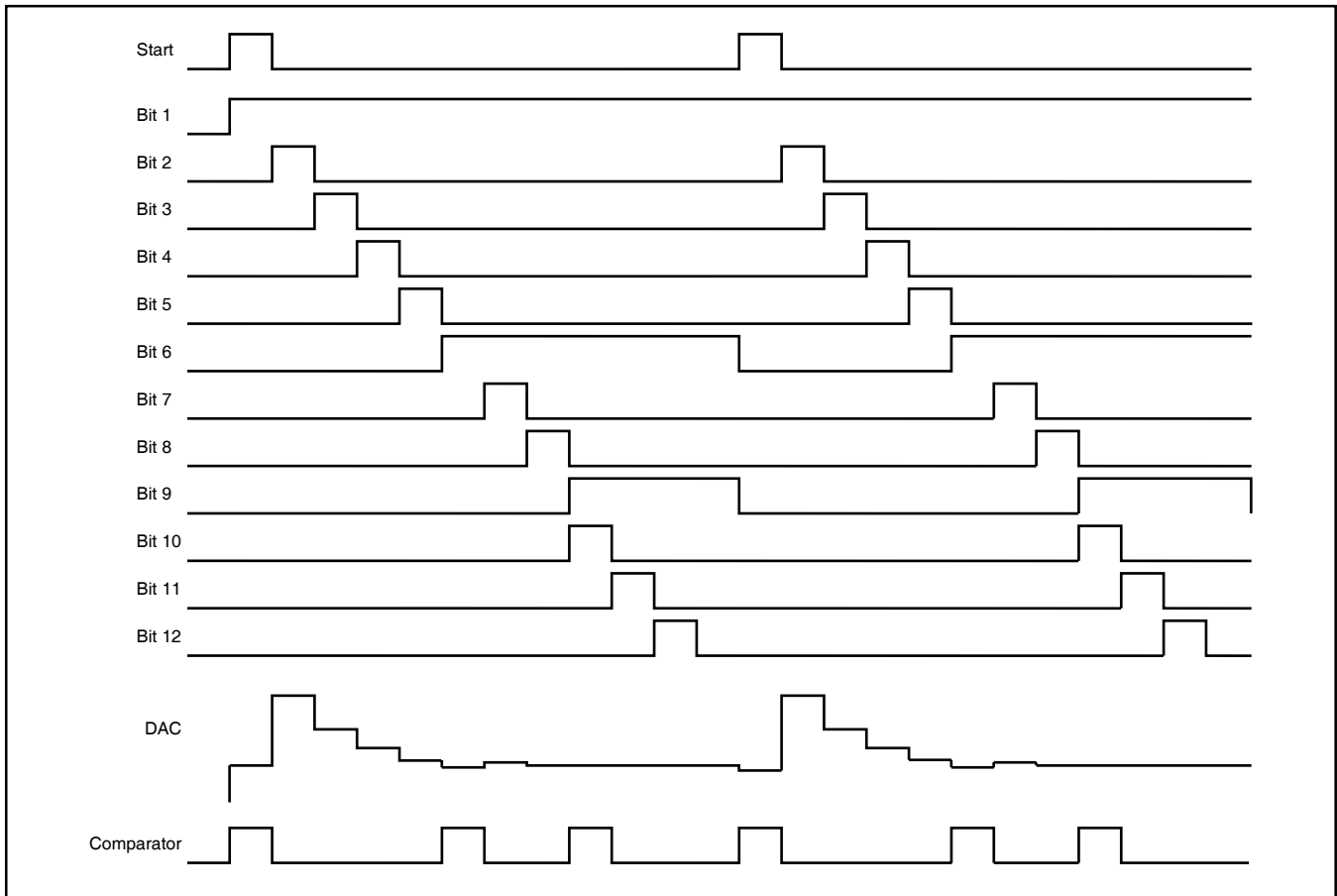


图78.逐次逼近转换器的时钟波形

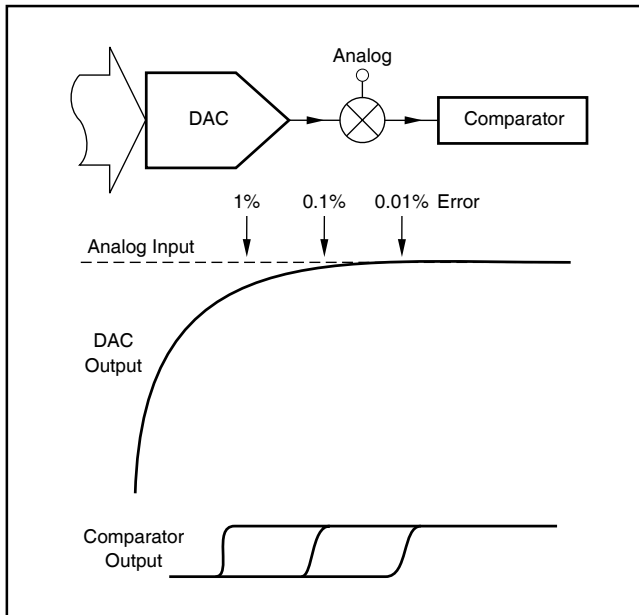


图79.速度于精确度的比较

由于DAC没有设置和需要用到转换更快比较器附加的过驱动（见图79），这样精确度会有所降低。这种反比关系是逐渐的产生的，通常一个设计者系统的吞吐率。该系统只有一个中等的精确度减少量。比较另外两种结构，该反比关系是不存在的。理由是一旦超过规定的转换率，那精确度降低的就非常快。图80给出的是这种特性，这在逐次比较型ADC中比较常见。

逐次比较型ADC的窗口时间是转换时间，之所以是这样原因是在转换发生的时间内保持信号常量很重要。如果没有发生这种现象，那样就会产生几个严重的线性错误。事实上，转换本质上来说不是瞬间的，

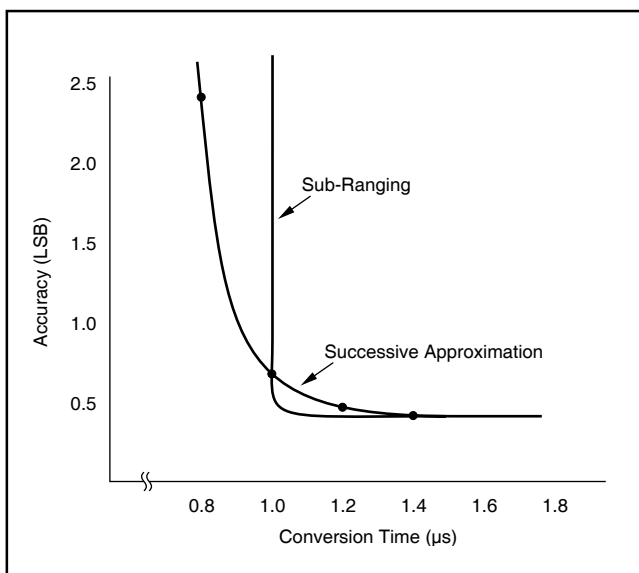


图80.速度与精确度的比较

该结果是在比较其他转换类型的基础上得出的。必须控制信号，它是通过采样和保持数字化的而不是ADC。这点不管输入信号是不是做快速的变化都不是正确的。在ADC的转换时间内，采样和保持电路必须保证信号不变。因此，这种ADC的效应在比较器的输入端可以改变信号水平，该比较器的输入恢复时间很快。

当比较器转换至输入范围的一个极限时和信号改变至另一个极限时，我们需要考虑一个误差电源。如果比较器设计合理，数模转换器会有一个热引起的补偿，该补偿会导致多个转换器是不同的直到热平衡确定了。系统的设计者必须能让采样和保持设定生效，这样做会产生一个误差源，整个转换周期时间内，输入信号是不同的。在逐次逼近型转换器的部分完成之前，有一个应用的问题需要提一下。当转换器尽力转换周期时，将暂态波形注入源中射可能的，该源是由DAC产生的。通过逻辑编程当DAC的值时，比较器的输入端的“求和点”是不平衡的，会有个信号注入电到源中。因此驱动带源的高速逐次逼近型ADC很重要，该源有足够的还原性能或是可以得到附加的线性性能。一般模式比较器的应用可以通过将DAC从输入端独立出来减弱这种问题。该输入的特性是比较器的一般模式特性。见图81所示。

分级比较ADC

最终我们学习的结果是利用分级比较技术或两步技术。

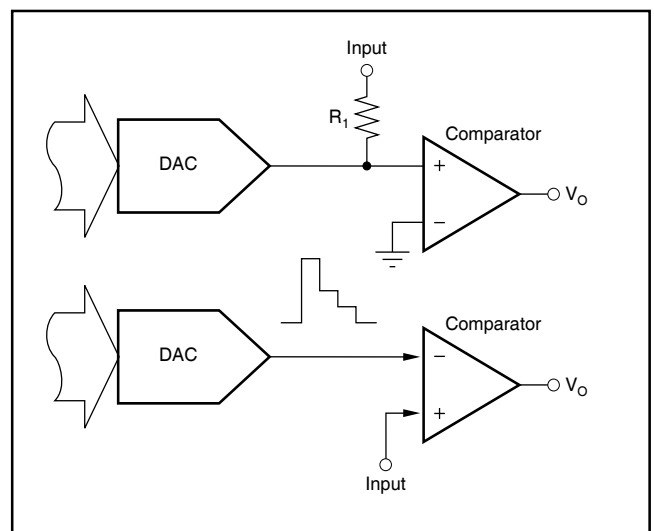


图81.SAR ADC输入

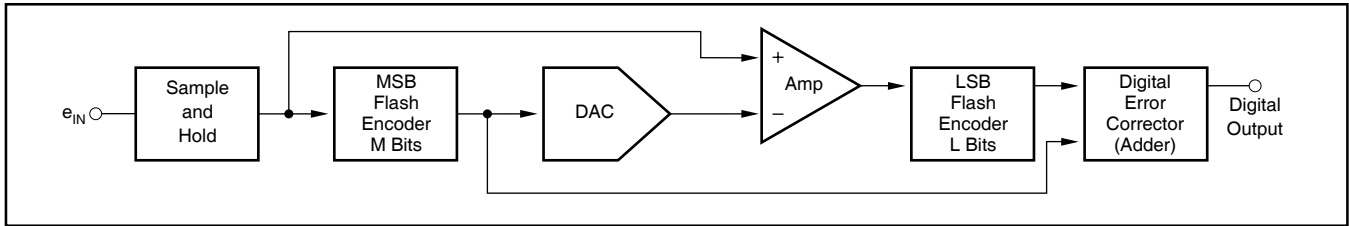


图82.分级比较ADC的框图

这两个名字都是描述数模转换器的。设计者认为的分级比较转换器是当转换速率需要高分辨率时，转换速率比可以得到的逐次逼近要快的多。举个例子，当系统工程师需要分辨率时，转换速率低于 $1\mu\text{s}$ 时，我们就选择二步设计。当需要低分辨率时逐次逼近和分级比较之间的转换点会有所改变。逐次逼近型转换速率低于 $0.5\mu\text{s}$ 时，可以得到10位的性能。分级比较结合了前面提到的设计技术的组成部分。产生一个分级比较的设计要用到所有的技术，该设计适用于单片到模块。尽管需要比较器 2^N 比较器，但快闪比较器只需要一个转换周期就足够了。逐级比较只是两个中的一种，一个N位的转换器会占用N/2位闪存比较器的两个周期。举个例子，一个10位闪存译码器会用到1023比较器，而一个逐次型的只会用到一个比较器，此范围的设计要用到62个比较器。我们需要注意，讨论的次范围ADC只用两个范围或是两个转换周期。总的来说，可以用到的方法很多，我们经常会会在高分辨率转换器应用中找到它们。它的工作原理是相似的，都是为了简洁的电路结构，我们只介绍二步类型的。提到图82，它给出的是一个逐级比较转换器的框图。模拟信号最开始的时候是传输至采样和保持电路的，目的是减小窗口效应和优化AC性能。采样和保持的输出传输到M位闪存译码器和一个减法器中。在采样得到

获得信号之后，采样到保持就已经延迟，这样第一个译码器的信号就被过滤了。第一个译码器的输出决定了输入信号的初始的大概值。第一个译码器的数字输出传输到数模转换器，输出模拟信号。该信号是采样和保持输出端的差值信号。在传输至第二个译码器之前，该差值信号就被放大了，第二级译码器有L位的分辨率。当译码器的输出传输至数字加法器时，第二级译码器也会被过滤。数字加法器端产生最终的输出字。

设计一个稳定工作的逐级比较器件时， $(M+1) > N$ 。附加位处在译码器的内部就会产生误差，该误差可以通过采样算法校正。图86给出了这种逐级比较转换器的数字校正工作原理。简单的分析如图83，该图给出了ADC的输出，不包括MSB译码器的误差，该ADC带有误差校正电路。这就意味着可以获得12位的精确度，尽管MSB转换器的精度只有8位。输出中只含有LSB译码器的误差，该误差通过放大器之前的增益来降低。简化的DAC误差被消除，图83给出了框图，图82中也给出了这种消除误差框图。DAC误差可以通过分析消除，理由是我们之前假设了DAC是极佳精确的。高速DAC可以得到14位的精度，因此这是一个合理的假设。数字校正另一个吸引人的地方是，

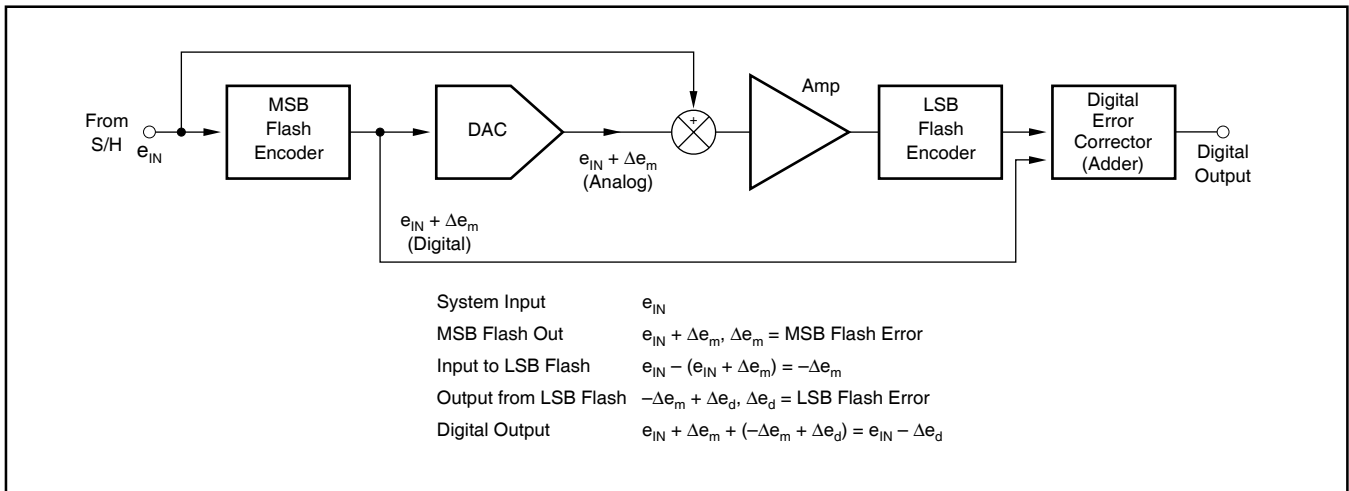


FIGURE 83. Error Correction.

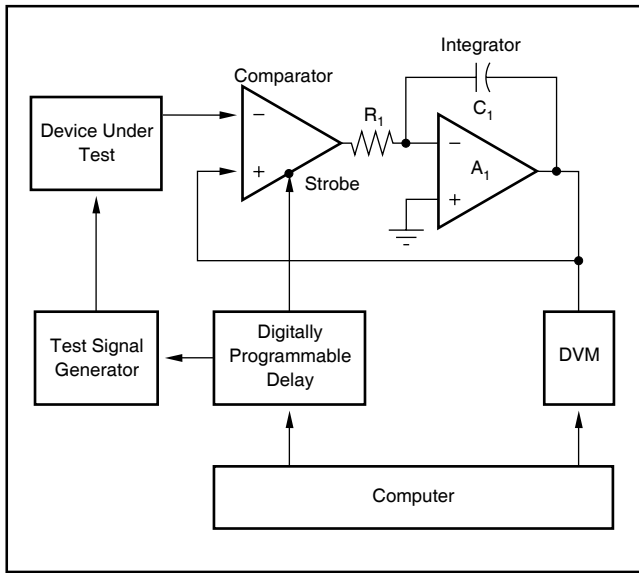


FIGURE 84. Waveform Digitizer.

当用到逐次逼近转换器时，采样到保持的固定误差可以校正，同时不会导致线性误差。采样和保持的固定误差包括MSB误差的部分。低分辨率译码器的M和L位线于数字加法器连接在一起，以形成最终的输出。为了保持高吞吐率，在下一个转换周期内，采用这种连接。此时对下一个数据进行采样。

加法器，寄存器，定时器放在了一起，它们在单个比较器设计的逐次寄存器中的具有相同的重要性。分级比较转换器何以得到12位的分辨率，采样率可以达到20MHz。

测试技术

评估组成部分的性能方法有多种，该组成部分包括一个数据采集和转换系统。有用的技术讨论的很少，

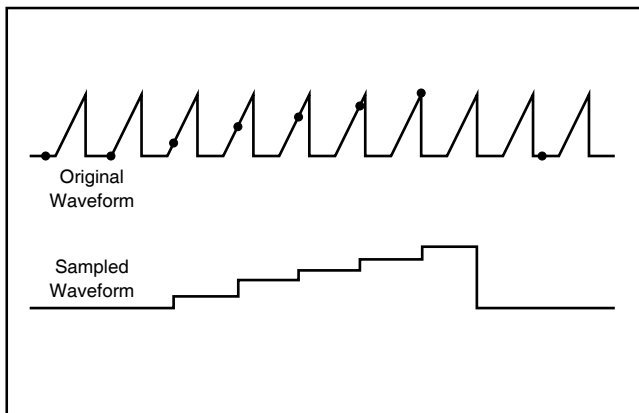


图85.波形采样过程

一般都不提，但这些技术对获得试验性能结果很有好处。也许有其他的我们没有提到，尽管本文提到了大量的其他技术。

稳定时间

我们用到的最有利的技术是可以评估DAC的稳定时间，或测试数字化波形的放大器。一旦波形是数字化的，该波形就可以传输至电脑，在电脑上，我们就可以利用软件来测试器件的性能。数字化的波形优于硬件仪器，原因是电脑的多功能性。一旦波形数字化，波形的任何特性都可以用相同的硬件来分析。图84是一个数字转化器的结构图。该波形反馈至倒相比较器输入端。比较器数字输出连接至运放，并且反馈至输入。图85给出的是一个采样或数字化的过程。图85的采样波形是原始信号的波形，这样做的目的便于解释。实际应用中，采样呈现一个良好的增量时就可以得到高精度度。在一个选择的时间点上，该测试下的波形采样由重复地过滤比较器来实现，这种情况要持续到综合器的反馈使得比较器标准输入端等于输入信号的采样值时才结束。一旦确定了环路，由DVM读出的值会传输至电脑，采样通过可编程延迟的电脑来实现增量。

窗口抖动

决定一个ADC或一个采样保持电路的窗口抖动可以有如图85所示的框图来实现。这个系统避免了由于仪器导致的抖动而引入任何附加的误差。这个附加的延迟是被动的延迟线。当采样的信号是被采样的信号，仪器是不会引起影响测量的噪声的。一旦延迟调整，

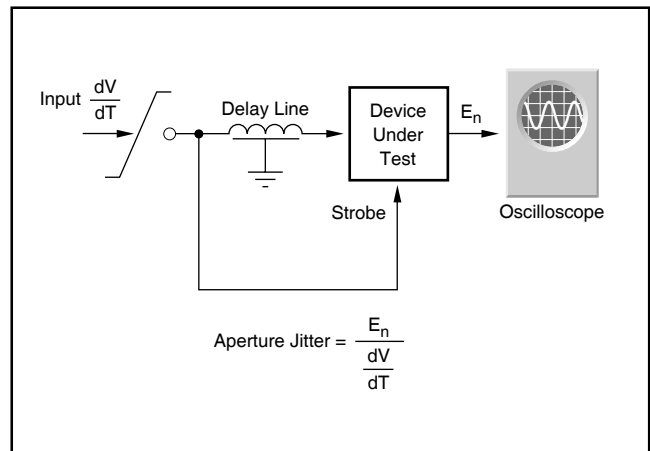


图86.窗口抖动测量

那么信号改变部分的最大速率就会被采样，窗口抖动 T_A 有下式关系决定：

$$T_A = E_n / (dV/dt)$$

这里：

E_n = 测量的噪声

(dV/dt) = 输入的改变率

打击频率测试

打击频率测试是定性的测试，它提供了一个快的简单的测试动态ADC性能实物演示。图87给出的是一个应用于打击频率估算的框图。输入频率的选择提供了最坏的情况改变。这通常在频率是Nuquist频率时会发生。打击频率的名称描述了这个测试的特性。选择的采样频率是多个输入频率加上一个小的增量（见图88）。通过选择一个低的打击频率，DAC的动态性能就不会影响测量的准确度。在框图中我们可以看到，ADC的输出是以1/2的数据率被重复采样的，这样就可以估算Nuquist频率。当打击频率设定时，许多采样都会在编码时产生。更准确的方法决定高频性能比如FET的测试，柱状图的测试，我们一般不用打击频率来代替，但它在工程发展的过程中，提供了优化动态性能的有效方法。设计工程师将会得到即时的视觉反馈，通过示波器，来查找电路的缺陷。这种因果关系利用复杂的计算机测试不太容易建立。亚利桑那州图森的Burr-Brown给出了器件的说明AN-133，这个说明描述了估算ADC性能的许多其他动态测试。

伺服环路系统测试

图89给出了用于估算DA积分和微分线性度的的系统框图。这个DC有模数转换器的增益和补偿电路。测量的理想代码传送至计算机的数字比较器。基于ADC的输入和理想代码的比较结果，由比较器控制这综合器的恢复，直到达到平衡。当综合器的输出产生一个等于代码转换电压时，环路的平衡才会建立起来。DVM以这种方式读出电压，测量所有ADC代码转换点的建立。可以用软件来决定ADC的性能。这种技术的精确度依赖于DVM，DVM可以逼近7位数字。

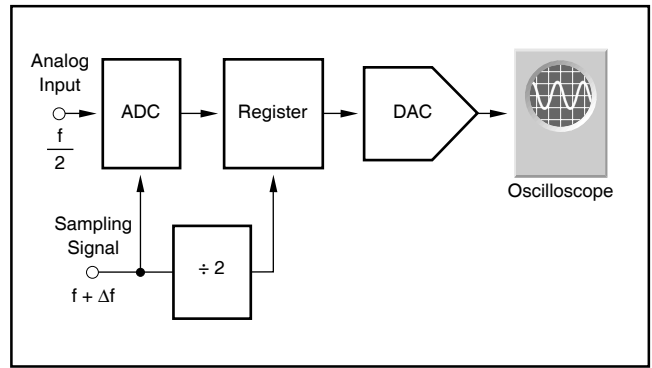


FIGURE 87. Block Diagram of Beat Frequency Testor.

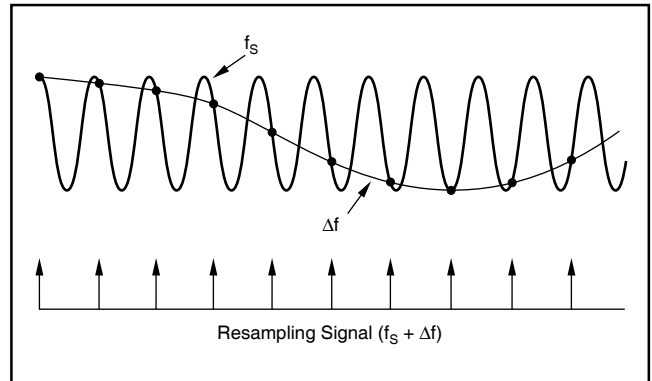


FIGURE 88. Beat Frequency Waveforms.

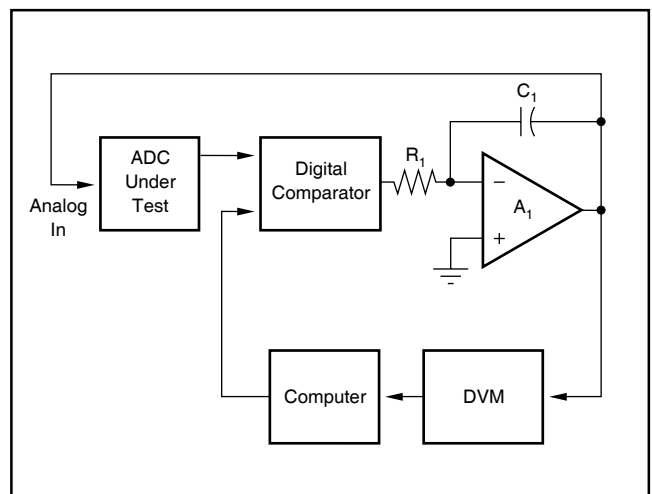


图89.伺服环路测试框图

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司