

# パワー サプライ デザイン セミナー

リニア レギュレータ 向けの高度な  
アプリケーションへのヒントとコツ

倉持 和暉

日本テキサス・インスツルメンツ

営業技術本部 フィールドアプリケーションエンジニア

# 目次

- リニアレギュレータ (LDO) の概要
- LDO のヒントとコツ:
  - ノイズ
  - 電源除去比 (PSRR)
  - 放熱性能
  - ドロップアウト付近での過渡性能
- 高度な LDO アプリケーション:
  - 複数のバラスト抵抗を使用したパラレル LDO
  - 定電流としての LDO
  - 複数入力単一出力 (MISO) LDO

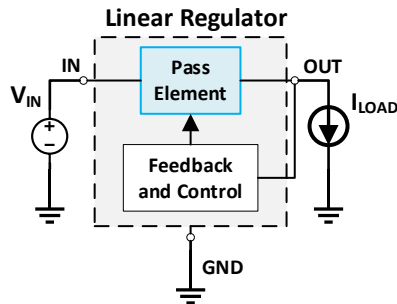
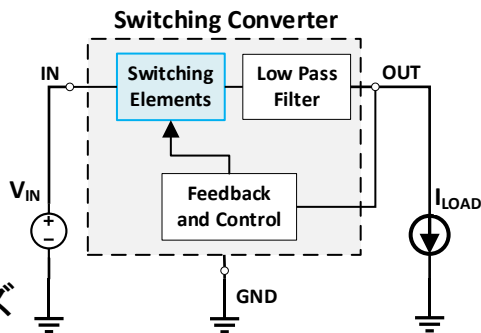
# LDO とスイッチング コンバータの比較

- パワー コンバータの種類:

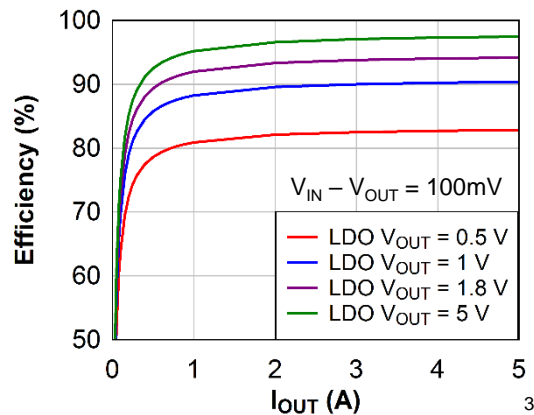
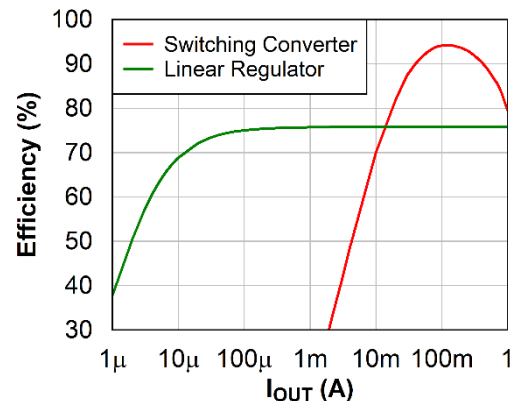
- スイッチング コンバータ: スイッチはオンまたはオフ
- LDO: パス素子は常時オン

- LDO

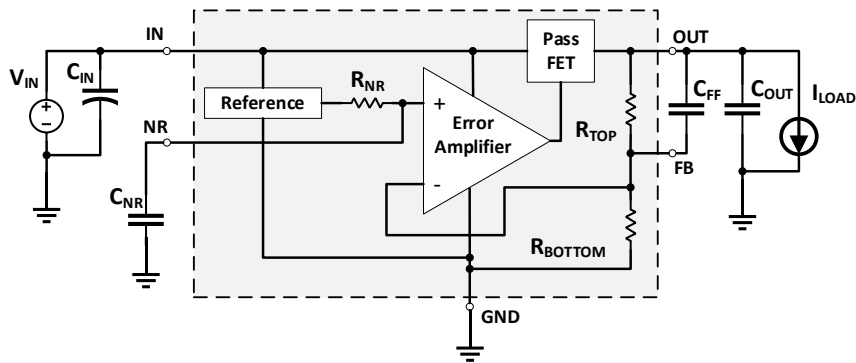
- 長所: 低コスト、シンプル、ローノイズ
- 短所: 効率、発熱



$$\text{効率}(\eta) = \frac{V_{\text{OUT}} \times I_{\text{OUT}}}{V_{\text{IN}} \times (I_{\text{OUT}} + I_{\text{Q}})}$$



# LDO の構造

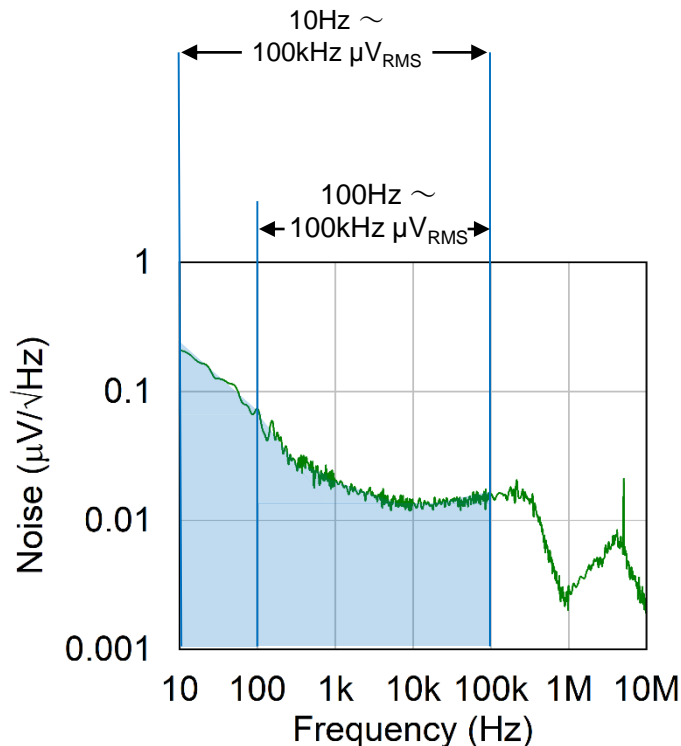


LDO の主な特性:

- ドロップアウト電圧 ( $V_{DO}$ )
- 消費電力 ( $P_D$ ) および LDO の発熱との相関
- ノイズ
  - 固有ノイズ ( $e_n$ ) の支配的な要因は内部リファレンスとエラーアンプのノイズ
  - PSRR は、入力からのノイズが LDO を通じて出力にどの程度現れるかを示します
- 静止電流 ( $I_Q$ )
- 安定性
- 立ち上がり時間

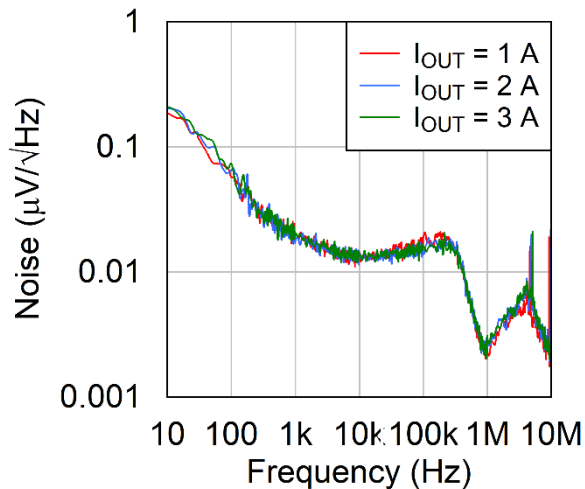
# ノイズの基礎

- LDO のノイズの測定：
  - ノイズ スペクトル密度 ( $\mu\text{V}/\sqrt{\text{Hz}}$ )
  - 合計 (積分) 出力ノイズ ( $\mu\text{V}_{\text{RMS}}$ )
    - さまざまな LDO を相互に比較するための一般的なパラメータ
- 積分出力ノイズの測定範囲は通常 10Hz ~ 100kHz です
  - 以前は 100Hz ~ 100kHz が使用される場合もありました
  - 正確なノイズ比較のため、測定には必ず同じ周波数帯域を使用してください

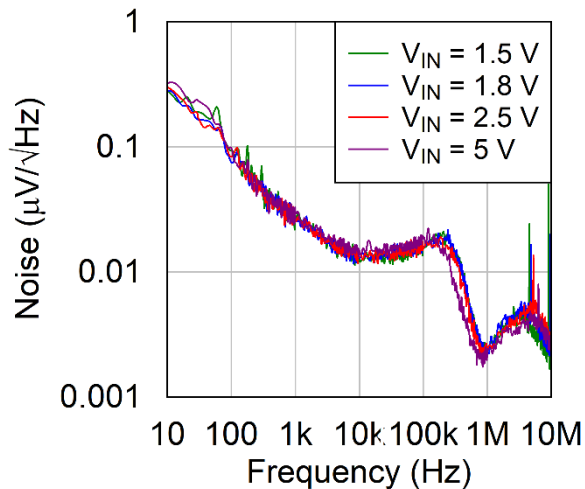


# 固有ノイズに影響しない条件

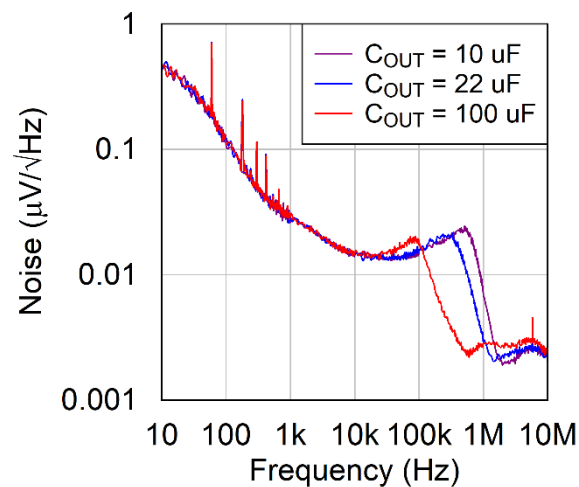
出力電流 ( $\Delta I_{OUT}$ )\*



入力電圧 ( $\Delta V_{IN}$ )



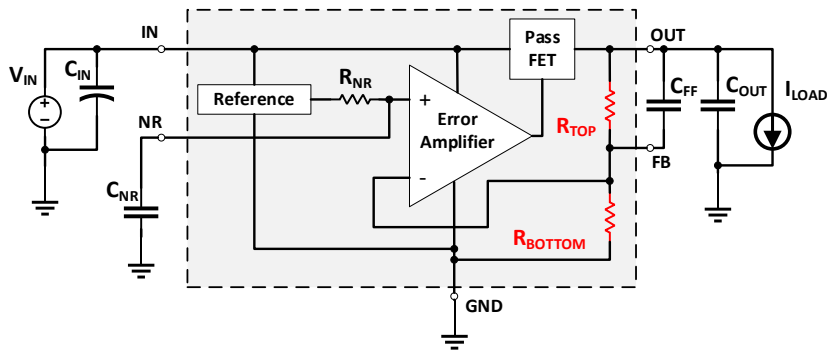
出力容量\*\* ( $\Delta C_{OUT}$ )



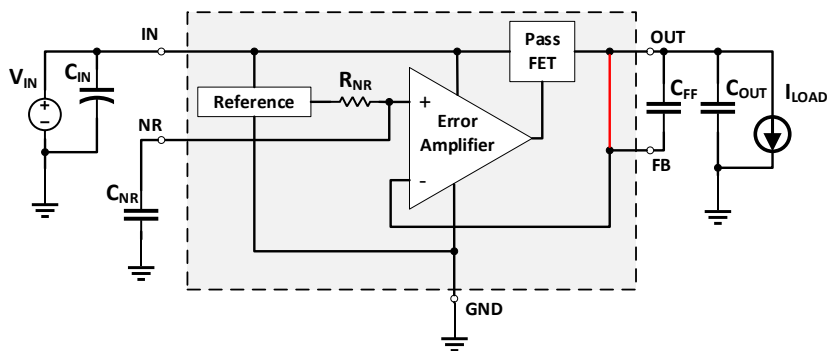
\*超低  $I_Q$  デバイスの場合、 $I_{LOAD}$  はノイズに影響する場合があります

\*\* $C_{OUT}$  の値が非常に大きくなると、ノイズに影響する場合があります

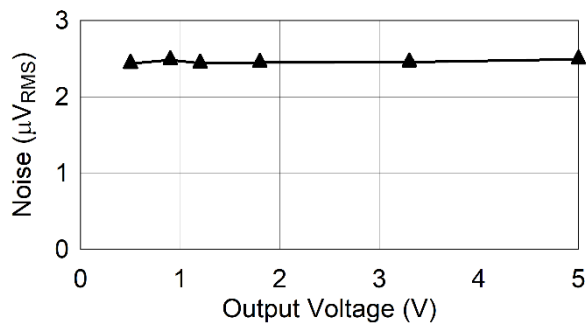
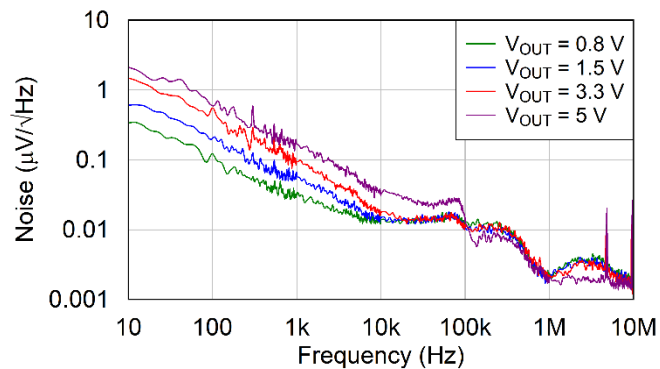
# 固有ノイズに影響する条件



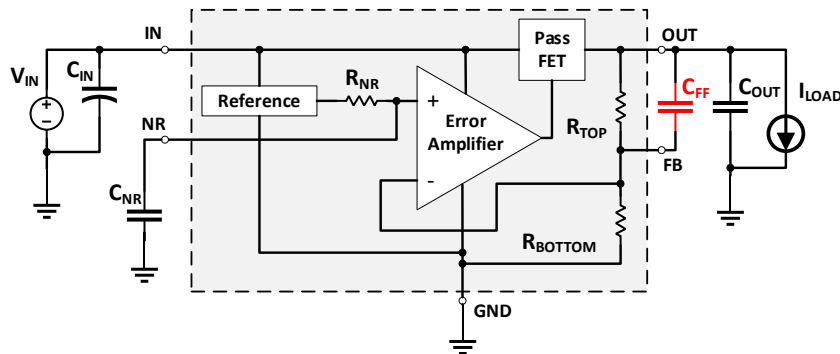
LDOのエラーアンプをユニティゲインに設定すると、 $V_{OUT}$ の影響がなくなります



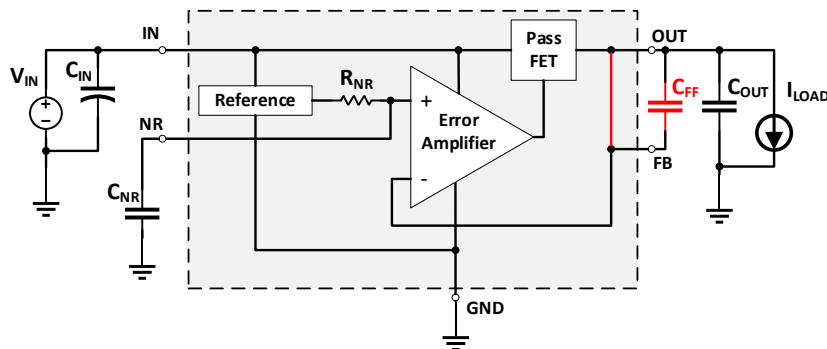
## 出力電圧 ( $\Delta V_{OUT}$ )



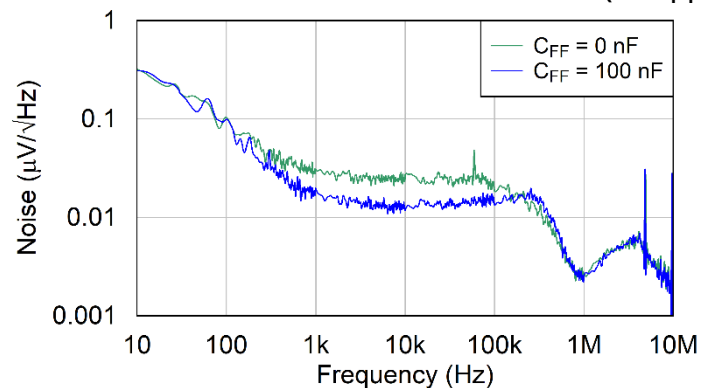
# 固有ノイズに影響する条件



LDOのエラーアンプをユニティゲインに設定すると、 $C_{FF}$ の影響がなくなります



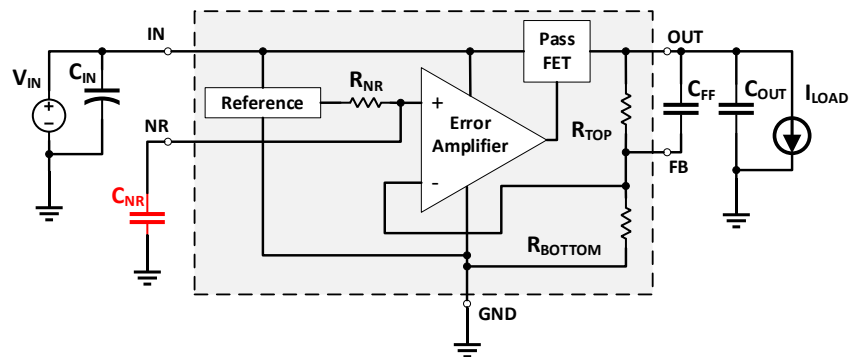
## フィードフォワード コンデンサ ( $\Delta C_{FF}$ )



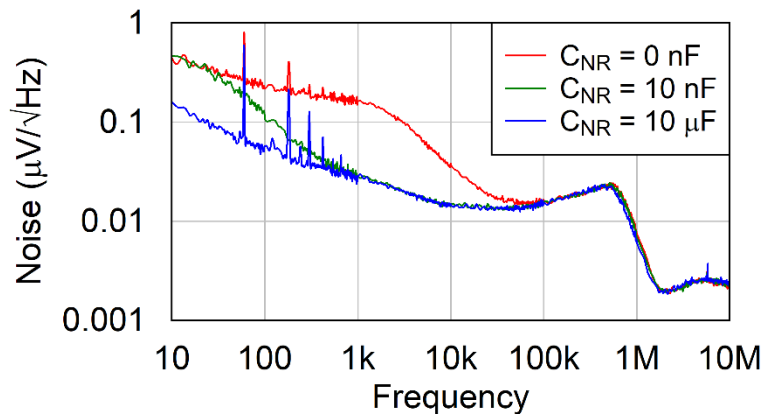
- $C_{FF}$  は、中帯域の周波数において  $R_{TOP}$  全体で短絡を引き起こします
- エラーアンプは、中帯域の周波数範囲内においておおよそユニティゲインとして動作します



# 固有ノイズに影響する条件



ノイズ低減 (NR) コンデンサ ( $\Delta C_{NR}$ )



- NR コンデンサと内部 NR 抵抗はローパスフィルタを形成します
- このローパスフィルタは、内部リファレンスからエラーアンプへのノイズを除去します

# PSRR

PSRR は、LDO の入力電圧の変動をフィルタする能力を表します

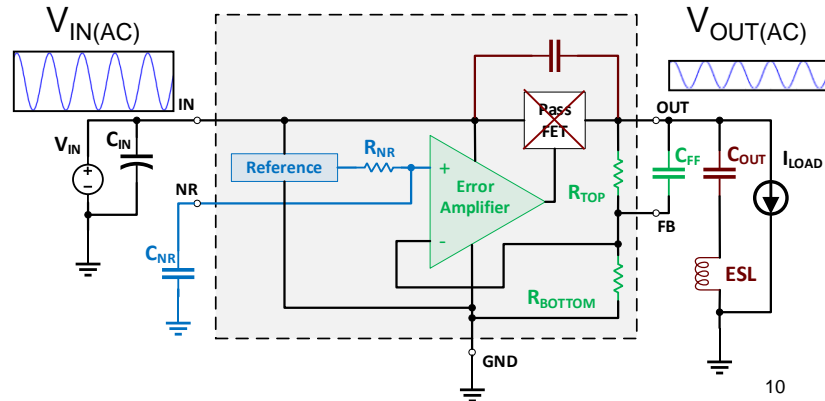
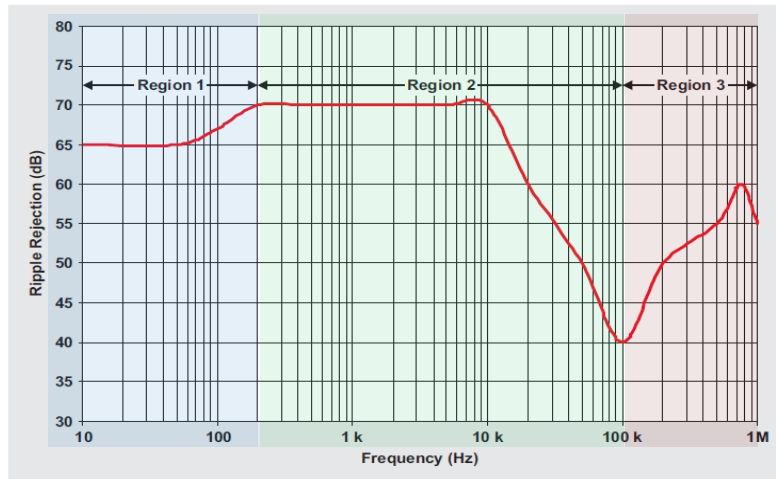
$$\text{PSRR} = 20 \times \log \left( \frac{V_{\text{IN(AC)}}}{V_{\text{OUT(AC)}}} \right)$$

領域 1: リファレンスと RC フィルタの PSRR

領域 2: 誤差アンプの開ループゲイン

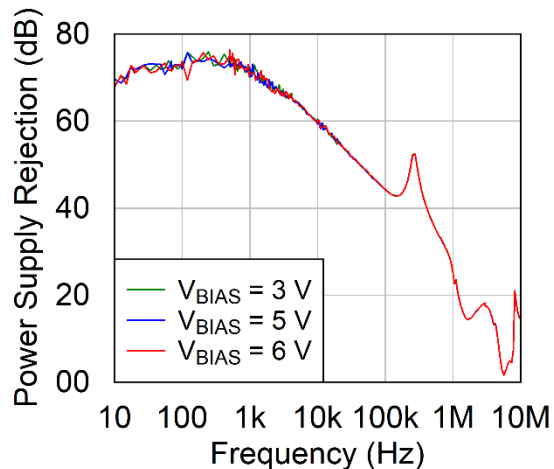
領域 3: FETと出力コンデンサの寄生容量および関連する寄生容量 (容量性デバイダ)

- 寄生容量が小さいほど、 $V_{\text{IN AC}}$  が  $V_{\text{OUT}}$  に伝わりにくくなります
- $C_{\text{OUT}}$  が大きいほど、より多くのノイズが GND にバイパスされます
- 関連する等価直列インダクタンス (ESL) も PSRR 性能に影響する場合があります



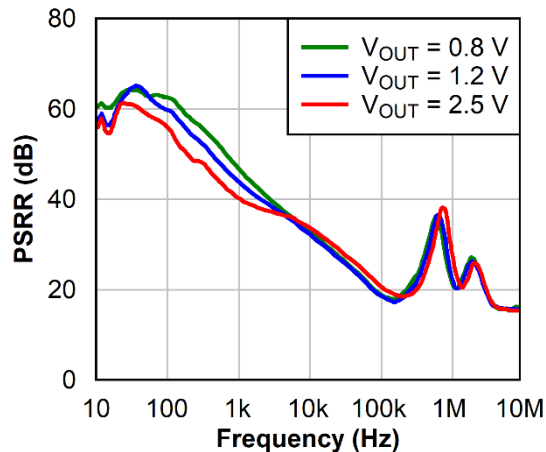
# PSRR に影響しない条件

## バイアス電圧 ( $V_{BIAS}$ )



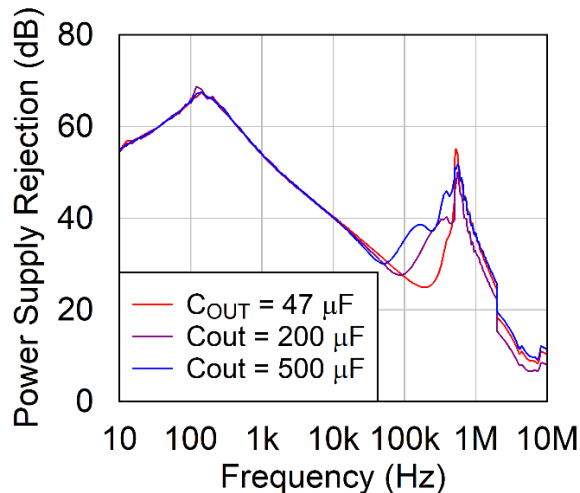
$V_{BIAS}$  が最小値を上回る場合は影響なし

## 出力電圧 ( $V_{OUT}$ )



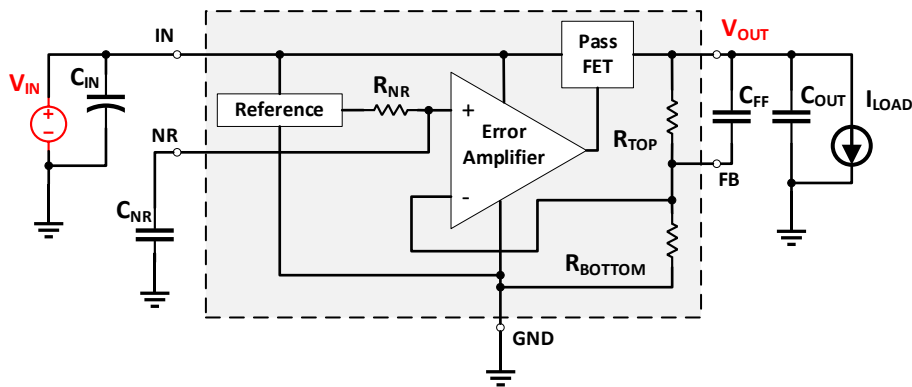
低周波では小さな影響

## 出力キャパシタンス ( $\Delta C_{OUT}$ )



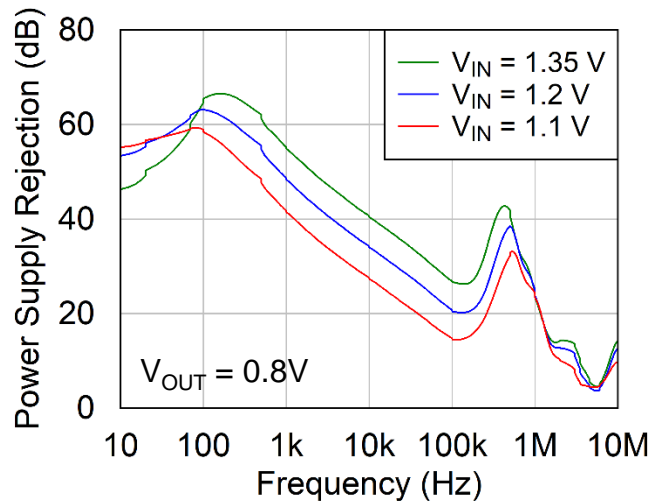
高周波では小さな影響

# PSRR に影響する条件

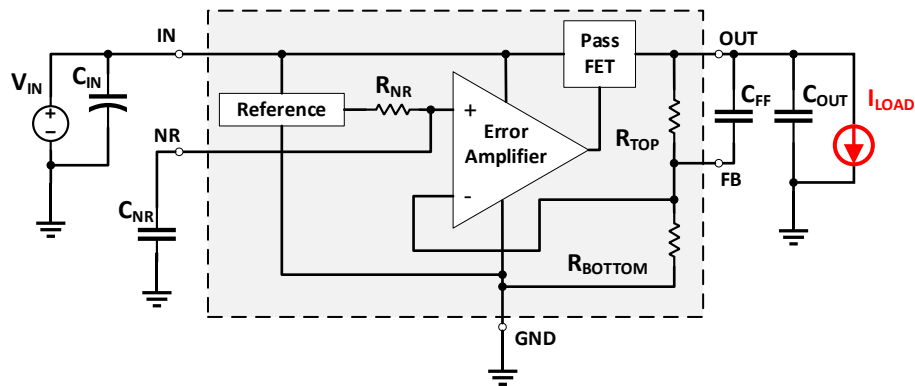


- パス電界効果トランジスタ (FET) が飽和領域にある場合は、必要なゲインを維持できます ( $V_{DS}$  が大きい)
- パス FET が線形領域にある場合は、必要なゲインを維持できません ( $V_{DS}$  が小さい)

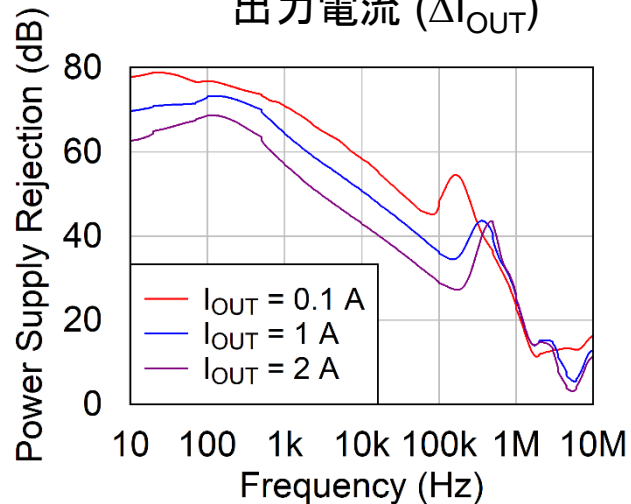
V<sub>in</sub>-V<sub>out</sub>ヘッドルーム電圧



# PSRR に影響する条件

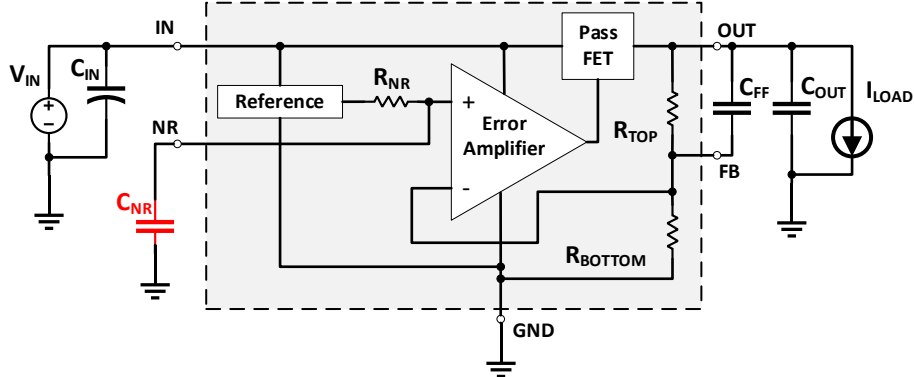


出力電流 ( $\Delta I_{OUT}$ )



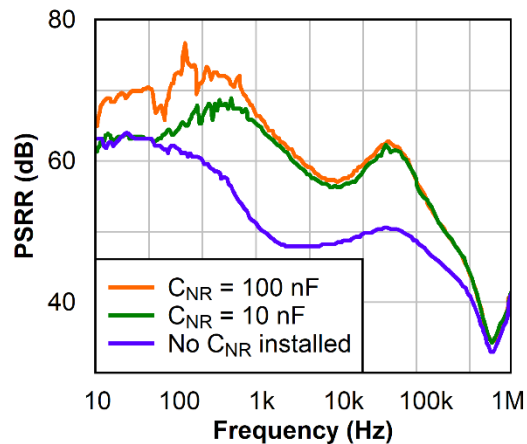
- 負荷の増加に伴い、ある時点でパス FET が線形領域に入り、パス FET のゲインが低下して  $V_{DS}$  と同じになります

# PSRR に影響する条件

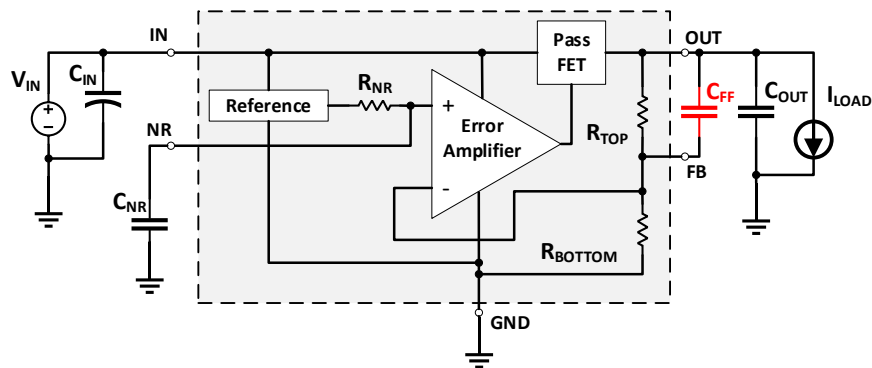


- $V_{REF}$  自体の PSRR が LDO の PSRR に影響します
- ローパスフィルタを追加すると、 $V_{REF}$  の PSRR が増加します

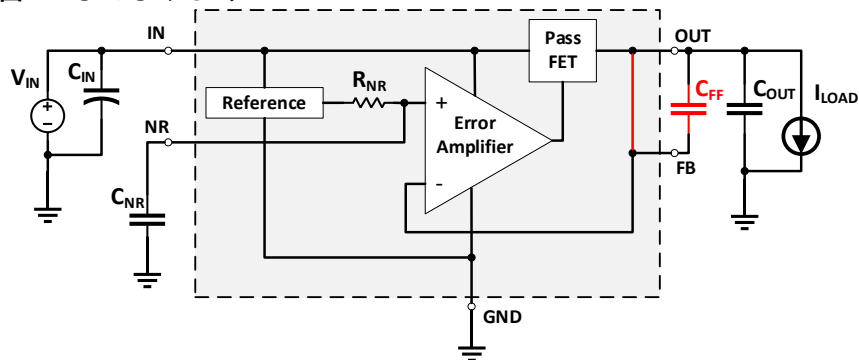
NR コンデンサ ( $\Delta C_{NR}$ )



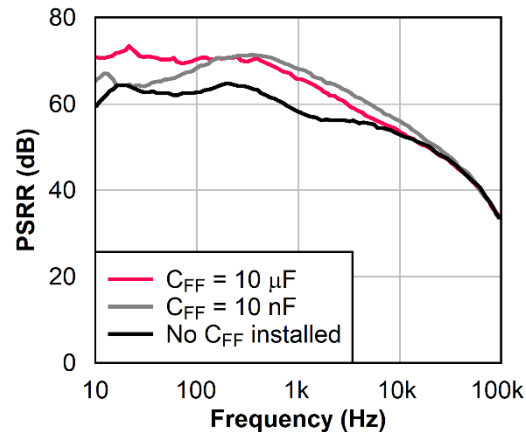
# PSRR に影響する条件



LDOのエラーアンプをユニティゲインに設定すると、 $C_{FF}$ の影響がなくなります



フィードフォワードコンデンサ ( $\Delta C_{FF}$ )

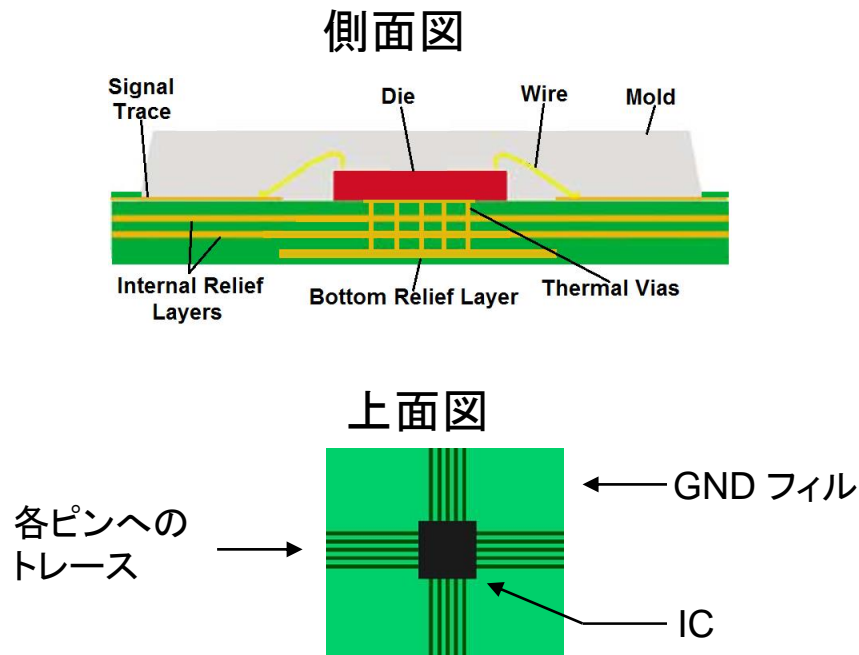


- 周波数が高くなると、 $V_{OUT}$  が  $C_{FF}$  によって実質的に短絡し、誤差アンプのゲインによるリファレンスノイズの増加が抑えられます

# JEDEC の熱評価基準

- TI の LDO 熱評価基準は、デバイスを簡単に比較できるように、半導体技術協会 (JEDEC) の High-K ボードを使用してモデル化されています
- 最も一般的な熱特性は、接合部・周囲間 ( $\theta_{JA}$ ) の熱抵抗です
- $\theta_{JA}$  は、プリント基板 (PCB) に取り付けられた集積回路 (IC) の放熱性能です

## JEDEC の High K ボード





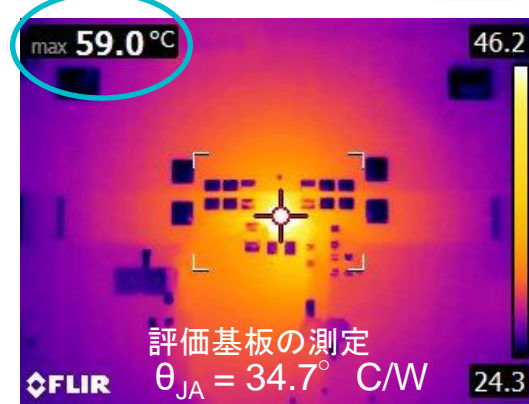
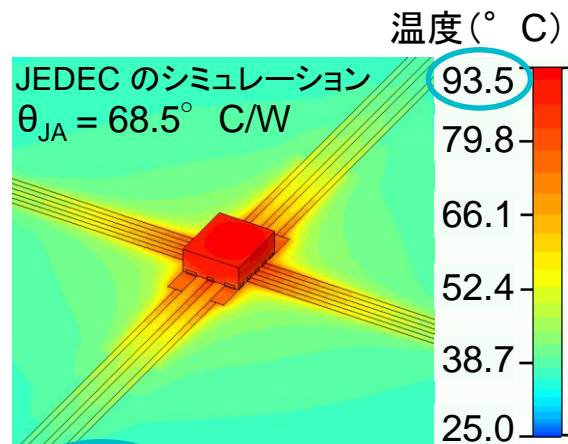
# $\theta_{JA}$ : 使用法と制限について

- 効果的なレイアウト方法を使うと、 $\theta_{JA}$  を **25% ~ 50%** 低減できます
- 効果的なレイアウト方法:
  - LDO から熱を逃がすために、サーマル パッド内のサーマルビアの数を最大限に増やす
  - デバイス周辺の PCB の銅箔を最大限に増やす

$$P_D = (V_{IN} - V_{OUT}) \times (I_{OUT} + I_Q)$$

$$P_D \cong (V_{IN} - V_{OUT}) \times I_{OUT}$$

$$T_J = T_A + (\theta_{JA} \times P_D)$$



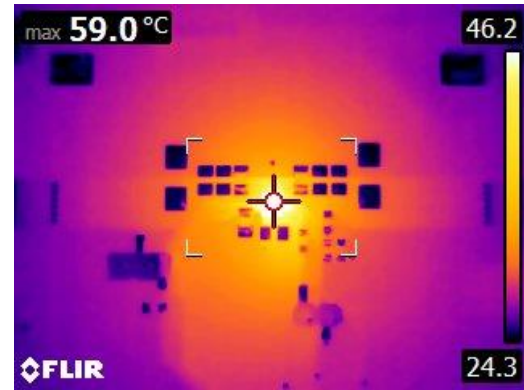
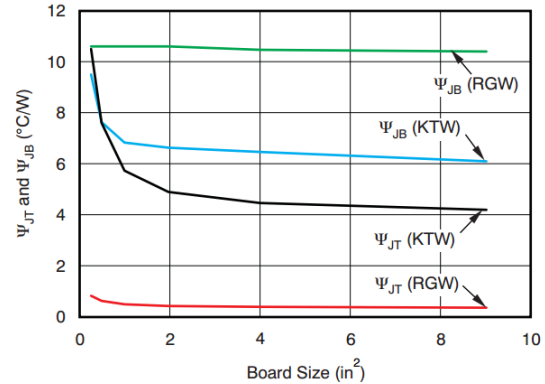
# アプリケーションでの $\Psi_{JB}$ と $\Psi_{JT}$ の使用

- 熱評価基準 JEDEC has defined  $\Psi_{JB}$  および  $\Psi_{JT}$ : PCB でのケース温度の測定値 ( $T_C$ ) から接合部温度をより正確に推定する方法を提供

$$T_J = T_C + \Psi_{JT} \times P_D$$

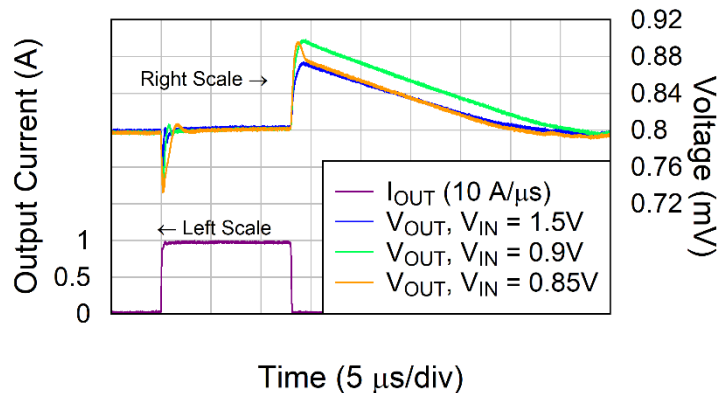
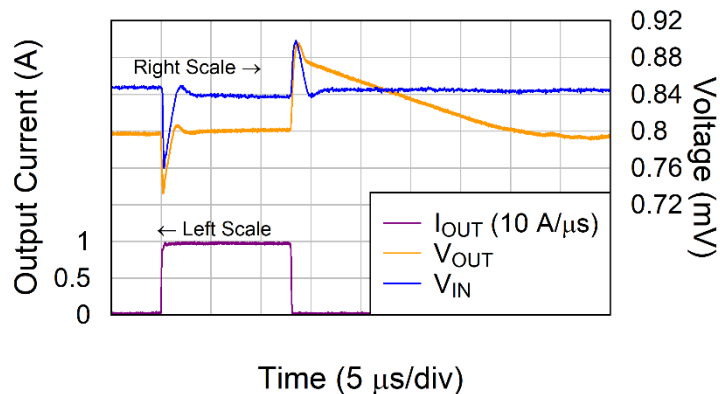
$$T_J = 59^\circ\text{C} + 4.5^\circ\text{C}/\text{W} \times 1\text{W} = 63.5^\circ\text{C}$$

$\Psi_{JT}$  AND  $\Psi_{JB}$  VERSUS PCB SIZE



# ドロップアウト付近での過渡応答性能

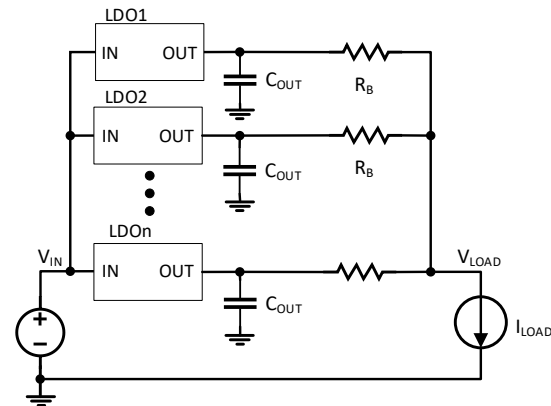
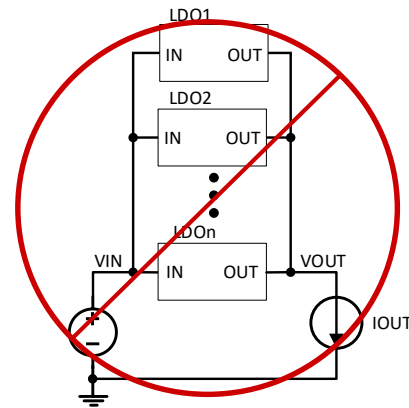
- 過渡応答性能は通常、ヘッドルームの電圧がドロップアウトよりも高い状況で評価されます
- LDO が出力電圧を調整できなくなると、ドロップアウトとなります
  - ドロップアウトは DC の仕様です
- TPS7A14 のドロップアウトは通常 1A (25° C) で 45mV です



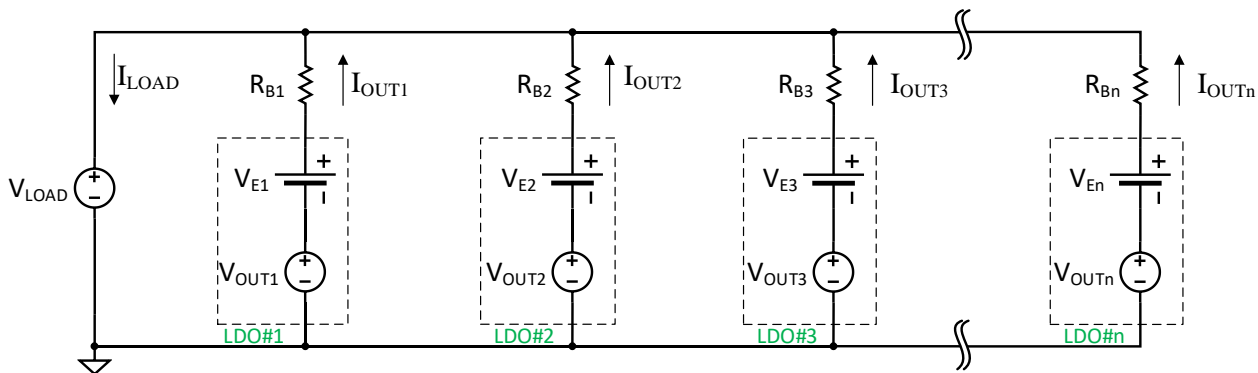
# パラレル LDO

## • 利点:

- 供給電流の増加
- ノイズ ( $\sqrt{n}$ ) の低減
- PSRR の改善
- 放熱性の改善
- ヘッドルーム電圧の条件の緩和 (ドロップアウト)
- (小型な出力コンデンサの仕様による)他のコンバータ比での体積の低減
- 各 LDO の出力をまとめて接続するには、バラスト抵抗を使用する必要があります
- $V_{OUT}$  への直接接続: 各LDOの $V_{OUT}$  に小さな差が生じると、1 個の LDOのみがオンになり、残りはオフのままで負荷を駆動しようとしてしまいます



# パラレル LDO: 基本的な式と解析



$$R_B = \frac{\max_{1 < x < n} V_{En} - \min_{1 < x < n} V_{En}}{\Delta I_{MAX}}$$

LDO 間の最大電流不均衡

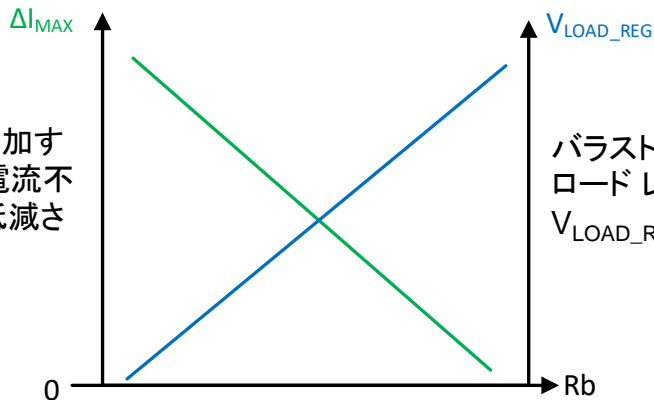
$$I_{LOAD} = \sum_{n=1}^n \frac{V_{OUTn} - V_{LOAD} + V_{En}}{R_{Bn}}$$

$$V_{LOAD} = \frac{\sum_{n=1}^n \frac{V_{OUTn} + V_{En}}{R_{Bn}} - I_{LOAD}}{\sum_{n=1}^n \frac{1}{R_{Bn}}}$$

$$I_{OUTn} = \frac{V_{OUTn} - V_{LOAD}}{R_{Bn}} + \frac{V_{En}}{R_{Bn}}$$

$R_{B1} = \dots = R_{Bn}$  と  $V_{OUT1} = \dots = V_{OUTn}$  の場合:

$$I_{OUTn} = \frac{I_{LOAD} - \left( \sum_{n=1}^n \frac{V_{En}}{R_B} \right) + \frac{V_{En}}{R_B}}{n} \quad 21$$



バラスト抵抗が増加すると、LDO 間の電流不均衡 ( $\Delta I_{MAX}$ ) が低減されます

バラスト抵抗が減少すると、ロードレギュレーション  $V_{LOAD\_REG}$  が低減されます

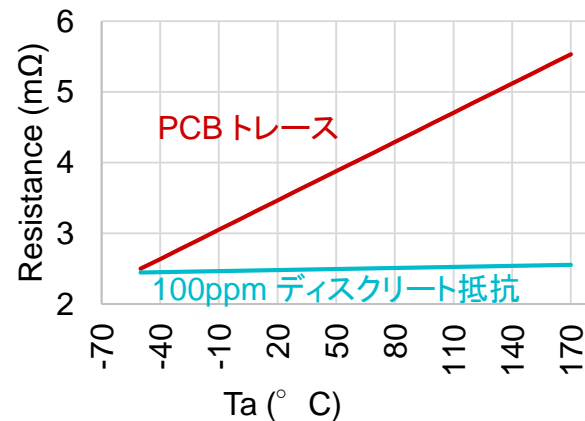
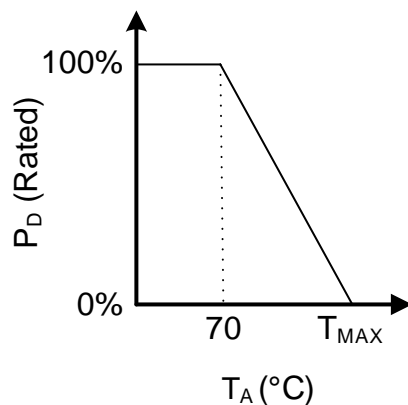
# バラスト抵抗の設計

- オプション 1: PCBトレース
  - マイクロストリップ解析を使用せず、電子回路協会 (IPC) 2221 を使用する
  - 解析には PCBトレースの温度上昇と PCB 誘電体の  $T_G$  を含める
  - 長所: 低コスト、低発熱、在庫切れや生産中止にならない
- オプション 2: ディスクリット抵抗
  - 通常は 1608 または 2012 サイズ
  - データシートのディレーティングを確認してください
  - 長所: 低許容誤差、低寄生容量、最小のフットプリント



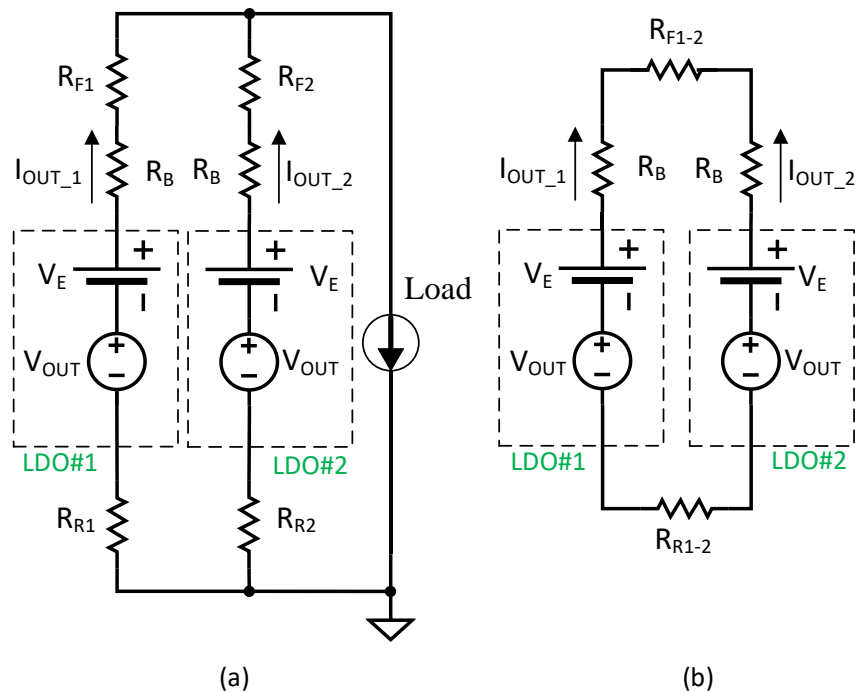
← 1206 サイズの抵抗

← PCB の抵抗



# PCB インピーダンスの影響

- 理想的なのは、PCB 抵抗がバラスト抵抗より十分に小さいことです
  - PCB の銅箔での許容誤差が広くとれます
- PCB 抵抗がバラスト抵抗と直列になります
- $R_B < 50\text{m}\Omega$  の場合、PCB 抵抗は設計を有意に変化させる可能性があります
  - ポストルート解析を実施し、高温での PCB 抵抗のシミュレーションを行います
- 2 つの経路を評価する必要があります



# 並列 LDO カリキュレータ

手順 1: ドロップダウン  
ボックスを使用して、LDO  
を選択します

手順 2: データシートの  
パラメータは自動的に入  
力されています

手順 3: システム要件を  
入力します

Not included: Abs Max voltage assessment or DC setpoint analysis  
This calculator assumes the same LDO IC, ballast resistor, and output voltage is used for all LDO's in parallel

TPS7A57

LDO Specifications					
Parameter	Value	Units	Optional User Entry	Units	
V <sub>E</sub> , high	2	mVdc		mVdc	
V <sub>E</sub> , low	-2	mVdc		mVdc	
Thermal Impedance T <sub>JA</sub>	21.9	°C / W		°C / W	

Parallel LDO System Requirements					
Parameter	Value	Units		Units	
T <sub>A</sub>	85	°C		°C	
Maximum T <sub>J</sub> per LDO	125	°C		°C	
V <sub>IN</sub>	1.25	Vdc		Vdc	
V <sub>OUT</sub>	0.75	Vdc		Vdc	
Allowable load regulation	0.02	Vdc		Vdc	
System Noise Requirement (10 Hz - 100 kHz)	2.45	µVrms		µVrms	
Total System Load:	8.48	A		A	

Minimum Ballast Resistance needed	0.8	mΩ		mΩ	
Optimum Ballast Resistance	5.608043	mΩ		mΩ	
Ballast Resistance Selected	5.608043	mΩ		mΩ	

N = 3  
Minimum number of parallel LDO's required:

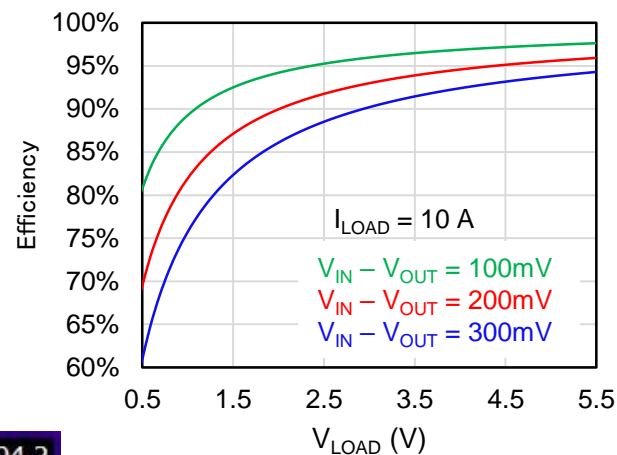
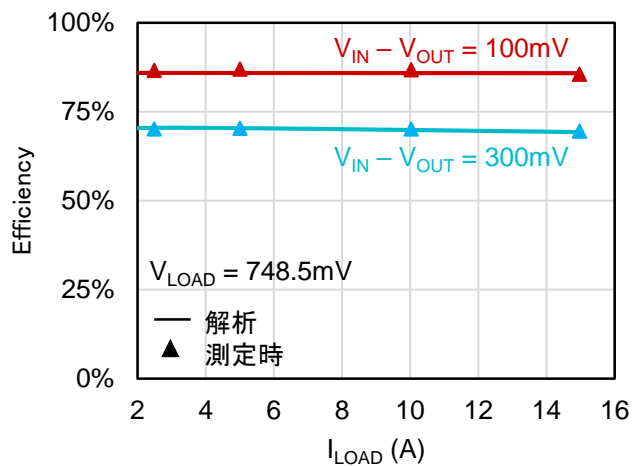
手順 4: バラスト抵抗を  
選択します

手順 5: システム要件を  
満たす数の LDO を使用  
します

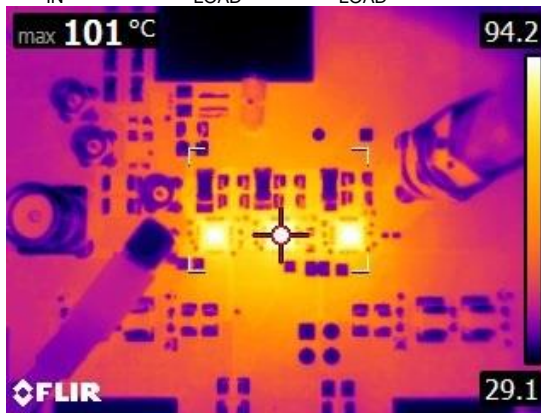
## 並列 LDO カリキュレータ



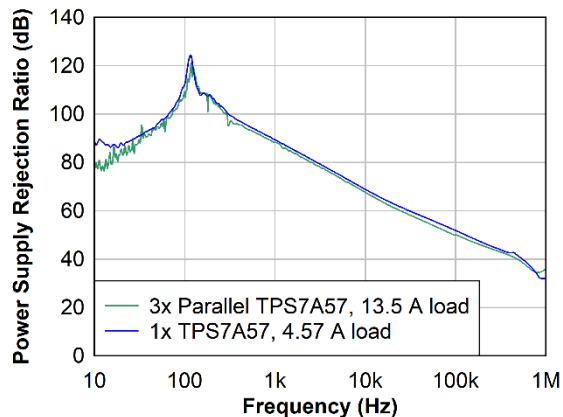
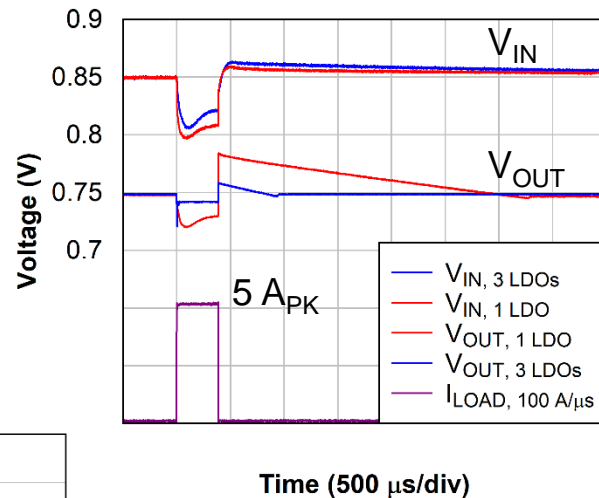
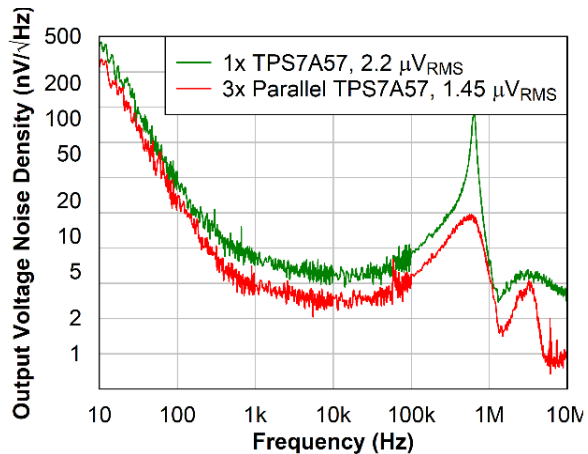
# 3つの平行 TPS7A57 LDO 解析およびテスト データ



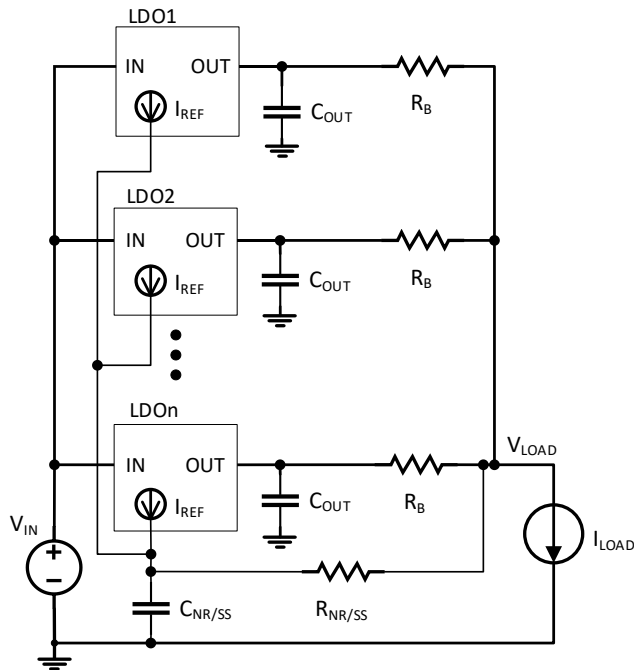
$P_D = 6.75W$ , 30分  
 $V_{IN} = 1.5V$ ,  $V_{LOAD} = 1V$ ,  $I_{LOAD} = 13.5A$



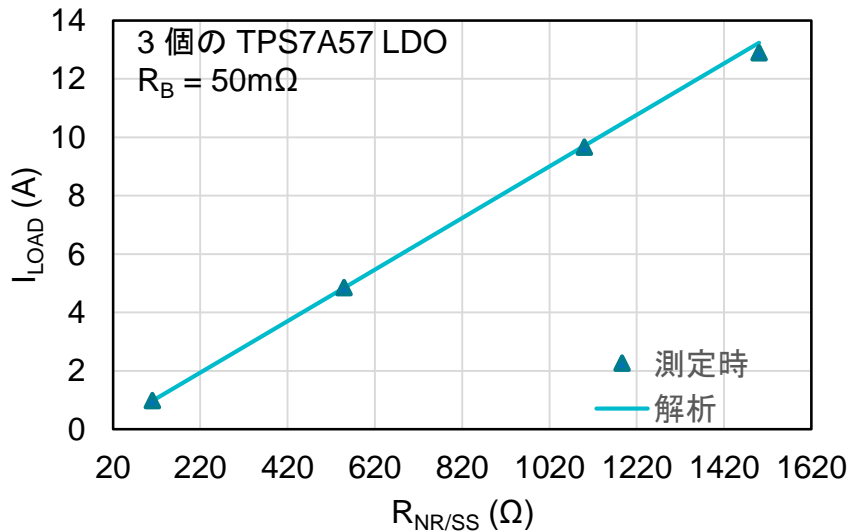
# 3つのパラレル TPS7A57 LDO 解析およびテスト データ



# 定電流源として構成された LDO



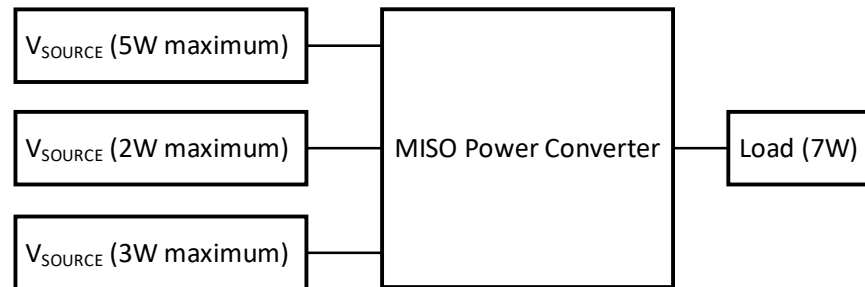
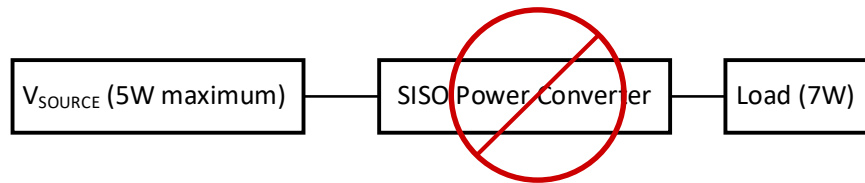
$$R_{NR/SS} = \frac{I_{OUT} R_B}{N \times I_{REF}} = \frac{I_{LOAD} R_B}{N^2 \times I_{REF}}$$



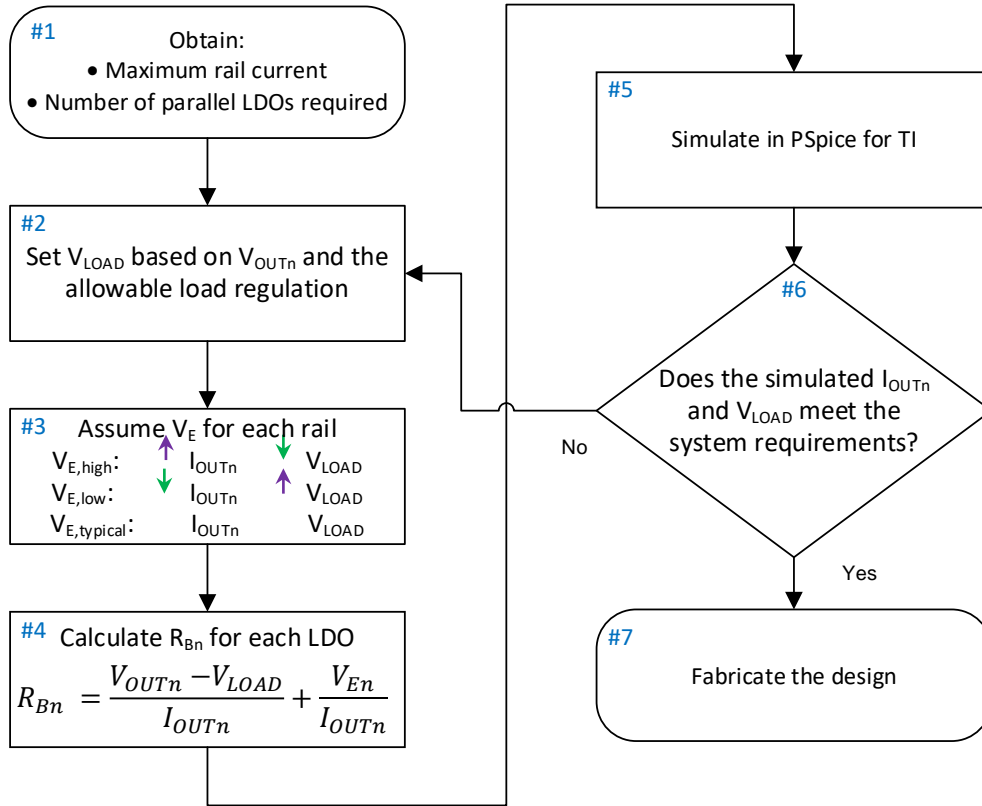
- アプリケーションには、通常は定電流ドライバ (レーザー ダイオード、LED) により駆動され、ノイズに敏感な電子機器等があります

# MISO(Multiple-Input Single-Output) 電源

- 最新の複雑なシステムには、システムへの入力と内部の両方に多数の電源があります
- 時には、負荷への供給に必要な電力が単一入力レールから利用可能な電力よりも大きいことがあります
- MISO 電源は、複数の入力電源を引き受け、電力を統合して単一出力での負荷に供給することができます

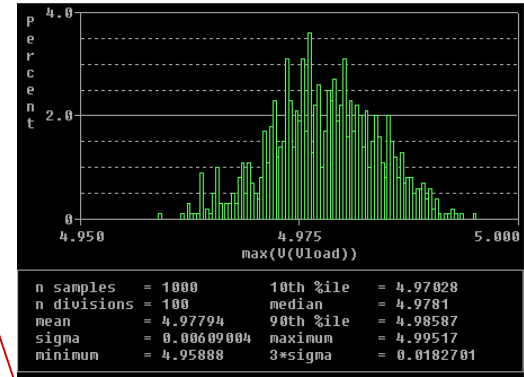


# MISO パラレル LDO の設計プロセス

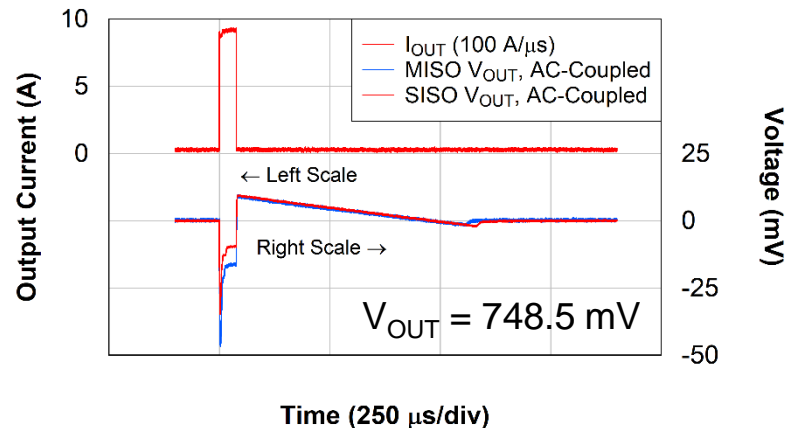
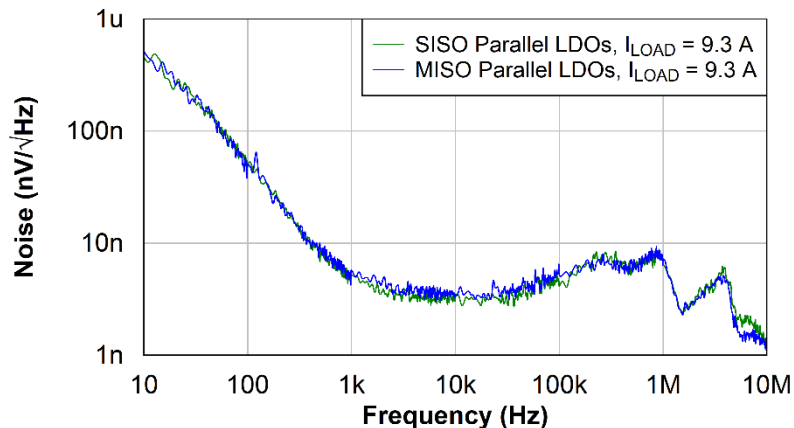


Sensitivity Component Filter = [ \* ]

Component	Parameter	Original	@Min	@Max	Rel ...	Linear
Rb1	VALUE	22m	44m	0	-6.3830m	100
Rb3	VALUE	5.5000m	0	11m	4.8780m	76
Rb2	VALUE	11m	0	22m	2.2222m	34
R24	VALUE	0.0020	0	4m	779.2208u	12
R30	VALUE	0.0020	4m	0	-519.4805u	8
R25	VALUE	0.0020	4m	0	-259.7403u	4
R26	VALUE	5	0	10	0.9992f	< MIN >
Rb11	VALUE	4m	4m	4m	0	0
Rb21	VALUE	4m	4m	4m	0	0
R27	VALUE	2.2000	2.2000	2.2000	0	0
R31	VALUE	1	1	1	0	0



# MISO LDO と 平行 SISO LDO の比較

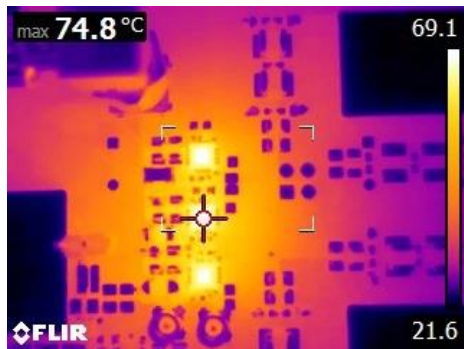


$V_{LOAD} = 0.75\text{ V}$   
 $P_D$  (各 LDO) = 1.55W

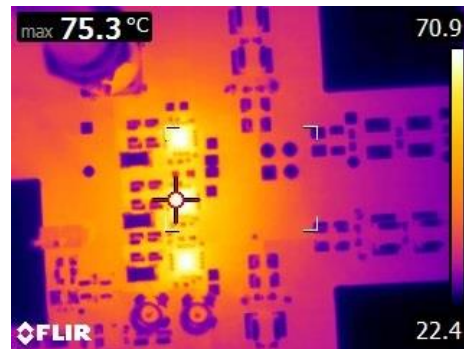
$V_{IN1} = 1.72\text{ V}$ 、 $I_{OUT1} = 1.6\text{ A}$

$V_{IN2} = 1.25\text{ V}$ 、 $I_{OUT2} = 3.1\text{ A}$

$V_{IN3} = 1.09\text{ V}$ 、 $I_{OUT3} = 4.6\text{ A}$



MISO LDO



平行 SISO LDO

$V_{LOAD} = 0.75\text{ V}$   
 $P_D$  (各 LDO) = 1.55W

$V_{IN1} = V_{IN2} = V_{IN3} = 1.25\text{ V}$ 、  
 $I_{LOAD} = 9.3\text{ A}$

# 概要

- LDO のノイズ、PSRR、放熱性能、ドロップアウト付近での動作といった基本的な特性
  - LDO のノイズや PSRR に影響する条件と影響しない条件を説明
- パラレルLDOを使用して、より大きい電流を負荷に供給する回路構成
- 弊社提供のパラレルLDOのバラスト抵抗の計算ツールの説明
  - パラレル LDO により、負荷電流の増加、システム ノイズの低減、PSRR の改善、放熱性能の向上、必要なヘッドルームの削減を実現できる
- パラレルLDOを使用した定電流源の構成方法
- さまざまな入力電圧を各パラレル LDO 入力に接続するMISOパラレルLDOの構成方法
  - バラスト抵抗を変更すると、各入力電源から供給される電力が調整される

# 参照情報

- [『Accurately measuring efficiency of ultralow Iq devices』](#) (英語)
- [『Overcoming Low-Iq Challenges in Low-Power Applications』](#) (英語)
- [『Optimizing feedforward compensation in linear regulators』](#) (英語)
- [『Simplifying Stability Checks』](#) (英語)
- [『Avoid Start-up Overshoot of LDO』](#) (英語)
- [『LDOs Ease the Stress of Start-Up』](#) (英語)
- [『Soft-start circuits for LDO linear regulators』](#) (英語)
- [『LDO Basics』](#) (英語)
- [『How to Measure LDO Noise』](#) (英語)
- [『LDO PSRR Measurement Simplified』](#) (英語)



# 参照情報

- [『Understanding power supply ripple rejection in linear regulators』](#) (英語)
- [『Pros and Cons of Using a Feedforward Capacitor with a Low-Dropout Regulator』](#) (英語)
- [『An Empirical Analysis of the Impact of Board Layout on LDO Thermal Performance』](#) (英語)
- [『Measuring the Thermal Impedance of LDOs in Situ』](#) (英語)
- [『Switch-mode power converter compensation made easy』](#) (英語)
- [『Comprehensive Analysis and Universal Equations for Parallel LDOs Using Ballast Resistors』](#) (英語)
- [『Parallel LDO Architecture Design Using Ballast Resistors』](#) (英語)
- [『パラレル LDO カリキュレータ』](#)

# 参照情報

- 『[スケールラブル、大電流、低ノイズの平行 LDO のリファレンス デザイン](#)』
- 『[Semiconductor and IC Package Thermal Metrics](#)』 (英語)



© Copyright 2024 Texas Instruments Incorporated. All rights reserved.

This material is provided strictly “as-is,” for informational purposes only, and without any warranty.  
Use of this material is subject to TI’s **Terms of Use**, viewable at [TI.com](https://www.ti.com)

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated