

# パワー サプライ デザイン セミナー

トランスインダクタ  
電圧レギュレータ の概要

伊美 俊郎

日本テキサス・インスツルメンツ

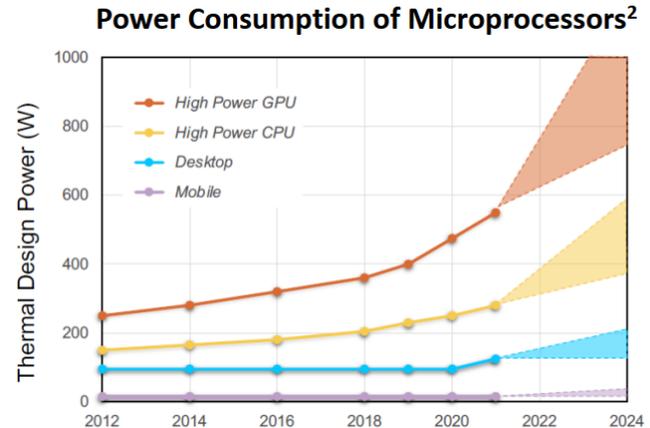
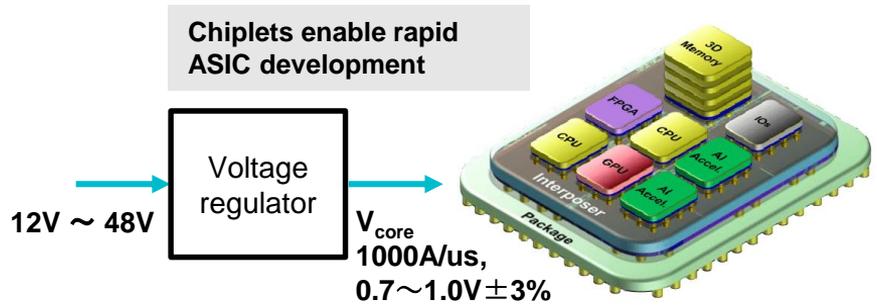
営業技術本部 フィールドアプリケーションエンジニア

# 目次 / 概要

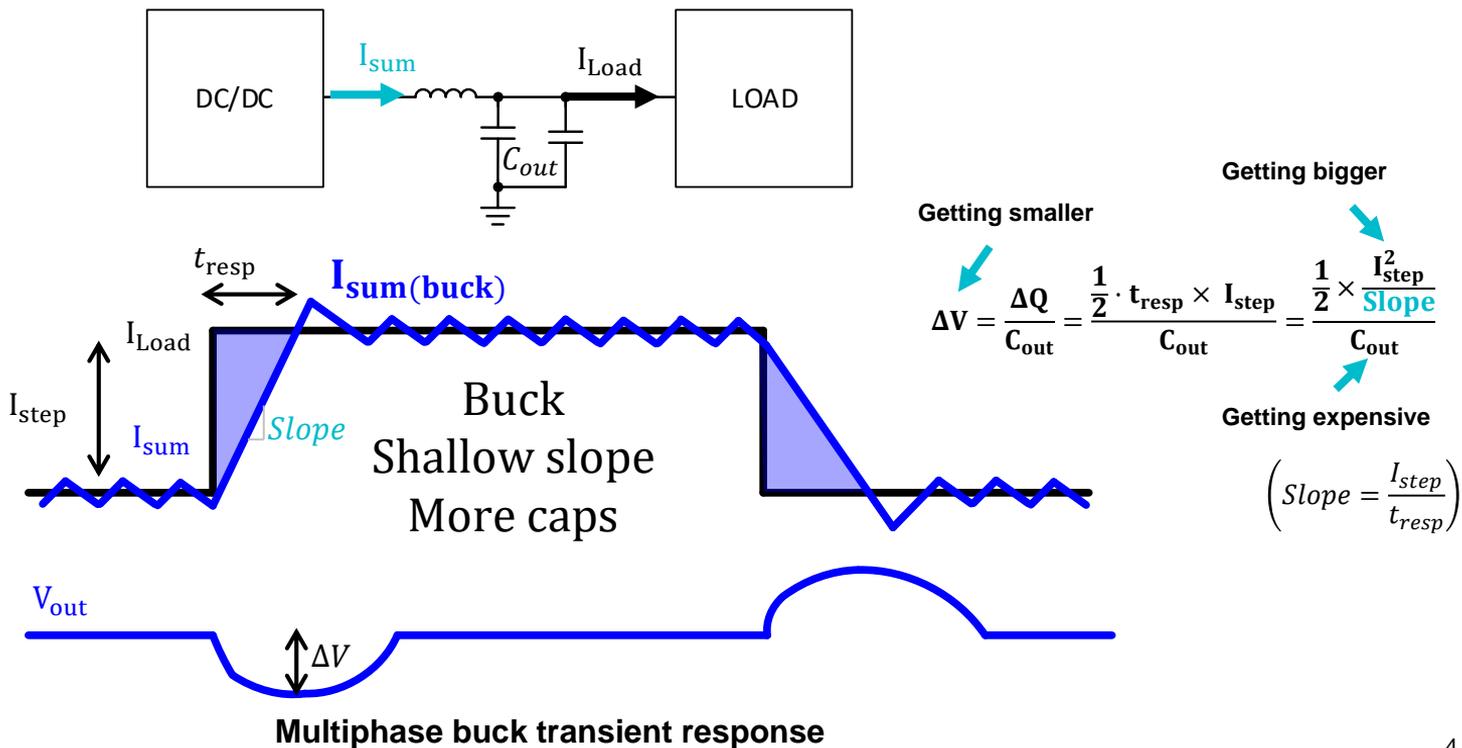
- ・ 背景と目的
- ・ トランス インダクタ電圧レギュレータ(TLVR)トポロジの概要
- ・ 実設計上の留意点
- ・ まとめ

# 背景と目的: 電圧回路設計の課題

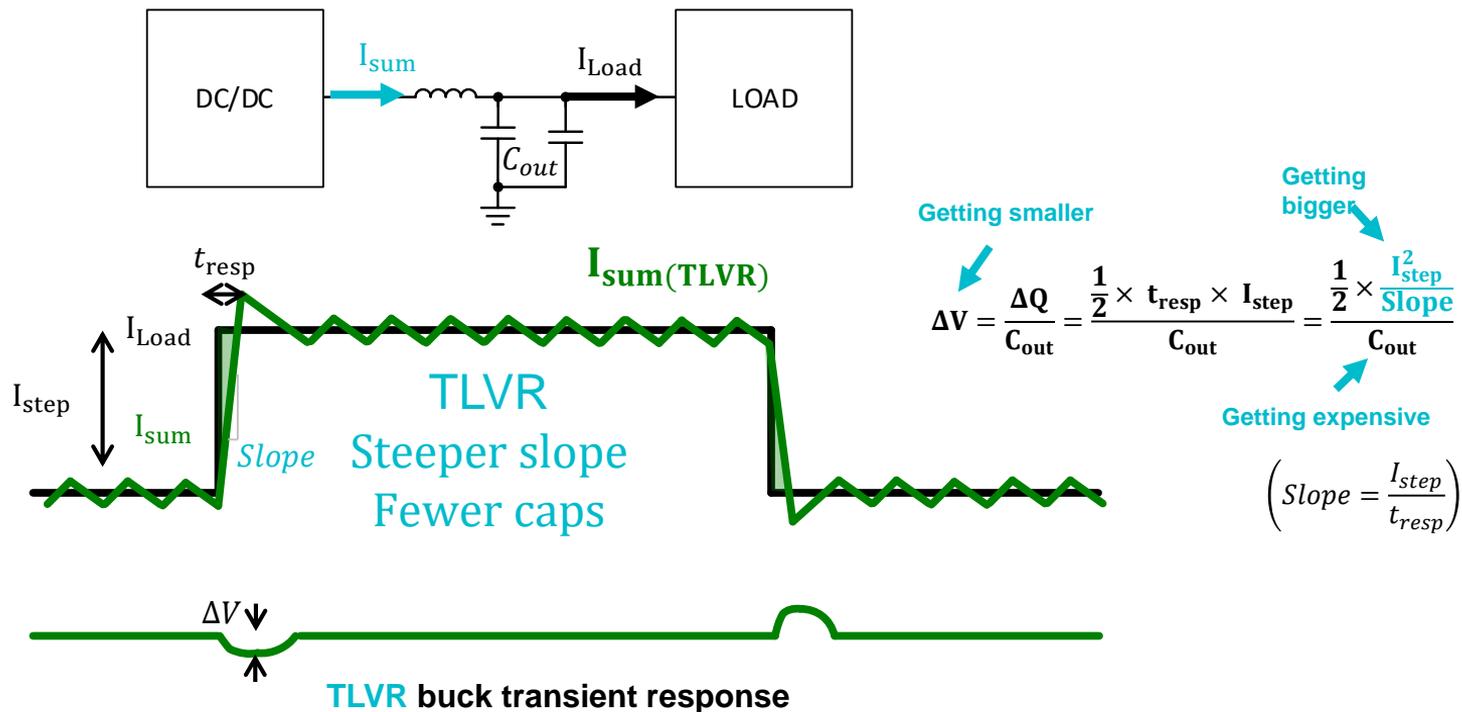
- シリコン プロセス テクノロジーの 微細化の 進化(やや鈍化しているものの)  
3nm Digital →さらに微細化
- ASIC(特定用途向け集積回路)の動作 電圧は 0.7V ~ 1.0V (1.8V max) を維持
- CPUコア数の増加とチップレット技術により、 1,000Aを超える急激な動作電流の増加
- 1,000A/ $\mu$ s、 $\Delta V_{core} = \pm 3\%$ という厳しい過 渡応答の要求



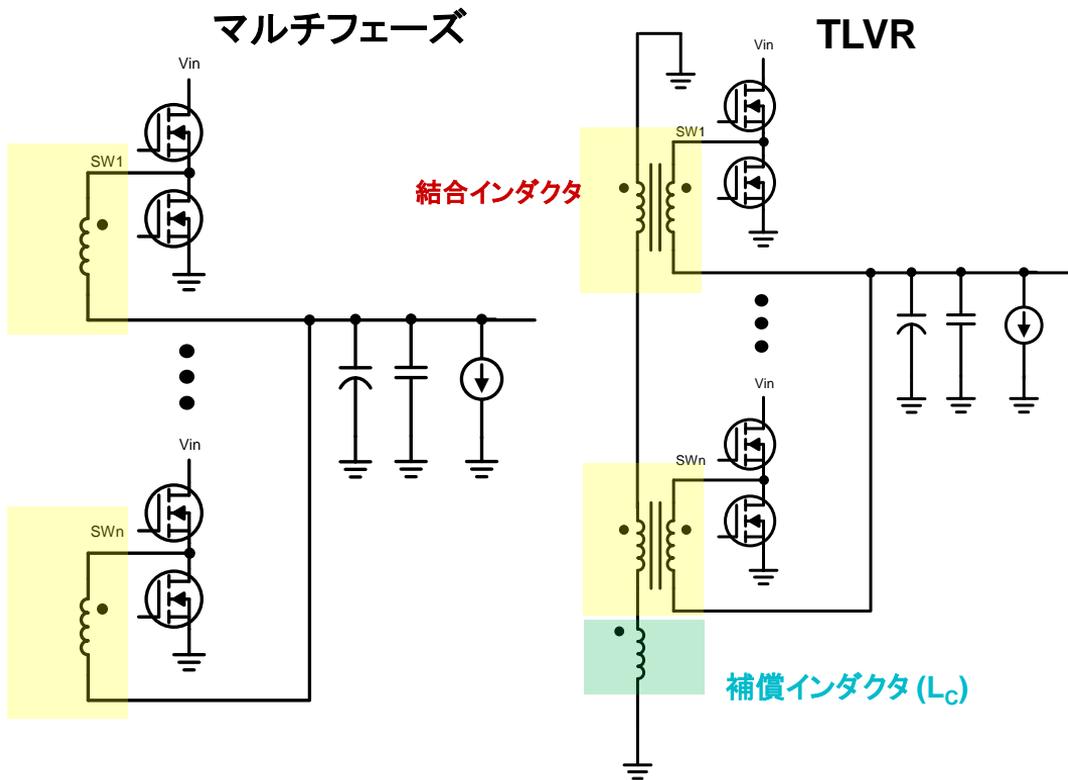
# TLVRの技術的背景: 負荷過渡応答特性の改善



# TLVRの技術的背景: 負荷過渡応答特性の改善



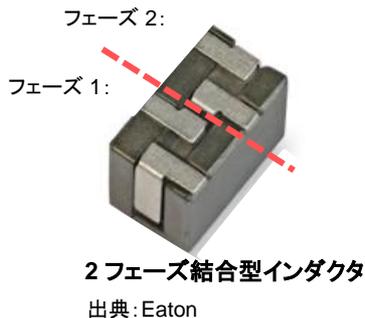
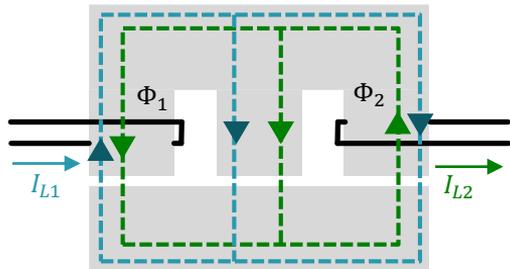
# マルチフェーズ vs. TLVRのトポロジ比較



- 高速過渡応答向けに最適化された、マルチフェーズ技術の応用
- TLVR は結合インダクタ (Coupled Inductor) コンバータのコンセプトを導入
- 特に下記動作条件で効果的:
  - マルチフェーズ (6 フェーズ以上)
  - 厳しい負荷過渡電流  $di/dt$  要求
  - 適度な電圧リップルを許容

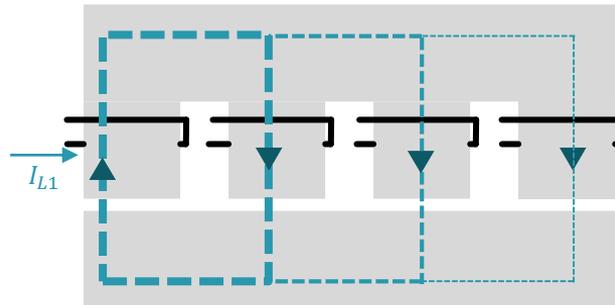
# 従来型の結合インダクタ

## 従来の結合型インダクタ (2 フェーズ)



- 複数の巻線でシングルコアを共有
- 代表的な結合係数:  $k \approx 0.5 \sim 0.7$
- 電力密度向上
- フェーズ数 / レイアウトの設計のカスタマイズ

## 多相フェーズへの拡張が困難

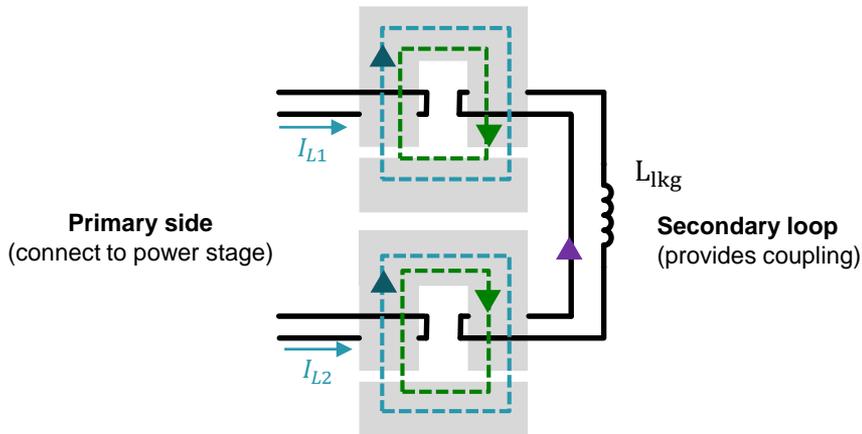


- **課題:** フェーズ間で同等の結合を行うには対称性が必要
- **課題:** フェーズ数が多い場合、対称性を保持するために複雑な形状となる。

結合により、高い等価インダクタンス (定常状態、低リップル) と低い等価インダクタンス (過渡応答時、高速応答) を可能

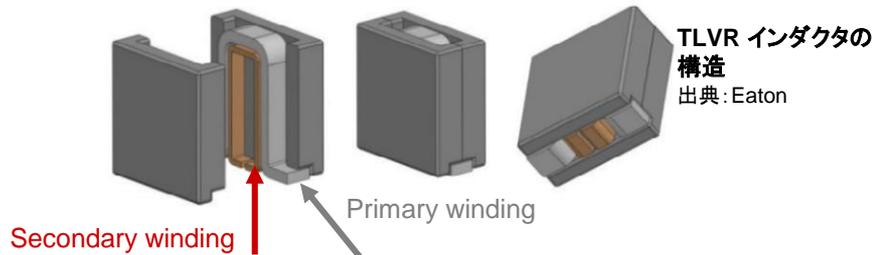
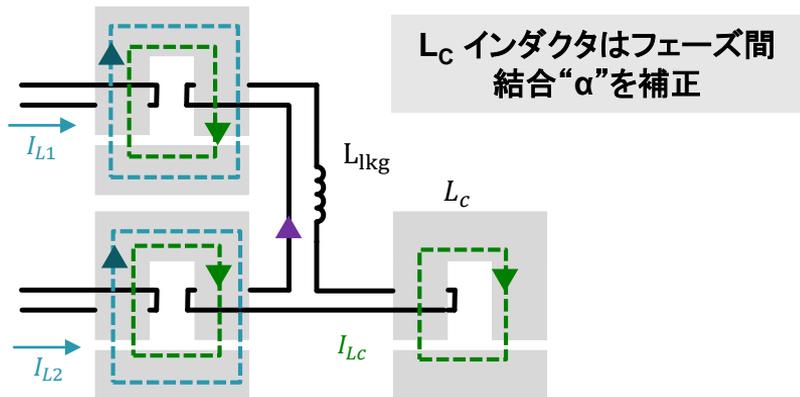
# 間接結合型TLVRインダクタ

## 間接結合型インダクタ (2フェーズ)



- フェーズはコアを共有することなく対称的に結合
- シンプルなコア形状と拡張性のあるソリューション
- 結合の製造上の制御が難しい

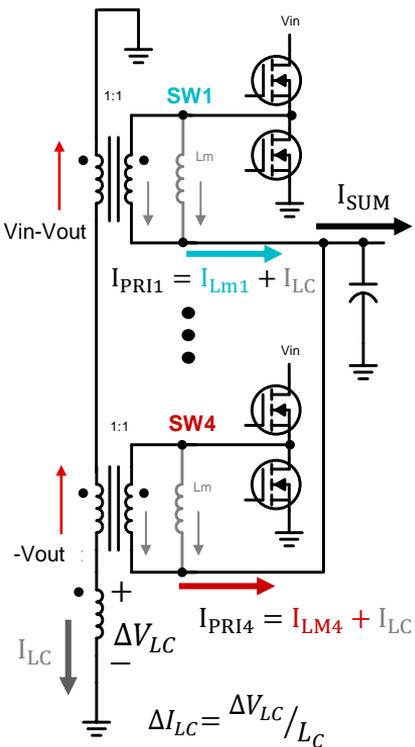
## TLVR: 間接結合型インダクタ、補償インダクタ ( $L_C$ )



# TLVRTポロジの概要

# TLVR 動作原理: 定常状態

## TLVR の定常状態の動作 (4 フェーズ、オーバーラップなし)



### フェーズ電流の状態 ( $I_{PRI4}$ )

1. SW4がオン、他の全てのフェーズがオフ:

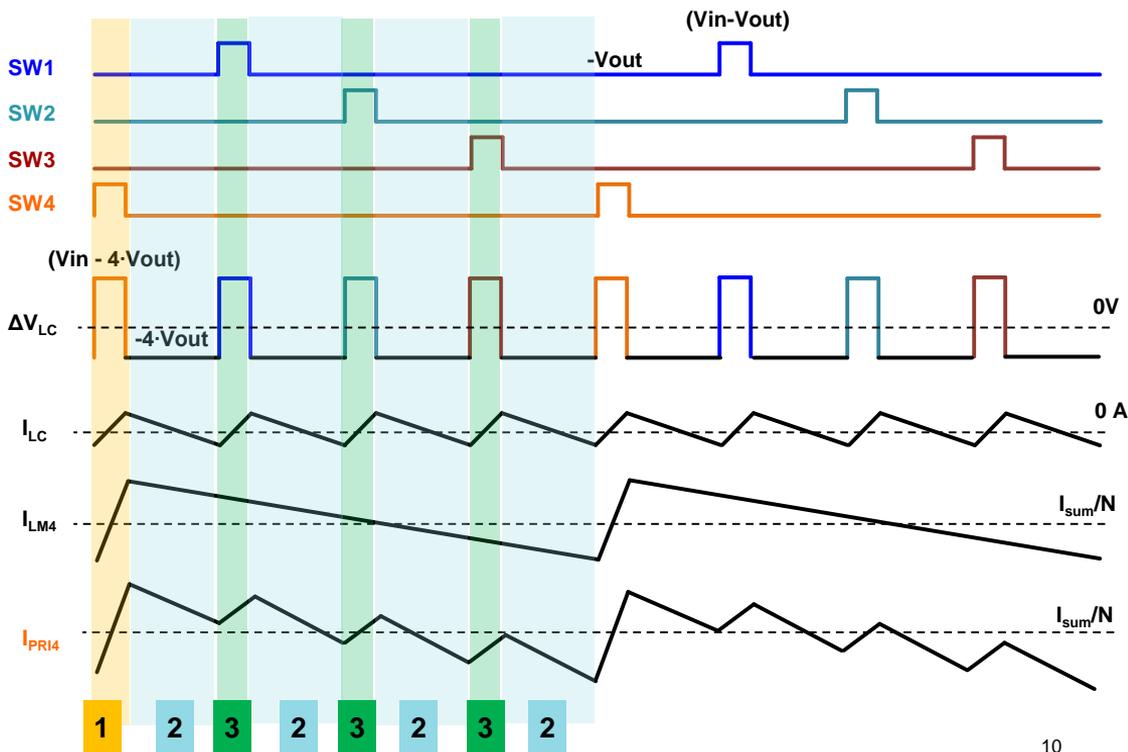
$I_{LM4}$  増加  
 $I_{LC}$  増加

2. 全てのフェーズがオフ:

$I_{LM4}$  減少  
 $I_{LC}$  減少

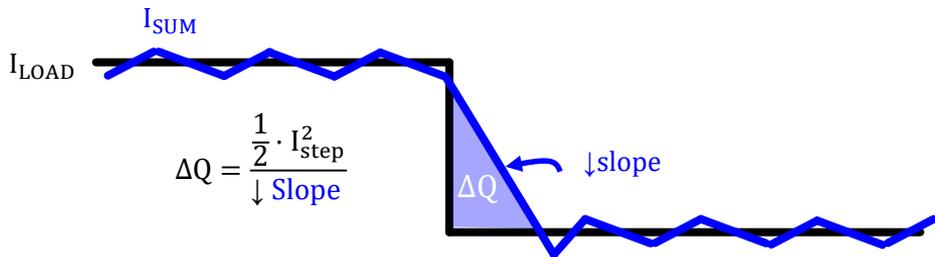
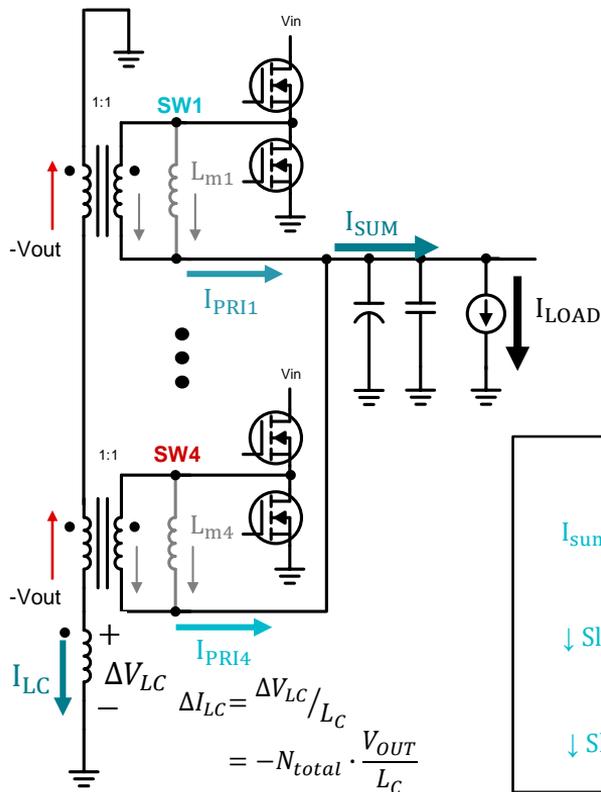
3. SW4がオフ、他のいずれかのフェーズがオン:

$I_{LM}$  減少  
 $I_{LC}$  増加





# TLVR 動作原理: 負荷過渡応答(負荷急減時)



コントローラは、すべてのフェーズをオフにして応答します。

$N_{TOTAL}$  フェーズがオフ

## マルチフェーズ

$$I_{sum}(buck) = I_{L1} + I_{L2} + \dots$$

$$\downarrow \text{Slope}(buck) = \frac{\Delta V_{L1}}{L} + \frac{\Delta V_{L2}}{L} + \dots$$

$$\downarrow \text{Slope}(buck) \approx -N_{total} \left( \frac{V_{out}}{L} \right)$$

## TLVR

$$I_{sum}(TLVR) = I_{pri1} + I_{pri2} + \dots$$

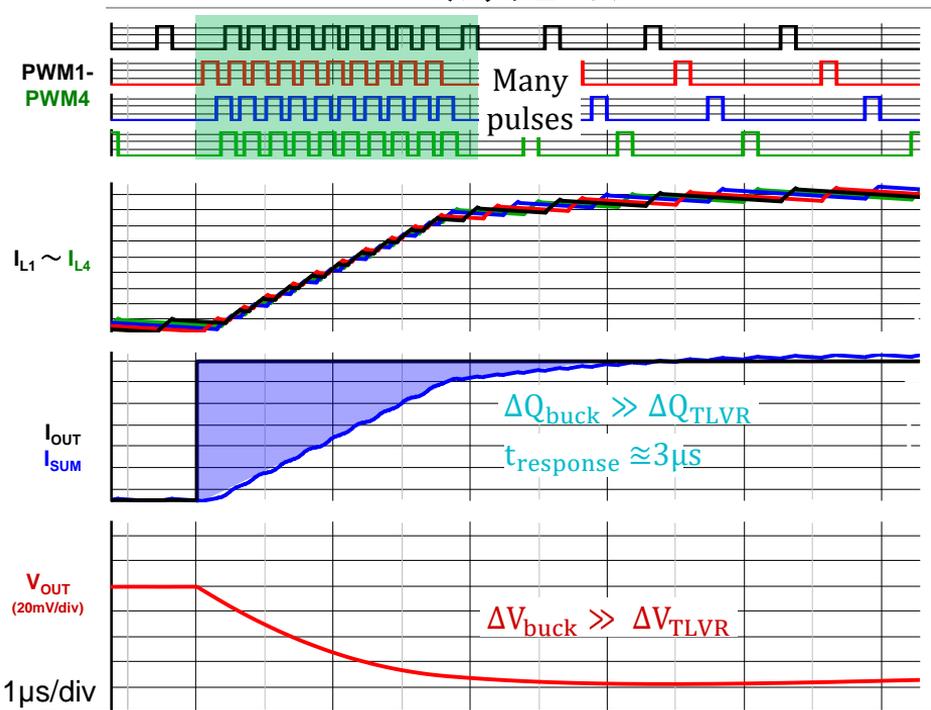
$$I_{sum}(TLVR) = (I_{Lm1} + I_{Lc}) + (I_{Lm2} + I_{Lc}) + \dots$$

$$\downarrow \text{Slope}(TLVR) = \left( \frac{\Delta V_{L1}}{L_m} + \frac{\Delta V_{Lc}}{L_c} \right) + \left( \frac{\Delta V_{L2}}{L_m} + \frac{\Delta V_{Lc}}{L_c} \right) + \dots$$

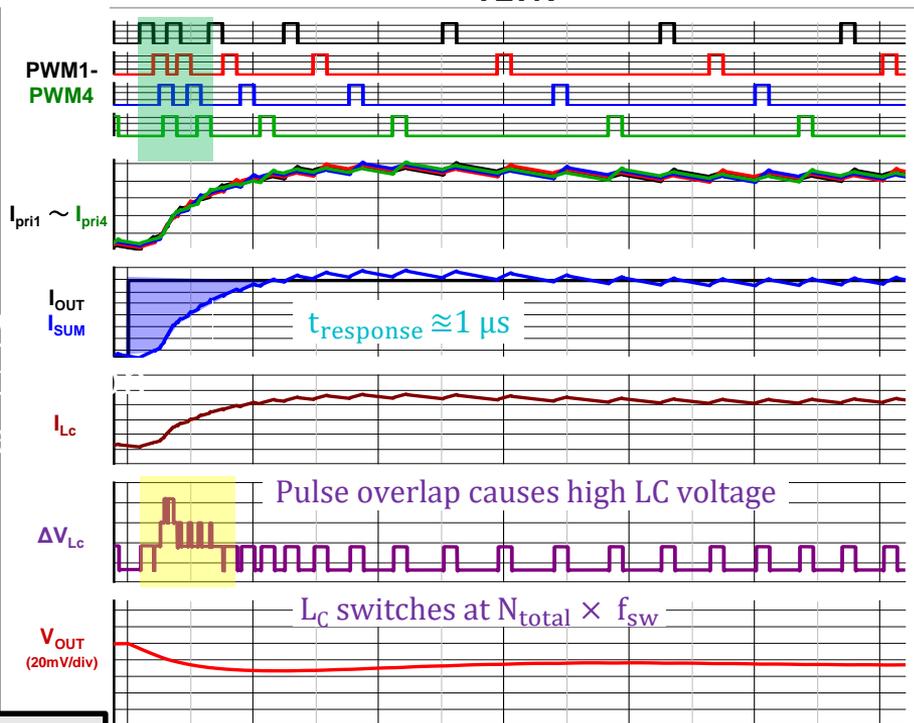
$$\downarrow \text{Slope}(TLVR) \approx \downarrow \text{Slope}(buck) - N_{total} \left[ \frac{N_{total} \times V_{OUT}}{L_c} \right]$$

# 負荷過渡応答特性比較(負荷急増時)

マルチフェーズ



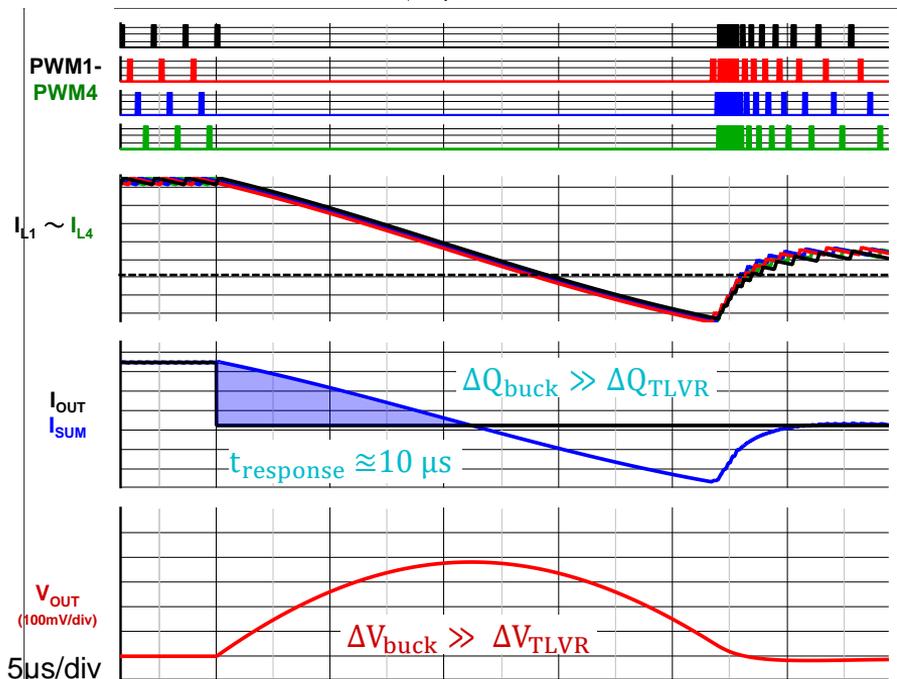
TLVR



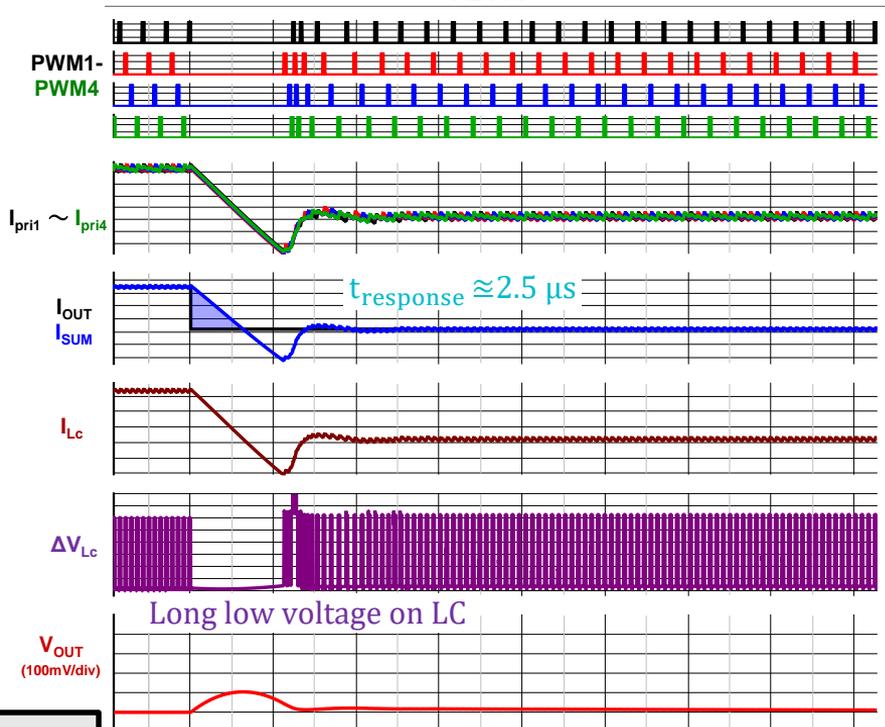
- $V_{IN} = 12\text{ V}$
- $V_{OUT} = 0.8\text{ V}$
- $F_{sw} = 600\text{ kHz}$ , 4 フェーズ
- $I_{OUT} = 25\text{ A} \sim 325\text{ A}$ , 瞬時値
- 降圧: L buck = 150nH
- TLVR:  $L_m = 150\text{ nH}$ ,  $L_C = 180\text{ nH}$
- $C_{OUT} = 5\text{ mF}$

# 負荷過渡応答特性比較(負荷急減時)

マルチフェーズ



TLVR



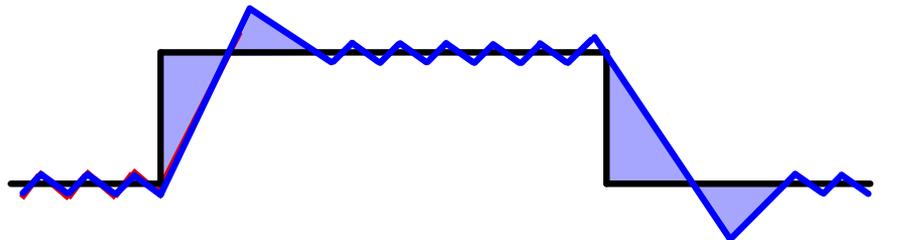
- $V_{IN} = 12\text{ V}$
- $V_{OUT} = 0.8\text{ V}$
- $F_{sw} = 600\text{ kHz}$ , 4 フェーズ
- $I_{OUT} = 25\text{ A} \sim 325\text{ A}$ , 瞬時値
- 降圧:  $L_{buck} = 150\text{ nH}$
- TLVR:  $L_m = 150\text{ nH}$ ,  $L_C = 180\text{ nH}$
- $C_{OUT} = 5\text{ mF}$

5μs/div

14

# DC 負荷ラインによる出力コンデンサ容量の削減

DC 負荷ライン (DCLL) の効果は、マルチフェーズ、TLVR 共に同じです。



$$R_{LL} = \frac{\Delta V_{DC}}{\Delta I_{step}} < \frac{V_{OUT(MAX)} - V_{OUT(MIN)}}{\Delta I_{step}}$$

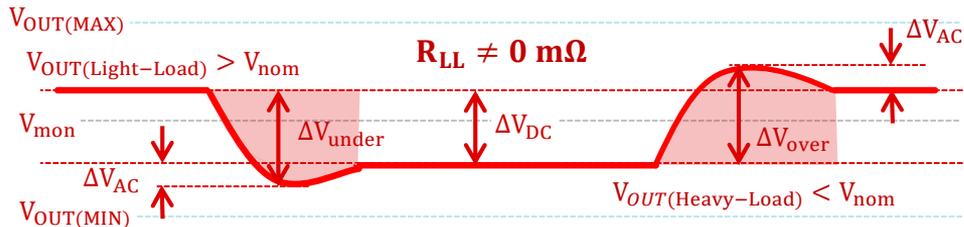
出力コンデンサ容量の削減

$$C_{out(min, step\ up)} = \frac{\Delta Q_{under}}{\Delta V_{under}} = \frac{\Delta Q_{under}}{\Delta V_{ac} + R_{LL} \times I_{step}}$$

$$C_{out(min, step\ down)} = \frac{\Delta Q_{over}}{\Delta V_{over}} = \frac{\Delta Q_{over}}{\Delta V_{ac} + R_{LL} \times I_{step}}$$

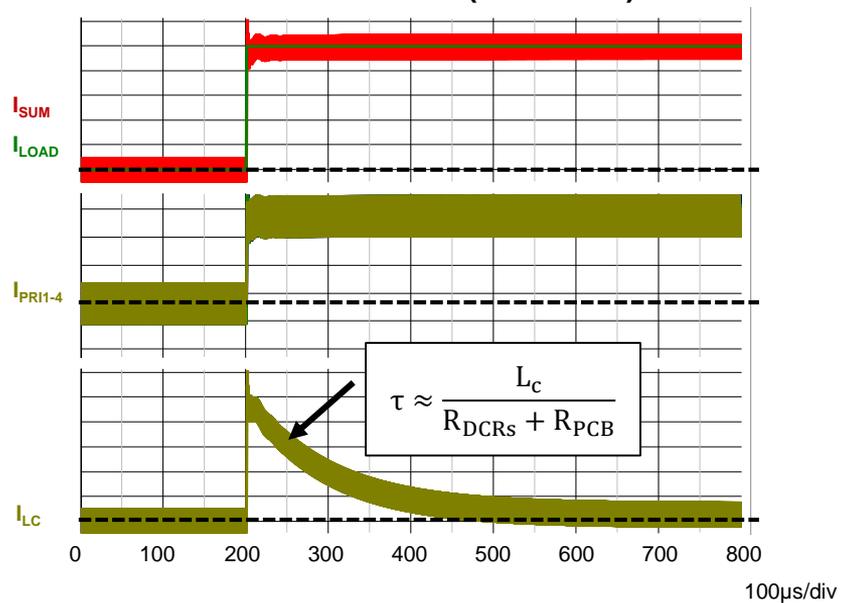
出力電力を抑制

$$P_{out} = I_{out} \times (V_{out} - R_{LL} \times I_{out})$$

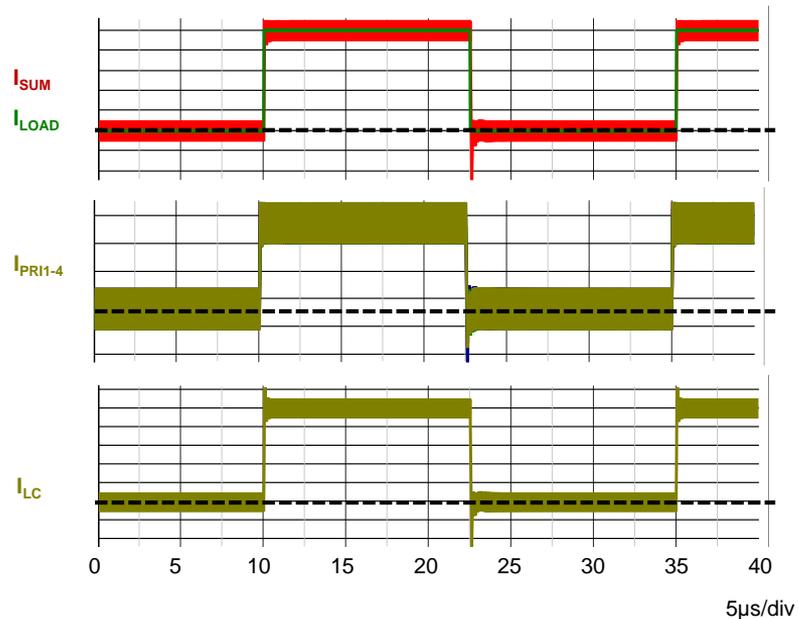


# 過渡応答時の $L_C$ インダクタ電流 $I_{LC}$

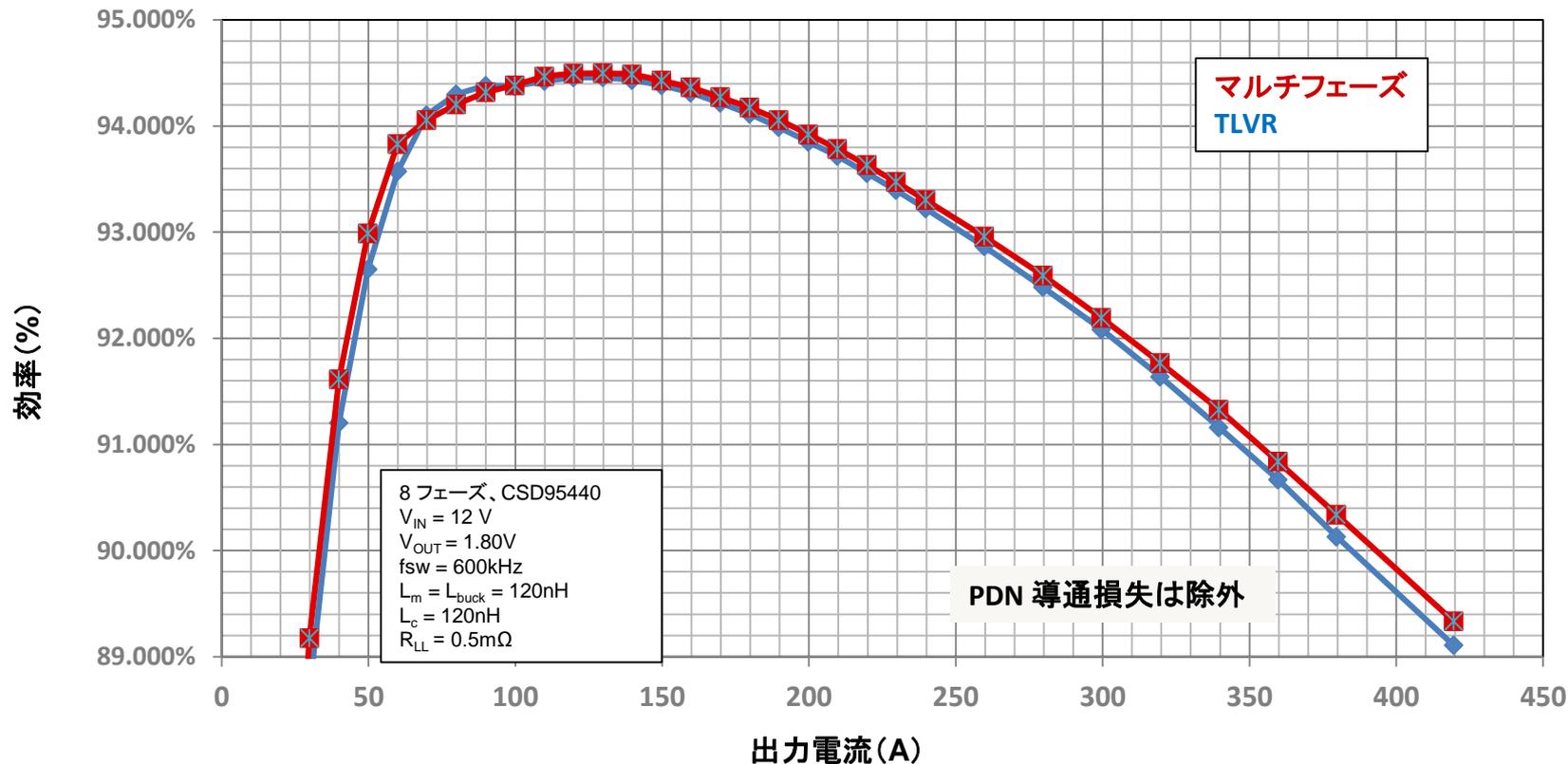
低周波トランジェント (1kHz 未満)



高周波トランジェント (65kHz)

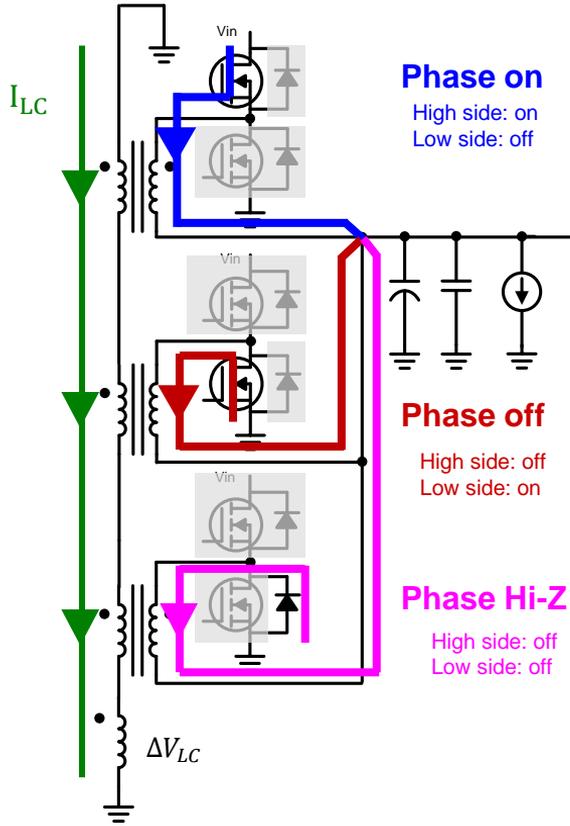


# マルチフェーズ vs TLVR 効率比較 ( $L_{BUCK} = L_M = L_C$ )



# ダイナミック フェーズ シェディング (DPS)

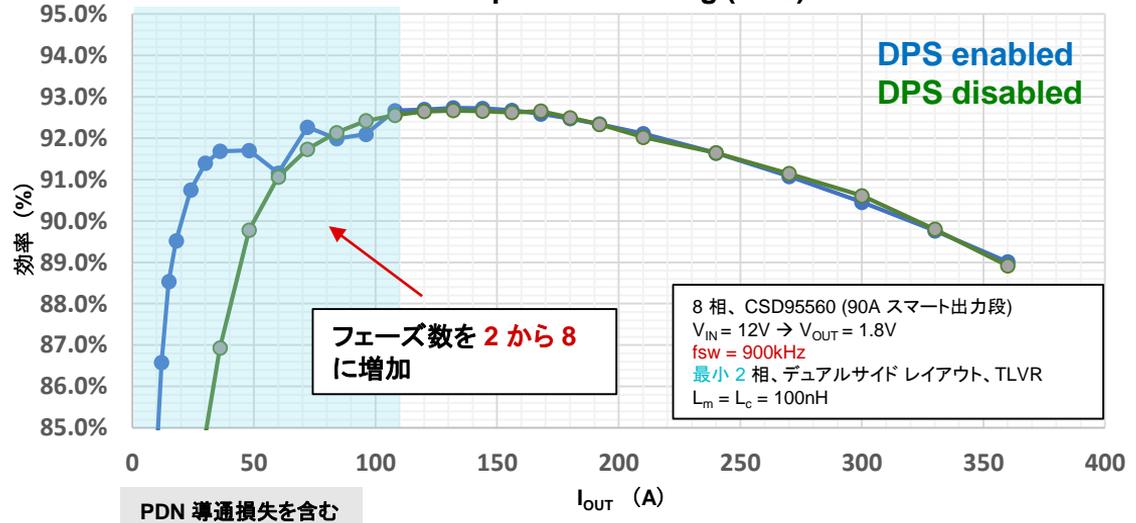
DPS オフ時は無効



$$\Delta V_{LC} = N_{on} \times (V_{IN} - V_{OUT}) + N_{off} \times (-V_{OUT}) + N_{HiZ} \times (V_{diode} - V_{OUT})$$

$$P_{cond,HiZ} \approx N_{ON} \times \sqrt{\frac{D}{3}} \cdot \frac{\Delta V_{LC}(avg)}{L_c} \times V_{diode} \quad P_{cond,HiZ} \ll P_{switching}$$

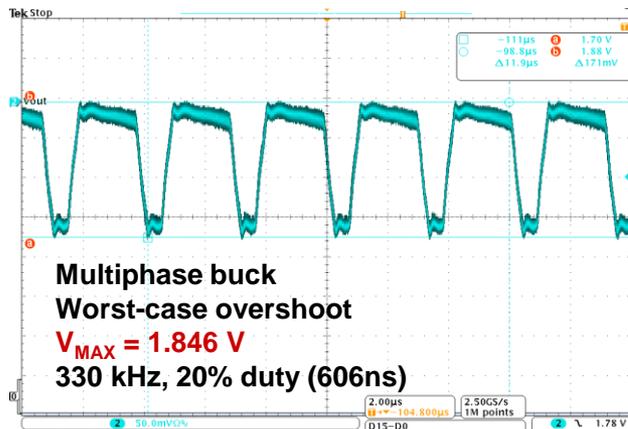
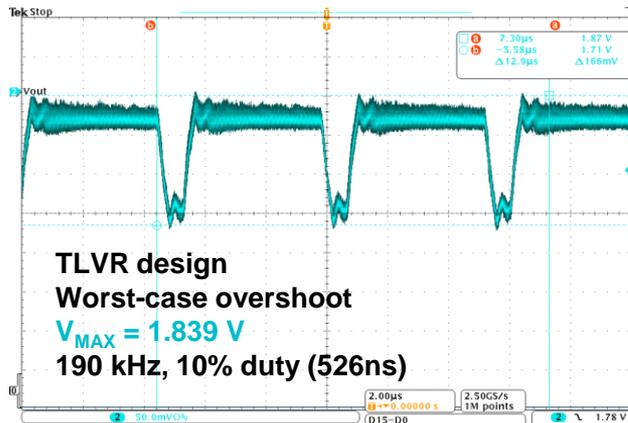
Efficiency comparison (including power delivery network [PDN]) vs. dynamic phase shedding (DPS)



# 設計比較例 (TLVR vs マルチフェーズ)

パラメータ	TLVR	マルチフェーズ
コントローラ / SPS	TPS53689、CSD95440	
$V_{IN}$	12V	
$V_{OUT}$	1.8 V	
フェーズ数	8 フェーズ	
スイッチング周波数	900 kHz	
負荷ステップ	60A ~ 430A、1,000A/ $\mu$ s、1kHz ~ 1MHz	
DC負荷ライン	0.5m $\Omega$	
$L_m/L_{buck}$	150nH	70nH
$L_c$	100nH	-
$C_{bulk}$ (ポリマ)	0 $\times$ 470 $\mu$ F	5 $\times$ 470 $\mu$ F
積層セラミック コンデンサ	80 $\times$ 22 $\mu$ F 0402	80 $\times$ 22 $\mu$ F 0402
	56 $\times$ 47 $\mu$ F 0603	45 $\times$ 47 $\mu$ F 0805
	0 $\times$ 100 $\mu$ F 0805	15 $\times$ 100 $\mu$ F 0805
	8 $\times$ 0.1 $\mu$ F 0402	8 $\times$ 0.1 $\mu$ F 0402
合計 $C_{out}$	4.4mF	7.7mF

出力コンデンサ**45%削減** 過渡応答マージンが増加



# 実設計上の留意点

# L<sub>C</sub> インダクタの選定

- 一般的に  $L_C = 1 \times L_m \sim 1.25 \times L_m$  を選択
- 要求される最小の実効電流 (RMS)

$$I_{\text{rms}(L_C)} \cong \frac{\Delta I_{L_C}}{\sqrt{12}}$$

- 高い飽和電流が必要

$$I_{\text{sat}} \gg t_{\text{resp}} \times \left[ \frac{N_{\text{on(step)}} \times V_{\text{IN}} - N_{\text{total}} \times V_{\text{OUT}}}{L_C} \right]$$

- L<sub>C</sub> 両端間の電圧は  $\gg V_{\text{IN}}$

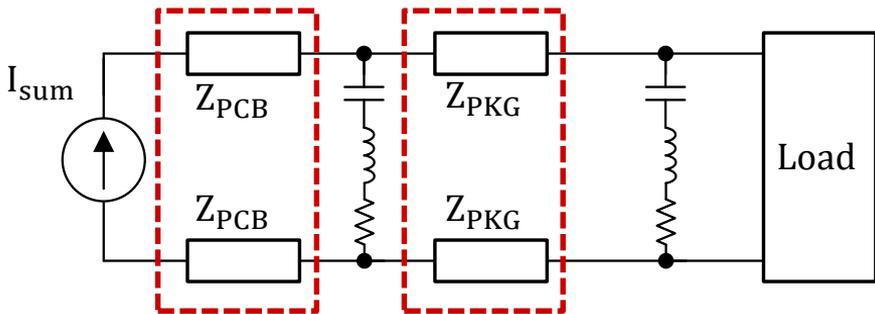
$$V_{L_C(\text{max})} = N_{\text{on(step)}} \times V_{\text{IN}} - N_{\text{total}} \times V_{\text{OUT}}$$

L<sub>C</sub> の部品選定例

パラメータ	数値
V <sub>IN</sub>	12V
V <sub>OUT</sub>	0.8 V
F <sub>sw</sub>	600 kHz
N <sub>total</sub>	8フェーズ
L <sub>m</sub>	150nH
L <sub>C</sub>	180nH
負荷過渡応答	50 ~ 500A、1,000A/μs
ΔI <sub>LC</sub>	3.5 A
F <sub>LC</sub>	4.8 MHz
I <sub>RMS(LC)</sub>	<b>1.0 A</b>
I <sub>SAT</sub> のマージン	25%
I <sub>SAT(min)</sub>	<b>23 A</b>
ΔV <sub>LC(max)</sub>	30V (N <sub>OVERLAP</sub> = 3)

# 出力リップル電圧のキャンセル

出力電圧リップル (シンプルモデル)

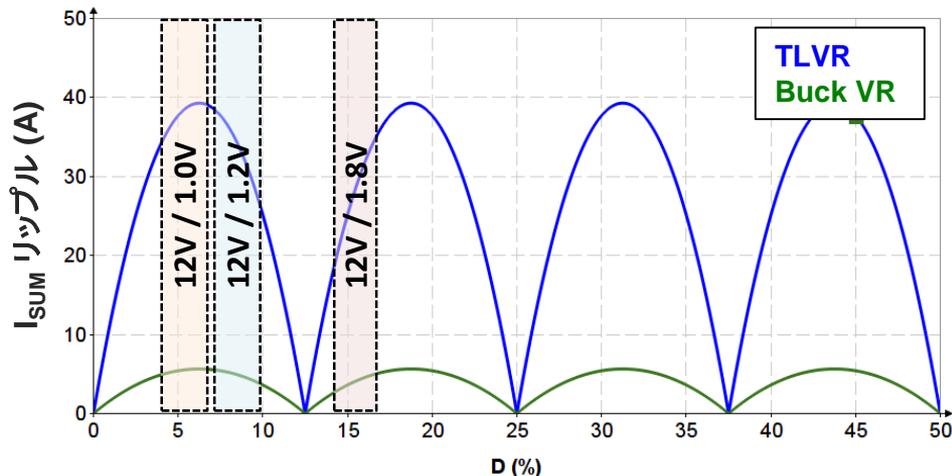


各フェーズ毎に同じ  $I_{Lc}$  電流が加算

$$I_{sum} = (I_{Lm1} + I_{Lc}) + (I_{Lm2} + I_{Lc}) + \dots$$

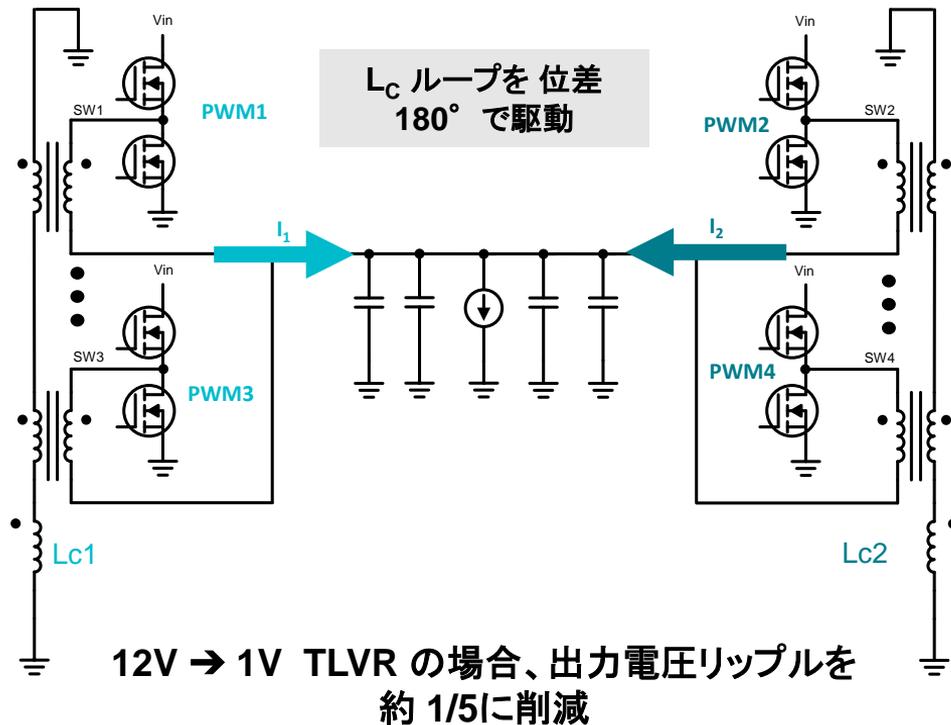
$0 \times \frac{360^\circ}{N} \text{ phase shift}$      $1 \times \frac{360^\circ}{N} \text{ phase shift}$

例: TLVR、マルチフェーズ  $I_{OUT}$  リップル、  
デューティサイクルの比較

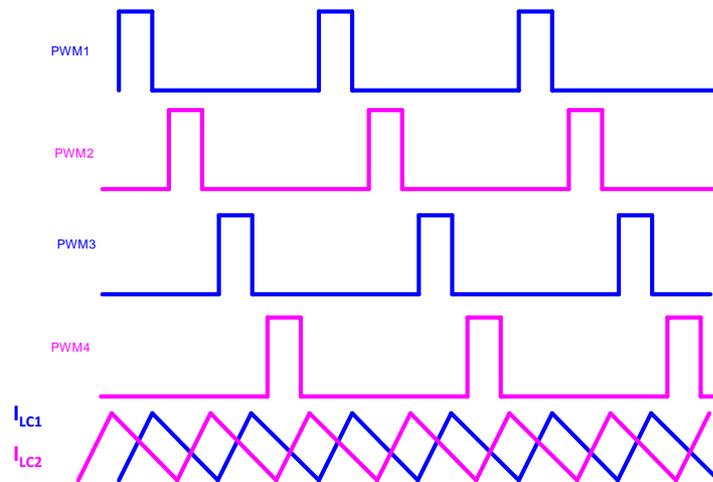


$V_{IN} = 12V$ ,  $F_S = 700kHz$ ,  $L_m = 150nH$ ,  
 $L_C = 120nH$ ,  $L_{VR} = L_{eq} = 125nH$ , 8フェーズ

# リップル電圧を低減：インターリーブ TLVR

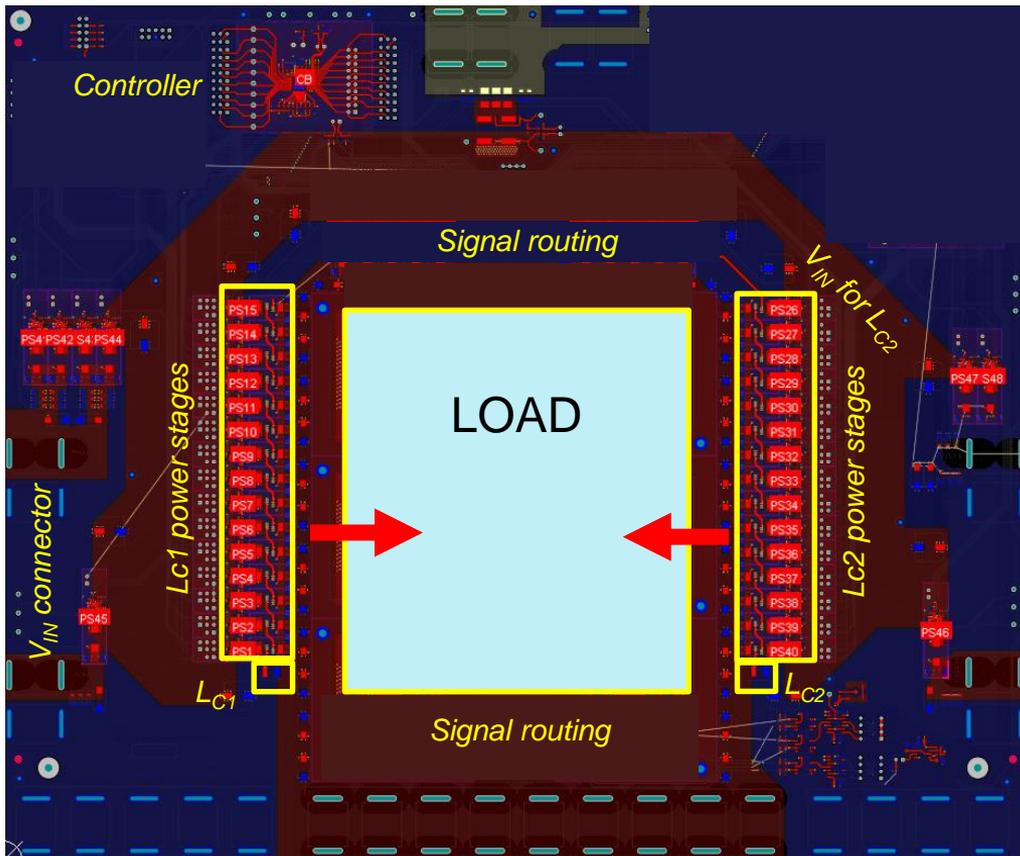


- フェーズ数が多い (12 フェーズを超える) 設計の場合、2 つ以上の  $L_C$  ループを形成することでインターリーブを実現
- レイアウトまたは電磁干渉 (EMI) に関する懸念事項がある場合にも有効 ( $L_C$  周波数、最大  $L_C$  電圧の低減)





# PCBレイアウト: マルチサイド電源供給



例:

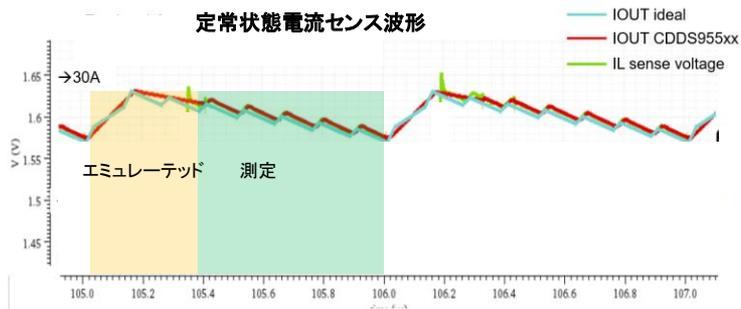
- 32 フェーズ TLVR 電源
- 2つの  $L_C$  インターリーブ構成

推奨:

- パワートレインと  $L_C$  の対称的な配置
- 負荷入力配線の抵抗 ( $IR$ ) による電圧降下の最小化
- PWMピンの配線容量
  - コントローラ PWMドライブ能力を考慮
- 電流センス配線容量
  - 電流モニタ ( $I_{mon}$ ) 信号に対するローパスフィルタ効果を最適化

# TLVRに最適化されたコントローラとパワー ステージ

## TLVR 向けに最適化された電力段

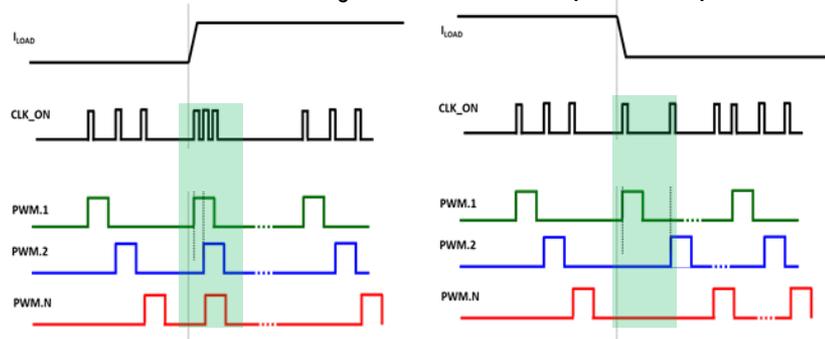


## 広帯域電流モニタのフィードバック

型番	電流定格	パッケージ / 特長
CSD95440	80A ピーク、40A <sub>RMS</sub>	5mm × 6mm (電圧 Imon)
CSD95510	90A ピーク、50A <sub>RMS</sub>	4mm × 6mm (電圧 Imon)
CSD95560	90A ピーク、50A <sub>RMS</sub>	4mm × 6mm (電流 Imon)
CSD95520	60A ピーク、30A <sub>RMS</sub>	4mm × 5mm (電圧 Imon)
CSD95570	60A ピーク、30A <sub>RMS</sub>	4mm × 5mm (電流 Imon)

## TLVR 向けに最適化されたコントローラ

### PWM ベースの L<sub>C</sub> 電流エミュレーション (特許申請中)



### PWM タイミング検出による負荷応答検出

型番	フェーズ	パッケージ / 特長
TPS53685	8	5mm × 5mm AMD インターフェイス
TPS536C5	12	6mm × 6mm AMD インターフェイス
TPS53689T	8	5mm × 5mm Intel インターフェイス
TPS536C9T	12	6mm × 6mm Intel インターフェイス

# まとめ

# まとめ

- TLVR トポロジの概要
  - マルチフェーズ コンバータに結合インダクタ技術を応用した降圧電源回路トポロジ
  - フェーズ間でコアを共有しないため、TLVRのモジュール化を可能。これによる優れた拡張性と再利用率を実現
  - 結合インダクタによる過渡応答特性の改善によって、出力コンデンサの大幅な削減が可能(本事例では45%削減)
- TLVR 設計上の留意点
  - TLVR は、マルチフェーズと比べてリップル電流と電圧が大きくなる傾向
  - 多相のフェーズ数では、 $L_C$ ループのインターリーブ化により、リップル電流、電圧の低減に寄与
  - TLVR 設計向けのPCBレイアウトは、 $L_C$  ループが追加される点以外は、マルチフェーズと同等
- TLVR 向け最適化の要件
  - TLVR の広帯域化によるシステム レベルの最適化

# 参考文献

- "Fast multi-phase trans-inductor voltage regulator." Technical Disclosure Commons. May 2019. [https://www.tdcommons.org/cgi/viewcontent.cgi?article=3261&context=dpubs\\_series](https://www.tdcommons.org/cgi/viewcontent.cgi?article=3261&context=dpubs_series)
- Radhakrishnan, K., and J. Douglas. "Microprocessor Power Delivery Challenges." APEC 2022, March 2022.
- Parisi, C. "Multiphase Buck Design From Start-to-Finish (Part 1)." <https://www.ti.com/lit/an/slva882b/slva882b.pdf>
- Dong, Y. "Investigation of Multiphase Coupled-Inductor Buck Converters in Point-of-Load Applications." Ph.D. thesis, Virginia Tech, 2009. [https://vtechworks.lib.vt.edu/bitstream/handle/10919/28469/ETD\\_final\\_Rev2.pdf](https://vtechworks.lib.vt.edu/bitstream/handle/10919/28469/ETD_final_Rev2.pdf)
- Qiu, Y. "Coupled inductors for power supplies: advantages and compromises." June 2007. EETimes. <https://www.eetimes.com/coupled-inductors-for-power-supplies-advantages-and-compromises>
- Lu, Z., and W. Chen. "Multi-Phase Inductor Coupling Scheme with Balancing Winding in VRM Applications." APEC 2007, March 2007.
- Zhu, F. "Transient Analysis of Multi-Phase Voltage Regulator with Nonlinear Indirect-coupled Inductor." CPES PMC Review, June 2021.
- Jiang, S., X. Li, M. Yazdani, and C. Chung. "Driving 48V Technology Innovations Forward – Hybrid Converters and Trans-Inductor Voltage Regulator (TLVR)." APEC 2020.
- Erickson, R., and D. Maksimovic. "Fundamentals of Power Electronics." Springer AG, Third Edition. 2020.



© Copyright 2024 Texas Instruments Incorporated. All rights reserved.

This material is provided strictly “as-is,” for informational purposes only, and without any warranty.  
Use of this material is subject to TI’s **Terms of Use**, viewable at [TI.com](https://www.ti.com)

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated