

PCM1704の高性能化テクニック

概要

このアプリケーションノートは、パー・ブラウンの誇る高性能サイン・マグニチュード方式DAC PCM1702およびPCM1704のアプリケーションにおいて、より高性能な特性と優れた音質を得るためのテクニックについて実際のデータを示しながら解説します。

PCM1704の基本性能

PCM1704の主要特性を表 I に示します。

DC特性

DC特性においては、ゲイン誤差およびバイポーラ・ゼロ誤差のパラメータが実用上重要なファクタとなります。ゲイン誤差は、所定の電流出力 ($\pm 1.2\text{mA}$ から) の実際の電流出力差で定義され、標準 $\pm 1\%$ of FSR、最大 $\pm 3\%$ of FSR となっています。ここで、FSR はフルスケール・スパン幅で、 2.4mA になります。バイポーラ・ゼロ誤差は、バイポーラ・ゼロ時における理想出力 (ゼロ) から実際の出力で定義され、最大 $\pm 1\%$ of FSR、すなわち、 $2.4\text{mA} \times 0.01 = 24\mu\text{A}$ となります。 $\pm 3\%$ of FSR のゲイン誤差はデシベル換算で 0.26dB であり、通常のアプリケーションではほとんど無視できるレベルです。

オーディオ・ダイナミック特性

オーディオ・ダイナミック特性においては、THD+N、ダイナミック・レンジ、S/N比が主要特性となります。データシートに記載してあるスペックを見るうえでの留意点は、その試験、測定条件です。

一番重要なのは、信号データの量子化ビット数 (分解能) で、PCM1704では理想24ビット・データが用いられています。この24ビット・データの持つ量子化誤差 (ノイズ) レベルは $\approx 144\text{dB}$ 以下であり、DAC自体の直線性やノイズ等による誤差要因に対して極めて低いレベルにあり、データシートに記載されたスペックを得ることができます。一方、CDにおける信号データは16ビットで、16ビット・データの量子化ノイズレベル $\approx 98\text{dB}$ は、DAC自体の誤差要因を超えています。したがって、16ビット・データではデータシートに記載されたスペックを得ることはできません。

次に重要なのは、信号データのサンプリング・レートで、PCM1704では96kHzの8倍オーバー・サンプリングを考慮して768kHzサンプリングのデータでテストされています。この768kHzサンプリング・データは最初から768kHzのサンプリング・データであって、何らかの元データをオーバー・サンプリングしたものではありません。実アプリケーションでは、 $f_s = 44.1\text{kHz}$ や $f_s = 96\text{kHz}$ のデータをデジタルフィルタにて8倍オーバー・サンプリングしますので、デジタルフィルタによる再量子化ノイズを考慮する必要があります。また、D/A変換後のオーディオ信号スペクトラムは、768kHzサンプリングでは768kHz \pm 信号周波数の成分しかありませんが、デジタルフィルタによる場合は $1f_s \sim 4f_s$ の間に除去しきれないスペクトラムが分布します。このスペクトラムのレベルはデジタルフィルタの阻止帯域減衰量で決まり、阻止帯域減衰量が十分でない場合は測定信号帯域との考察が必要です。

THD+N特性は、0dB (フルスケール)、 -20dB の各出力レベルで規定され、信号周波数は 1.125kHz です。周知のとおり、マルチビット型DACではDLE (微分直線性誤差) の固体によるばらつきが要因で直線性が変化し、これが、THD+N特性のTHD (純粋な歪み成分) のばらつきとなります。これらは、標準、Jグレード、Kグレードといった3つのグレードに分類されており、アプリケーションに合わせた選択が可能です。

ダイナミック・レンジ特性はEIAJによる規定をそのまま使用しています。したがって、Aウェイトフィルタでの -60dB 出力におけるTHD+N特性で定義しています。 -60dB 出力時はフルスケール時に比べてDLEの影響は少なくなるので、ばらつきも少なく、特にKグレードのみ高ダイナミック・レンジを保証しています。S/N比もAウェイトフィルタでのもので、これはDLEのばらつきには影響されないため、グレードの選別はありません。 120dB のS/Nを得るためには、DAC周辺、信号伝送、測定回路等すべてのアナログ回路への慎重な配慮が必要です。

特に記述のない限り、 $T_A = +25$ 、 $\pm V_{CC} = \pm V_{DD} = \pm 5V$ 、 $f_s = 768kHz$ 、信号周波数 = 1.125kHz、24ビット・データです。

パラメータ	条件	PCM1704U			単位
		最小	標準	最大	
分解能 オーディオ・データ・インターフェース・フォーマット オーディオ・データ・コード 入力オーディオ・データ・レート f_s 入力クロック周波数		24 20/24ビット、MSBファースト 2'sコンプリ			Bits
デジタル入力 入力ロジック・レベル $V_{IH}^{(1)}$ $V_{IL}^{(1)}$ $V_{IH}^{(2)}$ $V_{IL}^{(2)}$ 入力ロジック電流 $I_{IH}^{(1)}$ $I_{IL}^{(1)}$ $I_{IH}^{(2)}$ $I_{IL}^{(2)}$	$V_{IH} = -V_{DD}$ $V_{IL} = 0V$ $V_{IH} = 0V$ $V_{IL} = -V_{DD}$	+2.0 0 -3.0 -5.0		+5.0 +0.8 0 -4.2	V V V V μA μA μA μA
アナログ特性 ダイナミック特性 ⁽³⁾ THD + N $V_O = 0dB$ $V_O = -20dB$ ダイナミック・レンジ S/N比 低レベル・リニアリティ	PCM1704U PCM1704U-J PCM1704U-K PCM1704U PCM1704U-J PCM1704U-K EIAJ、Aウエイト PCM1704U、U-J PCM1704U-K EIAJ、Aウエイト f = 1002Hz、at -90dB		0.0025 0.0015 0.0008 0.008 0.007 0.006	0.003 0.0025 0.0015 0.02 0.015 0.010	% % % % % dB dB dB dB
DC特性 ゲイン誤差 バイポーラ・ゼロ誤差 ゲイン・ドリフト バイポーラ・ゼロ・ドリフト	0 ~ +70 0 ~ +70		± 1.0 ± 0.5 ± 25 ± 5	± 3.0 ± 1.0	% of FSR % of FSR ppm of FSR/ ppm of FSR/
アナログ出力 出力範囲 出力インピーダンス セトリングタイム($\pm 0.003\%$ of FSR)	1.2mAステップ(10 Ω ~ 100 Ω 負荷)		± 1.2 1.0 200		mA k Ω nsec
電源条件 電圧範囲: $+V_{CC} = +V_{DD}$ $-V_{CC} = -V_{DD}$ 電源電流: $+I_{CC}$ $-I_{CC}$	$+V_{CC} = +V_{DD} = +5.0V$ $-V_{CC} = -V_{DD} = -5.0V$	+4.75 -4.75	+5.00 -5.00 5 30	+5.25 -5.25 8 45	V_{DC} V_{DC} mA mA
温度範囲 動作 保存		-25 -55		+85 +125	

注: (1) BCLK、WCLK、DATAの各端子に適用。(2) 20BIT、INVERT(3) ダイナミック特性データは7.5k Ω 帰還抵抗、5534 I/Vアンプ、GIC3次ポストLPF($f_c = 48kHz$)で測定。THD + Nデータはシバソク社725C(平均値モード、内蔵400Hz HPF ON、30kHz LPF ON)で測定。

表 . PCM1704の仕様

電源条件

PCM1704の電源ピンはアナログ系、デジタル系それぞれに $\pm 5V$ が必要です。 $+V_{CC}$ 、 $+V_{DD}$ および $-V_{CC}$ 、 $-V_{DD}$ はそれぞれ共通接続での使用を推奨しています。これは、ICのプロセス構造上、また、各ピン間の保護ダイオード接続によるラッチアップ防止の観点から重要です。電源電流としては、内部構造上マイナス側($-V_{CC}$ 、 $-V_{DD}$)が多く流れるようになっていますので、電源回路設計時はこの点を考慮しなければなりません。

動作クロック

デジタル入力データは24ビットデータ入力DATA、ビットクロック入力BCLK、ワードクロック入力WCLKでインターフェースします。WCLKはDACの変換レートとなり、 $f_s = 44.1kHz$ の8倍オーバー・サンプリング入力では352.8kHz、 $f_s = 96kHz$ の8倍オーバー・サンプリングおよび $f_s = 192kHz$ の4倍オーバー・サンプリング入力では768kHzになります。

一方、BCLKおよびDATAクロックは768kHzの1ワード間に最低24クロック(24ビット分)必要で、この時のBCLKクロック周波数は、 $24 \times 768kHz = 18.432MHz$ となります。インターフェースするデジタルフィルタの動作クロック(システムクロック)によっては1ワード間に32クロックの場合もあります。この時のBCLK周波数は $32 \times 768kHz = 24.576MHz$ となります。PCM1704では、これらのクロック条件を考慮し、最大25MHzのクロック周波数に対応できるように規定されています。

PCM1704の内部動作ブロックとその動作

カレントセグメントの動作

図1にPCM1704の内部動作を説明する簡略化ブロック図を示します。24ビットのバイナリ・ウエイトはカレントセグメント+ラダーネットワークで作られ、PCM1704では、同一バイアスで動作するカレントセグメント+ラダーネットワークをペアで用意

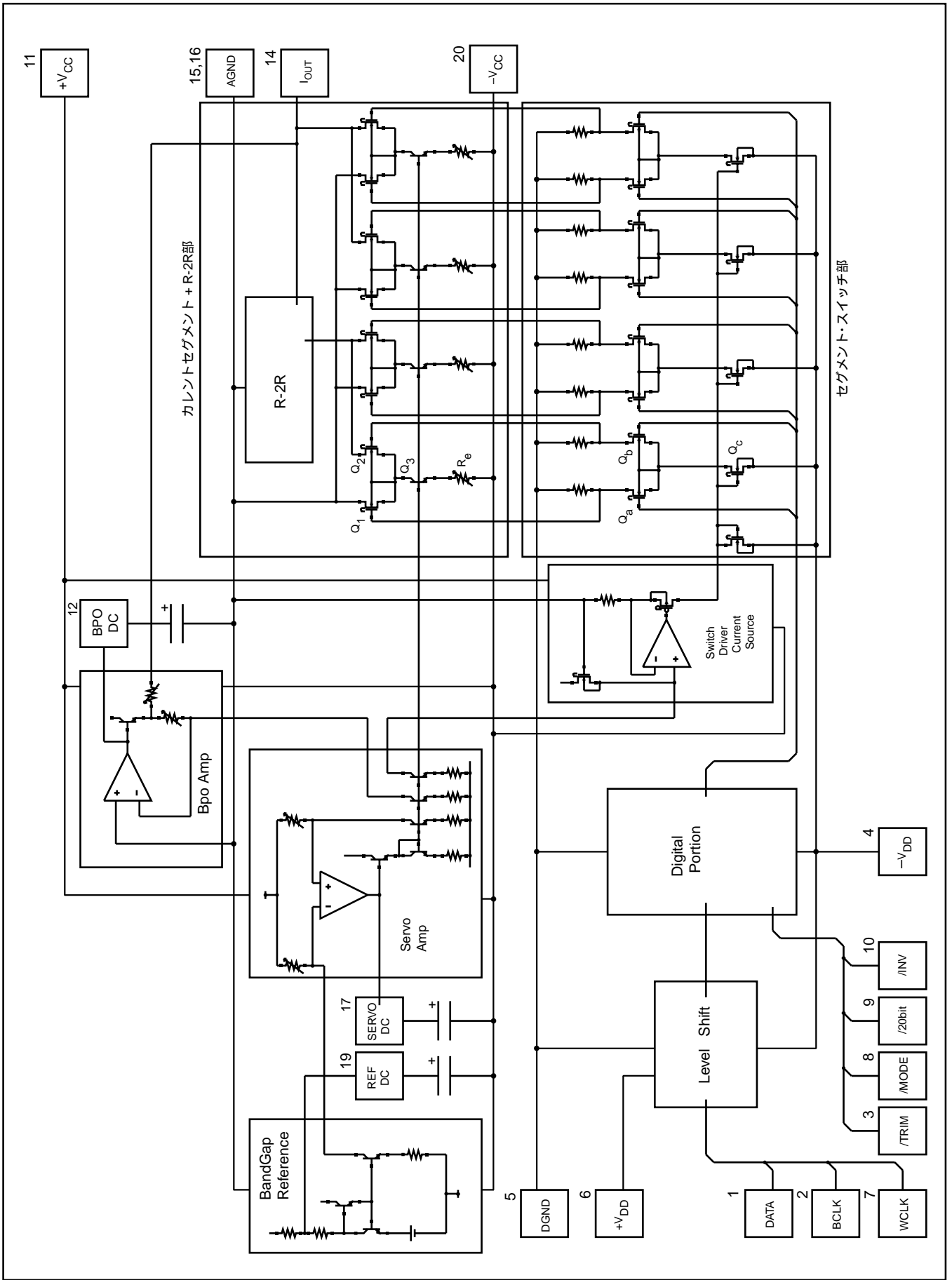


図1. PCM1704の簡略ブロック図

し、サインマグニチュード方式のDACを構成しています。図1では、このカレントセグメントは上位ビット分のみを簡略化して表示しています。カレントセグメント1ビット分はQ1、Q2、Q3、Reの差動回路で構成され、共通エミッタ抵抗Re両端の電圧で信号電流値が決まります。コレクタ側はコモン(GND)と電流出力 I_{OUT} ピンに接続され、信号出力になります。エミッタ側はReを介してアナログ系 $-V_{CC}$ 電源に直接接続されています。Q1、Q2のベースはQa、Qbの差動スイッチング回路に接続され、Qcを介してデジタル系 $-V_{DD}$ 電源に接続されています。

すなわち、Q1、Q2、Q3、Reは純粋にアナログ信号を得るためのカレントセグメントですが、このQ1、Q2のスイッチングはデジタル動作のQa、Qb、Qcで制御されていることになります。これらの動作はGNDと $-V_{CC}$ ($-V_{DD}$)間で行われており、このことからマイナス側が電源電流のほとんどを消費することが理解できます。また、最も重要なことは、この構造からマイナス側電源($-V_{CC}$ 、 $-V_{DD}$)は特にクリーンな電源で供給されなければいけないことがわかります。

リファレンス、サーボ、バイポーラ・オフセット回路

前述の通り、カレントセグメントの信号電流は、DACの出力電流となるので、このカレントセグメントの精度と安定度は非常に重要な要素となります。セグメント電流Iは単純にオームの法則から、 $I = V/R$ となり、Rが固定であれば、V(電圧)の精度と安定度が重要になります。すなわち、 $-V_{CC}$ と基準バイアス V_b 間の電圧を動作状態にかかわらず、常に一定に保たなければなりません。これは、バンドギャップ・リファレンスで基準電圧を発生させ、この基準電圧を基にサーボ回路で基準バイアス V_b と $-V_{CC}$ 間の電圧

を一定に保持させるように動作しています。また、BPO回路(バイポーラ・オフセット)は、前述の出力電流 I_{OUT} が引き込み方向のみのユニポーラ(0~-2.4mA)動作であるため、1.2mA(フルスケールの1/2)のオフセットを加え、DAC出力をバイポーラ動作($\pm 1.2mA$)としています。これらリファレンスとサーボ回路、BPO回路にはそれぞれコンデンサの接続ピンがあり、リファレンスはノイズ・デカップリング用で、コンデンサを $-V_{CC}$ 間に、サーボはサーボ・ループ用で同じくコンデンサを $-V_{CC}$ 間に、BPOはノイズ・デカップリング用でコンデンサをGND間に、それぞれ接続します。

ロジック回路

周知のとおり、DACのデジタル入力ロジック・レベルはTTLレベルとなっています。しかしながら、実際の内部スイッチングのレベルはGND電位よりマイナス側で行われ、また、ON/OFFのスイッチング電位差はスイッチング・ノイズを回避するためには、極力低レベルで行わなければなりません。このため、PCM1704ではロジック部にレベルシフト回路が設けてあり、動作バイアスをロジック各部に供給しています。

電源接続の考察

今まで解説したとおり、PCM1704の電源接続はその基本動作上非常に重要です。電源回路自体は当然リップルやノイズの少ない低インピーダンス出力のものであることが絶対条件になります。また、各電源ピンには再短距離でデカップリング・コンデンサを接続します。図2にPCM1704の各電源の流れを簡略化して示します。

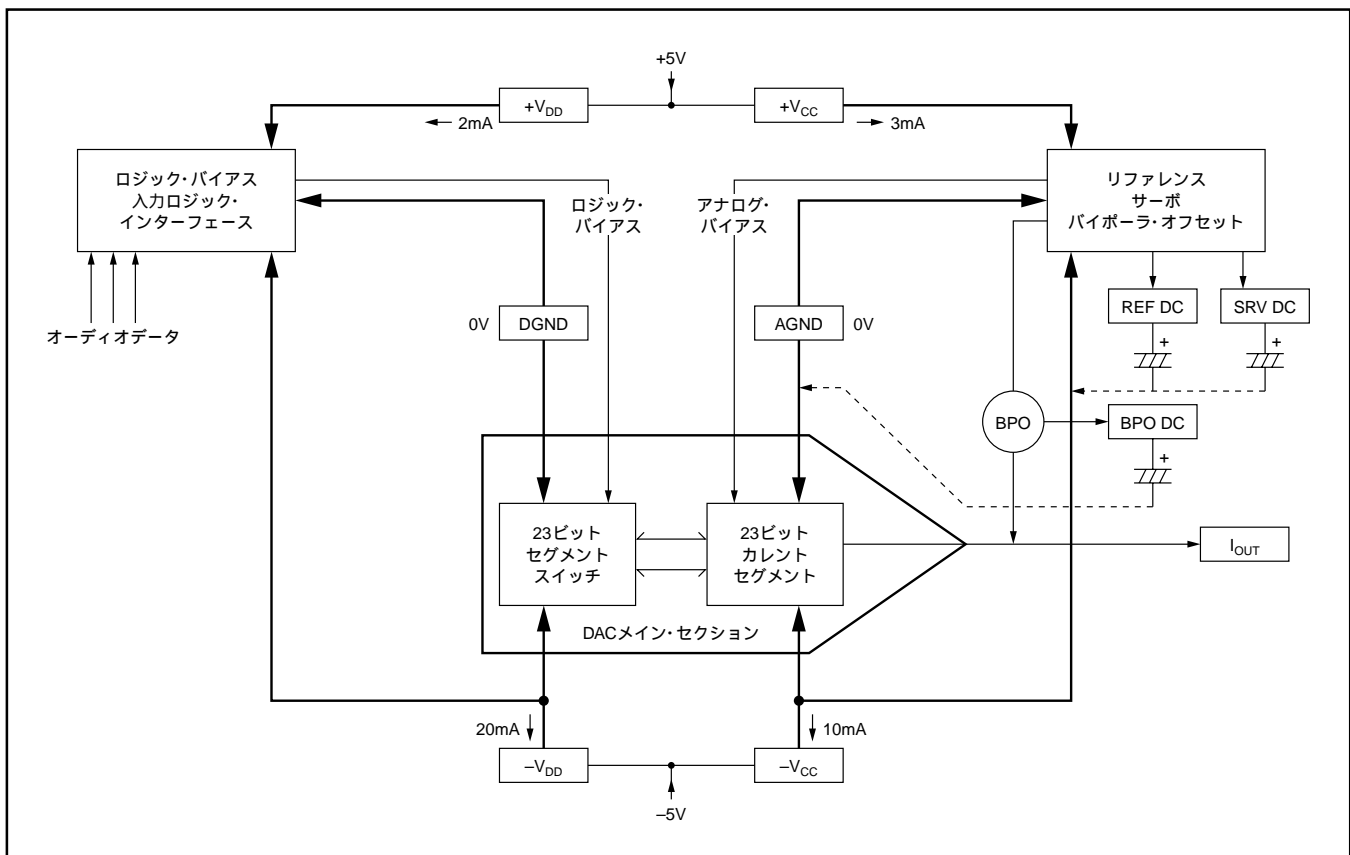


図2. PCM1704の電源フロー

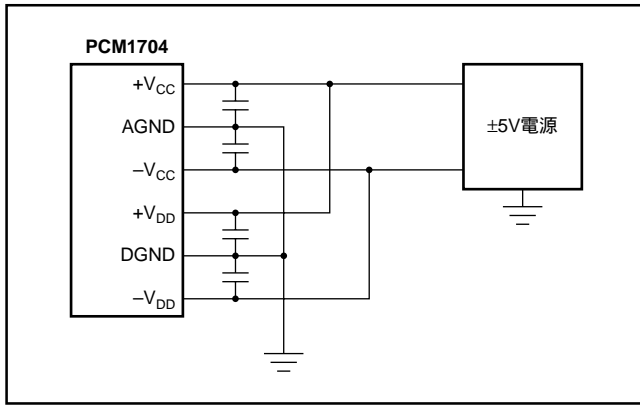


図3. PCM1704の電源接続例(1)

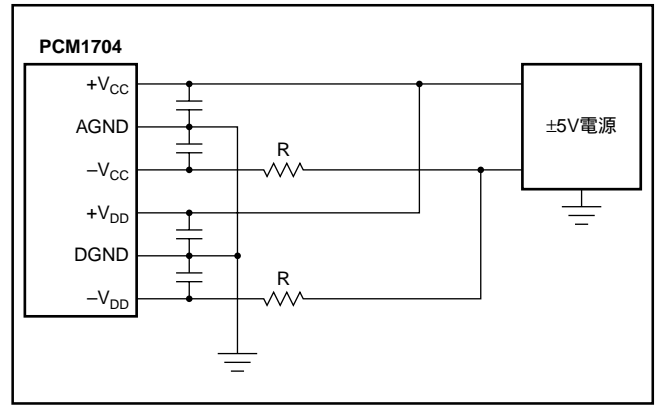


図4. PCM1704の電源接続例(2)

最も確実に単純な方法は、 $+V_{CC}$ と $+V_{DD}$ 、 $-V_{CC}$ と $-V_{DD}$ をそれぞれ共通接続して $\pm 5V$ 電源から供給する方法です(図3を参照)。 $-V_{DD}$ 側でのスイッチング・ノイズは $-V_{CC}$ へも直接印加されますが、電源インピーダンスを極力低くすること、デカップリング・コンデンサを強力にすることによりその影響を極力抑えます。

DAC自体のスイッチング・ノイズの影響を抑圧するには、図4に示すような抵抗を用いたフィルタを兼ねた電源接続方法もあります。この場合、電源電流による電圧降下を考慮して抵抗値を決定します。この接続では、電源回路は $\pm 5V$ 、1系統で済みます。図5に示すのは、デジタル系($\pm V_{DD}$)とアナログ系($\pm V_{CC}$)を別系統の電源回路から供給する方法で、DAC内部でのスイッチングの影響は避けることができますが、電源ON/OFF時の過渡状態を含め両電源電圧差を $0.1V$ 以内にコントロールしないとデバイスがラッチアップを起こす可能性があります。PCM1704のサブストレートは $-V_{CC}$ が接続されているので $|-V_{CC}| > |-V_{DD}|$ の関係を保たなければなりません。

I/V変換回路の考察

PCM1704は電流出力DACであるため、外部にI/V変換回路が必要です。I/V変換の主な方法としては、単純な抵抗負荷によるものとオペアンプによるものがあり、ほとんどの場合はオペアンプによるものが用いられています。16ビット精度、 $f_s = 44.1kHz$ におけるI/V変換でも重要ですが、24ビット、 $f_s = 96kHz$ に対応したI/V変換では特にオペアンプの選択が非常に重要になります。ここでは、DAC電流出力信号を忠実にI/V変換するためのいくつかの要素について考察してみます。

出力信号とオペアンプのダイナミック特性

$f_s = 96kHz$ では、当然ナイキスト周波数である $f_s/2 = 48kHz$ が最大信号周波数、信号帯域幅になります。48kHzの信号がフルパワーで存在することは実質あり得ませんが、48kHzまでは、フラットな帯域である必要があります。

また、DACの出力変換レートは、 $96kHz \times 8 = 768kHz$ となり、CDにおける標準信号出力レベル $V_o = 2V_{rms}$ (約 $5.7V_{p-p}$)を考慮したオペアンプに要求されるダイナミック特性の概念を図6に示します。

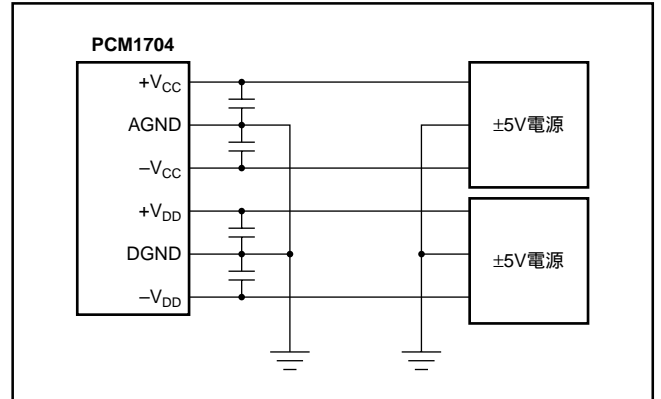


図5. PCM1704の電源接続例(3)

スルーレート(SR)

DACのデータ変換において、1サンプルでの信号の変化がフルスケールとなることは実質ありませんが、矩形波として見た場合、

$$\begin{aligned} SR &= dV_o/dt(t=0) \\ &= \alpha(5.7\sin 2\pi f) / dt \\ &= 28.95 \times 10^6 \end{aligned}$$

となり、使用するオペアンプのスルーレートは $29V/\mu s$ 以上のものが理想的には必要だといえます。

セトリングタイム(T_s)

DAC出力データの交換レート時間 T_s は、

$$T_s = 1/768kHz = 1.3\mu s$$

となり、DAC出力データは、 $1.3\mu s$ 毎に変化します。オペアンプは、この交換レート時間 T_s 内に所定の信号に追従を完了していなければなりません。この追従性はセトリングタイムで規定されていますが、振幅軸とのパラメータで規定されており、一般的にはフルスケールの $\pm 0.01\%$ 精度へのセトリング時間 T_s が規定されています。16ビットの変換でも $\pm 0.0015\%$ が理論精度になるので、これを考慮するとオペアンプに要求されるセトリングタイム T_s は $0.5\mu s$ 程度が必要だといえます。

オペアンプの雑音

I/V変換でのオペアンプの雑音モデルを図7に示します。I/V変換においては、高ゲインの電圧増幅回路ほどではありませんが、DACの出力インピーダンスと帰還抵抗との比で決まるノイズ・ゲインを持っています。100dBオーダーのS/N比であれば、オペア

ンプの雑音はそんなに注意しなくても大丈夫ですが、120dBもの高性能を目指す場合には非常に重要な要素となります。

一般的に、オペアンプの入力雑音は電圧および電流で雑音スペクトラム密度で規定されています。このうち、電流雑音は、kΩオーダーでの抵抗ではほとんど無視してかまいませんが、電圧雑

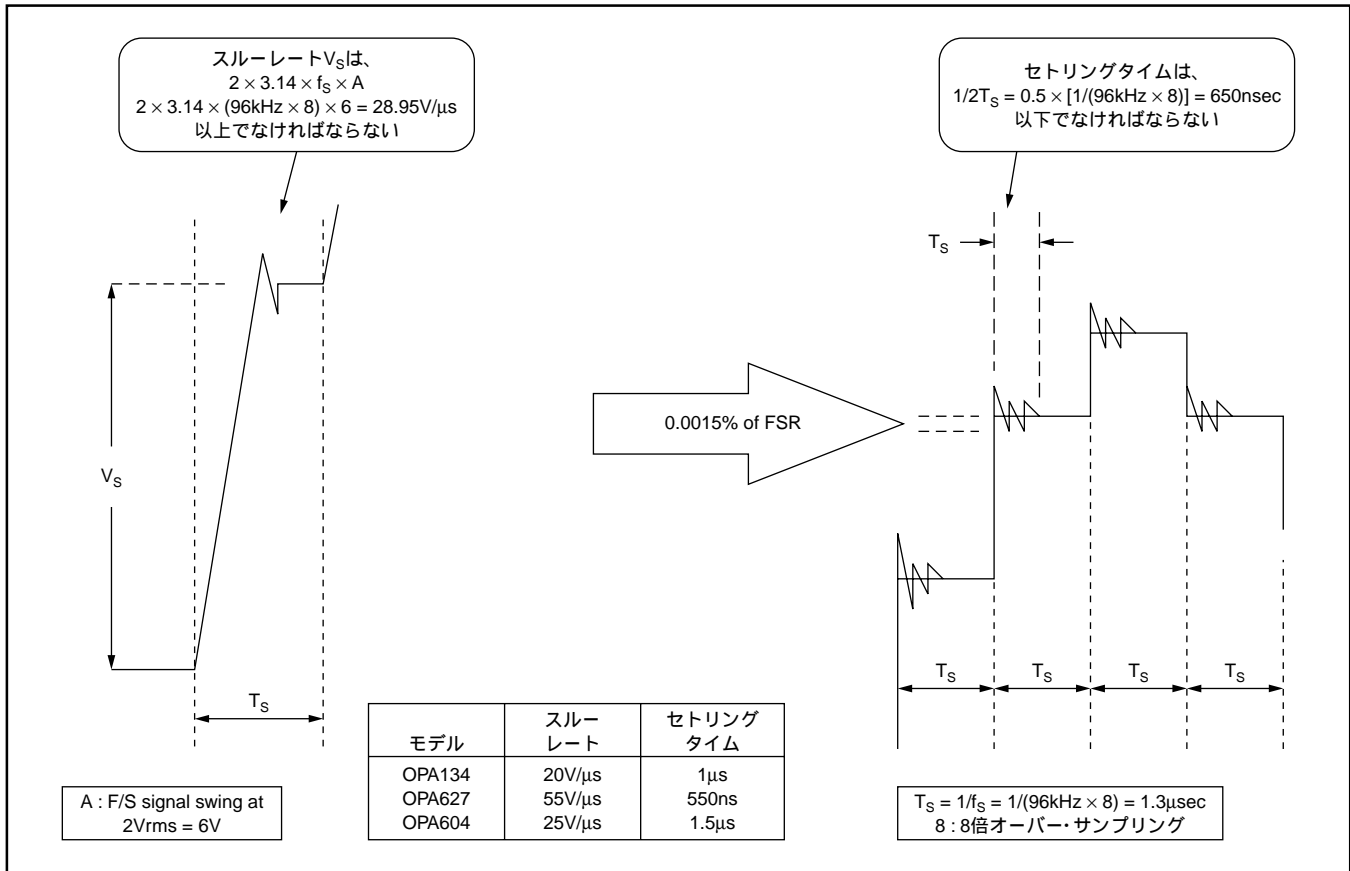


図6. オペアンプに要求されるダイナミック特性

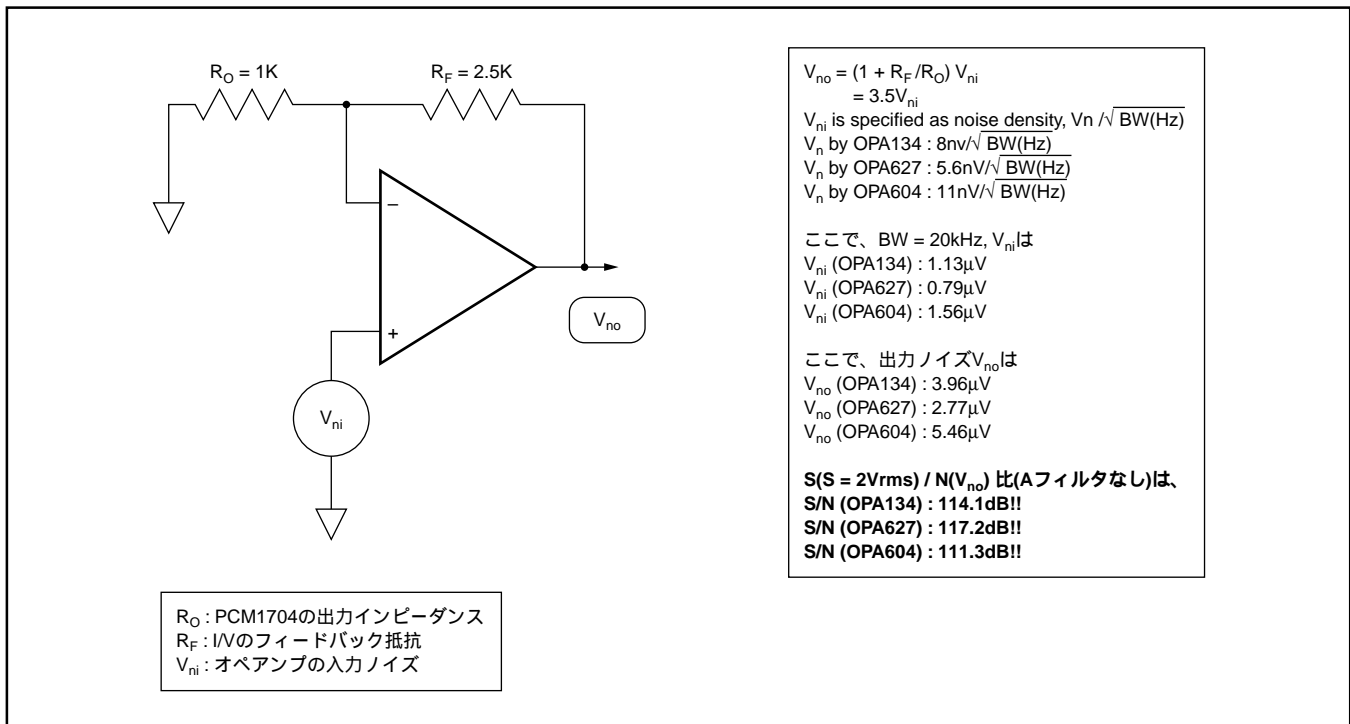


図7. I/V変換での雑音モデル

音は絶対量も大きく、ゲイン倍されるため十分な考察が必要です。また、雑音は帯域幅との関数でもあり、信号帯域が広くなればその分大きくなります。図7においては、

- 1/V変換回路のノイズ・ゲイン
- パー・ブラウンの主要オペアンプの雑音仕様
- 20k帯域としての入力雑音
- ノイズ・ゲイン倍された出力雑音
- 信号を2Vrmsとした時のS/N比(A-フィルタ無し)

の計算例を示しています。これらの計算結果からわかるとおり、120dBオーダーのS/N比を目標とする場合のオペアンプの選択は極めて重要であるといえます。なお、EIAJでのS/N測定ではA-フィルタを用いているため、雑音をフラットであるとしての計算値からは若干有利にはなりません。

DACの平行接続とバランス接続

HiFiオーディオ・アプリケーションの設計において、DACの性能限界がそのアプリケーション・セットの性能限界となる点が設計上でのブレークスルーとなります。すなわち、例えば、THD + N = 0.001%性能のDACを使用した場合、そのDACを組み込んだセットのTHD + Nは0.001%より向上することはありません。よりDAC性能以上の高性能化を実セットで目指す場合、何らかのアプリケーション・テクニックが必要であり、今までいくつかのメーカーから提案されてきました。

ここでは、DAC単体での性能限界を向上させるためのテクニックとして最も簡単に行える手法である、DACの平行接続とDACのバランス接続について、その動作とオーディオ特性の実測例を示します。

基本原理はRoot-Sum-Squares

DACの平行接続あるいはバランス接続による性能向上の原理は、特別新しいものではなく昔からある“Root-Sum-Squares”の考え方を原理Sとしてしています(図8参照)。すなわち、全く同一の信号S1、S2を加算した場合、その信号加算出力S₀は、

$$S_0 = S1 + S2 = 2S(S1 = S2)$$

となります。一方、雑音や非直線性等、両者間に相関性のない誤差要素N1、N2の加算出力N₀は、

$$N_0 = \sqrt{N1^2 + N2^2}$$

となり、信号Sと雑音Nの比は、平行接続またはバランス接続により、

$$20\text{Log}(\sqrt{2}/2) = 3\text{dB}$$

改善されることとなります。この平行接続の数nを増やすことによりnに応じた性能向上が原理的にはできることとなります。

実際には、信号Sの大きさには限度と制約があり、平行個数nは実装上あるいはコスト面からの制約があります。DACにおいては、THD + N特性でのTHD成分はDACのDLE(微分直線性誤差)によるものであり、このDLEの大きさと方向(±の方向がある)はDAC個々によって異なるので、Root-Sum-Squaresの原理を適用しています。

平行接続での特性実測例

図9に平行接続の原理とDAC以降のアナログ回路構成を示します。2つのDAC、PCM1704の電流出力は直接接続され加算されます。デジタル入力は全く同一の信号が入力されます。パラレ

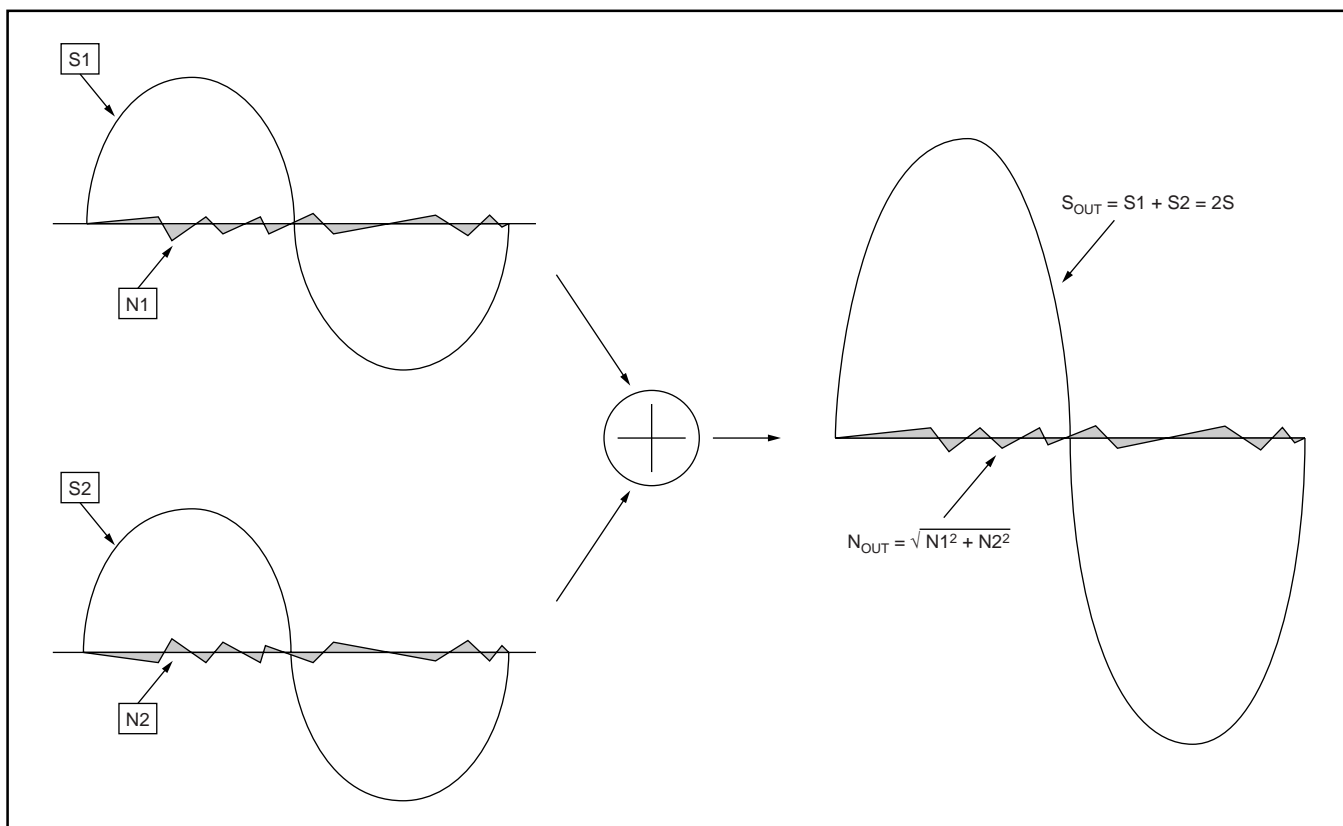


図8. Root-Sum-Squaresの概念

ル接続を行う場合2つのDACのパッケージを重ねて繋いで良いかとの質問を時々受けますが、これは絶対に避けて下さい。前述の内部バイアス・ポイントはDAC個々で異なっており、リファレンス、サーボ、BPOを接続することはできません。

オーディオ特性としては、THD + N (0dB) 、ダイナミック・レンジ、S/N比の各特性をDAC単体およびパラレル接続後の総合の両者で比較して確認します。図10は実際の実測例を示しています。

THD + N特性はDAC単体でそれぞれ0.0011%、0.00135%であり、この両者の単純パラレル加算での値 (G = 1、 $V_o = 4V_{rms}$ 、信号レベルは2倍) は0.00095%まで向上しています。信号が2倍に

なった分をアナログ (I/V変換) 部でゲイン補正した場合 (G = 0.5、 $V_o = 2V_{rms}$) のTHD + Nは0.0010%で、それでも単体での値の悪い方0.00135%が0.0010%に向上しています。

ダイナミック・レンジ特性は、DAC単体での値、112.8dB、111.5dBがそれぞれ114.5dB (G = 1) 、113.5dB (G = 0.5) と平均2dB向上しています。S/N比特性は、DAC単体で両者とも114dBであったものが、それぞれ118.3dB (G = 1) 、116.0dB (G = 0.5) と平均3dB向上しています。ただし、この118dB程度のオーダーになると周辺回路の影響も若干含まれることを考慮しなければなりません。

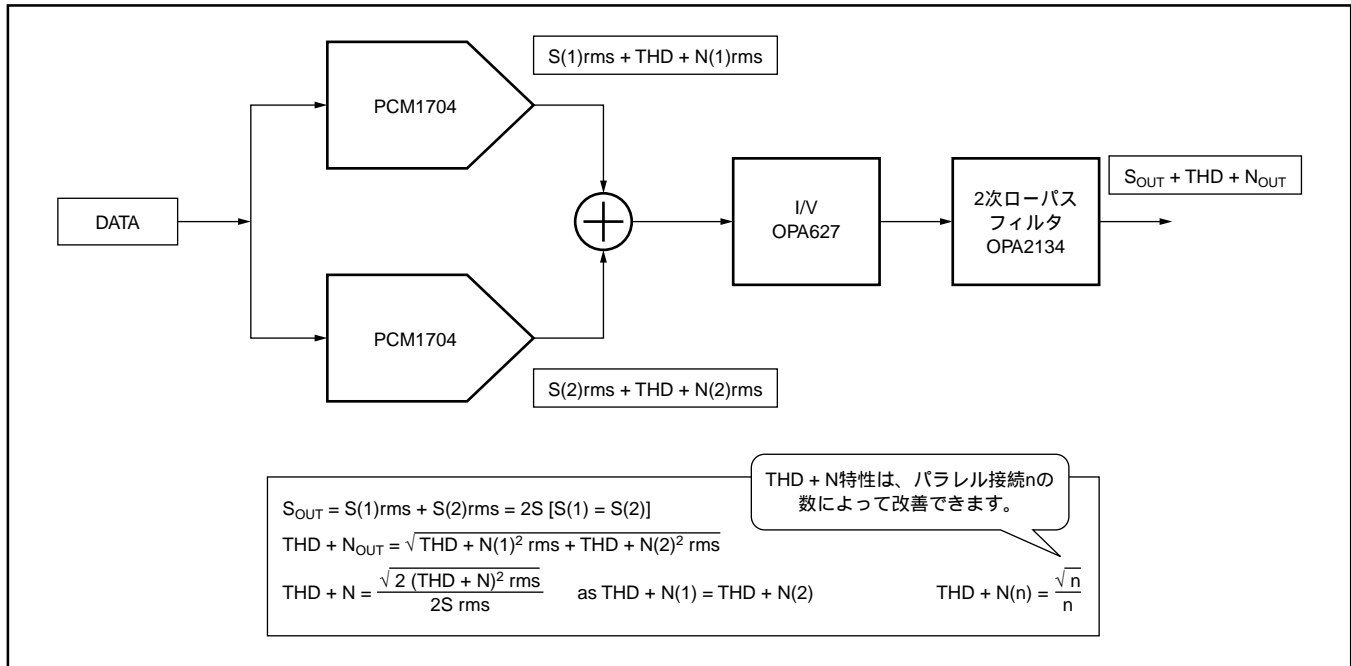


図9. パラレル接続の構成

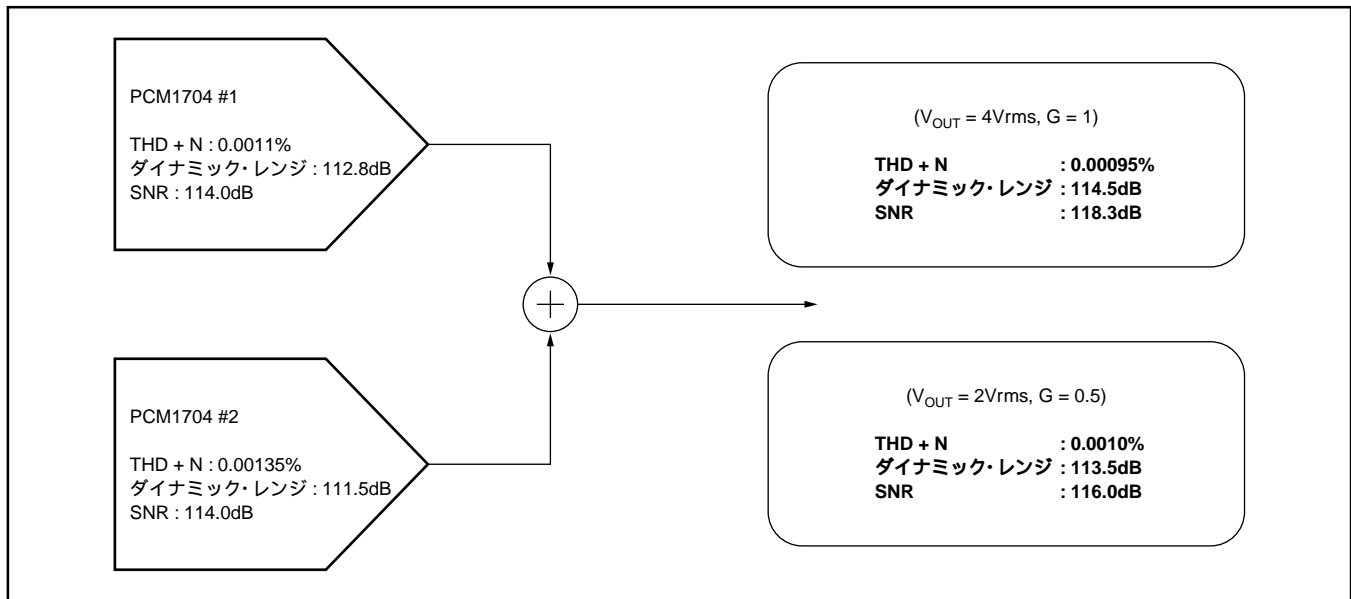


図10. パラレル接続での特性例

バランス接続での特性実測例

図11にバランス接続の原理とDAC以降のアナログ回路構成を示します。バランス接続は差動動作であり、DACの入力データは反転させなければなりません。幸いPCM1704では内部にデータ反転機能があるので、DAC内部でデータを反転させて用いています。また、I/V変換回路も2つのDAC出力は位相が反転しているため別々のI/V変換回路が必要となります。I/V変換後の出力は差動(バランス)アンプでシングルエンド出力に変換されます。したがって、バランス接続の場合はDAC以降のアナログ回路が平行接続に比べてやや多くなり、この分の誤差要因も考察しなければなりません。逆に、バランス接続では差動アンプのCMR(同相モード除去)特性により、両者の同相(コモンモード)ノイズが除

去できるため、THD + N特性でのTHD(歪み)よりはN(雑音)成分の除去に有利といえます。いずれにしろ、信号と雑音は差動成分と同相成分とによって構成されており、このうちの同相成分がCMR特性で除去できる点がこの方式のメリットです。

図12は実際の実測例を示しています。THD + N特性はG = 1、G = 0.5のいずれの場合でも0.0009%にまで向上しています。これは、THD + Nのうち、同相N成分の除去による効果が大いものと思われる。ダイナミック・レンジは平均3dB以上の改善効果が見られます。S/N比特性は3.5dBから5dBもの改善効果が見られます。これは、前述のCMR特性による同相ノイズの除去効果も相乗されているためと判断できます。

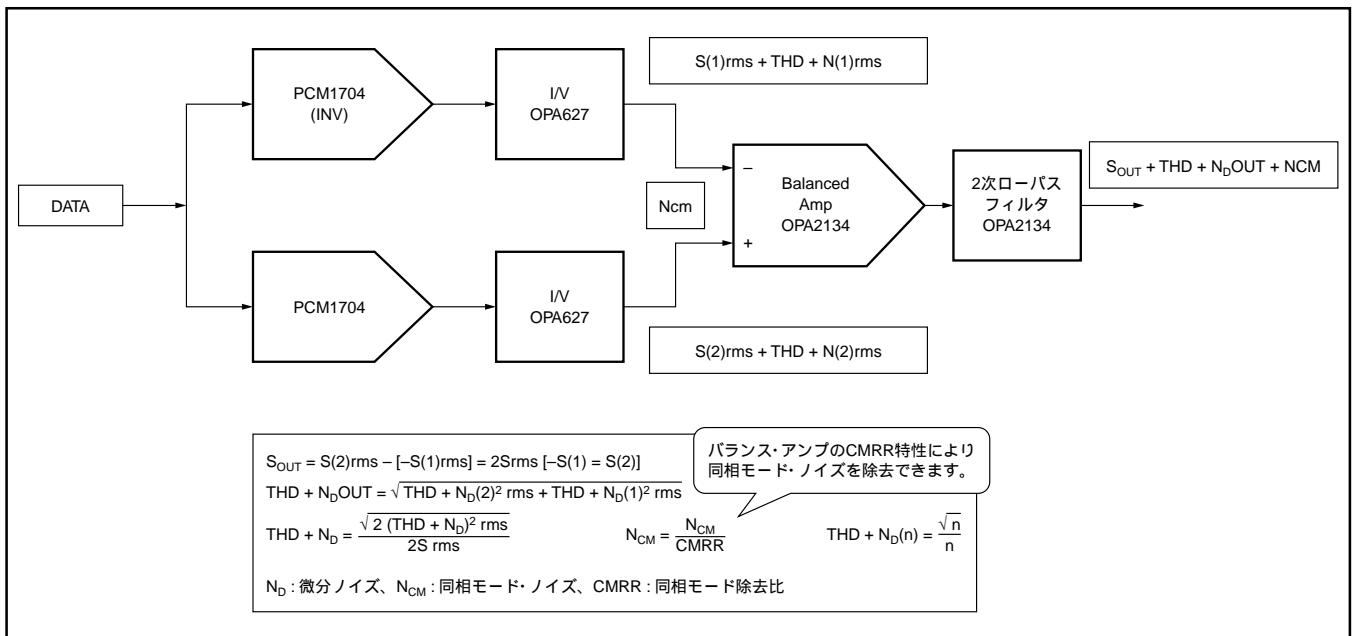


図11. バランス接続の構成

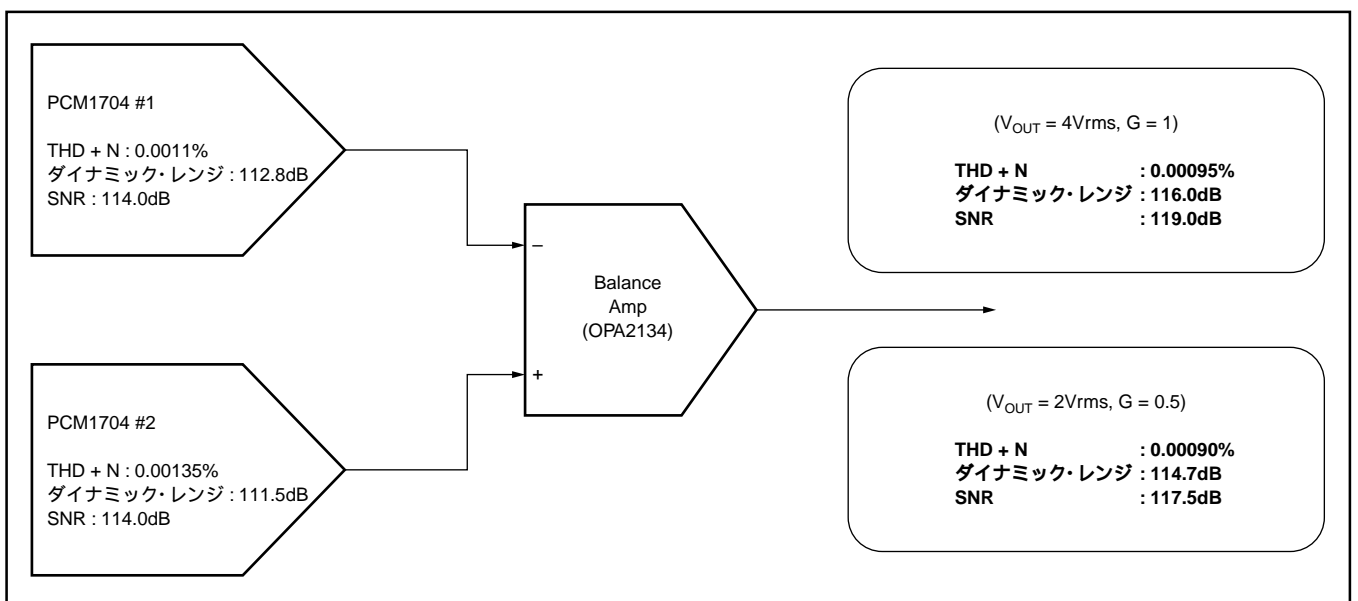


図12. バランス接続での特性例

パラレル接続とバランス接続のまとめ

ここで示したとおり、パラレル接続またはバランス接続はDAC単体での性能限界を上回る性能を引き出すことが可能です。HiFiオーディオ・アプリケーションでの性能を追求する場合この両テクニックは極めて有効です。ここでは、THD + N、ダイナミックレンジ、S/N比の各特性に関する評価を行いました。音質面での優位性については、評価者の感性によるものがあるので実際に試聴して判断することをお勧めします。図13はパラレル接続とバランス接続とを組み合わせた4DAC/chの構成例で、ステレオ対応ではトータル8個のDAC(PCM1704)を必要としますが、性能面ではトップクラスになることは間違いありません。

実装(パターン・レイアウト)設計

実際にDAC回路を設計するうえで、I/Vオペアンプ、デカップリング・コンデンサ等の部品の選択、回路構成の設計も重要ですが、実装(パターン・レイアウト)設計は意図した性能を引き出せるか否かの点で非常に重要になります。ここでは、レイアウト設計に関する留意点と実際の設計例について示します。

設計上の留意点

PCM1704の実装設計でのキーポイントを以下に示します。

- 基板は最低でも2層基板で、部品面はベタ・グラウンドとする。
- アナログ系とデジタル系を完全に分け、両者を交差させない。
- ICの真下になるべく広いベタ・グラウンドを用意し、ICのアナログ・グラウンド、デジタル・グラウンドはこのグラウンドに最短距離で接続する。
- 電源ラインはなるべく幅の広いパターンとし、電源から最短距離で接続する。
- 電源デカップリング・コンデンサはICピンから最短距離で接続する。
- I_{OUT} とI/V間の接続はなるべく最短距離で接続する。

これらの項目は実際にやってみるとなかなか難しい部分もありますが、これらができるか否かで性能に差が現れることをここで強調しておかなければなりません。特にベタ・グラウンドとデカップリング・コンデンサに関しては最優先でレイアウト設計しなければなりません。図14にPCM1704の20ピンSOPに合わせたレイアウト設計例を示します。同図では、部品面はベタ・グラウンドでICのアナログ・グラウンド(ピン15、16)とデジタル・グラウンド(ピン5)をそれぞれ直接接続しています。また、各デカップリング・コンデンサもできる限り最短距離で接続しています。図15はPCM1704の評価ボード、DEM-PCM1704における実際のパターン・レイアウト(DACおよびI/V変換部を抜粋)です。ここでは、ステレオ対応に2個のPCM1704を用いていますが、基本的な設計思想は図12の場合と全く同じです。

まとめ

これまで解説してきたとおり、PCM1704の性能を確実に引き出し、なおかつ高性能化を目指すアプリケーションでは、電源、デカップリング・コンデンサ、パターン・レイアウトといった基本的な要素を確実に設計に活かさなければなりません。また、I/V変換回路でのオペアンプの選択、パラレル接続またはバランス接続等の高性能化テクニックを検証しながら設計を進めていく必要があります。

次に示す各項目についての設計者自身の確実な理解と実設計への実践が重要です。

- (1) DACの内部動作(電源の流れを含む)の概要
- (2) パラレル接続、バランス接続の原理と効果の検証
- (3) I/V変換回路の要求性能(オペアンプの選択)
- (4) 実パターン・レイアウトの要求項目

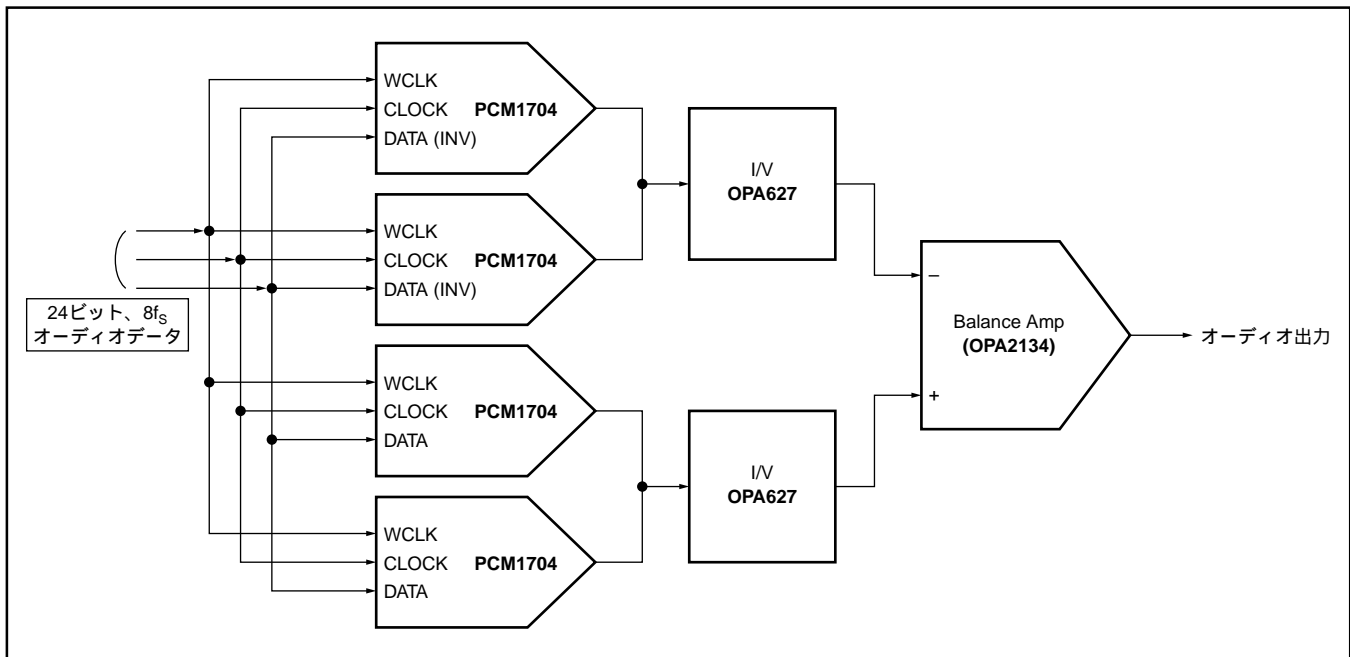


図13. パラレル接続とバランス接続の組み合わせ構成例

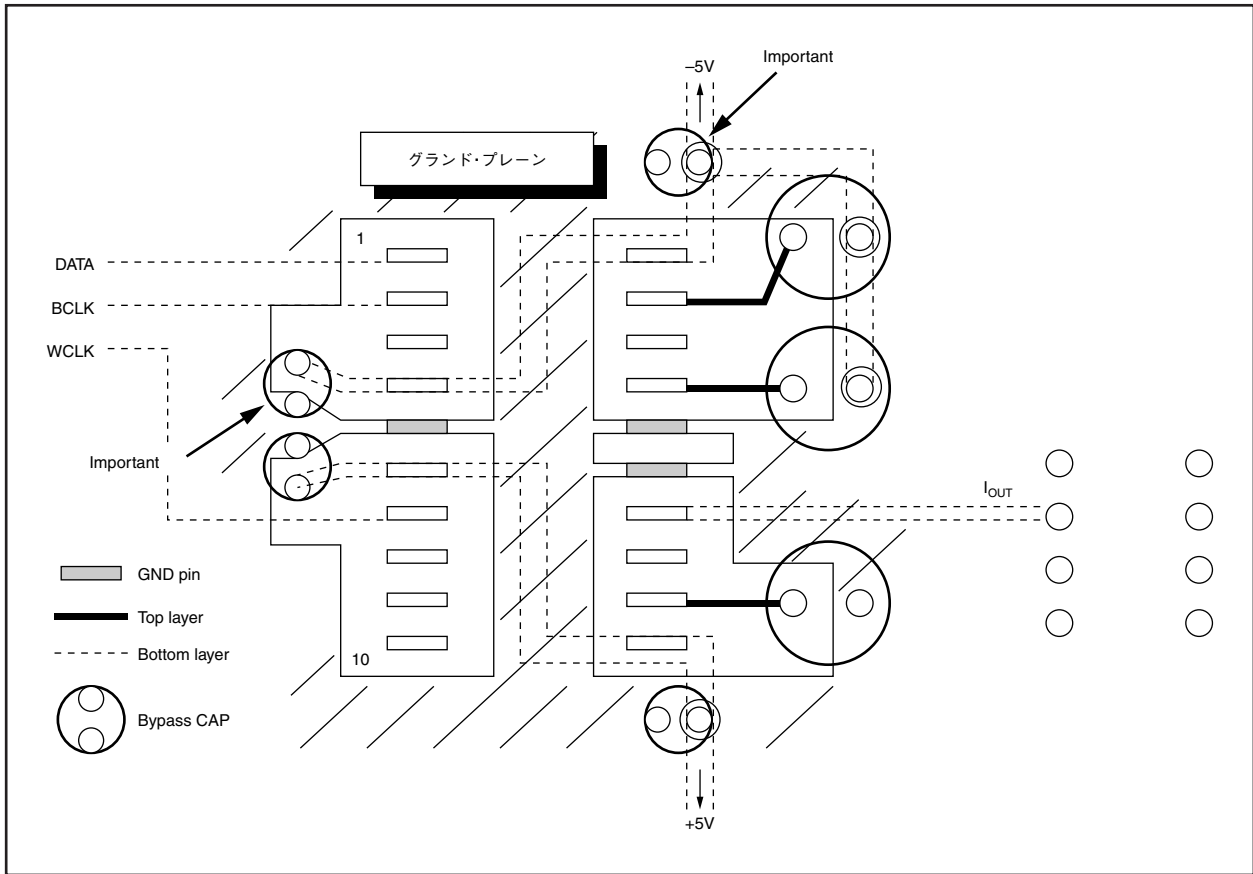


図 14. PCM1704基本パターン設計例

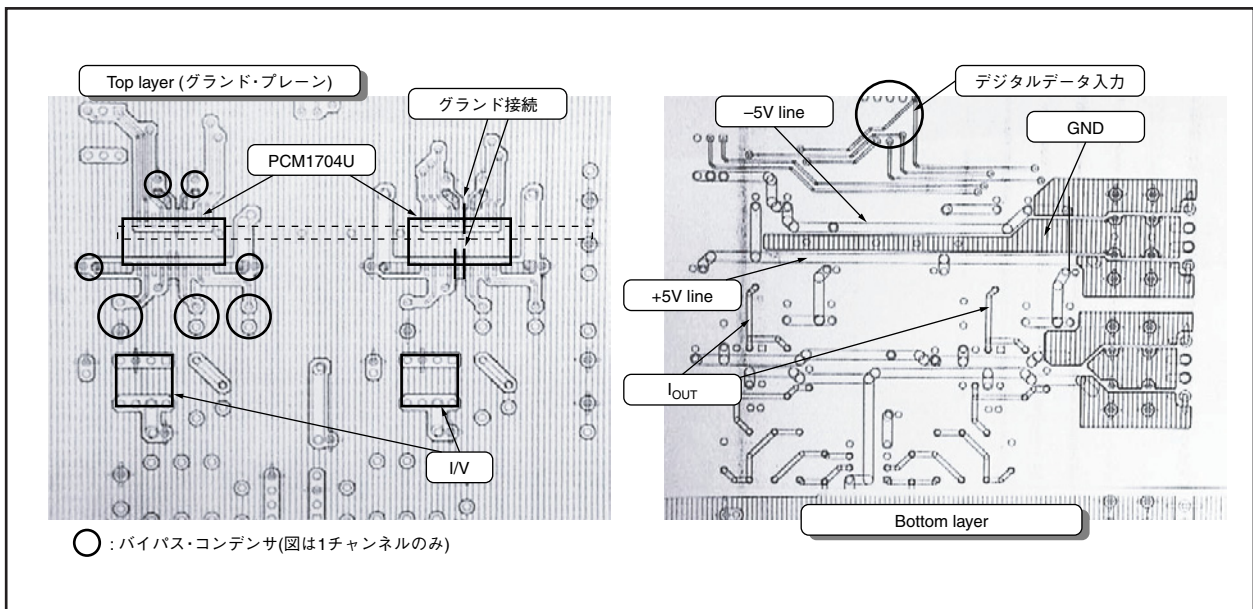


図 15. DEM-PCM1704パターン例

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路

配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上