

전원 공급 장치 설계 세미나

선형 레귤레이터 설계 팁, 요령 및
고급 애플리케이션 활용

저자

Stephen Ziel



주제

- 선형 레귤레이터(LDO) 개요
- LDO 팁과 요령:
 - 잡음
 - PSRR
 - 열 성능
 - Dropout 에 가까운 과도 성능
- 고급 LDO 애플리케이션:
 - 밸러스트 저항을 이용한 병렬 LDO
 - 정전류 조정
 - 다중 입력 단일 출력(MISO) LDO

LDO 대 스위칭 컨버터

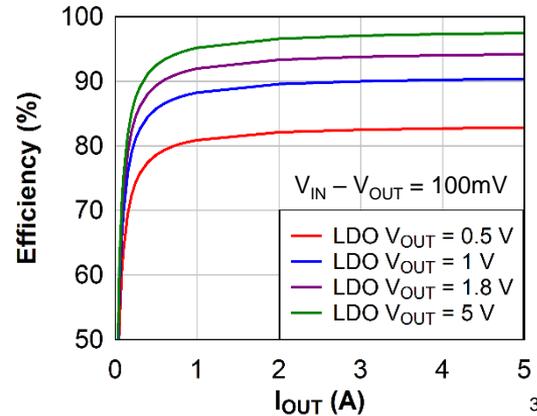
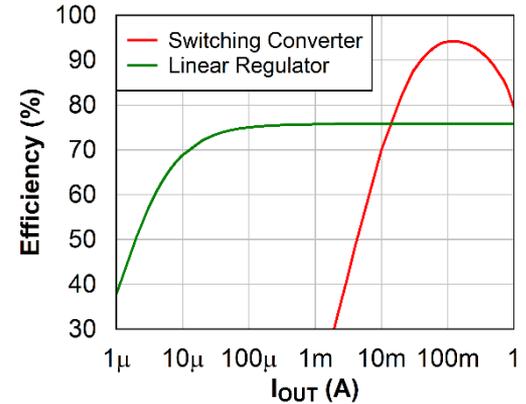
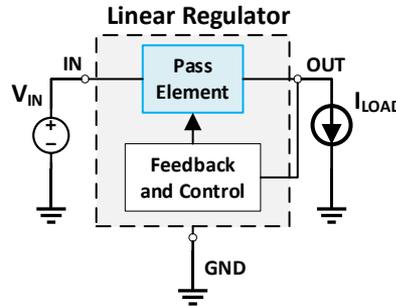
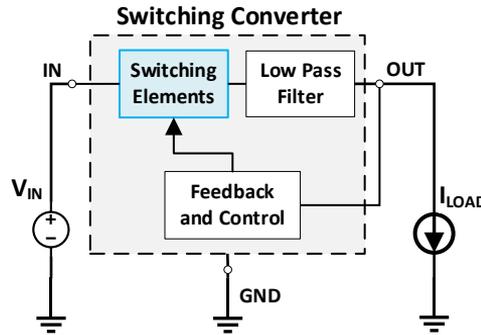
- 전력 컨버터 유형:

- 스위칭 컨버터: 스위치가 켜지거나 꺼짐
- LDO: 직렬 요소가 항상 켜져 있음

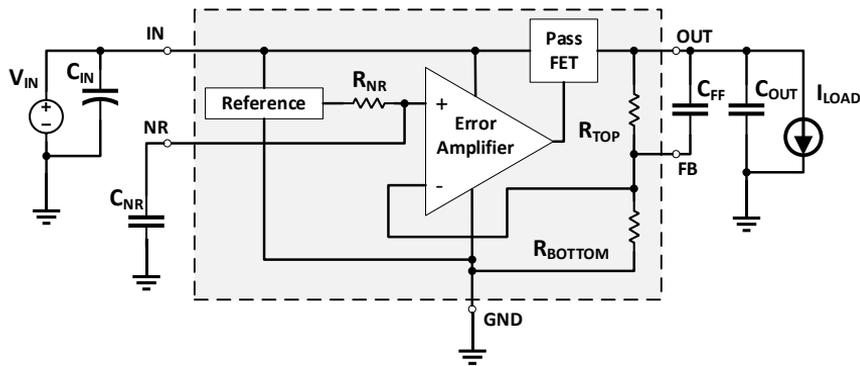
- LDO

- 장점: 저렴하고, 간단하며, 조용함
- 단점: 효율성, 온도

$$\text{효율성 } (\eta) = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times (I_{OUT} + I_Q)}$$



LDO의 구조는 무엇입니까?

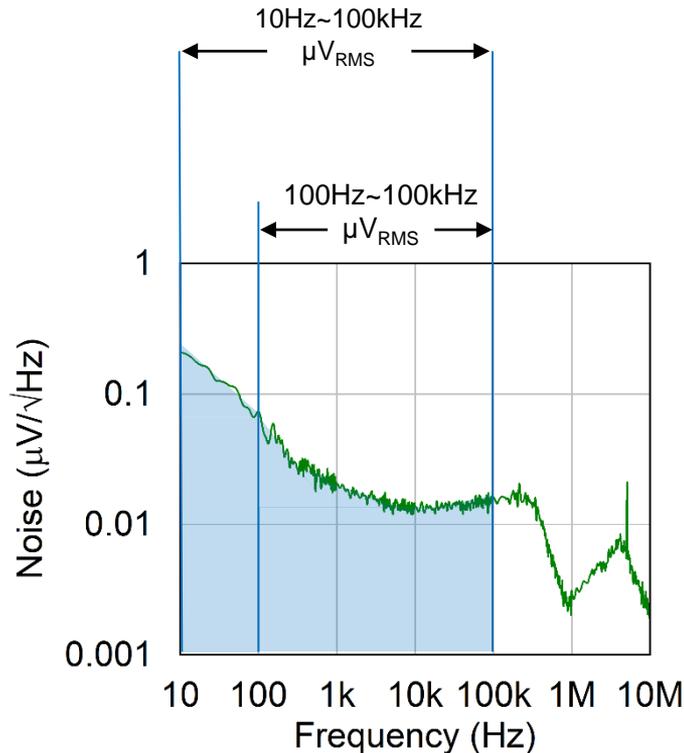


주요 LDO 특성:

- 드롭아웃 전압(V_{DO})
- 전력 손실(P_D)과 LDO의 온도 상승과의 관계
- 잡음
 - 고유 잡음(e_n)은 내부 레퍼런스 및 오류 증폭기의 잡음에 의해 발생합니다.
 - PSRR은 입력에서 LDO를 통해 출력으로 전달되는 잡음의 양을 측정합니다.
- 소모 전류(I_Q)
- 안정성
- 턴온 시간

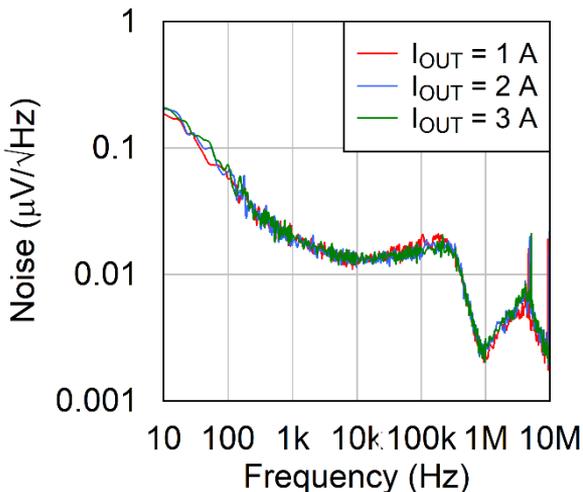
잡음 기본 사항

- LDO 잡음 측정:
 - 잡음 스펙트럼 밀도($\mu\text{V}/\sqrt{\text{Hz}}$)
 - 총(통합) 출력 잡음(μV_{RMS})
 - 서로 다른 LDO를 비교하기 위한 업계 표준
- 통합 출력 잡음은 일반적으로 10Hz~100kHz 범위에서 측정됩니다.
 - 과거에는 100Hz~100kHz를 사용하기도 했습니다.
 - 정확한 잡음 비교를 위해 측정값이 동일한 주파수 범위를 사용하고 있는지 확인하십시오.

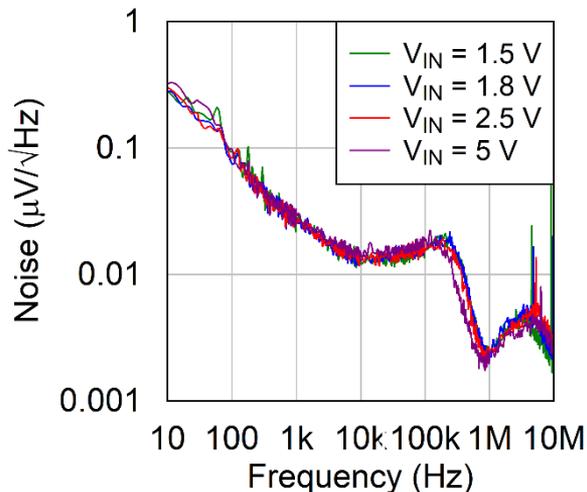


고유 잡음에 영향을 미치지 않는 조건

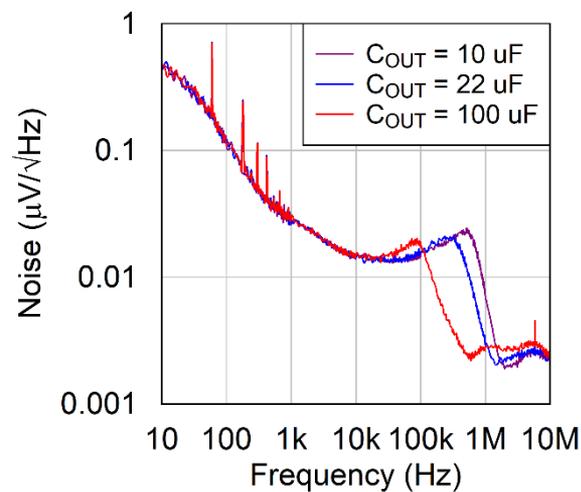
출력 전류(ΔI_{OUT})*



입력 전압(ΔV_{IN})



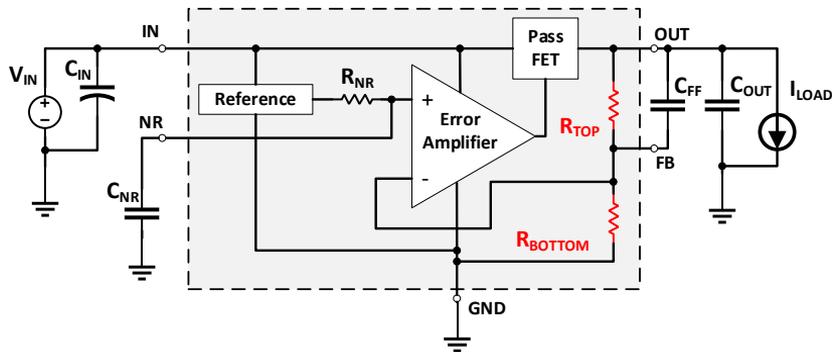
출력 커패시턴스** (ΔC_{OUT})



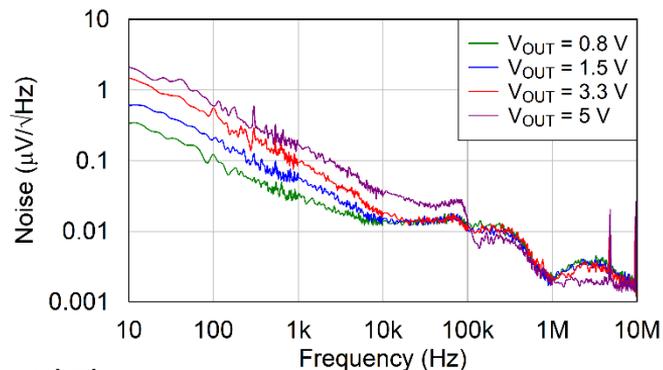
*초저 I_Q 장치의 경우 I_{LOAD} 가 잡음에 영향을 미칠 수 있습니다

** C_{OUT} 의 값이 매우 높으면 잡음에 영향을 줄 수 있습니다.

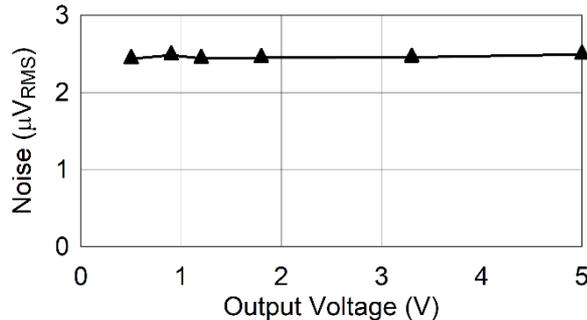
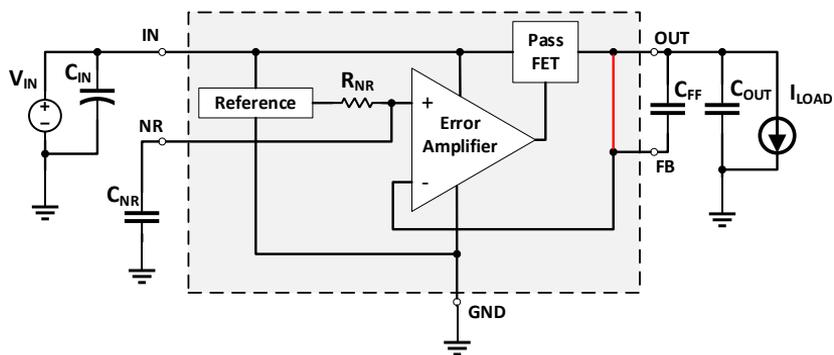
고유 잡음에 영향을 미치는 조건



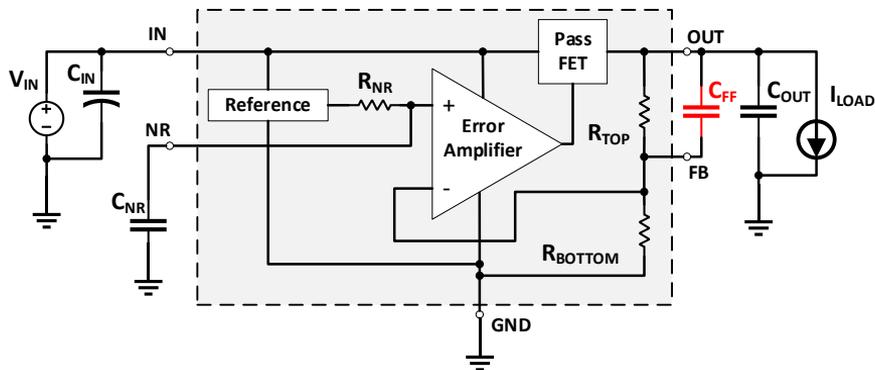
출력 전압(ΔV_{OUT})



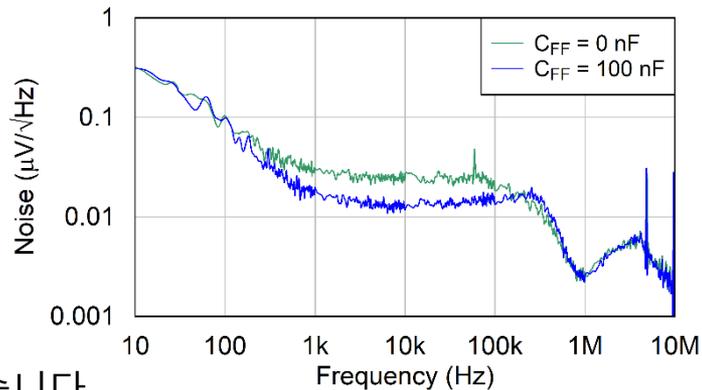
유니티 게인 피드백의 LDO에서는 V_{OUT} 은 영향을 미치지 않습니다.



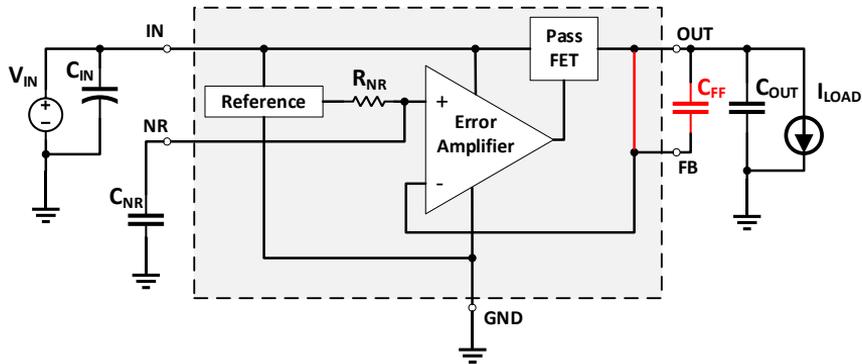
고유 잡음에 영향을 미치는 조건



피드 포워드 커패시터(ΔC_{FF})



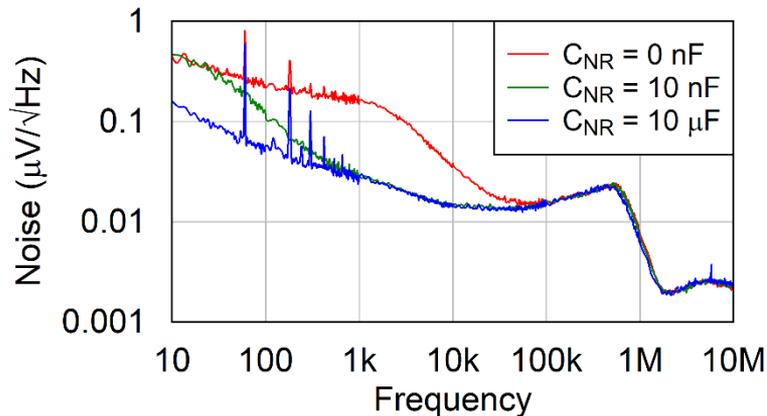
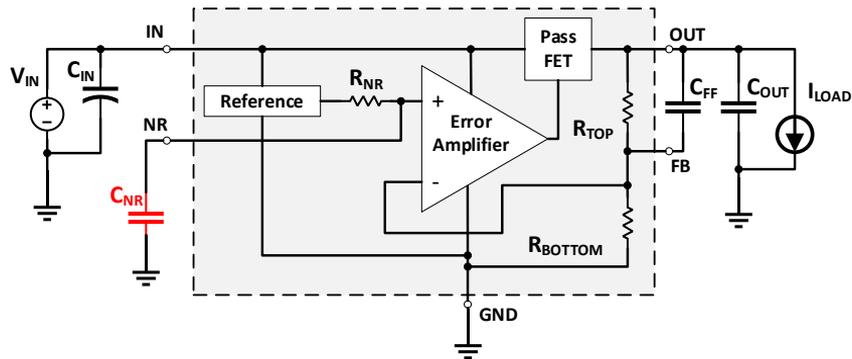
유니티 게인 피드백의 LDO에서는 C_{FF} 는 영향을 미치지 않습니다.



- C_{FF} 는 R_{TOP} 양단에 short 되어 중간 대역 주파수에 영향을 미칩니다.
- 오류 증폭기는 중간 대역 주파수 범위 내에서 유니티 게인 피드백에 더 가깝게 작동합니다.

고유 잡음에 영향을 미치는 조건

잡음 감소(NR)
커패시터(ΔC_{NR})



- NR 커패시터와 내부 NR 저항은 저역 통과 필터를 형성합니다.
- 이 저역 통과 필터는 오류 증폭기 이전의 레퍼런스 전압에서 잡음을 제거합니다.

PSRR

PSRR은 입력 전압 변화를 필터링하는 LDO의 기능을 나타냅니다.

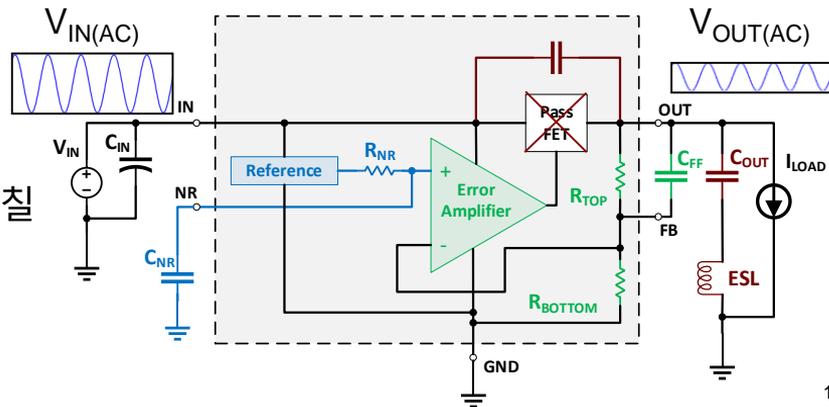
$$PSRR = 20 \times \log \left(\frac{V_{IN(AC)}}{V_{OUT(AC)}} \right)$$

영역 1: 레퍼런스 및 저항-커패시터 필터의 PSRR

영역 2: 오류 증폭기의 오픈 루프 게인

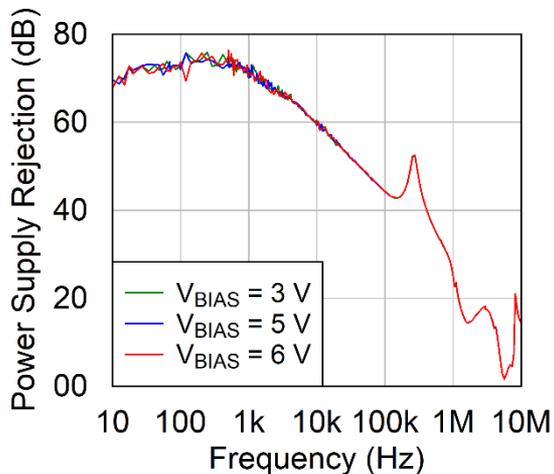
영역 3: MOSFET과 출력 커패시터의 기생 커패시턴스 및 관련 기생 성분 (커패시턴스 분배기)

- 기생 커패시터가 작을수록 V_{IN} 과 V_{OUT} 사이의 AC 커플링이 줄어듭니다.
- C_{OUT} 이 클수록 GND로 션트되는 잡음이 많아집니다.
- 등가 직렬 인덕턴스(ESL)도 PSRR 성능에 영향을 미칠 수 있습니다.



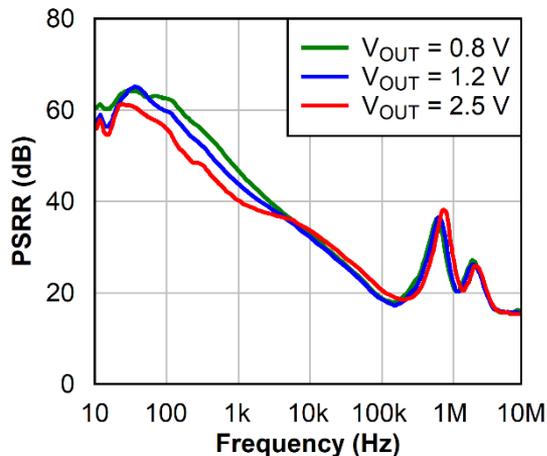
PSRR에 영향을 미치지 않는 조건

바이어스 전압(V_{BIAS})



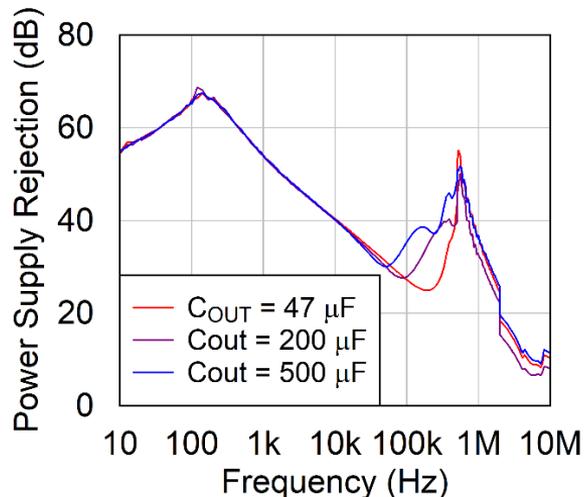
V_{BIAS} 가 최소값 이상인
경우 영향 없음

출력 전압(V_{OUT})



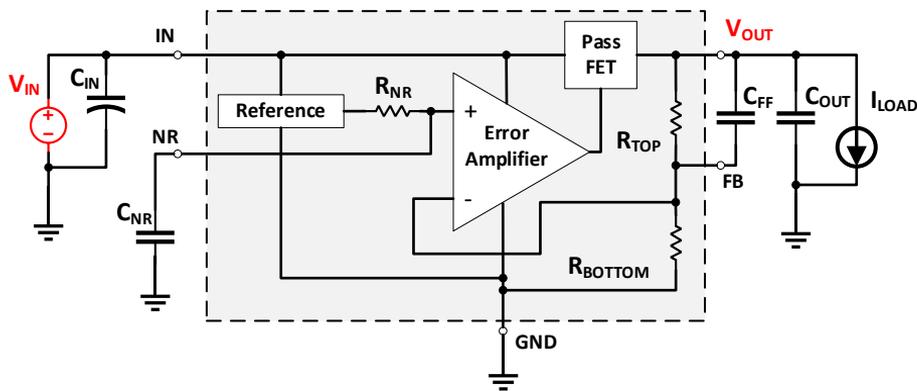
낮은 주파수에서 작은 영향

출력 커패시턴스(ΔC_{OUT})



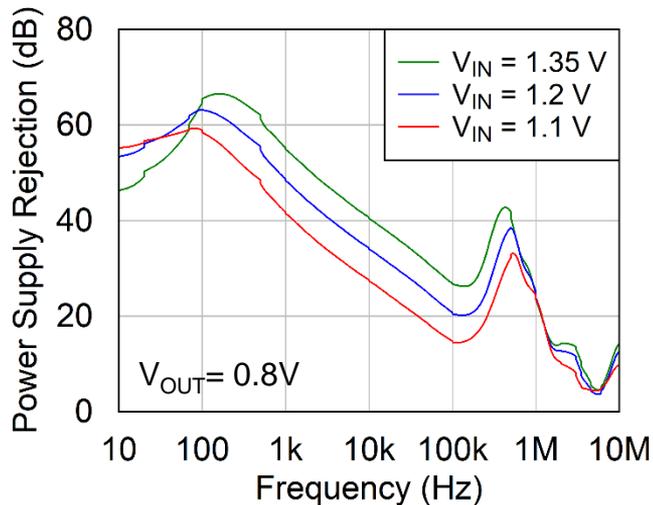
높은 주파수에서 작은 영향

PSRR에 영향을 미치는 조건

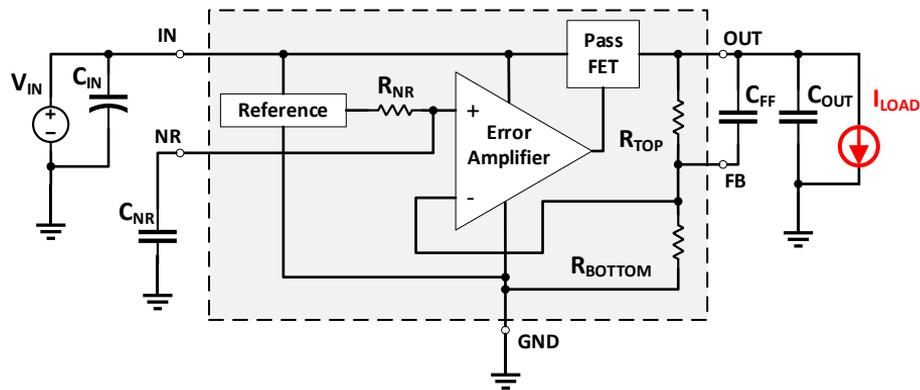


- 패스 전계 효과 트랜지스터(FET)가 포화 영역에 있으면 필요한 게인(큰 V_{DS})을 유지할 수 있습니다.
- 패스 FET가 선형 영역에 들어가면 필요한 게인을 유지할 수 없습니다(작은 V_{DS}).

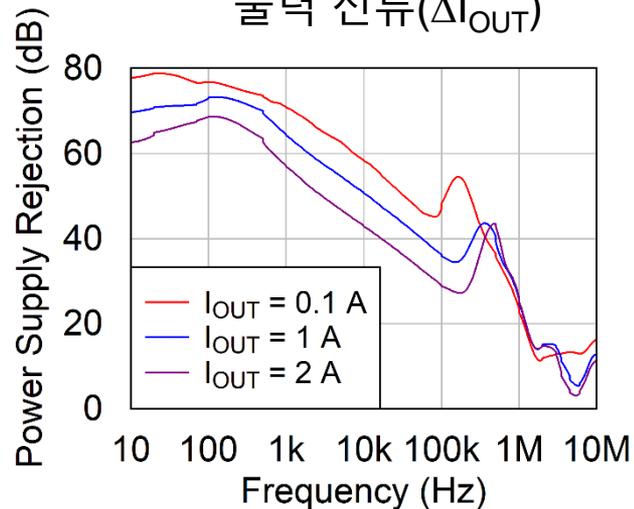
$V_{IN}-V_{OUT}$ 은 얼마나 작습니까?



PSRR에 영향을 미치는 조건

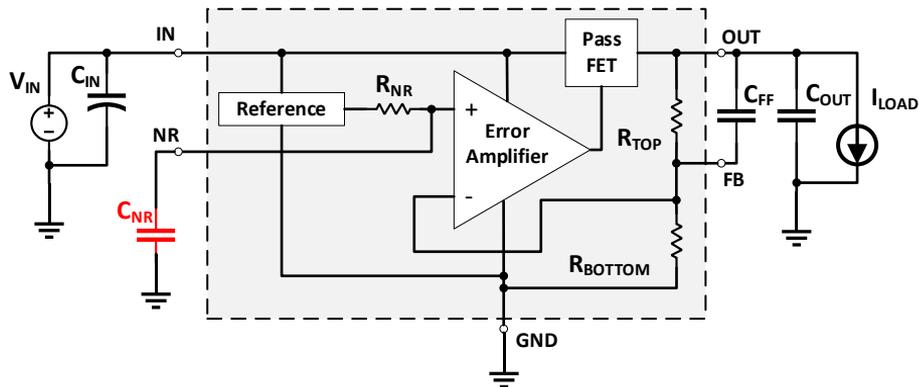


출력 전류(ΔI_{OUT})



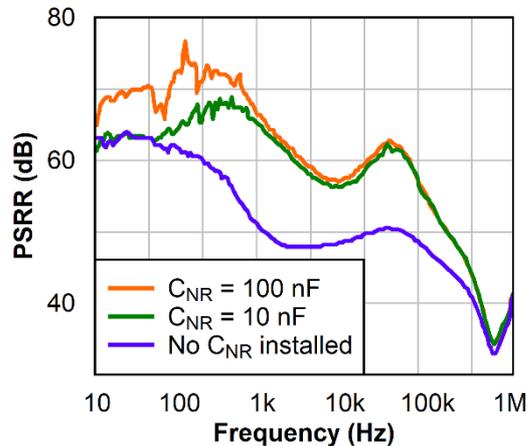
- 부하가 증가함에 따라 어느 시점에서 패스 FET가 Triode 영역으로 들어가게 되고 동일한 V_{DS} 에 대해 패스 FET의 게인이 저하됩니다.

PSRR에 영향을 미치는 조건

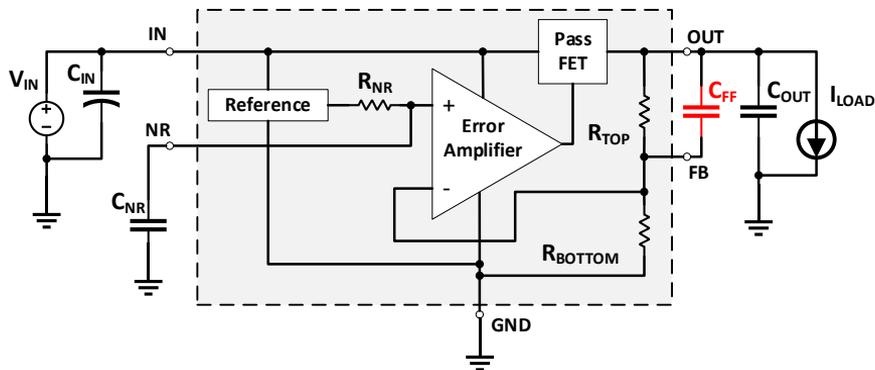


- V_{REF} 의 PSRR 자체는 LDO의 PSRR에 영향을 미칩니다.
- 저역 통과 필터를 추가하면 V_{REF} 의 PSRR이 증가합니다.

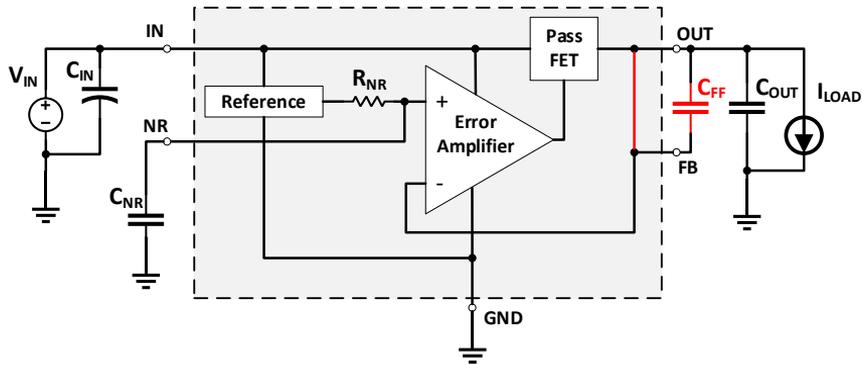
NR 커패시터(ΔC_{NR})



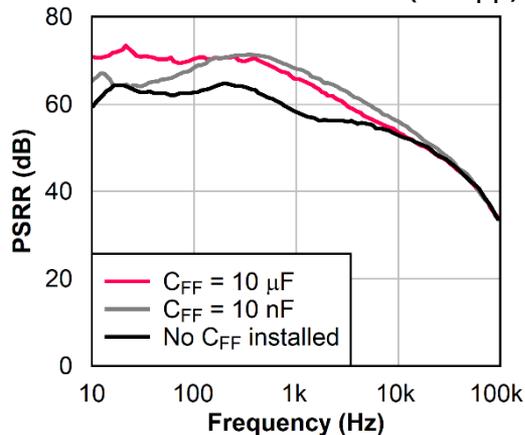
PSRR에 영향을 미치는 조건



유니티 게인 피드백의 LDO에서는 C_{FF} 는 영향을 미치지 않습니다.



피드 포워드 커패시터(ΔC_{FF})

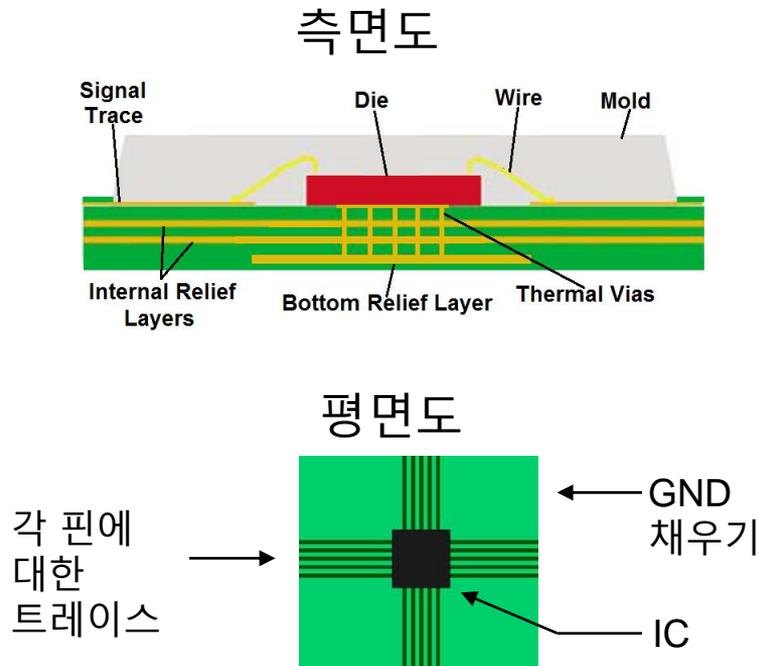


- 더 높은 주파수에서는 피드백 및 V_{OUT} 이 C_{FF} 에 의해 효과적으로 단락되어 레퍼런스 노이즈에 의한 오류 증폭기 게인의 영향을 막아줍니다.

JEDEC 열 측정값

- TI LDO 열 측정값은 장치를 쉽게 비교할 수 있도록 JEDEC(Joint Electron Device Engineering Council)의 high-K 보드를 사용하여 모델링되었습니다.
- 가장 일반적인 열 특성은 접합부-주위(θ_{JA}) 온도 저항입니다.
- θ_{JA} 는 인쇄 회로 보드(PCB)에 장착된 집적 회로(IC)의 열 성능에 대한 측정값입니다.

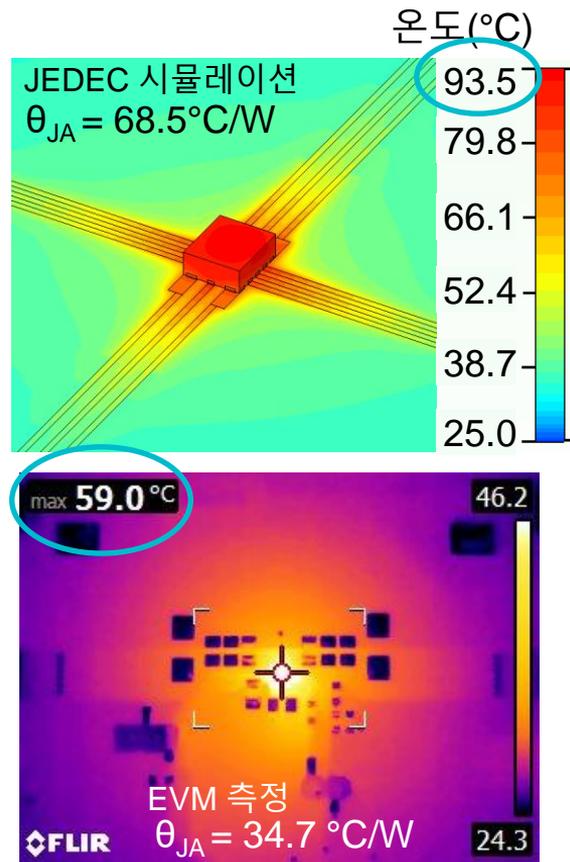
JEDEC high-k 보드



θ_{JA} : 사용 방법 및 제한 사항 이해

- 좋은 레이아웃 사례를 통해 θ_{JA} 25%~50%로 줄일 수 있습니다.
- 좋은 레이아웃 사례:
 - 열 패드 내의 열 바이어스 수를 최대화하여 LDO의 열을 발산시킵니다.
 - 장치 주변의 PCB 구리 최대화

$$P_D = (V_{IN} - V_{OUT}) \times (I_{OUT} + I_Q)$$
$$P_D \approx (V_{IN} - V_{OUT}) \times I_{OUT}$$
$$T_J = T_A + (\theta_{JA} \times P_D)$$



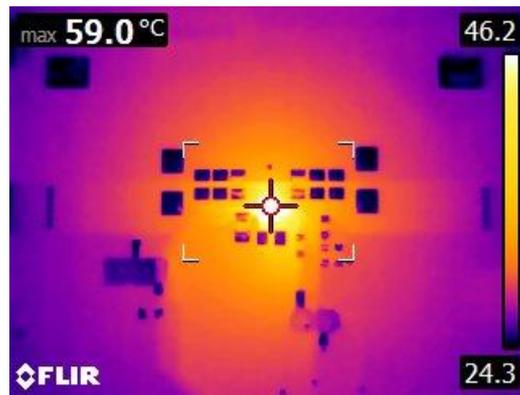
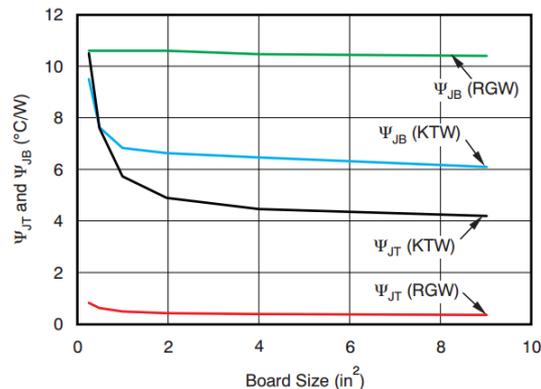
Ψ_{JB} 및 Ψ_{JT} 인앱 사용

- JEDEC has defined Ψ_{JB} 및 Ψ_{JT} 열 측정값은 PCB의 측정된 케이스 온도(T_C)로부터 접합부 온도를 보다 정확하게 추정할 수 있는 방법을 제공합니다.

$$T_J = T_C + \Psi_{JT} \times P_D$$

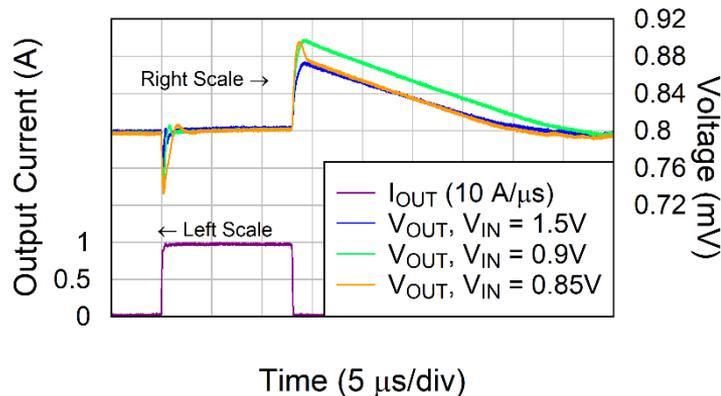
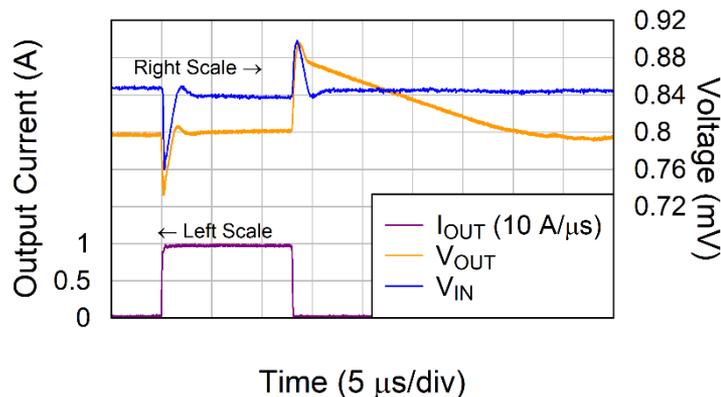
$$T_J = 59^\circ\text{C} + 4.5^\circ\text{C}/\text{W} \times 1\text{W} = 63.5^\circ\text{C}$$

Ψ_{JT} AND Ψ_{JB} VERSUS PCB SIZE



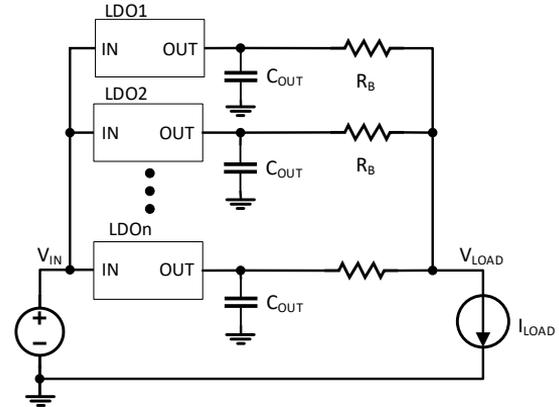
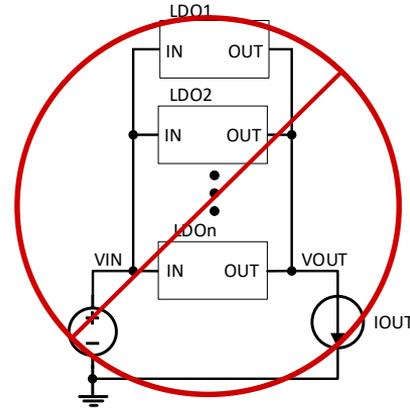
드롭아웃에 가까운 과도 성능

- 과도 성능은 일반적으로 드롭아웃 사양보다 헤드룸 전압이 더 많다는 것이 특징입니다.
- LDO는 더 이상 출력 전압을 조절할 수 없을 때 드롭아웃에 들어갑니다.
 - 드롭아웃은 DC 사양입니다.
- TPS7A14의 드롭아웃은 일반적으로 1A(25°C)에서 45mV입니다.

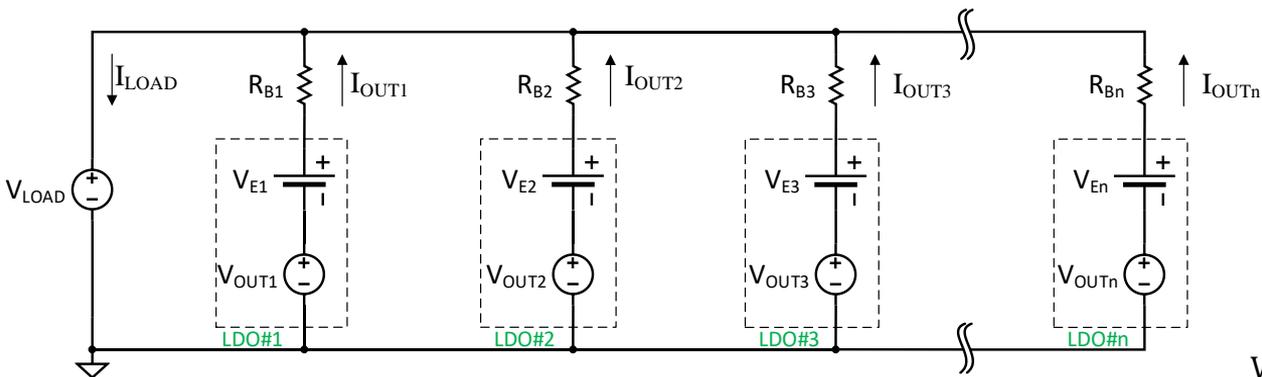


병렬 LDO

- 장점:
 - 부하 전류 증가
 - 잡음 감소(\sqrt{n})
 - 주어진 부하 전류에 대해 향상된 PSRR
 - 향상된 열 확산
 - 완화된 헤드룸 요구 사항(드롭아웃)
 - 다른 컨버터에 비해 감소된 볼륨: C_{OUT} 은 일반적으로 최대 시스템 높이를 구동합니다.
- 밸러스트 저항을 사용하여 각 LDO의 출력을 함께 연결해야 합니다.
 - 직접 V_{OUT} 연결: V_{OUT} 의 작은 차이로 인해 하나의 LDO가 켜지고 나머지는 꺼진 상태에서 부하를 전달하려고 시도합니다.



병렬 LDO: 기본 방정식 및 분석



$$R_B = \frac{\max_{1 < x < n} V_{En} - \min_{1 < x < n} V_{En}}{\Delta I_{MAX}}$$

LDO 간 최대 전류 불균형

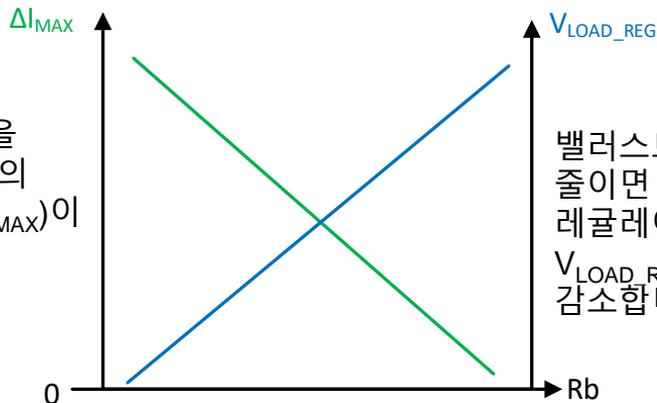
$$I_{LOAD} = \sum_{n=1}^n \frac{V_{OUTn} - V_{LOAD} + V_{En}}{R_{Bn}}$$

$$V_{LOAD} = \frac{\sum_{n=1}^n \frac{V_{OUTn} + V_{En}}{R_{Bn}} - I_{LOAD}}{\sum_{n=1}^n \frac{1}{R_{Bn}}}$$

$$I_{OUTn} = \frac{V_{OUTn} - V_{LOAD}}{R_{Bn}} + \frac{V_{En}}{R_{Bn}}$$

$R_{B1} = \dots = R_{Bn}$ 및 $V_{OUT1} = \dots = V_{OUTn}$ 인 경우:

$$I_{OUTn} = \frac{I_{LOAD} - \left(\sum_{n=1}^n \frac{V_{En}}{R_B} \right)}{n} + \frac{V_{En}}{R_B}$$

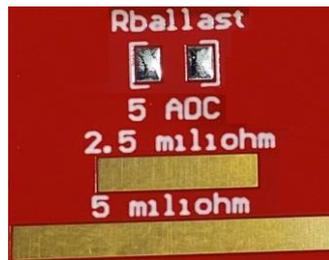


밸러스트 저항을 높이면 LDO 간의 전류 불균형(ΔI_{MAX})이 감소합니다.

밸러스트 저항을 줄이면 부하 레귤레이션 V_{LOAD_REG} 가 감소합니다.

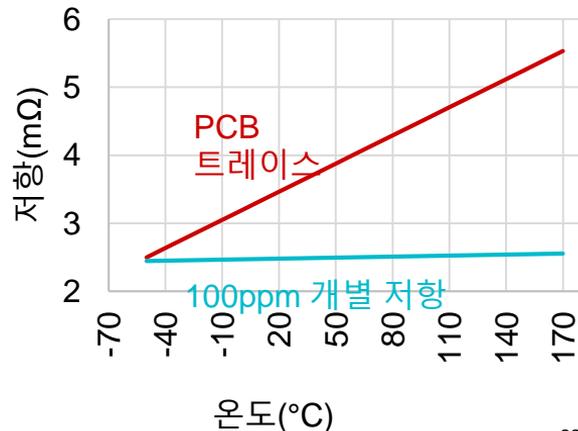
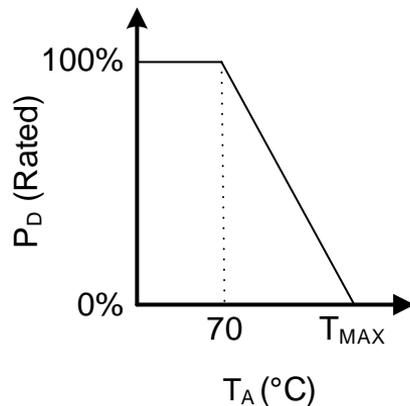
밸러스트 저항 설계

- 옵션 1: PCB 트레이스
 - 마이크로 스트립 분석은 피하고 IPC(Institute of Printed Circuits) 2221을 사용합니다.
 - PCB 트레이스의 온도 상승과 PCB 유전체의 T_G 를 분석에 포함시킵니다.
 - 장점: 낮은 생산 비용, 높은 온도, 재고가 소진되거나 폐기되지 않습니다.
- 옵션 2: 개별 저항
 - 보통 0603 또는 0805 크기
 - 데이터 시트 전력 경감 곡선 검토
 - 장점: 낮은 오차율, 낮은 기생, 가장 작은 설치 공간



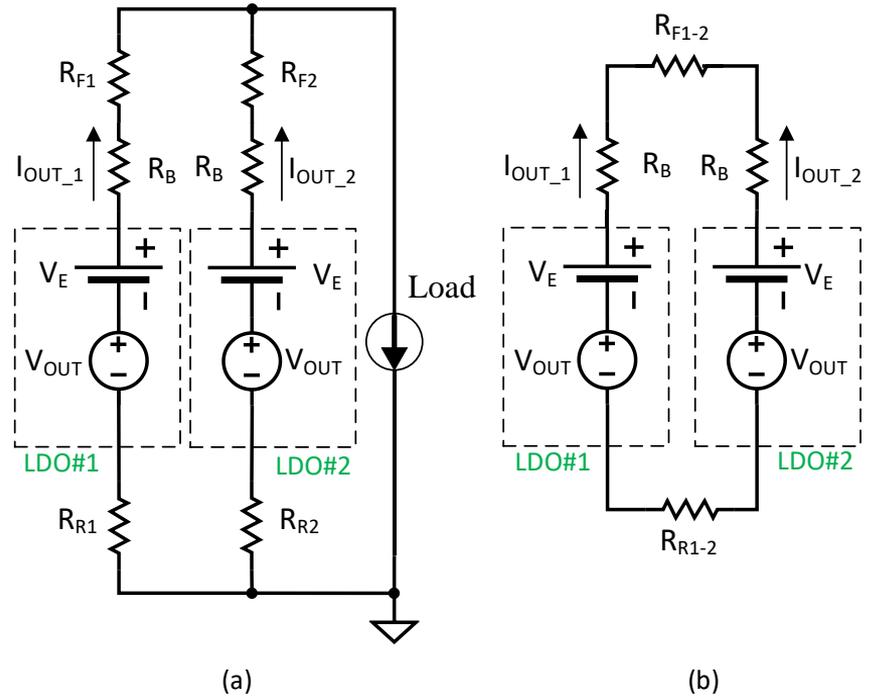
← 1206 크기의 저항

← PCB 저항



PCB 임피던스의 효과

- 이상적으로는 PCB 저항이 밸러스트 저항보다 훨씬 낮아야 합니다.
 - PCB 구리는 오차율이 높습니다.
- PCB 저항(순방향 및 복귀)은 밸러스트 저항과 직렬로 연결됩니다.
- $R_B < 50 \text{ m}\Omega$ 인 경우, PCB 저항은 설계를 의미 있게 변경할 수 있습니다.
 - 경로 후 분석을 수행하여 고온에서 PCB 저항을 시뮬레이션합니다.
- 두 가지 경로를 할당해야 합니다.



병렬 LDO 계산기

1단계: 드롭다운 상자에서 LDO를 선택합니다.

2단계: 데이터 시트 매개 변수가 자동으로 입력됩니다.

3단계: 시스템 요구 사항을 입력합니다.

Not included: Abs Max voltage assessment or DC setpoint analysis
 This calculator assumes the same LDO IC, ballast resistor, and output voltage is used for all LDO's in parallel

→ **TPS7A57**

LDO Specifications					
Parameter	Value	Units	Optional User Entry	Units	
V _E , high	2	mVdc			mVdc
V _E , low	-2	mVdc			mVdc
Thermal Impedance T _{JA}	21.9	°C / W			°C / W

Parallel LDO System Requirements					
Parameter	Value	Units		Units	
T _A	85	°C			°C
Maximum T _J per LDO	125	°C			°C
V _{IN}	1.25	Vdc			Vdc
V _{OUT}	0.75	Vdc			Vdc
Allowable load regulation	0.02	Vdc			Vdc
System Noise Requirement (10 Hz - 100 kHz)	2.45	μVrms			μVrms
Total System Load:	8.48	A			A

Minimum Ballast Resistance needed	0.8	mΩ			
Optimum Ballast Resistance	5.608043	mΩ			
Ballast Resistance Selected	5.608043	mΩ			mΩ

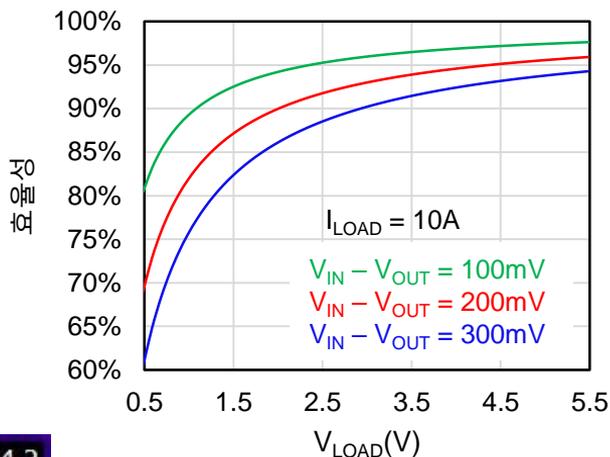
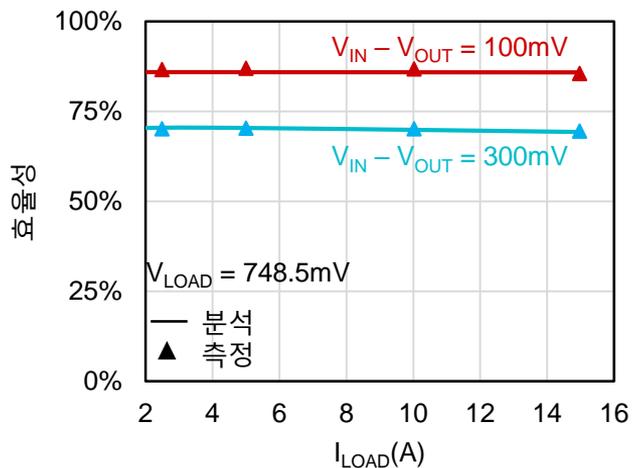
Minimum number of parallel LDO's required: N = 3

4단계: 밸리스트 저항을 선택합니다.

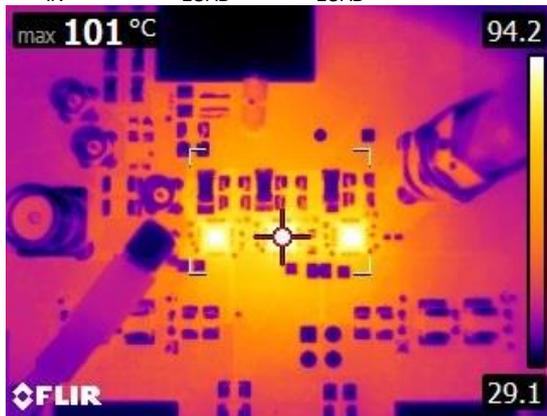
5단계: 시스템 요구 사항을 충족하려면 이 정도의 LDO를 사용합니다.

병렬 LDO 계산기

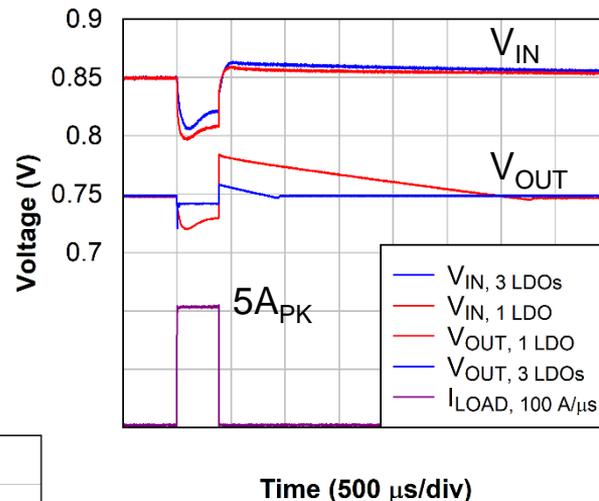
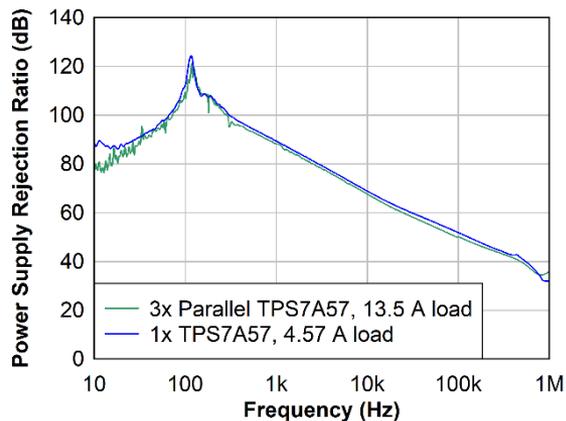
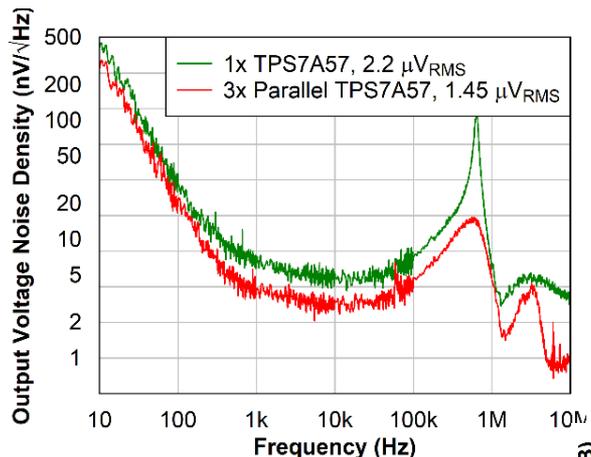
3개의 병렬 TPS7A57 LDO 분석 및 테스트 데이터



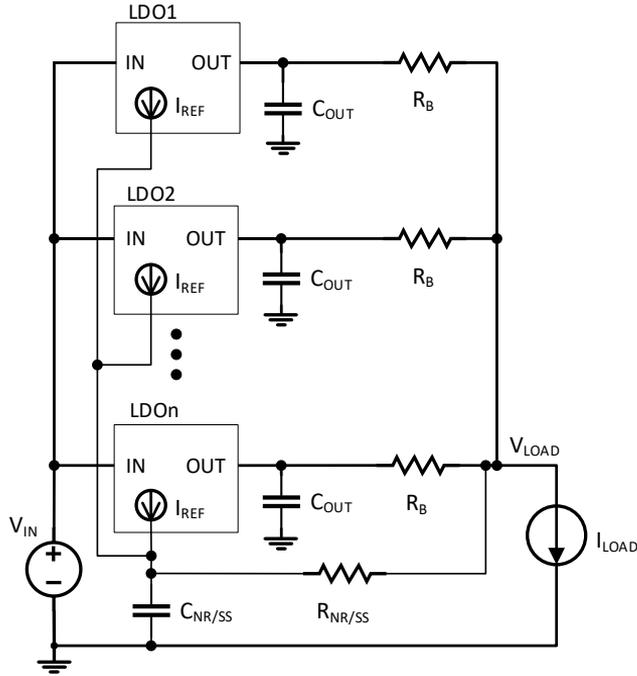
$P_D = 6.75\text{W}$, 30분
 $V_{IN} = 1.5\text{V}$, $V_{LOAD} = 1\text{V}$, $I_{LOAD} = 13.5\text{A}$



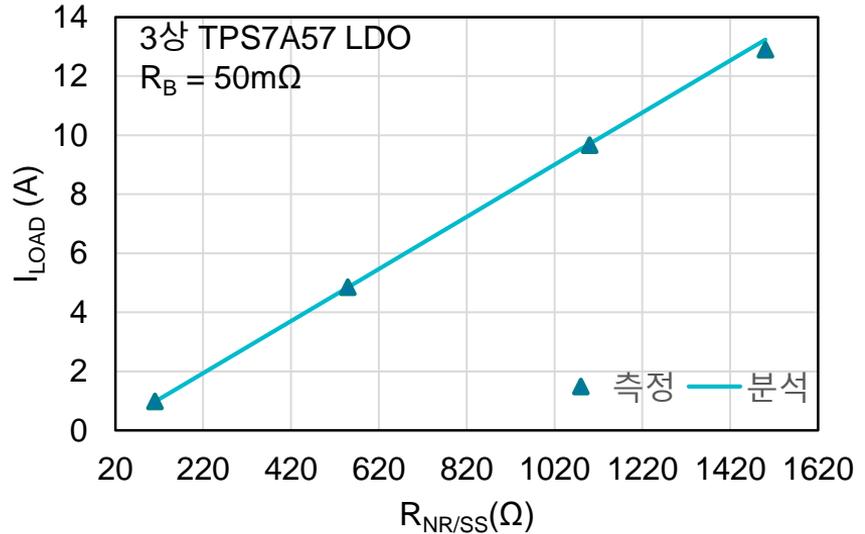
3개의 병렬 TPS7A57 LDO 분석 및 테스트 데이터



정전류 소스로 구성된 LDO



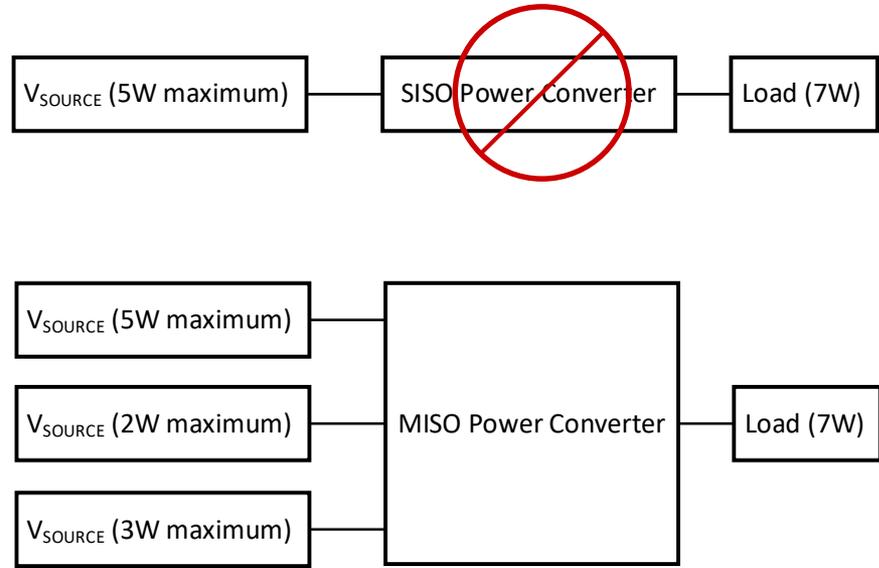
$$R_{NR/SS} = \frac{I_{OUT} R_B}{N \times I_{REF}} = \frac{I_{LOAD} R_B}{N^2 \times I_{REF}}$$



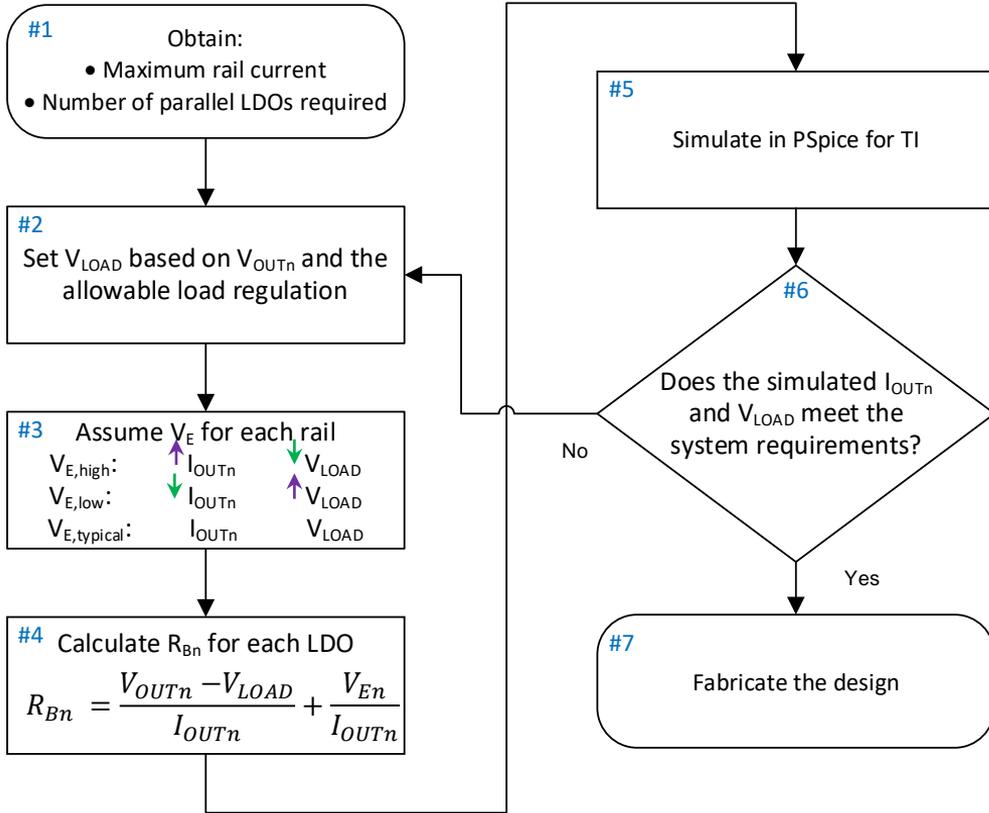
- 일반적으로 정전류 드라이버(레이저 다이오드, LED)로 구동되는 잡음에 민감한 전자제품이 애플리케이션에 포함됩니다.

MISO 전원 공급 장치

- 현대의 복잡한 시스템에는 시스템 입력과 내부에 많은 전원 공급 장치가 있습니다.
- 부하에 필요한 전력이 단일 입력 레일에서 사용 가능한 전력보다 높은 경우가 있습니다.
- MISO 전원 공급 장치는 여러 개의 입력 공급 장치를 사용하여 전원을 병합하여 단일 출력에 부하를 제공할 수 있습니다.

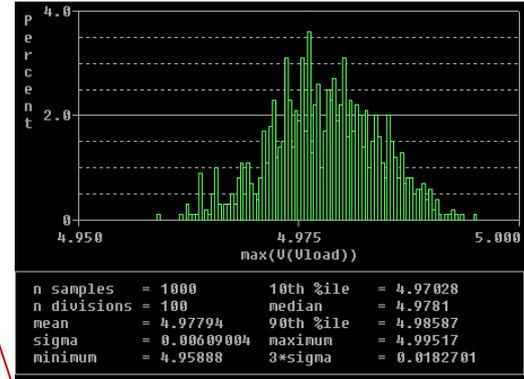


MISO 병렬 LDO 설계 프로세스

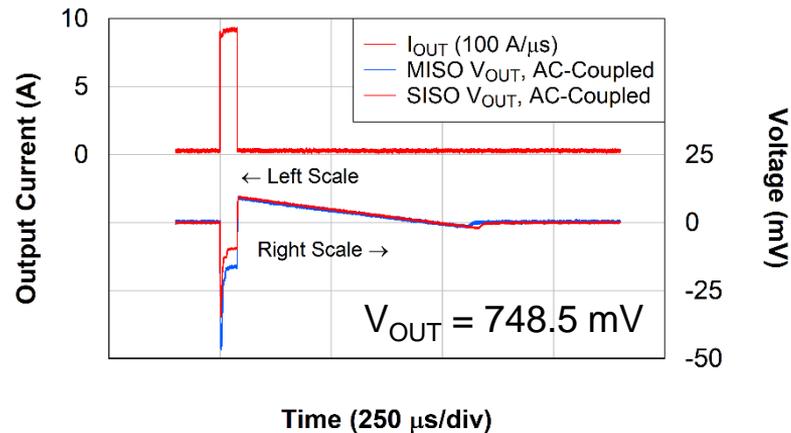
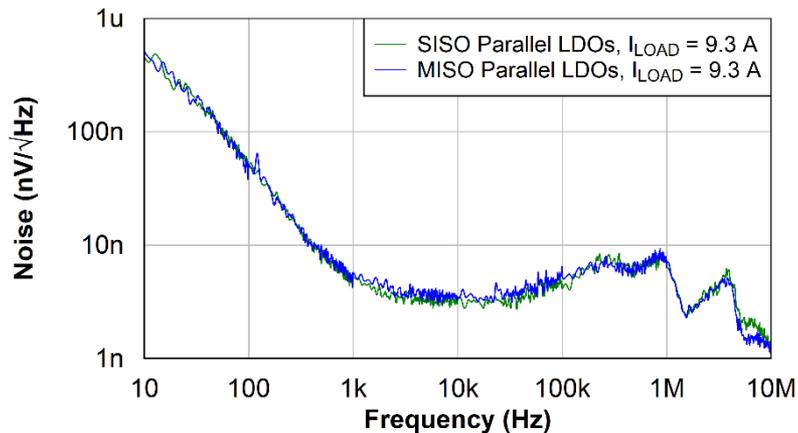


Sensitivity Component Filter = [*]

Component	Parameter	Original	@Min	@Max	Rel ...	Linear
Rb1	VALUE	22m	44m	0	-6.3830m	100
Rb3	VALUE	5.5000m	0	11m	4.8780m	76
Rb2	VALUE	11m	0	22m	2.2222m	34
R24	VALUE	0.0020	0	4m	779.2208u	12
R30	VALUE	0.0020	4m	0	-519.4805u	8
R25	VALUE	0.0020	4m	0	-259.7403u	4
R26	VALUE	5	0	10	0.9992f	< MIN >
Rb11	VALUE	4m	4m	4m	0	0
Rb21	VALUE	4m	4m	4m	0	0
R27	VALUE	2.2000	2.2000	2.2000	0	0
R31	VALUE	1	1	1	0	0



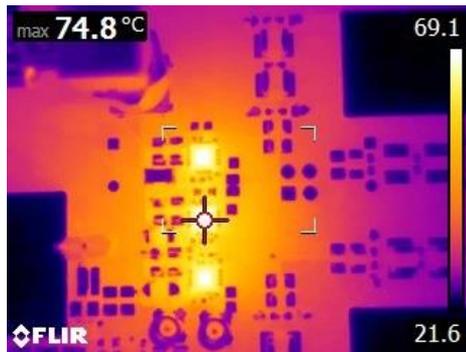
병렬 SISO LDO 대 MISO LDO



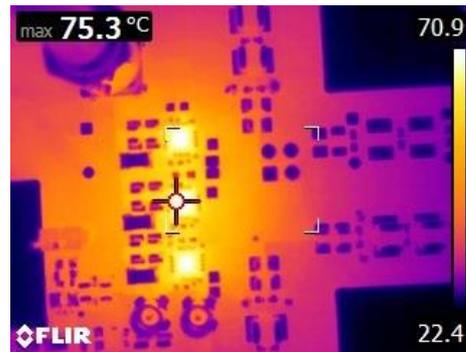
$V_{LOAD} = 0.75\text{V}$
 $P_D \text{ 각 LDO} = 1.55\text{W}$

$V_{IN1} = 1.72\text{V}, I_{OUT1} = 1.6\text{A}$

$V_{IN2} = 1.25\text{V}, I_{OUT2} = 3.1\text{A}$
 $V_{IN3} = 1.09\text{V}, I_{OUT3} = 4.6\text{A}$



MISO LDO



단일 입력 단일 출력(SISO) LDO

$V_{LOAD} = 0.75\text{V}$
 $P_D \text{ 각 LDO} = 1.55\text{W}$

$V_{IN1} = V_{IN2} = V_{IN3} = 1.25\text{V}$
 $I_{LOAD} = 9.3\text{A}$

요약

- LDO 잡음, PSRR, 열 성능 및 드롭아웃 근처에서의 작동에 대한 기본 특성을 다루었습니다.
 - LDO 잡음과 PSRR에 영향을 미치는 요소와 영향을 미치지 않는 요소에 대해 논의했습니다.
- 전압 대신 전류를 조절하도록 LDO를 쉽게 구성할 수 있습니다.
- 새로운 리소스를 통해 밸러스트 저항을 사용하는 병렬 LDO로 빠르게 설계할 수 있습니다.
 - 병렬 LDO는 부하 전류를 증가시키고, 시스템 잡음을 줄이며, PSRR을 개선하고, 열 성능을 개선하고, 필요한 헤드룸을 줄일 수 있습니다.
- 각 병렬 LDO 입력에 서로 다른 입력 전압을 연결하면 MISO 컨버터가 생성됩니다.
 - 밸러스트 저항을 변경하면 각 입력 공급 장치에서 공급되는 전원이 조정됩니다.

자료

- "초저 Iq 장치의 효율을 정확하게 측정"
- "저전력 애플리케이션의 저 IQ 문제점 극복"
- "선형 레귤레이터에서 피드포워드 보상 최적화"
- "안정성 검사 간소화"
- "LDO의 시동 오버슈트 방지"
- "시동의 스트레스를 덜어주는 LDO"
- "LDO 선형 레귤레이터용 소프트 스타트 회로"
- "LDO 기초"
- "LDO 잡음을 측정하는 방법"
- "LDO PSRR 측정 간소화"

자료

- "선형 레귤레이터의 전원 공급 장치 리플 제거 이해"
- "저드롭아웃 레귤레이터와 피드포워드 커패시터 사용의 장점 및 단점"
- "LDO 열 성능에서 보드 레이아웃의 hte 영향에 대한 경험적 분석"
- "현장에서 LDO의 열 임피던스 측정"
- "스위치 모드 전력 컨버터 보상을 쉽게 만듭니다"
- "밸러스트 저항을 사용하는 병렬 LDO에 대한 포괄적인 분석 및 범용 방정식"
- "밸러스트 저항을 이용한 병렬 LDO 아키텍처"
- "병렬 LDO 계산기"

자료

- “확장 가능한, 고전류 저잡음 병렬 LDO 레퍼런스 설계”
- “반도체 및 IC 패키지 열 측정값”



© Copyright 2024 Texas Instruments Incorporated. All rights reserved.

This material is provided strictly “as-is,” for informational purposes only, and without any warranty.
Use of this material is subject to TI’s **Terms of Use**, viewable at [TI.com](https://www.ti.com)

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated