

電源供應設計研討會

線性穩壓器的秘訣、技巧與進階應用

作者

Stephen Ziel

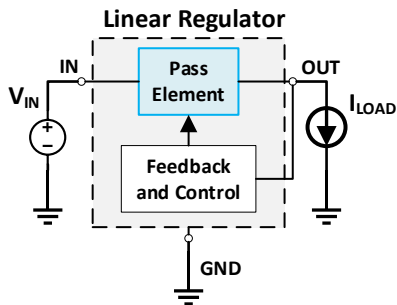
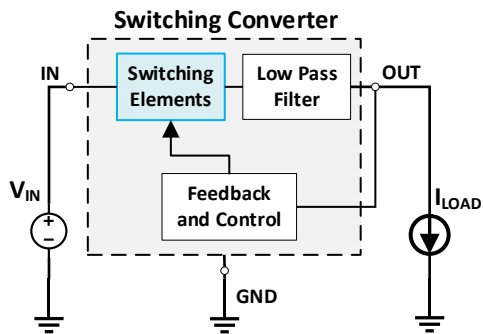


課程大綱

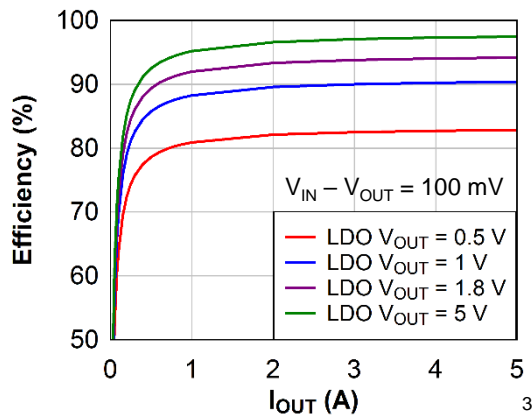
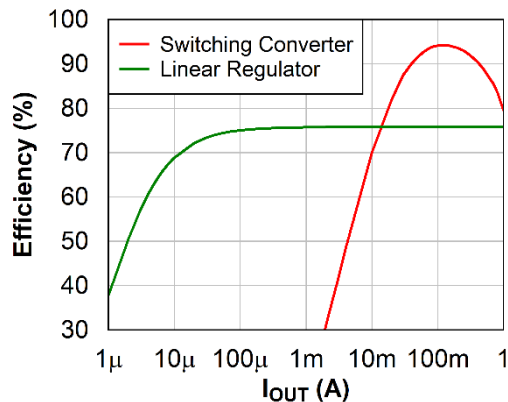
- 線性穩壓器 (LDO) 概覽
- LDO 提示和技巧：
 - 雜訊
 - 電源供應拒斥比 (PSRR)
 - 散熱性能
 - 瞬態性能接近壓降
- 進階 LDO 應用：
 - 使用鎮流器電阻器的並聯 LDO
 - 定電流穩壓
 - 多種輸入、單一輸出 (MISO) LDO

LDO 與切換轉換器的比較

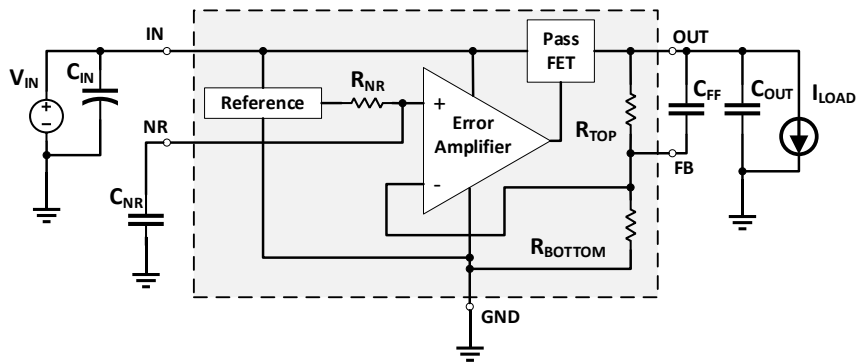
- 電源轉換器類型：
 - 切換轉換器：開關開啟或關閉
 - LDO：通道元件保持開啟
- LDO
 - 優點：便宜、簡單、安靜
 - 缺點：效率、溫度



$$\text{效率}(\eta) = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times (I_{OUT} + I_Q)}$$



LDO 架構為何？

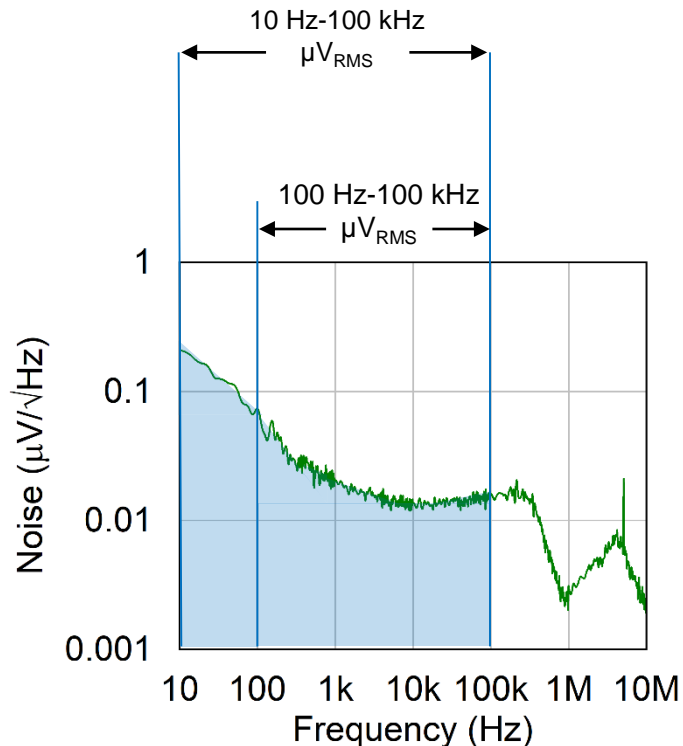


LDO 關鍵特性：

- 下降電壓 (V_{DO})
- 功耗 (P_D) 與 LDO 溫度上升之間的關係
- 雜訊
 - 本質雜訊(e_n)主要由內部參考與誤差放大器的雜訊決定
 - **PSRR** 測量有多少來自輸入的噪音透過 LDO 耦合至輸出
- 靜態電流 (I_Q)
- 穩定性
- 開啟時間

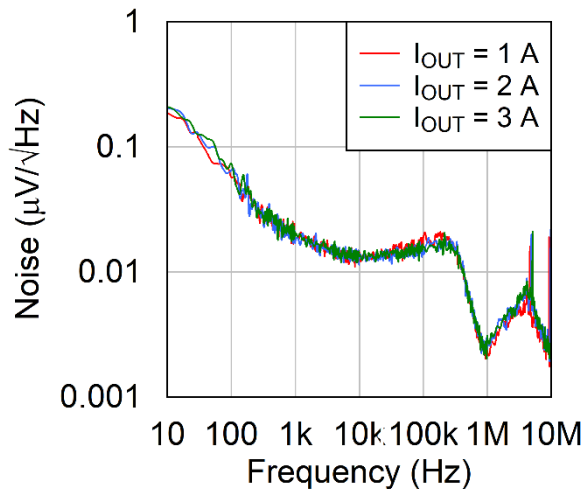
雜訊基礎

- LDO 雜訊測量：
 - 雜訊頻譜密度 ($\mu\text{V}/\sqrt{\text{Hz}}$)
 - 總 (整合) 輸出雜訊 (μV_{RMS})
 - 用來比較不同 LDO 的業界標準
- 整合輸出雜訊測量範圍通常為 10 Hz 至 100 kHz
 - 過往某些情況下也使用 100 Hz 至 100 kHz 的範圍
 - 為了準確比較雜訊，請務必採用相同頻率範圍實施測量

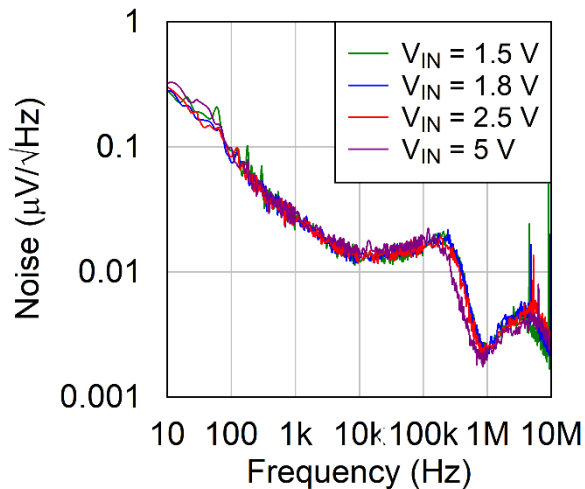


哪些情況不會影響本質雜訊

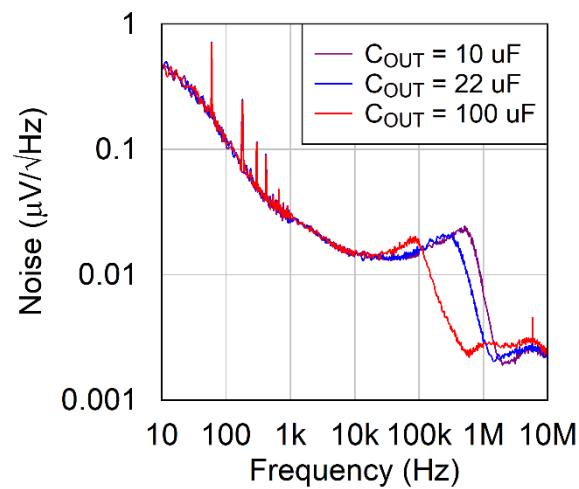
輸出電流 (ΔI_{OUT})*



輸入電壓 (ΔV_{IN})



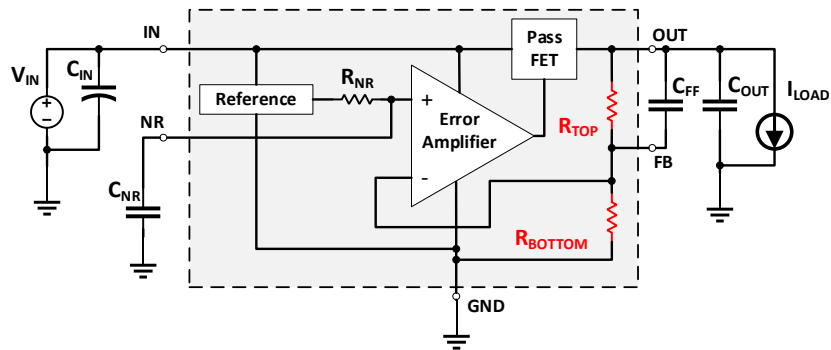
輸出電容**(ΔC_{OUT})



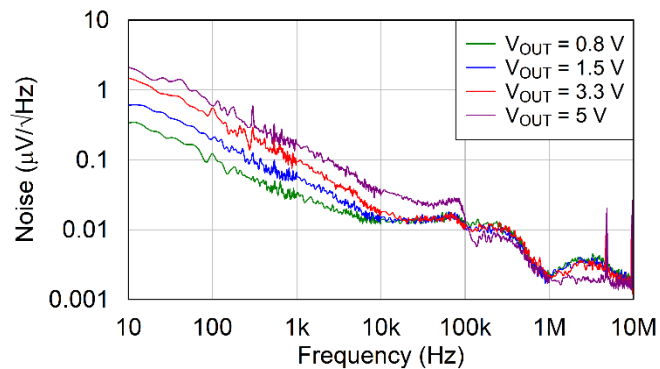
*針對超低 I_Q 裝置， I_{LOAD} 可能會影響雜訊

**極高數值的 C_{OUT} 可能會影響雜訊

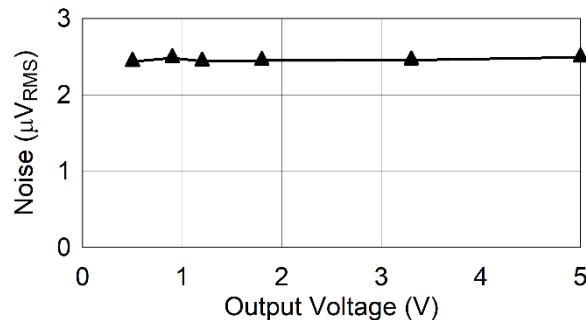
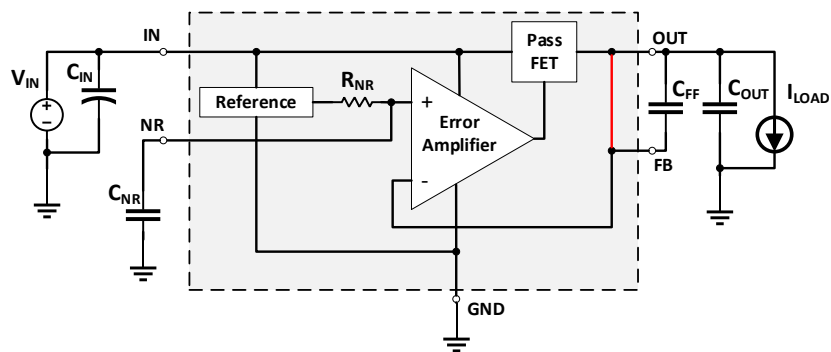
哪些情況會影響本質雜訊



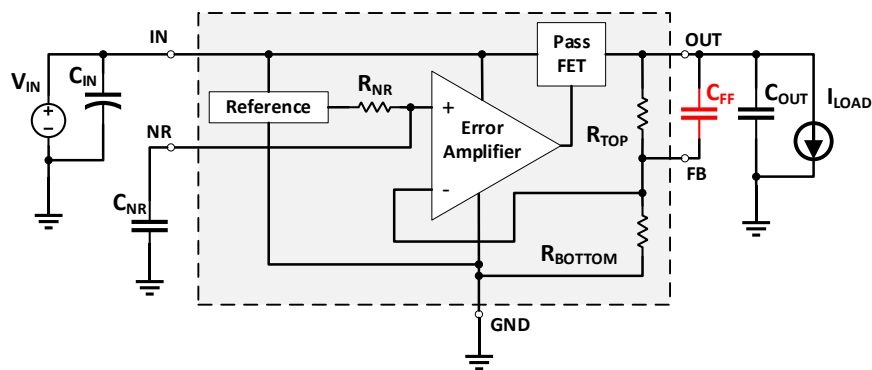
輸出電壓 (ΔV_{OUT})



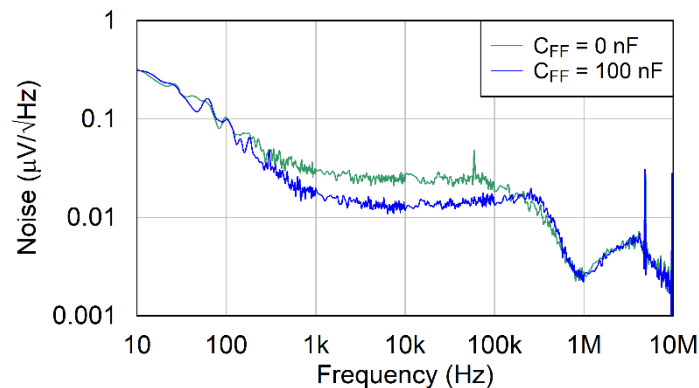
將 LDO 置於均一增益回饋時， V_{OUT} 不會影響



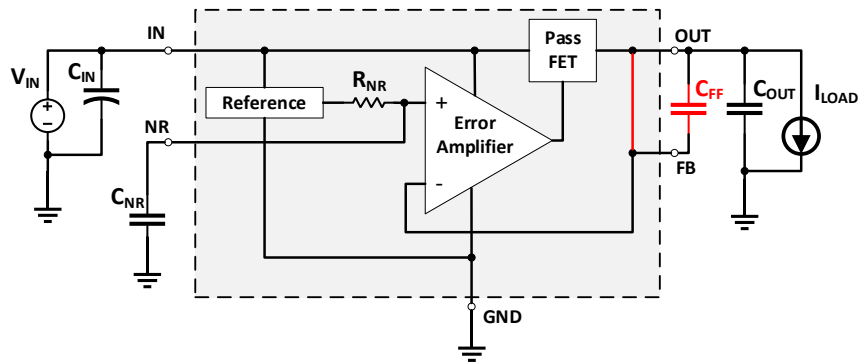
哪些情況會影響本質雜訊



前饋電容器 (ΔC_{FF})

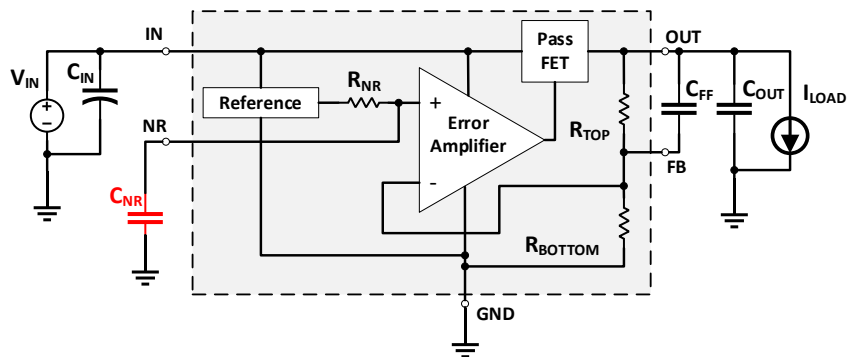


將 LDO 置於均一增益回饋時， C_{FF} 不會影響



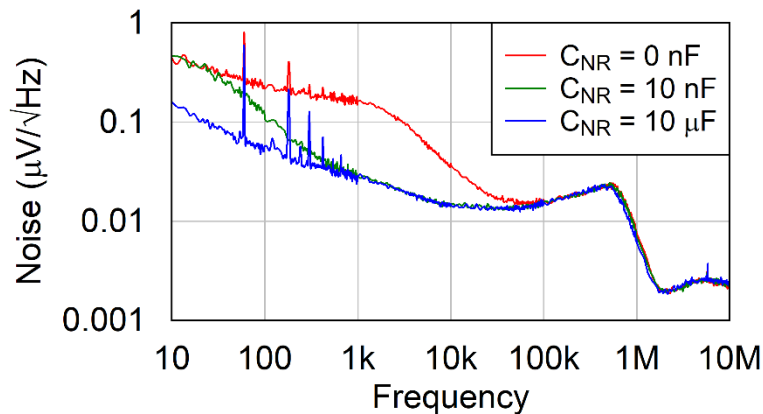
- C_{FF} 在中頻寬造成 R_{TOP} 短路
- 誤差放大器在中頻寬範圍運作時更接近均一增益回饋

哪些情況會影響本質雜訊



- NR 電容器與內部 NR 電阻器構成低通濾波器
- 此低通濾波器係於參考電壓進入誤差放大器之前先將雜訊移除

雜訊降低 (NR) 電容器 (ΔC_{NR})



PSRR

PSRR 代表 LDO 過濾輸入電壓變化的能力

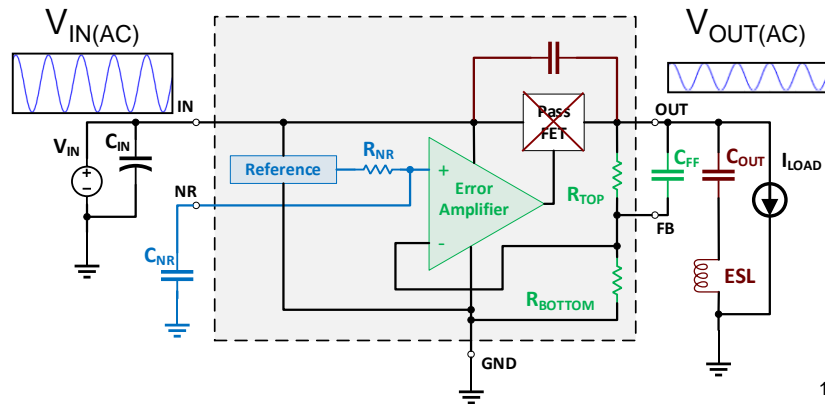
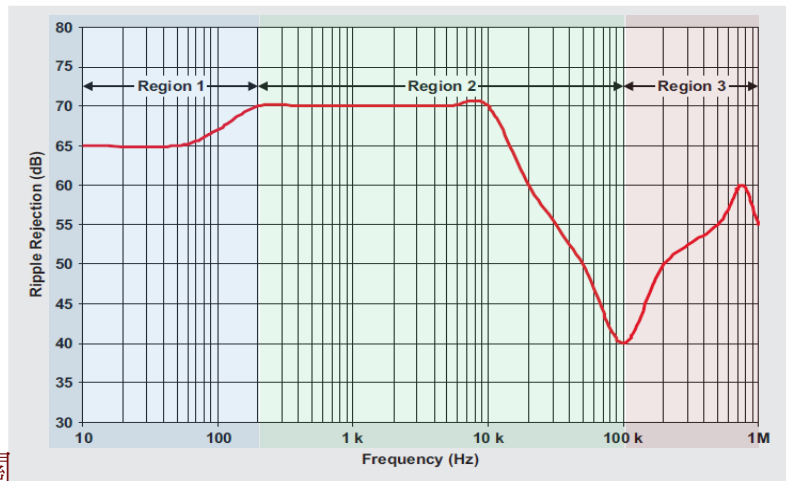
$$\text{PSRR} = 20 \times \log \left(\frac{V_{\text{IN(AC)}}}{V_{\text{OUT(AC)}}} \right)$$

區域 1：參考電壓及電阻電容濾波器的 PSRR

區域 2：誤差放大器的開迴路增益

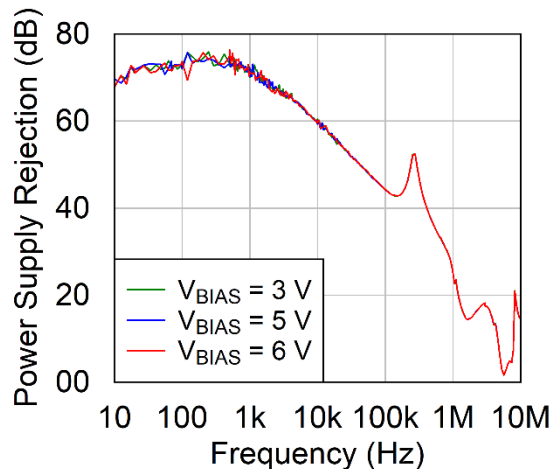
區域 3：場效電晶體與輸出電容器的寄生電容，以及相關寄生 (電容分配器)

- 寄生電容器越小，AC 耦合至 V_{OUT} 的 V_{IN} 越低
- C_{OUT} 越大，分流至 GND 的雜訊越多
- 相關等效串聯電感 (ESL) 也可能影響 PSRR 性能



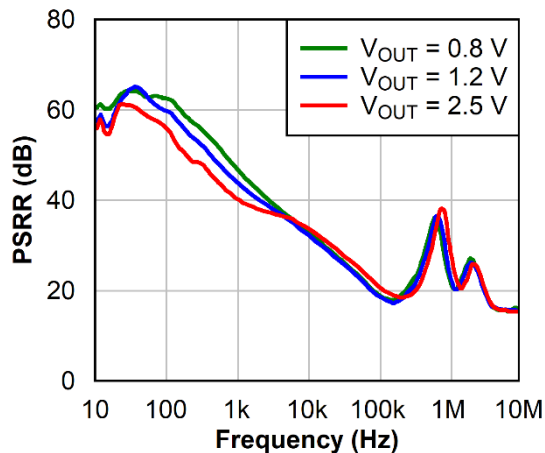
哪些情況不會影響 PSRR

偏壓電壓 (V_{BIAS})



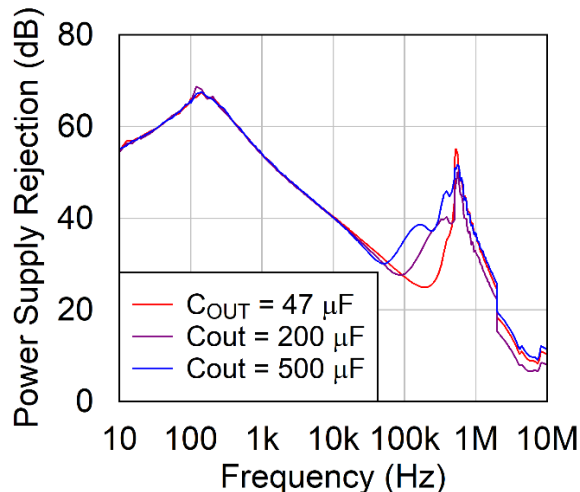
若 V_{BIAS} 高於最小值，則無影響

輸出電壓 (V_{OUT})



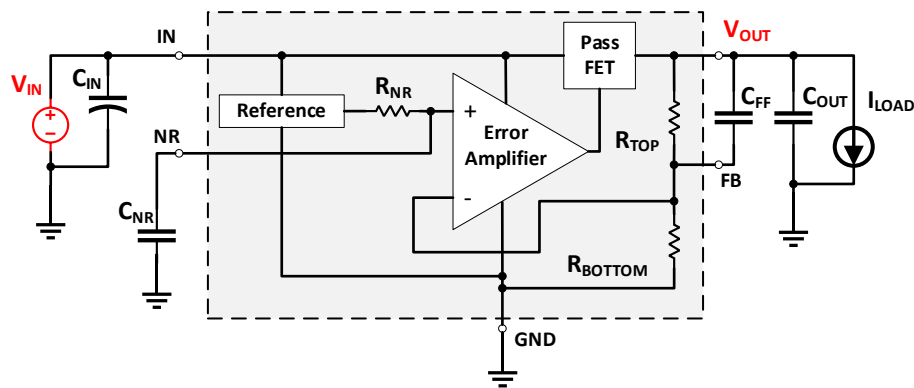
低頻率時的小幅度影響

輸出電容 (ΔC_{OUT})



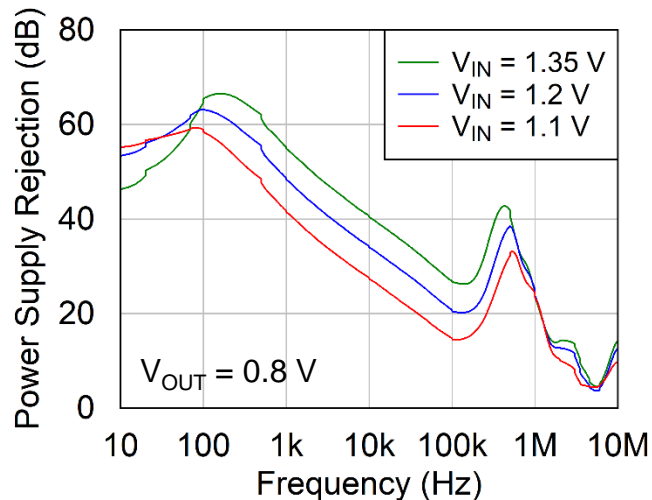
低頻率時的大幅度影響

哪些情況會影響 PSRR

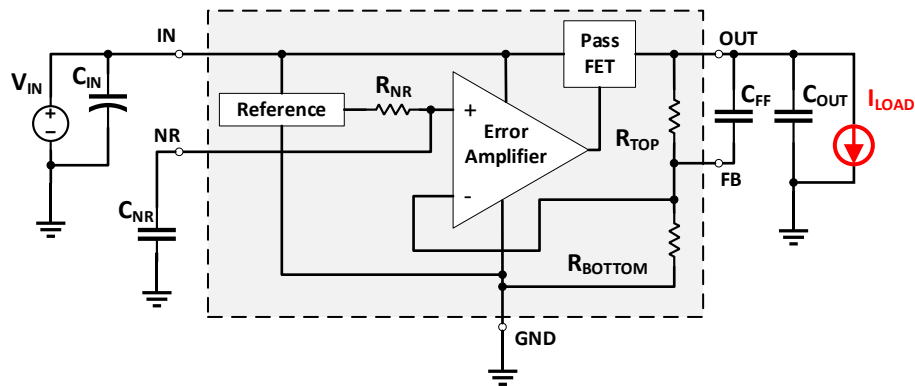


- 若導通場效電晶體 (FET) 處於飽和區，可維持必要增益 (較高的 V_{DS})
- 若導通場效電晶體 (FET) 進入線性區，則無法維持必要增益 (較低的 V_{DS})

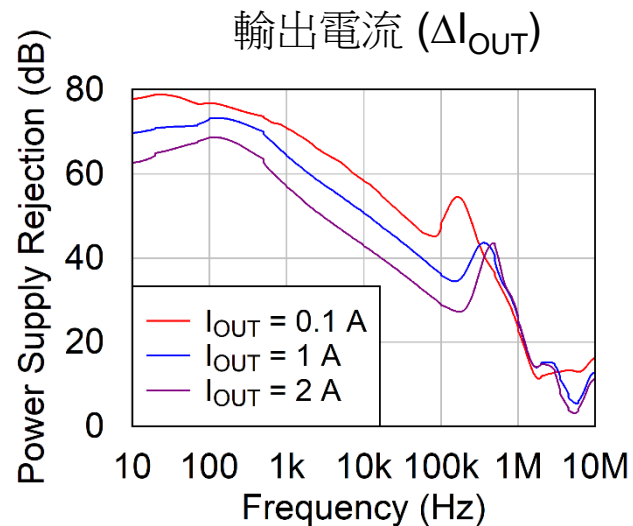
$V_{IN}-V_{OUT}$ 的值有多小？



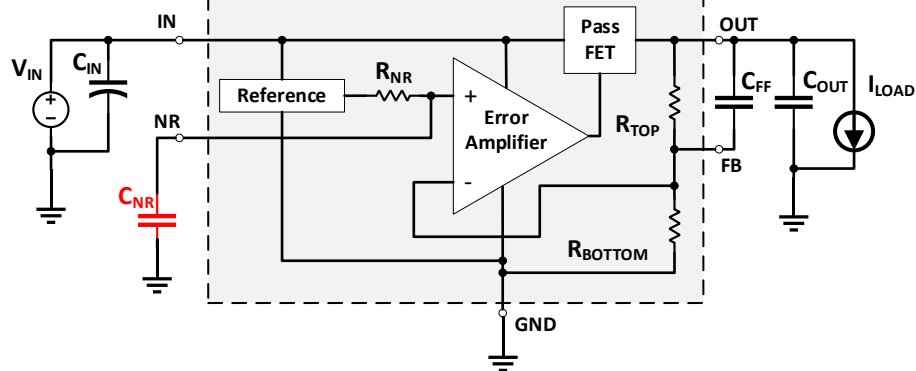
哪些情況會影響 PSRR



- 隨著負載增加，導通 FET 將在某個時間點進入金屬氧化物半導體三極管區域，且導通 FET 在相同 V_{DS} 的增益將降低

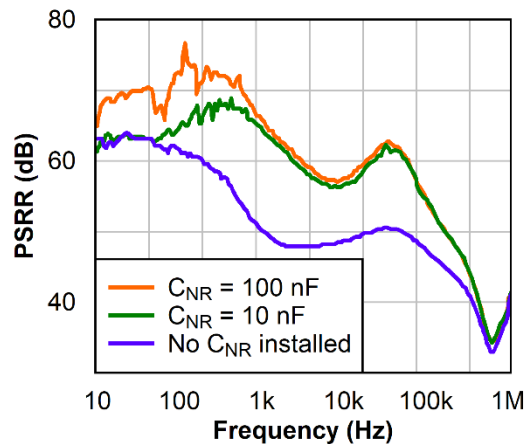


哪些情況會影響 PSRR

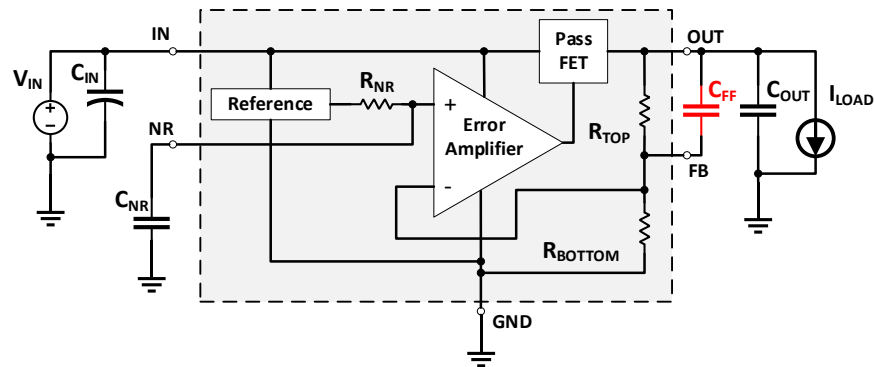


- V_{REF} 本身的 PSRR 會影響 LDO 的 PSRR
- 新增低通濾波器將增加 V_{REF} 的 PSRR

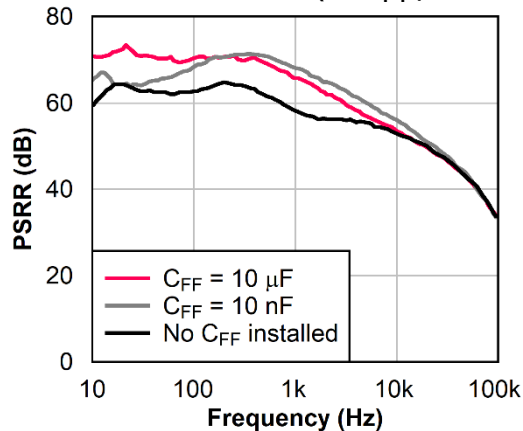
NR 電容器 (ΔC_{NR})



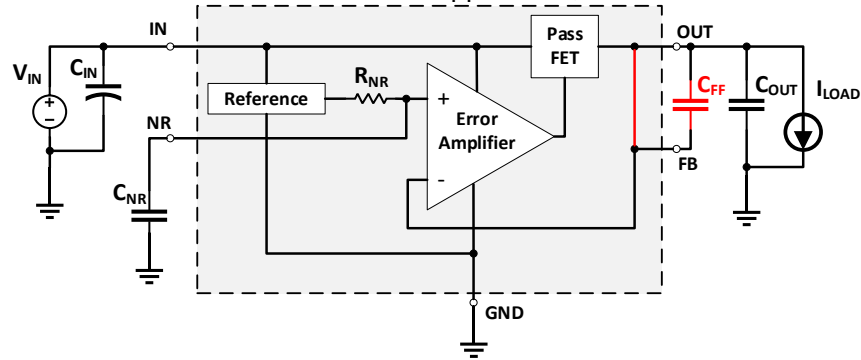
哪些情況會影響 PSRR



前饋電容器 (ΔC_{FF})



將 LDO 置於均一增益回饋時， C_{FF} 不會影響

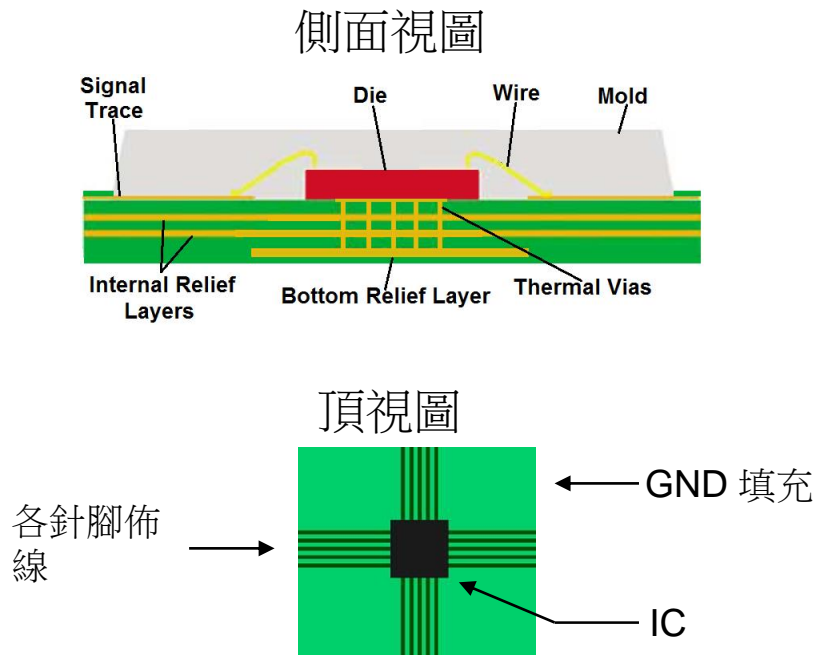


- 在高頻率下，回饋和 V_{OUT} 短暫受 C_{FF} 影響，可防止誤差放大器的增益使參考雜訊增加

JEDEC 熱指標

- TI LDO 熱指標使用電子裝置工業委員會 (JEDEC) 的 High-k 基板進行建模以輕鬆比較裝置
- 最普遍的熱特徵為接點至環境 (θ_{JA}) 熱阻抗
- θ_{JA} 為內嵌在印刷電路板 (PCB) 的積體電路 (IC) 的熱性能衡量標準

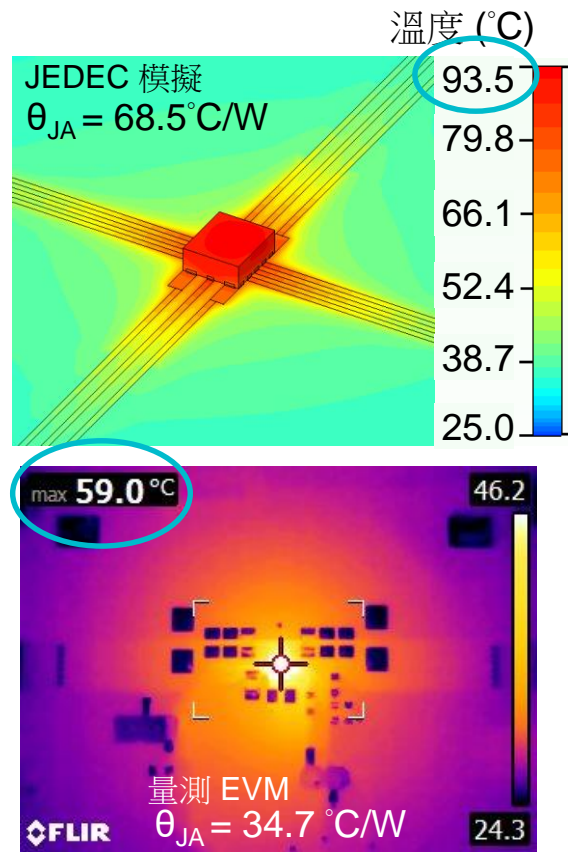
JEDEC High-k 基板



θ_{JA} ：了解用途與限制

- 可透過實作良好佈線將 θ_{JA} 降低 **25% 至 50%**
- 良好佈線實務：
 - 將導熱片內的散熱孔增加至數量上限，讓熱量從 LDO 散出
 - 將裝置周圍的 PCB 銅區域增加至最大

$$P_D = (V_{IN} - V_{OUT}) \times (I_{OUT} + I_Q)$$
$$P_D \cong (V_{IN} - V_{OUT}) \times I_{OUT}$$
$$T_J = T_A + (\theta_{JA} \times P_D)$$



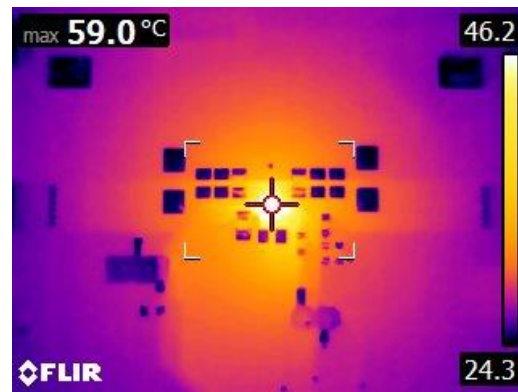
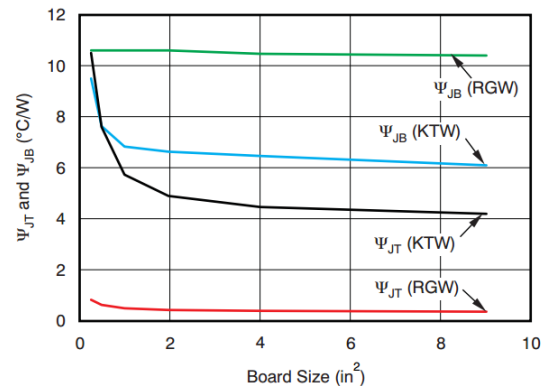
使用 Ψ_{JB} 與 Ψ_{JT} 應用

- JEDEC has defined Ψ_{JB} 及 Ψ_{JT} 熱指標，提供更準確的方法，俾以根據 PCB 上測量的外殼溫度 (T_C) 估算結溫

$$T_J = T_C + \Psi_{JT} \times P_D$$

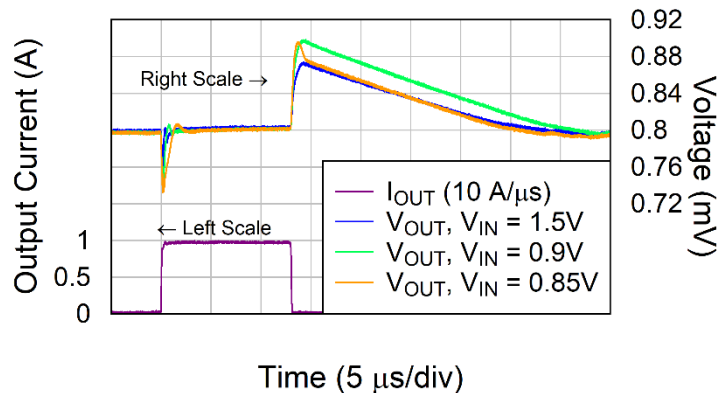
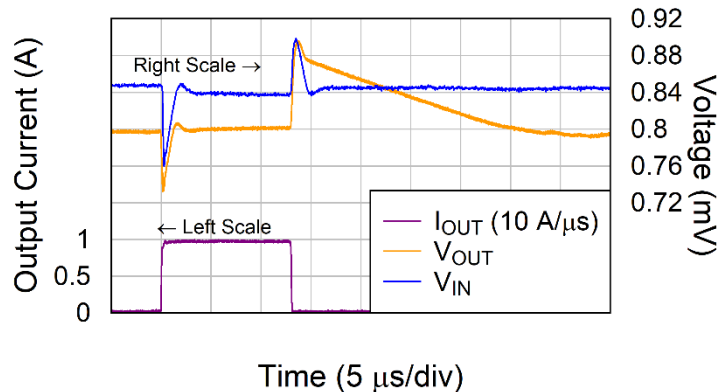
$$T_J = 59^\circ\text{C} + 4.5^\circ\text{C}/\text{W} \times 1\text{W} = 63.5^\circ\text{C}$$

Ψ_{JT} AND Ψ_{JB} VERSUS PCB SIZE



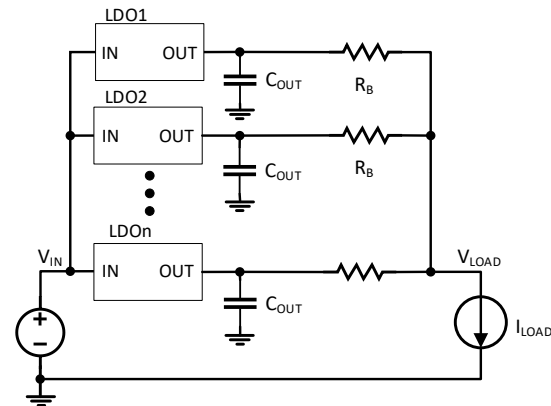
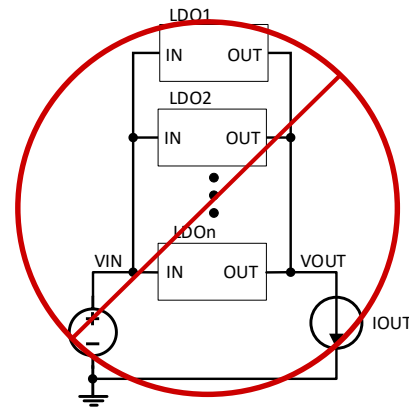
瞬態性能接近壓降

- 暫態性能通常具備了高於壓差規格的餘量電壓
- 一旦 LDO 無法再調節輸出電壓，即進入壓降
 - 壓降為 DC 規格
- TPS7A14 的壓降在 1 A (25°C) 時通常為 45 mV

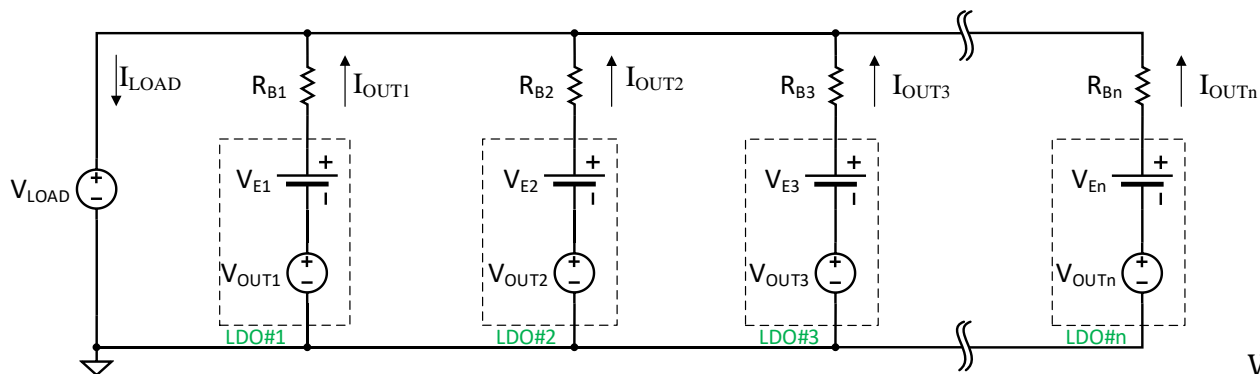


並聯 LDO

- 優點：
 - 負載電流增加
 - 降低雜訊 (\sqrt{n})
 - 給定負載電流的 PSRR 改善
 - 提升熱能擴散
 - 降低空餘需求 (壓降)
 - 相較於其他轉換器體積減少： C_{OUT} 通常驅動最大系統高度
- 必須使用鎮流器電阻器來連接各個 LDO 的輸出
 - 直接 V_{OUT} 連接： V_{OUT} 的細微差異將造成單一 LDO 開啟並嘗試承受負載，同時剩下的 LDO 則關閉



並聯 LDO：基礎方程式與分析



$$R_B = \frac{\max_{1 < x < n} V_{En} - \min_{1 < x < n} V_{En}}{\Delta I_{MAX}}$$

LDO 之間的最大電流不平衡

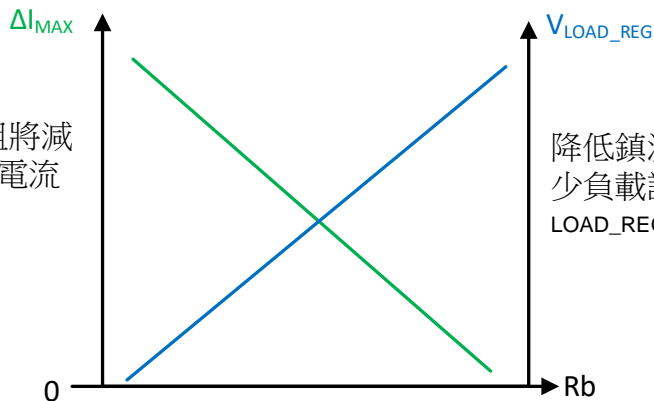
$$I_{LOAD} = \sum_{n=1}^n \frac{V_{OUTn} - V_{LOAD} + V_{En}}{R_{Bn}}$$

$$V_{LOAD} = \frac{\sum_{n=1}^n \frac{V_{OUTn} + V_{En}}{R_{Bn}} - I_{LOAD}}{\sum_{n=1}^n \frac{1}{R_{Bn}}}$$

$$I_{OUTn} = \frac{V_{OUTn} - V_{LOAD}}{R_{Bn}} + \frac{V_{En}}{R_{Bn}}$$

如果 $R_{B1} = \dots = R_{Bn}$ 且 $V_{OUT1} = \dots = V_{OUTn}$:

$$I_{OUTn} = \frac{I_{LOAD} - \left(\sum_{n=1}^n \frac{V_{En}}{R_B} \right)}{n} + \frac{V_{En}}{R_B}$$

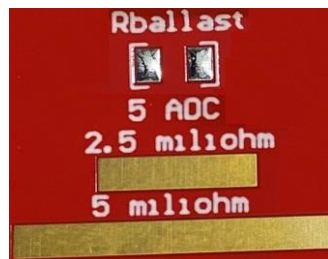


增加鎮流器電阻將減少 LDO 之間的電流不平衡 (ΔI_{MAX})

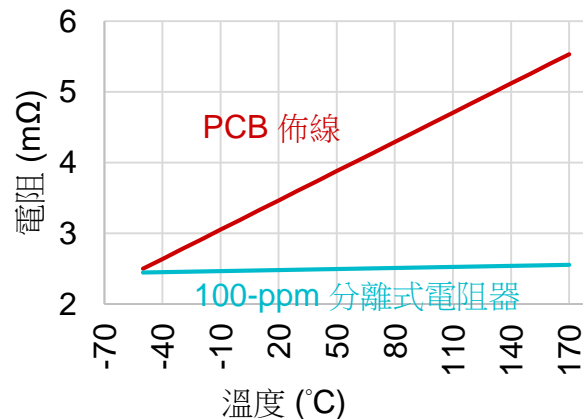
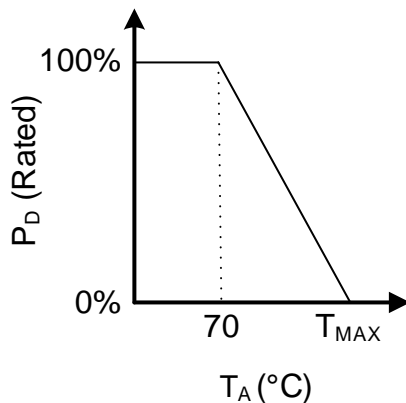
降低鎮流器電阻將減少負載調整 V_{LOAD_REG}

鎮流器電阻器設計

- 選項 1：PCB 佈線
 - 避免微帶分析；使用印刷電路協會 (IPC) 2221
 - 分析中包含 PCB 佈線的溫度上升與 PCB 電介質的 T_G
 - 優點：低生產成本、高溫、不會缺貨或過時
- 選項 2：分離式電阻器
 - 通常為 0603 或 0805 尺寸
 - 查看產品規格表的功率降額曲線
 - 優點：低容差值、低寄生、最小足跡

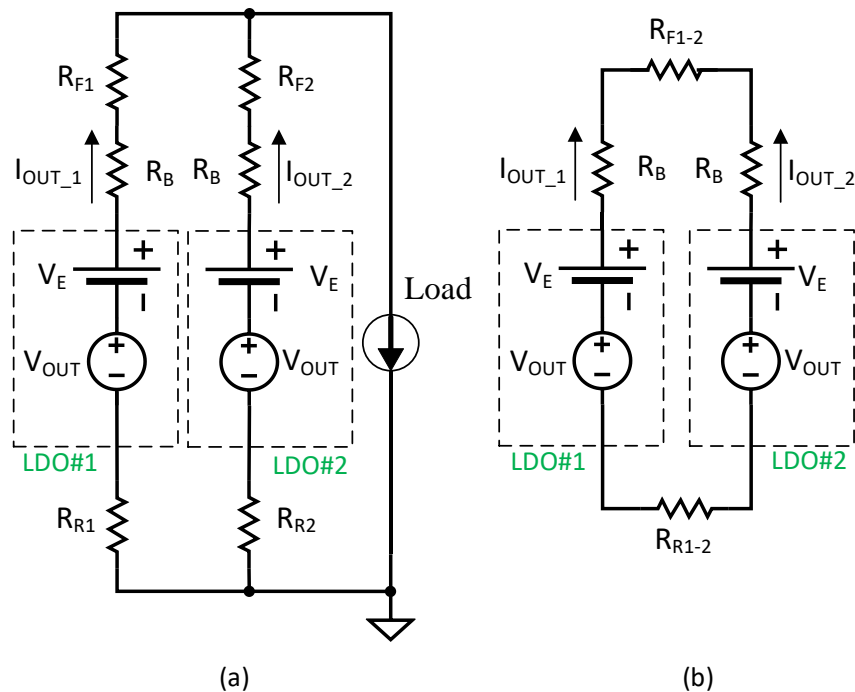


- ← 1206 尺寸電阻器
- ← PCB 電阻器



PCB 阻抗影響

- 理想情況為 PCB 電阻遠小於鎮流器電阻
 - PCB 銅區域允差較寬
- PCB 電阻 (正向與反向) 與鎮流器電阻串聯
- 當 $R_B < 50 \text{ m}\Omega$, PCB 電阻能以有意義的形式改變設計
 - 進行繞線後分析來模擬高溫下的 PCB 電阻
- 必須評估兩種途徑



並聯 LDO 計算器

步驟 1：在下拉式方塊
選取 LDO

步驟 2：將自動輸入產
品規格書參數

步驟 3：輸入系統需
求

Not included: Abs Max voltage assessment or DC setpoint analysis
This calculator assumes the same LDO IC, ballast resistor, and output voltage is used for all LDO's in parallel

→ **TPS7A57**

| LDO Specifications | | | | | |
|-----------------------------------|-------|--------|---------------------|-------|--------|
| Parameter | Value | Units | Optional User Entry | Units | |
| V _{E, high} | 2 | mVdc | | | mVdc |
| V _{E, low} | -2 | mVdc | | | mVdc |
| Thermal Impedance T _{JA} | 21.9 | °C / W | | | °C / W |

| Parallel LDO System Requirements | | | | | |
|--|----------|-------|--|--|-------|
| Parameter | Value | Units | | | |
| T _A | 85 | °C | | | °C |
| Maximum T _J per LDO | 125 | °C | | | °C |
| V _{IN} | 1.25 | Vdc | | | Vdc |
| V _{OUT} | 0.75 | Vdc | | | Vdc |
| Allowable load regulation | 0.02 | Vdc | | | Vdc |
| System Noise Requirement (10 Hz - 100 kHz) | 2.45 | µVrms | | | µVrms |
| Total System Load: | 8.48 | A | | | A |
| Minimum Ballast Resistance needed | 0.8 | mΩ | | | |
| Optimum Ballast Resistance | 5.608043 | mΩ | | | |
| Ballast Resistance Selected | 5.608043 | mΩ | | | mΩ |

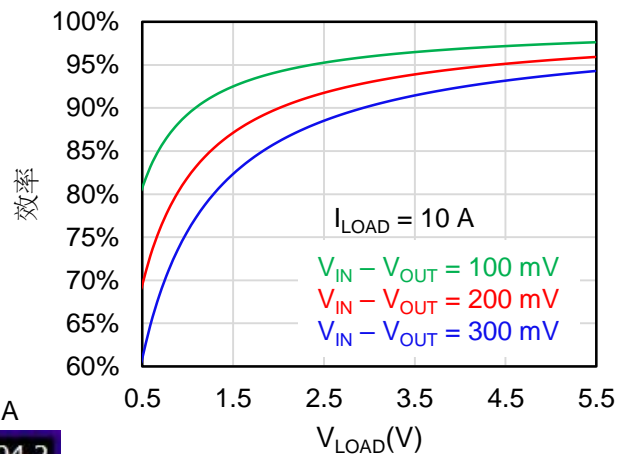
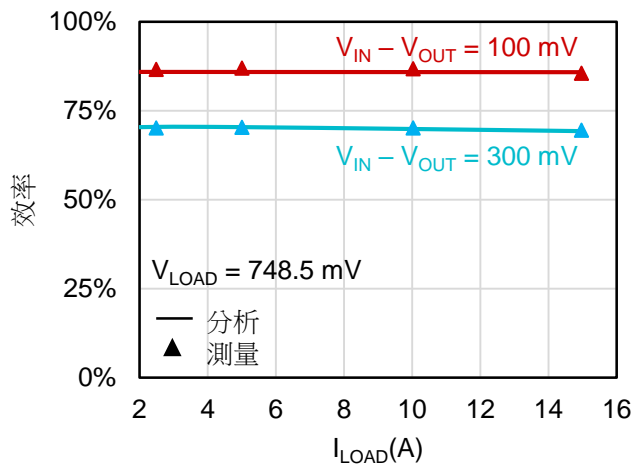
N = 3
Minimum number of parallel LDO's required: 3

步驟 4：選擇鎮流
器電阻器

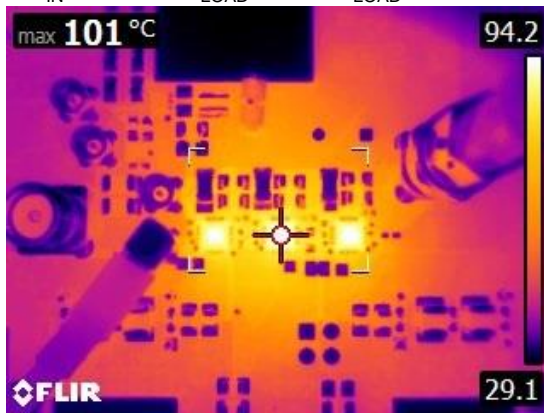
→ 步驟 5：使用許多
LDO 來滿足系統需求

並聯 LDO 計算器

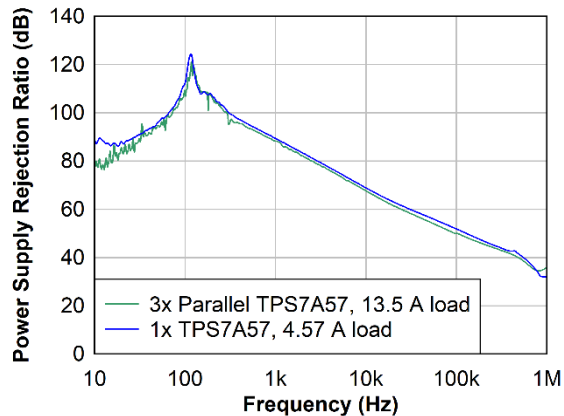
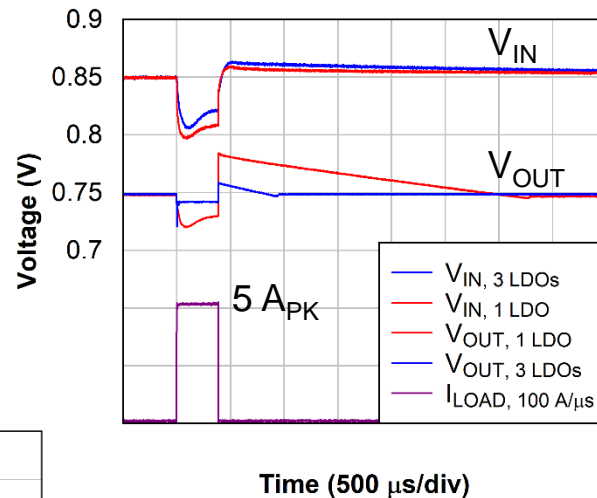
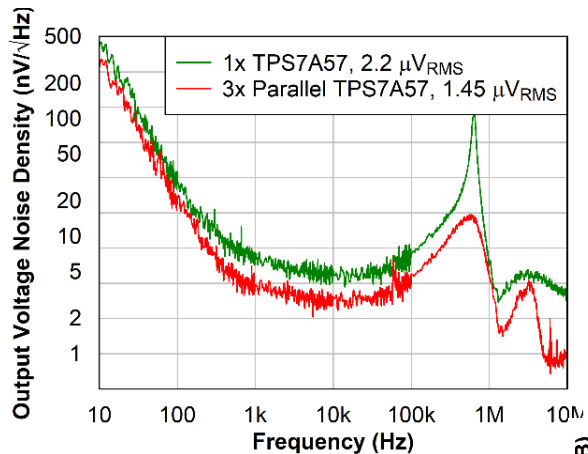
三個平行 TPS7A57 LDO 分析及測試數據



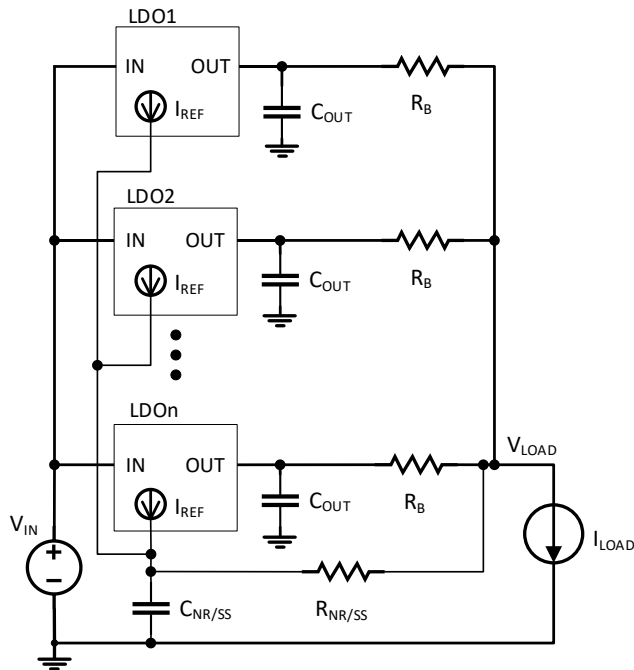
$P_D = 6.75$ W, 30 分鐘
 $V_{IN} = 1.5$ V, $V_{LOAD} = 1$ V, $I_{LOAD} = 13.5$ A



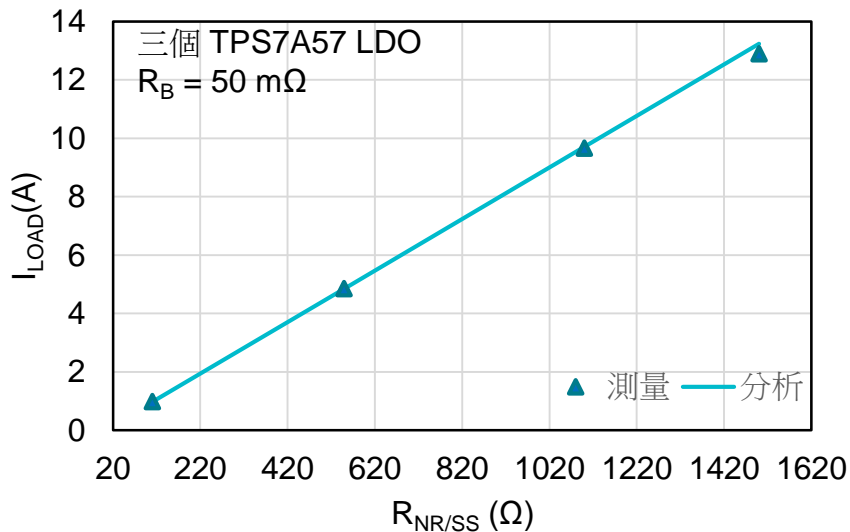
三個平行 TPS7A57 LDO 分析及測試數據



LDO 配置為定電流來源



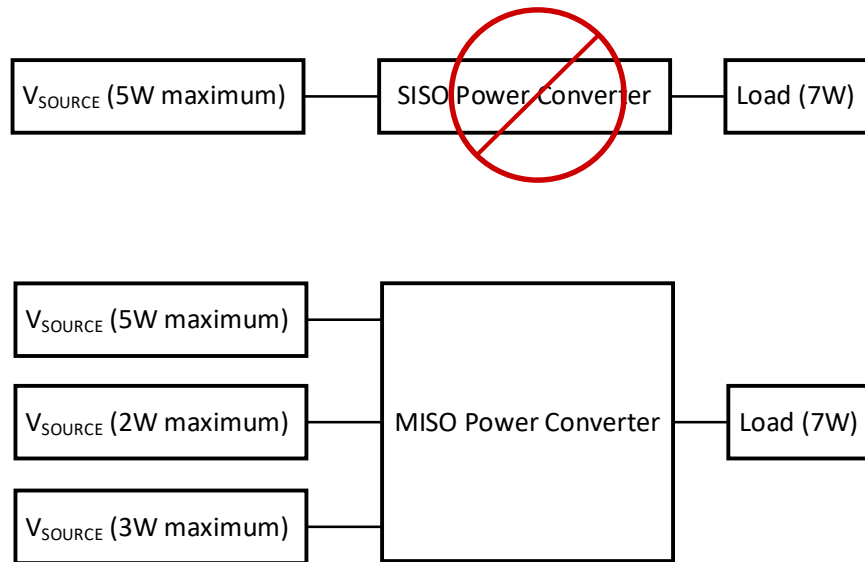
$$R_{NR/SS} = \frac{I_{OUT} R_B}{N \times I_{REF}} = \frac{I_{LOAD} R_B}{N^2 \times I_{REF}}$$



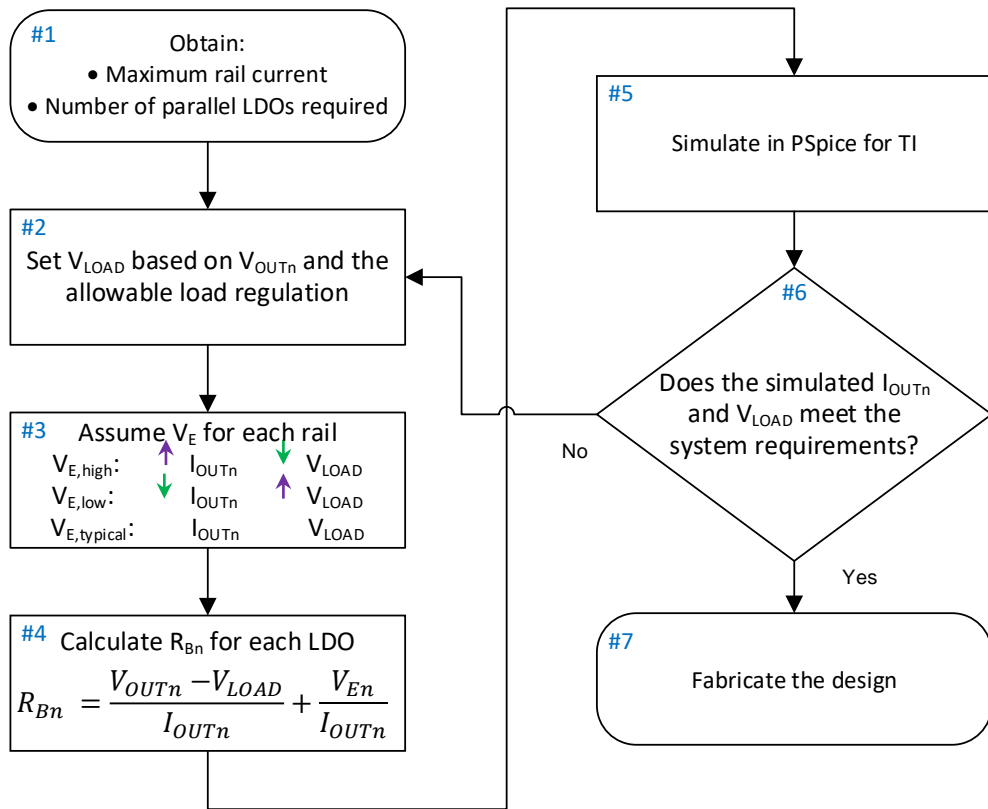
- 其應用包含通常由定電流驅動器來驅動的雜訊敏感電子產品 (雷射二極體、LED)

MISO 電源供應

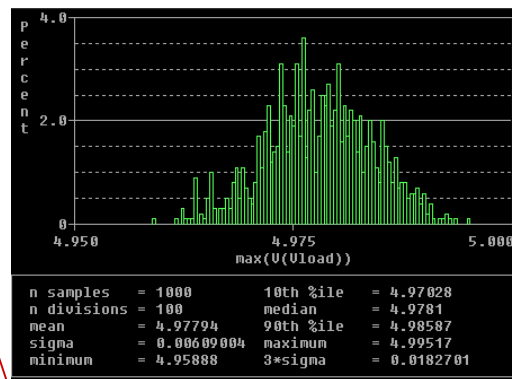
- 現代的複雜系統具備許多電源供應器，包括輸入至系統的電源和內部電源
- 有時負載所需的功率甚至高於來自單一輸入軌的可用功率
- **MISO** 電源供應器可以採用多個輸入電源，並將電源合併，提供單一輸出的負載



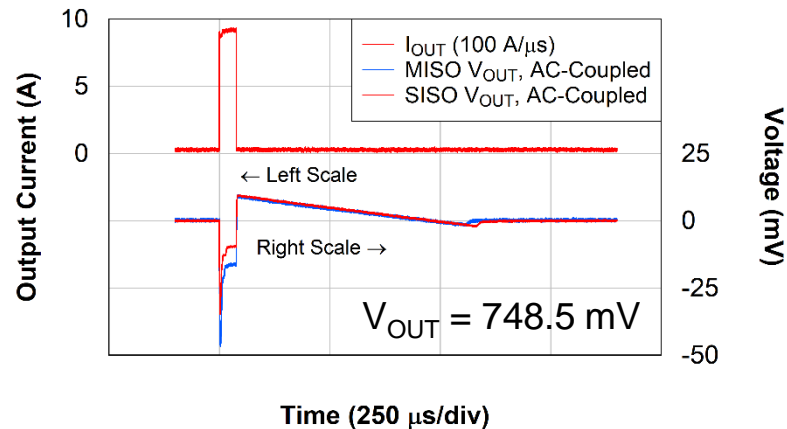
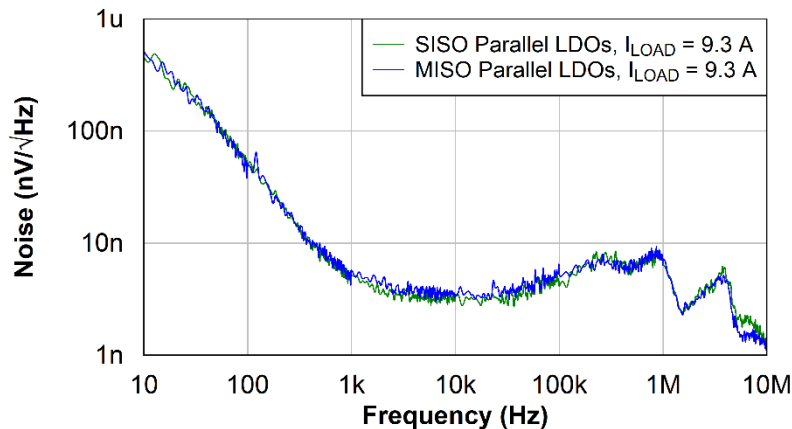
MISO 平行 LDO 設計過程



| Sensitivity Component Filter = [*] | | | | | | |
|--------------------------------------|-----------|----------|--------|--------|------------|---------|
| Component | Parameter | Original | @Min | @Max | Rel ... | Linear |
| Rb1 | VALUE | 22m | 44m | 0 | -6.3830m | 100 |
| Rb3 | VALUE | 5.5000m | 0 | 11m | 4.8780m | 76 |
| Rb2 | VALUE | 11m | 0 | 22m | 2.2222m | 34 |
| R24 | VALUE | 0.0020 | 0 | 4m | 779.2208u | 12 |
| R30 | VALUE | 0.0020 | 4m | 0 | -519.4805u | 8 |
| R25 | VALUE | 0.0020 | 4m | 0 | -259.7403u | 4 |
| R26 | VALUE | 5 | 0 | 10 | 0.9992f | < MIN > |
| Rb11 | VALUE | 4m | 4m | 4m | 0 | 0 |
| Rb21 | VALUE | 4m | 4m | 4m | 0 | 0 |
| R27 | VALUE | 2.2000 | 2.2000 | 2.2000 | 0 | 0 |
| R31 | VALUE | 1 | 1 | 1 | 0 | 0 |



平行 SISO LDO 與 MISO LDO 的比較

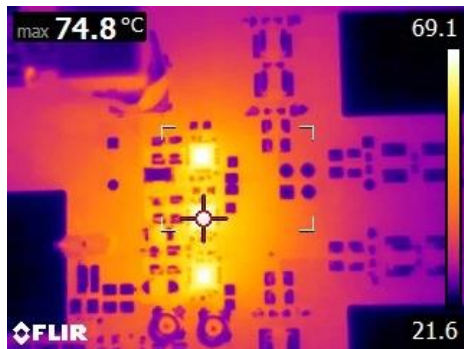


$V_{LOAD} = 0.75\text{ V}$
各 LDO 的 $P_D = 1.55\text{ W}$

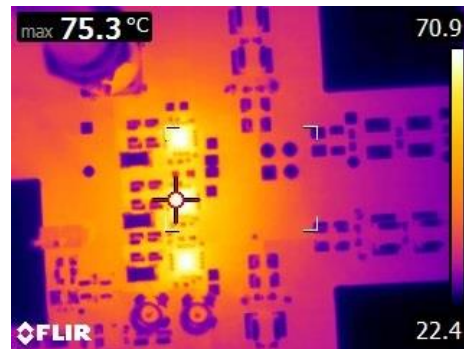
$V_{IN1} = 1.72\text{ V}$ 、 $I_{OUT1} = 1.6\text{ A}$

$V_{IN2} = 1.25\text{ V}$ 、 $I_{OUT2} = 3.1\text{ A}$

$V_{IN3} = 1.09\text{ V}$ 、 $I_{OUT3} = 4.6\text{ A}$



MISO LDO



單一輸入、單一輸出 (SISO) LDO

$V_{LOAD} = 0.75\text{ V}$
各 LDO 的 $P_D = 1.55\text{ W}$

$V_{IN1} = V_{IN2} = V_{IN3} = 1.25\text{ V}$
 $I_{LOAD} = 9.3\text{ A}$

摘要

- 涵蓋 LDO 雜訊、PSRR、熱性能和接近壓降操作的基本特徵
 - 討論哪些因素會影響或不會影響 LDO 雜訊與 PSRR
- 可以輕鬆配置 LDO 以調節電流，而非電壓
- 提供新資源，讓您使用鎮流電阻器快速設計並聯 LDO
 - 並聯 LDO 可增加負載電流、降低系統雜訊、改善 PSRR、改善熱性能並減少所需的空餘
- 將不同的輸入電壓連接至各個並聯 LDO 輸入，據以建立 MISO 轉換器
 - 改變鎮流器電阻器來調整各個輸入電源提供的功率

資源

- [「精確測量超低 Iq 裝置的效率」](#)
- [「克服低功耗應用中的低 Iq 挑戰」](#)
- [「最佳化線性穩壓器的前饋補償」](#)
- [「簡化穩定性檢查」](#)
- [「避免 LDO 的啟動過衝」](#)
- [「LDO 減輕啟動壓力」](#)
- [「LDO 線性穩壓器的軟啟動電路」](#)
- [「LDO 基礎」](#)
- [「如何測量 LDO 雜訊」](#)
- [「簡化的 LDO PSRR 測量」](#)

資源

- [「了解線性穩壓器中的電源漣波阻絕程度」](#)
- [「使用具備低壓差穩壓器的前饋電容器的優缺點」](#)
- [「電路板佈局對 LDO 熱性能的影響的實證分析」](#)
- [「現場測量 LDO 熱阻抗」](#)
- [「輕鬆完成切換式電源轉換器補償」](#)
- [「使用鎮流器電阻器的並聯 LDO 之全面分析與通用方程式」](#)
- [「使用鎮流器電阻器的並聯 LDO 架構設計」](#)
- [「並聯 LDO 計算器」](#)

資源

- 「[可擴充高電流低雜訊並聯 LDO 參考設計](#)」
- 「[半導體和 IC 封裝熱指標](#)」



© Copyright 2024 Texas Instruments Incorporated. All rights reserved.

This material is provided strictly “as-is,” for informational purposes only, and without any warranty.
Use of this material is subject to TI’s **Terms of Use**, viewable at [TI.com](https://www.ti.com)

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated