

LM317L 100mA 可调节浮动电压稳压器

1 特性

- 输出电压范围 (V_O) :
 - 可调节 1.25V 至 37V (适用于新芯片)
 - 可调节 1.25V 至 32V (适用于旧芯片)
- 输出电流：高达 100mA
- 精度：
 - 每次输入电压变化时，输入调节通常为 0.01%
 - 输出调节通常为 0.5%
- 纹波抑制通常为：
 - 120Hz 时为 80dB
 - 100kHz 时为 65dB
- 有关更高的输出电流要求，请参阅 [LM317M](#) (500mA) 和 [LM317](#) (1.5A)

2 应用

- 电子销售终端
- 医疗、保健和健身应用
- 打印机
- 电器和白色家电
- 电视

3 说明

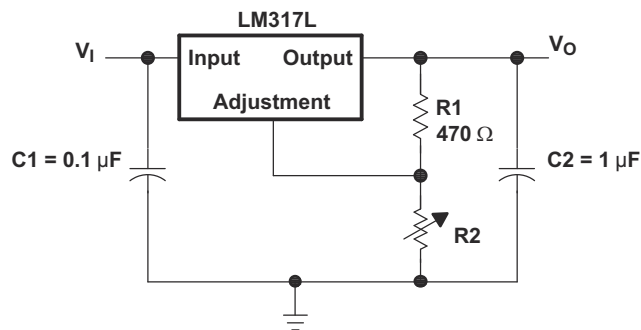
LM317L 是一款可调节 3 端子正电压稳压器，能够在 1.25V 至 37V 输出电压范围内提供高达 100mA 的电流。该器件极易使用，并且仅需要 2 个外部电阻器即可设置输出电压。

对于旧芯片，LM317LC 系列的结温范围为 0°C 至 $+125^{\circ}\text{C}$ ，LM317LI 器件的工作结温范围为 -40°C 至 $+125^{\circ}\text{C}$ 。对于新芯片，LM317LC 和 LM317LI 系列的结温范围为 -40°C 至 $+125^{\circ}\text{C}$ 。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LM317L	D (SOIC, 8)	4.9mm × 6mm
	LP (TO-92, 3)	4.8mm × 3.68mm
	PK (SOT-89, 3)	4.5mm × 4.095mm
	PW (TSSOP, 8)	3mm × 6.4mm

- (1) 如需更多信息，请参阅 [机械](#)、[封装](#)和[可订购信息](#)。
 (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版原理图



内容

1 特性	1	7 应用和实施	9
2 应用	1	7.1 应用信息.....	9
3 说明	1	7.2 典型应用.....	9
4 引脚配置和功能	3	7.3 系统示例.....	11
5 规格	4	7.4 电源相关建议.....	15
5.1 绝对最大额定值.....	4	7.5 布局.....	15
5.2 ESD 等级.....	4	7.6 估算结温.....	15
5.3 建议运行条件.....	4	8 器件和文档支持	16
5.4 热性能信息.....	4	8.1 器件支持.....	16
5.5 电气特性.....	5	8.2 接收文档更新通知.....	16
5.6 典型特性.....	6	8.3 支持资源.....	16
6 详细说明	7	8.4 商标.....	16
6.1 概述.....	7	8.5 静电放电警告.....	16
6.2 功能方框图.....	7	8.6 术语表.....	16
6.3 特性说明.....	8	9 修订历史记录	16
6.4 器件功能模式.....	8	10 机械、封装和可订购信息	17

4 引脚配置和功能

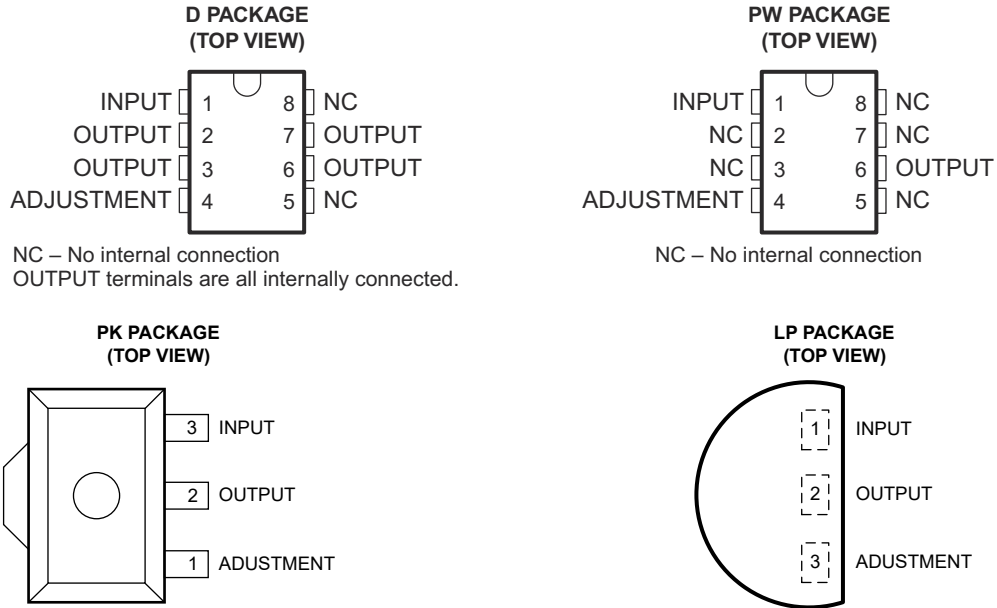


表 4-1. 引脚功能

名称	D	PW	LP	PK	类型 ⁽¹⁾	说明
调节	4	4	3	1	I	输出反馈电压
输入	1	1	1	3	I	输入电源电压
NC	5、8	2、3、5、7、8	—	—	—	无连接。建议将引脚接地以提高热性能，但这不是必需的。
输出	2、3、6、7	6	2	2	O	经稳压调节的输出电压

(1) I = 输入；O = 输出

5 规格

5.1 绝对最大额定值

在工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
$V_I - V_O$	输入到输出差分电压	旧芯片		35	V
		新芯片		40	
T_J	运行虚拟结温			150	°C
T_{stg}	贮存温度	旧芯片	-65	150	°C
		新芯片	-55	150	

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位		
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	旧芯片	±3000	V	
			新芯片			±2000
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾				±2000

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

			最小值	最大值	单位	
V_O	输出电压	旧芯片	1.25	32	V	
		新芯片	1.25	37		
$V_I - V_O$	输入到输出电压差	旧芯片	2.5	32	V	
		新芯片	2.5	37		
I_O	输出电流		2.5	100	mA	
T_J	运行虚拟结温	LM317LC	旧芯片	0	125	°C
			新芯片	-40	125	
		LM317LI	新旧芯片	-40	125	

5.4 热性能信息

热指标 ⁽¹⁾		LM317L							单位
		D 8 引脚		LP 3 引脚		PK 3 引脚		PW 8 引脚	
		旧芯片 ⁽²⁾	新芯片	旧芯片 ⁽²⁾	新芯片	旧芯片 ⁽²⁾	新芯片	旧芯片 ⁽²⁾	
$R_{\theta JA}$	结至环境热阻	97.1	96.5	139.5	156.7	51.5	44	149.4	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻		48.6		80.6		86.9		
$R_{\theta JB}$	结至电路板热阻		34.8				8.5		
Ψ_{JT}	结至顶部特征参数		5.9		24.7		4.5		
Ψ_{JB}	结至电路板特征参数		34.2		135.8		8.5		
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻						6.9		

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用手册](#)。

(2) 仅报告了旧芯片的 $R_{\theta JA}$ 值。

5.5 电气特性

除非另有说明，否则建议工作虚拟结温范围内的规格 $V_I - V_O = 5V$ ， $I_O = 40mA$ ， $P \leq$ 额定耗散，在输入端使用 $0.1 \mu F$ 电容器并在输出端使用 $1 \mu F$ 电容器测量。

参数	测试条件 ⁽¹⁾		最小值	典型值	最大值	单位
线性调节	$V_I - V_O = 5V$ 至 $35V$	$T_J = 25^\circ C$		0.01	0.02	%V
		$I_O = 2.5mA$ 至 $100mA$		0.02	0.05	
纹波抑制	$V_O = 10V$, $f = 120Hz$			65		dB
	$V_O = 10V$ ，在调节端和接地端之间使用 $10 \mu F$ 电容器		66	80		
输出电压调节	$V_I - V_O = 5V$ 至 $35V$, $T_J = 25^\circ C$, $I_O = 2.5mA$ 至 $100mA$	$V_O \leq 5V$		25		mV
		$V_O \geq 5V$		5		mV/V
	$V_I - V_O = 5V$ 至 $35V$, $I_O = 2.5mA$ 至 $100mA$	$V_O \leq 5V$		50		mV
		$V_O \geq 5V$		10		mV/V
输出电压随温度的变化	$T_J = 0^\circ C$ 至 $125^\circ C$			10		mV/V
输出电压长期漂移	1000 小时后, $T_J = 125^\circ C$ 且 $V_I - V_O = 35V$			3	10	mV/V
输出噪声电压	$f = 10Hz$ 至 $10kHz$, $T_J = 25^\circ C$			30		$\mu V/V$
维持稳压所需的最小输出电流	$V_I - V_O = 35V$		旧芯片	1.5	2.5	mA
			新芯片	3.5	5	
峰值输出电流	$3V \leq V_I - V_O \leq 13V$		新旧芯片	100	200	mA
	$V_I - V_O = 35V$		旧芯片	100	200	
			新芯片	25	50	
调节电流			新旧芯片	50	100	μA
调节电流变化	$V_I - V_O = 5V$, $I_O = 40mA$		新旧芯片	0.2	5	μA
基准电压 (输出端至调节端)	$V_I - V_O = 5V$, $I_O = 40mA$			1.2	1.25	1.3

(1) 对于所有测试 (除非另有说明)，PK、D 和 PW 封装的功耗 $\leq 1.4W$ ，LP 封装的功耗 $\leq 0.625W$ 。必须使用脉冲测试技术来保持结温尽可能接近环境温度。

5.6 典型特性

除非另有说明，否则在建议工作虚拟结温范围内的规格 $V_I - V_O = 5V$ ， $I_O = 40mA$ ， $P \leq$ 额定耗散。

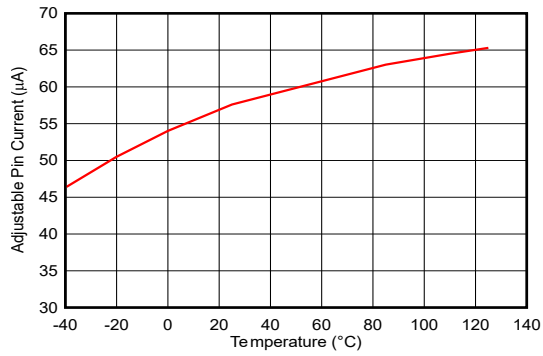


图 5-1. 温度范围内调节电流的变化 (旧芯片)

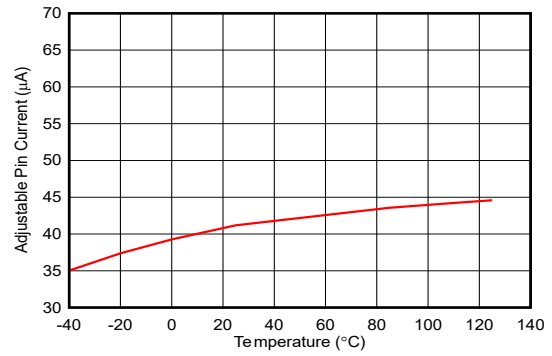


图 5-2. 温度范围内调节电流的变化 (新芯片)

6 详细说明

6.1 概述

LM317L 是一款电压容差高达 37V 的 100mA 线性稳压器。该器件具有相对于输出而非接地的反馈电压。这种未接地的设计使 LM317L 器件具有出色的线路和负载调节功能。此设计还允许将 LM317L 器件用作使用单个电阻器的电流源或电流沉。可以使用两个电阻器获取 1.25V 至 32V 的任何输出电压。该器件的偏置电流 (高达 2.5mA) 流向输出端；该电流必须由负载或反馈电阻器使用。功耗是导通晶体管电压和电流的乘积，计算方法如 [方程式 1](#) 所示。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (1)$$

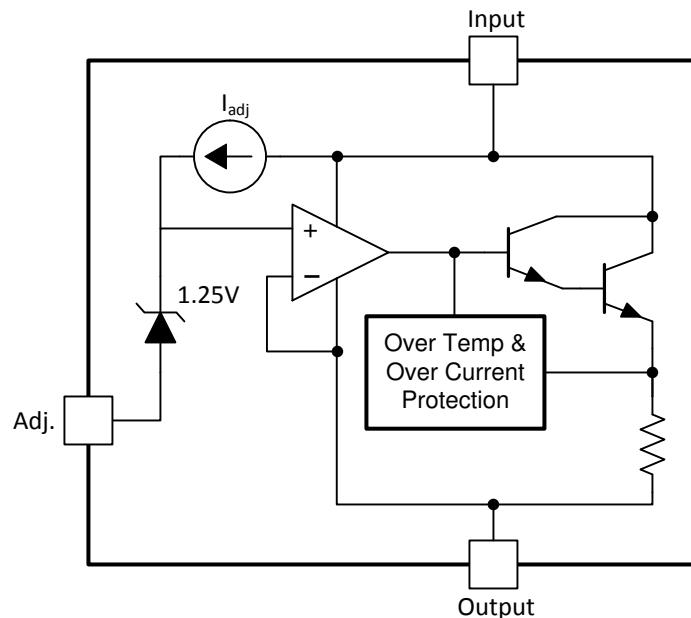
应用散热器必须能够吸收 [方程式 1](#) 中计算的功率。

除了比固定稳压器性能更高之外，该稳压器还提供全面的过载保护，仅在集成电路中可用。器件芯片还具备电流限制和热过载保护功能。即使调节功能断开，所有过载保护电路也能保持完全正常运行。通常不需要使用电容器，除非器件的位置远离输入滤波电容器，此时需要使用输入旁路。可以添加可选输出电容器来改善瞬态响应。可绕过调节来实现极高的纹波抑制，这很难通过标准三端稳压器实现。

除了替代固定稳压器之外，LM317L 稳压器还适用于多种其他应用。由于该稳压器是浮动的并且仅观察输入到输出差分电压，因此，只要不超过最大输入到输出差分电压，就可以调节几百伏特的电源电压。该器件的主要应用是可编程的输出稳压器，但通过在调节端和输出端之间连接固定电阻器，该器件也可用作精密电流调节器。可通过将调节端钳位至接地，并将输出编程为 1.25V (此时大多数负载消耗很少电流)，使电源具有电子关断功能。

LM317LC 可在 0°C 至 125°C 的虚拟结温范围内运行。LM317LI 可在 -40°C 至 125°C 的虚拟结温范围内运行。

6.2 功能方框图



6.3 特性说明

6.3.1 NPN 达林顿输出驱动

NPN 达林顿输出拓扑可提供自然低输出阻抗，并且输出电容器是可选的。为支持最大电流和最低温度，建议使用 2.5V 余量 ($V_I - V_O$)。

6.3.2 过载块

过流和过热关断功能可防止器件在过热条件下运行时不会过载或损坏。

6.3.3 可编程反馈

在调节引脚上具有 1.25V 失调电压输入的运算放大器可轻松提供输出电压或电流（而非同时提供）编程。对于电流调节应用，请使用电阻值为 $1.25V/I_{OUT}$ 且额定功率大于 $(1.25V)^2/R$ 的单个电阻器。对于电压调节应用，通过两个电阻器设置输出电压。有关原理图和电阻器公式，请参阅 [典型应用](#) 部分。

6.4 器件功能模式

6.4.1 正常运行

器件输出引脚提供使输出引脚电压比调节端子电压高 1.25V 所需的电流，从而实现输出调节。

6.4.2 低输入电压下的运行

器件需要高达 2.5V 余量 ($V_I - V_O$) 才能在稳压下运行。余量较小时，器件电压会下降，输出电压为输入电压减去压降。

6.4.3 轻负载下的运行

器件将偏置电流传输至输出引脚。负载或反馈必须消耗此最小电流才能进行调节，否则输出可能过高。

6.4.4 自保护模式下的运行

发生过载时，器件会关断达林顿 NPN 输出级或降低输出电流，以防止器件损坏。过流消除后，器件会自动重新启动。可减少输出或循环热关断开关，直至消除过载。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

两个输出电阻器是调节 V_{OUT} 所需的唯一组件。

7.2 典型应用

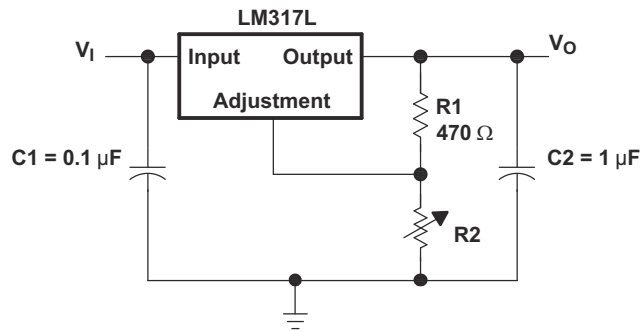


图 7-1. 典型应用原理图

7.2.1 设计要求

1. 如果稳压器远离滤波电容器，则使用输入旁路电容器。
2. 对于该设计示例，请使用表 7-1 中列出的参数。
3. 使用输出电容器可改善瞬态响应，但这是可选的。

表 7-1. 设计参数

设计参数	示例值
输入电压范围	(输出电压 + 2.5V) 至 32V
输出电压	$V_{REF} \times (1 + R_2/R_1) + I_{ADJ} \times R_2$

7.2.2 详细设计过程

7.2.2.1 输入电容器

输入电容器不是必需的，但建议使用，尤其是当稳压器不靠近电源滤波电容器时。0.1μF 陶瓷电容器或 1μF 钽电容器为大多数应用提供足够旁路，尤其是在使用调节电容器和输出电容器时。

7.2.2.2 输出电容器

输出电容器可改善瞬态响应，但不是实现稳定性所必需的。

7.2.2.3 反馈电阻器

反馈电阻器使用方程式 2 设置输出电压。

$$V_{REF} \times (1 + R_2 / R_1) + I_{ADJ} \times R_2 \quad (2)$$

7.2.2.4 调节端子电容器

可选调节引脚电容器可通过防止纹波放大来改善纹波抑制。使用此电容器且 $V_{OUT} > 6V$ 时，建议从调节端到输出端之间使用保护二极管。

7.2.2.5 设计选项和参数

常见线性稳压器设计涉及以下参数：

- 输入电压范围
- 输入电容器范围
- 输出电压
- 输出电流额定值
- 输出电容器范围
- 输入短路保护
- 稳定性
- 纹波抑制

7.2.2.6 输出电压

V_O 的计算公式如方程式 3 所示。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_2}{R_1} \right) + (I_{ADJ} \times R_2) \quad (3)$$

由于 I_{ADJ} 通常为 $50\mu A$ ，因此该参数在大多数应用中可以忽略不计。

7.2.2.7 纹波抑制

C_{ADJ} 用于改善纹波抑制。此电容器可防止在将输出电压调高时发生纹波放大。如果使用 C_{ADJ} ，则加入保护二极管以防止 ADJ 在 V_{OUT} 快速崩溃时反向偏置。

7.2.2.8 输入短路保护

如果输入端在故障条件下发生接地短路，保护二极管可提供措施，防止外部电容器通过器件中的低阻抗路径放电。通过分别为 C_3 和 C_2 提供低阻抗放电路径，从输入端到输出端之间以及从 ADJ 到输出端之间使用保护二极管可防止电容器放电到稳压器的输出端。

7.2.3 应用曲线

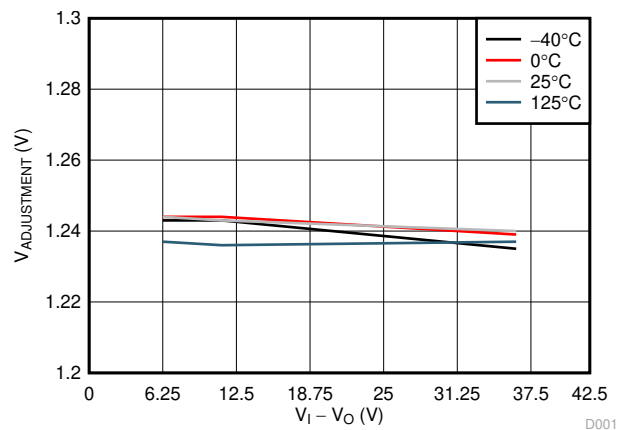


图 7-2. 温度范围内相对于输出的调节电压 (旧芯片)

7.3 系统示例

7.3.1 改进了纹波抑制功能的稳压器电路

C2 有助于稳定调节引脚上的电压，这有助于抑制噪声。二极管 D1 用于在输出接地短路的情况下对 C2 进行放电。

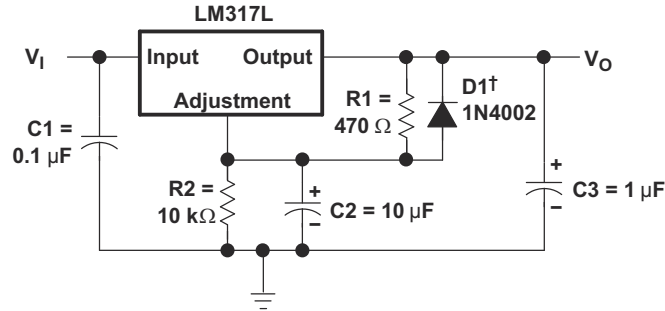


图 7-3. 改进了纹波抑制功能的稳压器电路

7.3.2 0V 至 30V 稳压器电路

在 0V 至 30V 稳压器电路应用中，输出电压由方程式 4 确定。

$$V_{OUT} = V_{REF} \left(1 + \frac{R_2 + R_3}{R_1} \right) - 10 \text{ V} \quad (4)$$

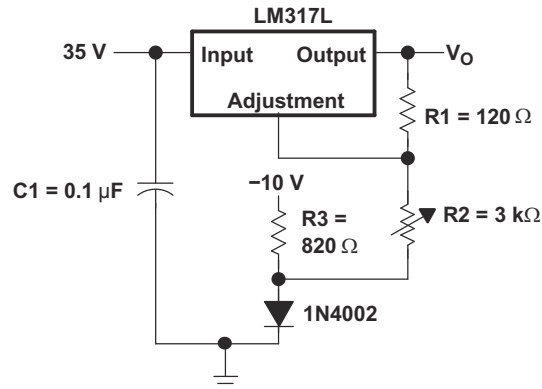


图 7-4. 0V 至 30V 稳压器电路

7.3.3 精密限流电路

此应用将输出电流限制为图 7-5 中所示的 I_{LIMIT} 。

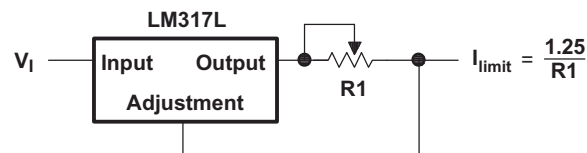


图 7-5. 精密限流电路

7.3.4 跟踪前置稳压器电路

跟踪前置稳压器电路应用在电路中的第二个 LM317L 两端保持恒定电压。

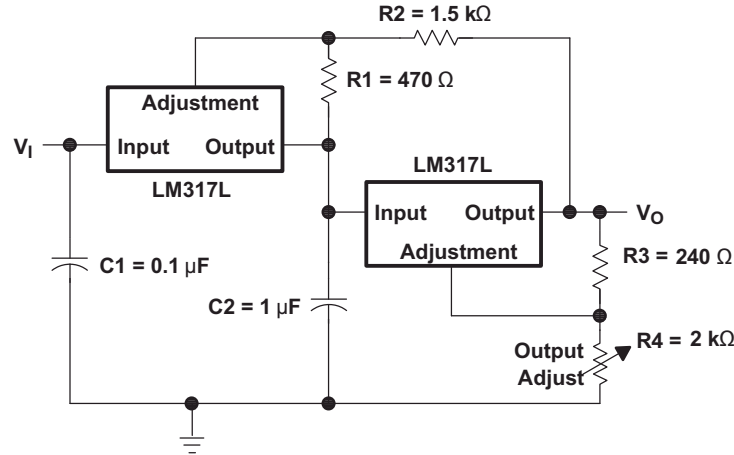


图 7-6. 跟踪前置稳压器电路

7.3.5 缓慢导通 15V 稳压器电路

电容器 C1 与 PNP 晶体管结合使用，可帮助电路缓慢开始提供电压。开始时，电容器未充电。因此，输出电压从 1.9V 开始，如方程式 5 所确定。随着电容器电压上升， V_{OUT} 以相同速率上升。当输出电压达到 R1 和 R2 确定的值时，PNP 关断。

$$V_{C1} + V_{BE} + 1.25V = 0V + 0.65V + 1.25V = 1.9V \quad (5)$$

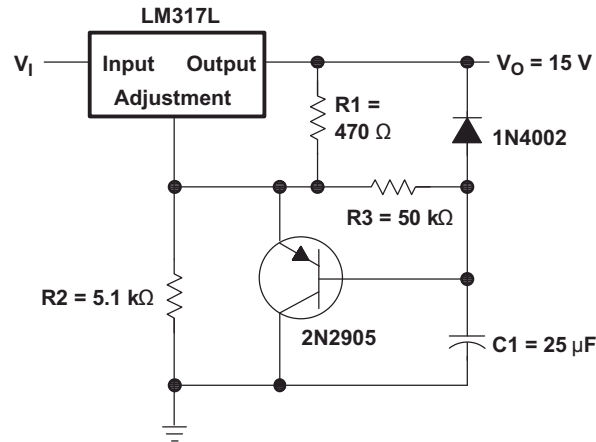


图 7-7. 缓慢导通 15V 稳压器电路

7.3.6 50mA 恒流电池充电器电路

可使用电流限制运行模式以方程式 6 确定的固定电流对电池进行涓流充电。V_I 必须大于 V_{BAT} + 3.75V。

$$I_{CHG} = 1.25V \div 24 \Omega \quad (6)$$

$$(1.25V [V_{REF}] + 2.5V [\text{headroom}]) \quad (7)$$

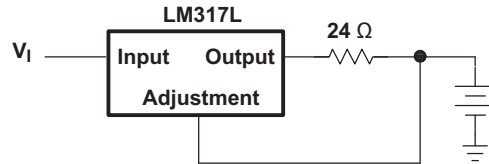


图 7-8. 50mA 恒流电池充电器电路

7.3.7 限流 6V 充电器

随着充电电流的增加，底部电阻器上的电压会增加，直到 NPN 开始从调节引脚灌入电流。调节引脚上的电压下降，输出电压随之降低，直到 NPN 停止导通。

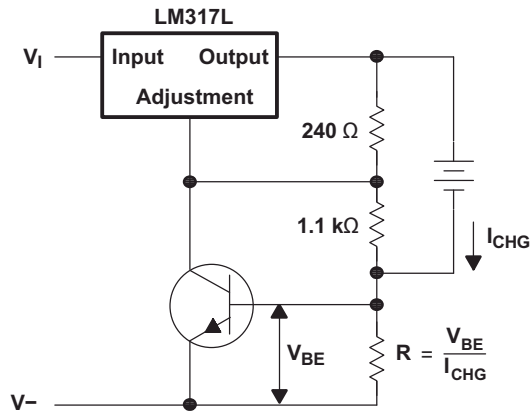


图 7-9. 限流 6V 充电器

7.3.8 大电流可调节稳压器

此应用允许 V_{OUT} 上的电流高于 LM317L 可提供的电流，同时仍将输出电压保持在 LM317L 的调节引脚电阻分压器所确定的电平。

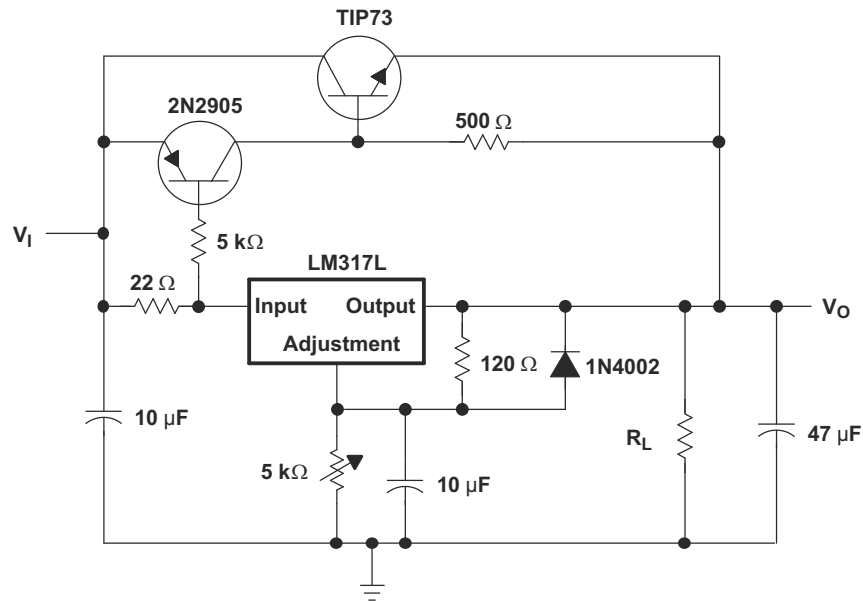


图 7-10. 大电流可调节稳压器

7.4 电源相关建议

LM317L 设计为由电压范围在 2.5V 至 32V 且高于输出电压的输入电源供电。如果器件距离输入滤波电容器 6 英寸以上，则需要使用任何类型的输入旁路电容器 (0.1μF 或更高值) 来确保稳定性。

7.5 布局

7.5.1 布局指南

- 使用旁路电容器将输入引脚旁路至接地。
- 放置位置越靠近器件 V_{IN} 引脚和系统 GND 引脚越好。请务必注意，尽量减小旁路电容器连接、输入引脚及系统 GND 引脚。
- 对于额定满负载运行，请使用宽布线长度来消除 IR 压降和散热。

7.5.2 布局示例

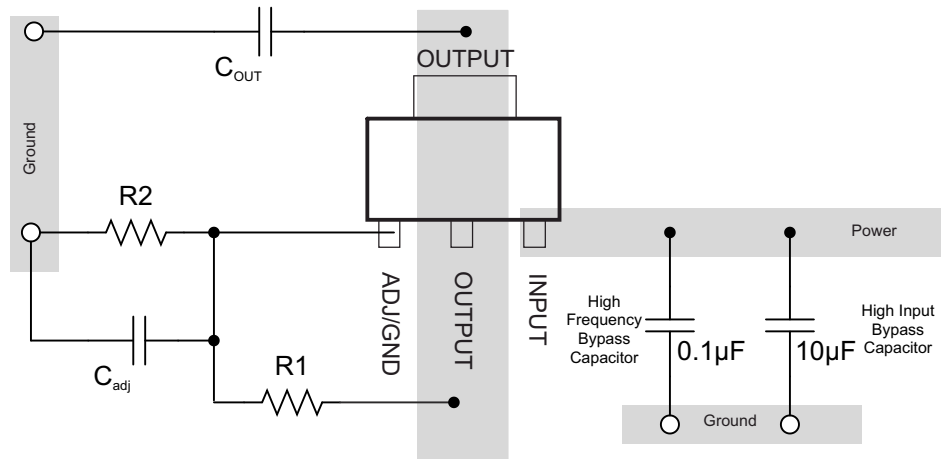


图 7-11. 布局图

7.6 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算线性稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。节 5.4 该表列出了主要的热指标，即结至顶部特征参数 (Ψ_{JT}) 和结至电路板特征参数 (Ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (Ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (Ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \Psi_{JT} \times P_D \quad (8)$$

$$T_J = T_T + \Psi_{JT} \times P_D \quad (9)$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \Psi_{JB} \times P_D \quad (10)$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅 [半导体和 IC 封装热指标应用手册](#)。

8 器件和文档支持

8.1 器件支持

8.1.1 器件命名规则

器件命名规则

产品 ⁽¹⁾	V _{OUT}
LM317Lxyyyz	<p>x 是工作温度范围标识符。</p> <p>yyy 是封装标识符。</p> <p>z 是封装数量标识符。</p> <p>器件随附有旧芯片 (CSO : SHE) 或新芯片 (CSO : TID)。卷带封装标签提供 CSO 信息以区分正在使用的芯片。整个数据表对新芯片和旧芯片的器件性能进行了说明。</p>

(1) 如需了解最新的封装及订购信息，请参阅本文档末尾的封装选项附录，或访问 www.ti.com 查看器件产品文件夹。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (October 2014) to Revision F (December 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 通篇添加了标识旧芯片和新芯片信息的术语.....	1
• 更新了 引脚功能表 以包含正确的引脚信息.....	3
• 向 电气特性表 中的 峰值输出电流参数 添加了 $3V \leq V_I - V_O \leq 15V$ 行.....	5
• 删除了 电气特性表 的第二个脚注.....	5
• 添加了 器件支持 部分.....	16

Changes from Revision D (October 2011) to Revision E (October 2014)	Page
• 添加了器件信息表、引脚功能表、处理等级表、热性能信息表、典型特性部分、详细描述部分、应用和实 施部分、电源相关建议、布局、器件和文档支持部分以及机械、封装和可订购信息部分.....	1
• 删除了订购信息表.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LM317LCD	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC	Samples
LM317LCDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	0 to 125	L317LC	Samples
LM317LCDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC	Samples
LM317LCLP	ACTIVE	TO-92	LP	3	1000	RoHS & Green	SN	N / A for Pkg Type	0 to 125	L317LC	Samples
LM317LCLPR	ACTIVE	TO-92	LP	3	2000	RoHS & Green	SN	N / A for Pkg Type	0 to 125	L317LC	Samples
LM317LCLPRE3	ACTIVE	TO-92	LP	3	2000	RoHS & Green	SN	N / A for Pkg Type	0 to 125	L317LC	Samples
LM317LCPK	ACTIVE	SOT-89	PK	3	1000	RoHS & Green	SN	Level-2-260C-1 YEAR	0 to 125	LA	Samples
LM317LCPKG3	ACTIVE	SOT-89	PK	3	1000	RoHS & Green	SN	Level-2-260C-1 YEAR	0 to 125	LA	Samples
LM317LCPW	ACTIVE	TSSOP	PW	8	150	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC	Samples
LM317LCPWE4	ACTIVE	TSSOP	PW	8	150	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC	Samples
LM317LCPWR	ACTIVE	TSSOP	PW	8	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC	Samples
LM317LCPWRG4	ACTIVE	TSSOP	PW	8	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC	Samples
LM317LID	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI	Samples
LM317LIDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	L317LI	Samples
LM317LIDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI	Samples
LM317LILP	ACTIVE	TO-92	LP	3	1000	RoHS & Green	SN	N / A for Pkg Type	-40 to 125	L317LI	Samples
LM317LILPR	ACTIVE	TO-92	LP	3	2000	RoHS & Green	SN	N / A for Pkg Type	-40 to 125	L317LI	Samples
LM317LIPK	ACTIVE	SOT-89	PK	3	1000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	LB	Samples
LM317LIPKG3	ACTIVE	SOT-89	PK	3	1000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	LB	Samples
LM317LIPW	ACTIVE	TSSOP	PW	8	150	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LM317LIPWR	ACTIVE	TSSOP	PW	8	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM317LCDR	SOIC	D	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
LM317LCDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LCPK	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
LM317LCPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM317LIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LIPK	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
LM317LIPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM317LCDR	SOIC	D	8	2500	364.0	364.0	27.0
LM317LCDRG4	SOIC	D	8	2500	340.5	338.1	20.6
LM317LCPK	SOT-89	PK	3	1000	340.0	340.0	38.0
LM317LCPWR	TSSOP	PW	8	2000	367.0	367.0	35.0
LM317LIDR	SOIC	D	8	2500	353.0	353.0	32.0
LM317LIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
LM317LIPK	SOT-89	PK	3	1000	340.0	340.0	38.0
LM317LIPWR	TSSOP	PW	8	2000	367.0	367.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
LM317LCD	D	SOIC	8	75	507	8	3940	4.32
LM317LCPW	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LCPWE4	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LID	D	SOIC	8	75	507	8	3940	4.32
LM317LIPW	PW	TSSOP	8	150	530	10.2	3600	3.5

PK (R-PSS0-F3)

PLASTIC SINGLE-IN-LINE PACKAGE



4040234/D 02/2006

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - The center lead is in electrical contact with the tab.
 - Body dimensions do not include mold flash or protrusion. Mold flash and protrusion not to exceed 0.15 per side.
- △E Thermal pad contour optional within these dimensions.
 △F Falls within JEDEC TO-243 variation AA, except minimum lead length, pin 2 minimum lead width, minimum tab width.

PK (R-PDSO-G3)



4208221/A 09/06

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0008A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

LP 3

TO-92 - 5.34 mm max height

TRANSISTOR OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040001-2/F

LP0003A



PACKAGE OUTLINE

TO-92 - 5.34 mm max height

TO-92



4215214/B 04/2017

NOTES:

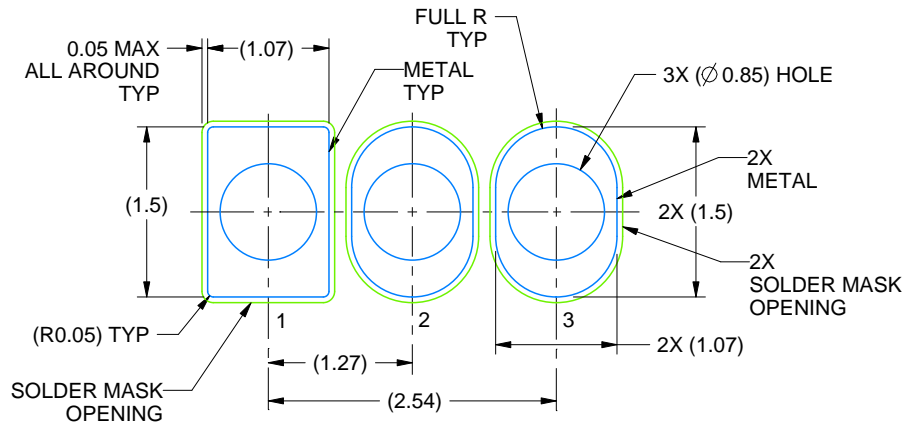
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead dimensions are not controlled within this area.
4. Reference JEDEC TO-226, variation AA.
5. Shipping method:
 - a. Straight lead option available in bulk pack only.
 - b. Formed lead option available in tape and reel or ammo pack.
 - c. Specific products can be offered in limited combinations of shipping medium and lead options.
 - d. Consult product folder for more information on available options.

EXAMPLE BOARD LAYOUT

LP0003A

TO-92 - 5.34 mm max height

TO-92



LAND PATTERN EXAMPLE
STRAIGHT LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X



LAND PATTERN EXAMPLE
FORMED LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X

4215214/B 04/2017

TAPE SPECIFICATIONS

LP0003A

TO-92 - 5.34 mm max height

TO-92



FOR FORMED LEAD OPTION PACKAGE

4215214/B 04/2017

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司