TPS657120

针对基带和射频-功率放大器 **(RF-PA)** 电源的电源管理单元 **(PMU)**

Data Manual

Literature Number: ZHCSBY8
December 2013

内容

附图目录

附表目录

针对基带和射频-功率放大器 (RF-PA) 电源的电源管理单元 (PMU)

查询样片: TPS657120

1 介绍

1.1 特性

- 3 个降压转换器：
  - V_{IN} 范围从 2.8V 至 5.5V
  - 轻负载电流状态下的省电模式
  - PWM 模式中的输出电压准确度为 ±2%
  - 每个 DCDC1 和 DCDC2 转换器的静态电流典型值为 16μA
  - DCDC3 转换器的静态电流典型值为 26μA
  - 动态电压调节
  - 最低压降占空比为 100%
- 2 个低压降稳压器 (LDO)：
  - 2 x 10mA 输出电流
  - 低噪音 RF-LDO
  - 输出电压范围 1.2V 至 3.4V
  - 32μA 静态电流
  - 独立的电源输入支持预调节
  - ECO 模式
  - LDO 的 V_{IN} 范围：
    - LDO1：2.0V 至 5.5V
    - LDO2：2.8V 至 5.5V
- 2 个通用输入输出 (GPIO)
- 过热保护
- 旁路开关
  - 与为 RF-PA 供电的 DCDC3 一同使用
- 接口
  - 26MHz 移动行业处理器接口 (MIPI) 射频前端 (RFFE) 接口
- 欠压闭锁
- 灵活的加电和断电排序
- 2.5mm x 2.3mm 晶圆级芯片封装 (WCSP) 封装，引线间距为 0.4mm

1.2 应用

- 数据卡
- 智能手机

1.3 说明

TPS657120 提供 3 个输出电流高达 2A 的可配置降压转换器。 它还包含 2 个 LDO 稳压器。 LDO1 可直接由输入电压或者由诸如 DCDC1 或 DCDC2 的一个预稳压电源供电。 到 LDO2 的输入电压可被用作一个模拟电源输入，因此，需要将它连接至一个与 VINDCDC1/2 和 VINDCDC3 处于同一电压电平的输入电压上。 内部加电/断电控制器是可配置的，并能够支持任何加电/断电序列（基于一次性可编程 (OTP)）。 所有 LDO 和直流到直流转换器由一个 MIPI RFFE 兼容接口和/或由引脚 PWRON，CLK_REQ1 和 CLK_REQ2 进行控制。 此外，还有一个 nRESET 以及一个 RFFE 地址选择 (ADR_SELECT) 输入，这两个输入中任何一个可被用作具有 1mA 电流吸收能力的通用 I/O。 TPS657120 采用 6 焊球 x 5 焊球的 WCSP 封装 (2.5mm x 2.3mm)，引线间距 0.4mm。

1.4 方框图 & 引脚功能

1.4.1 功能方框图

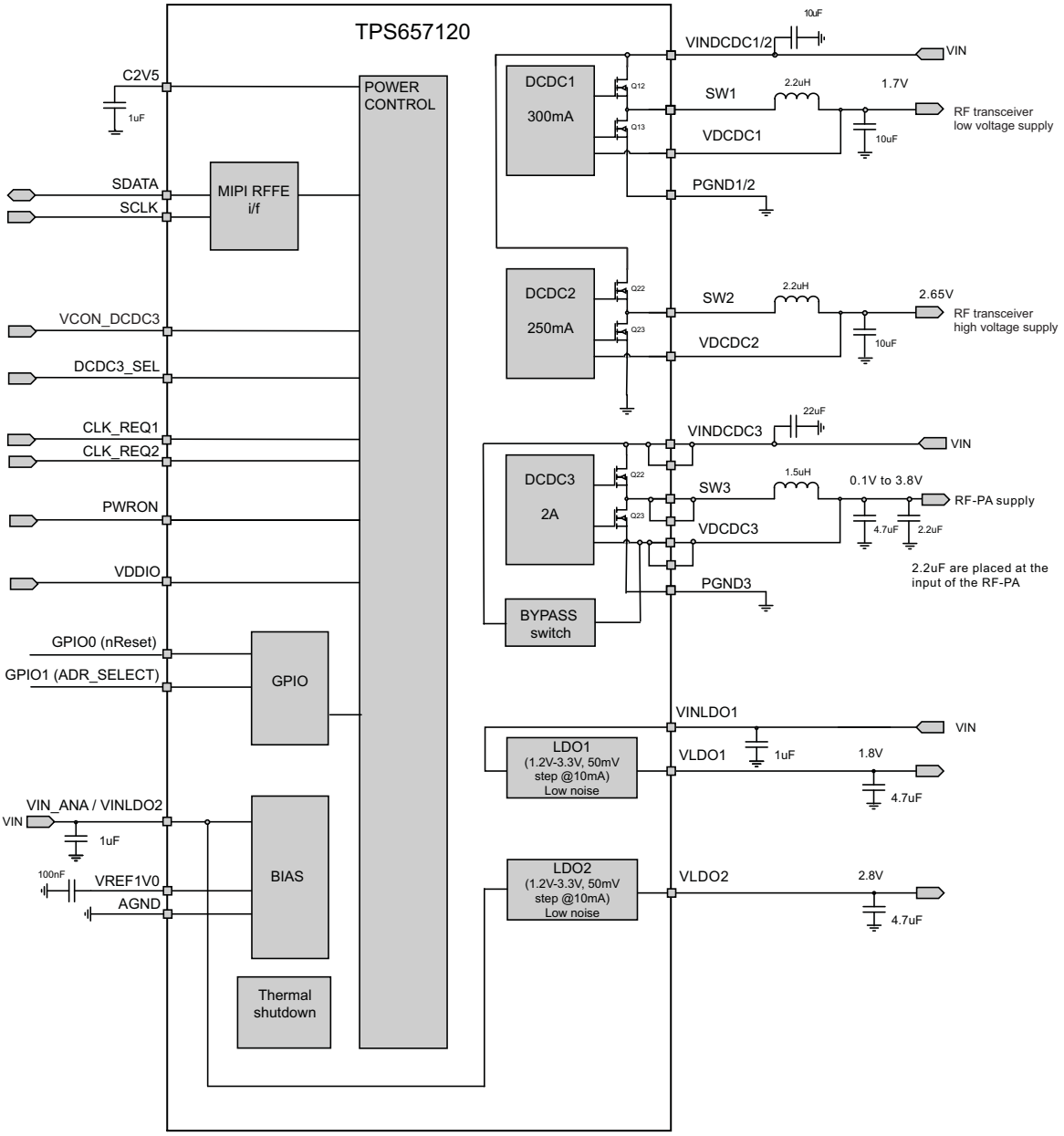
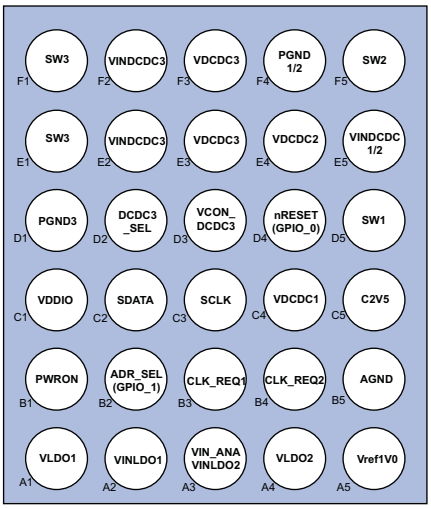


图 **1-1. TPS657120** 方框图

1.4.2 引脚分配

YFF 封装
（底视图）

TPS657120 (bottom view)



YFF 封装
（顶视图）

TPS657120 (top view)

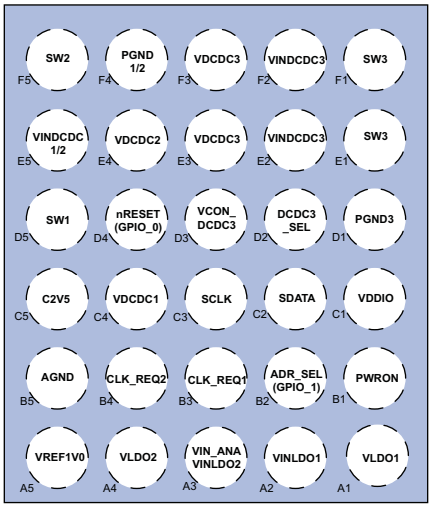


表 **1-1.** 端子功能

端子		I/O	说明
名称	编号		
TPS657120			
基准			
VIN_ANA / VINLDO2	A3	I	模拟电源电压输入；LDO2 的电源输入；连接至与 VINDCDC1/2 和 VINDCDC3 处于同一电压电平的电压
VREF1V0	A5	O	LDO 基准旁路引脚；将一个 100nF 电容器接地 (GND)
C2V5	C5	O	逻辑电路的内部电压；将一个 1uF 电容器接地
模拟接地 (AGND)	B5	-	模拟接地连接；连接至印刷电路板 (PCB) 上的 PGND
GPIO			
nRESET (GPIO0)	D4	I/O	主要功能是低电平有效复位输入 (nRESET)，为了实现启动，引脚需要根据缺省值被上拉到逻辑高电平。 在 OTP 内存的内部配置已经被读取后，它也可被指定为通用 I/O。它的推挽级以 VDDIO (VIF) 为基准。
GPIO1 (ADR_SELECT)	B2	I/O	通用 I/O；推挽至 VDDIO (VIF)；为 USID[0] 上的 RFFE 接口选择其它最低有效位 (LSB) 位地址
降压转换器			
VINDCDC1/2	E5	I	到 DCDC1 和 DCDC2 转换器的电源输入；连接至 VINDCDC3
VDCDC1	C4	I	针对 DCDC1 的电压感测（反馈）输入
SW1	D5	O	DCDC1 的开关节点；连接输出电感器
PGND1/2	F4	-	针对 DCDC1 和 DCDC2 转换器的电源接地 (GND) 连接
VDCDC2	E4	I	针对 DCDC2 的电压感测（反馈）输入
SW2	F5	O	DCDC2 的开关节点；连接输出电感器
VINDCDC3	E2，F2	I	到 DCDC3 转换器和旁路开关的电源输入；连接至 VINDCDC1，VINDCDC2 和 Vcc
VDCDC3	E3，F3	I	针对 DCDC3 的电压感测（反馈）输入和旁路输出
SW3	E1，F1	O	DCDC3 的开关节点；连接输出电感器
PGND3	D1	-	针对 DCDC3 转换器的电源 GND 连接
低压降稳压器			
VINLDO1	A2	I	LDO1 的电源输入
VLDO1	A1	O	LDO1 输出
VLDO2	A4	O	LDO2 输出
接口			
SDATA	C2	I/O	RFFE 数据引脚
SCLK	C3	I	RFFE 时钟输入
使能和控制			
CLK_REQ1	B3	I	被用来启用和禁用电源的时钟请求 signal1
CLK_REQ2	B4	I	被用来启用和禁用电源的时钟请求 signal2
DCDC3_SEL	D2	I	改变设置之间输出电压的电压缩放输入
VCON_DCDC3	D3	I	针对 DCDC3 的模拟电压缩放
PWRON	B1	I	使能输入；LOW = OFF；HIGH = ON；输入电压范最高为 VINDCDCx，VIN_ANA
VDDIO	C1	I	针对 GPIO 和输出级的电源电压输入将设定高电平电压（I/O 电压）；如果 VDDIO 不在有效运行范围内，TPS657120 被保持在复位状态

2 器件特性

2.1 订购信息

T_A	产品型号	芯片尺寸	选项	封装代码	封装	封装标记(1)
-40°C 至 85°C	TPS657120YFF 生产材料	D = 2500µm ± 25µm E = 2300µm ± 25µm	请见 缺省设置表	YFF	WCSP	TPS657120

(1) YFF 封装可以以卷带形式供货。 添加后缀 R (TPS657120YFFR) 来订购每卷 3000 个部件。 添加后缀 T (TPS657120YFFT) 来订购每卷 250 个部件

2.2 缺省设置

直流到直流转换器和 LDO 的缺省输出电压请见以下列表。 对于 DCDC1 至 DCDC3 和 LDO1 以及 LDO2，有两个定义输出电压的寄存器。 DCDC3_SEL 可实现两个输出电压（在 DCDC3 的 _OP 和 _AVS 寄存器内定义）间的切换。 对于其它直流到直流转换器和 LDO，切换可由一个寄存器位实现。

转换器 / LDO 寄存器	TPS657120 缺省输出电压设置
DCDC1_OP / DCDC1_AVS	**1.7V / 1.7V**
DCDC2_OP / DCDC2_AVS	**2.65V / 2.65V**
DCDC3_OP / DCDC3_AVS	**3.6V / 3.6V**
LDO1_OP	**1.8V**
LDO2_OP	**2.8V**

2.3 ABSOLUTE MAXIMUM RATINGS

over operating free-air temperature range (unless otherwise noted)(1)

		VALUE		UNIT
		MIN	MAX	
Voltage	all pins except A/PGND pins and pins listed below with respect to AGND	–0.3	6	V
	VLDO1, VLDO2, VDDIO with respect to AGND	–0.3	3.6	V
	pin VDCDC3 with respect to AGND	–0.3	5.5	V
	pins SDATA, SCLK, DCDC3_SEL , GPIO_0, GPIO_1, CLK_REQ1, CLK_REQ2 , with respect to AGND	–0.3	VDDIO + 0.3	V
Current	all non power pins		5	mA
	power pins		2	A
Operating free-air temperature, T_A		–40	85	°C
Maximum junction temperature, T_J			125	°C
Storage temperature, T_{ST}		–65	150	°C

(1) Stresses beyond those listed under *absolute maximum ratings* may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under *recommended operating conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

2.4 THERMAL INFORMATION

THERMAL METRIC		TPS657120 YFF 30 PINS	UNITS
θ_{JA}	Junction-to-ambient thermal resistance	58.8	°C/W
θ_{JCtop}	Junction-to-case (top) thermal resistance	0.3	
θ_{JB}	Junction-to-board thermal resistance	27	
ψ_{JT}	Junction-to-top characterization parameter	1.4	
ψ_{JB}	Junction-to-board characterization parameter	26.9	
θ_{JCbot}	Junction-to-case (bottom) thermal resistance	n/a	

2.5 RECOMMENDED OPERATING CONDITIONS

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
DCDC CONVERTERS					
VINDCDC1, VINDCDC2, VINDCDC3	Input voltage range for step-down converter DCDC1, DCDC2, DCDC3	2.8		5.5	V
	Output voltage range for step-down converter DCDC1, DCDC2	0.8		3.3	V
	Output voltage range for step-down converter DCDC3	0.1		3.6	V
L1, L2	Inductance at L1, L2	1	2.2	2.9	µH
L3	Inductance at L3	1	1.5	2.2	µH
$C_{VINDCDC1/2}$	Input Capacitance at VINDCDC1/2 (1)	4.7	10		µF
$C_{VINDCDC3}$	Input Capacitance at VINDCDC3 (1)	10	22		µF
$C_{OUTDCDC1,2}$	Output Capacitance at DCDC1 and DCDC2 (1)	4.7	10	22	µF
$C_{OUTDCDC3}$	Output Capacitance at DCDC3 (1)	2.0	6	12	µF
LDOs; generic					
VINLDO1	Input voltage range for LDO1	2.0		5.5	V
VINLDO2 = analog supply voltage VIN_ANA	Input voltage range for LDO2; as this pin is used as the analog suply voltage, it needs to be tied to VINDCDCx	2.8		5.5	V
V_{LDO1}, $V_{LDO2,}$	Output voltage range for LDOs	1.2		3.4	V
C_{INLDO1} C_{INLDO2}	Input Capacitance on LDO supply pins (1)	0.5			µF
$C_{outLDO1,}$ $C_{outLDO2}$	Output Capacitance on LDO1, LDO2 (1)	1		4.7	µF
V_{VDDIO}	for RFFE interface at 1.2V or 1.8V	1.1		1.95	V
C_{VDDIO}	Input Capacitance on VDDIO	100			nF
C(C2V5)	capacitance at internal supply at pin C2V5	0.5	1	10	µF
C(VREF1V0)	bypass capacitance at internal reference VREF1V0	47	100	220	nF
T_A	Operating ambient temperature	–40		85	°C
T_J	Operating junction temperature	–40		125	°C

(1) Ceramic capacitors show an effect called DC BIAS EFFECT. With a dc voltage applied to a ceramic capacitor , the effective capacitance is reduced. The table above therefore lists the minimum value as CAPACITANCE. In order to meet the minimum capacitance, the nominal value may have to be scaled accordingly to take the drop of capacitance into account for a given dc voltage at the LDOs of dcdc converters. Input capacitors need to be placed as close as possible to the pins of TPS657120.

2.6 Electrical Characteristics - general functions

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted), see parameter measurement information

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
I_{SB}	Standby Supply Current	PWRON=LOW; total current in STANDBY state into pins VINDCDC1/2, VINDCDC3 and VIN_ANA			55	µA
I_Q	Quiescent Supply Current	PWRON=HIGH, LDOs and DCDC converters =OFF			60	µA
I_Q	Quiescent Supply Current	PWRON=HIGH, LDO1 and LDO2 and DCDC1 and DCDC2 = enabled in normal mode			170	µA

2.7 Electrical Characteristics - DCDC1/2

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted), see parameter measurement information

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V_{IN}	Input Voltage Range		2.8		5.5	V
V_{DCDC1} V_{DCDC2}	DCDCx Output Voltage Range	25mV steps up to 2.2V; 50mV steps above 2.2V	0.8		3.3	V
V_{DCDC1} V_{DCDC2}	Default Output Voltage			1.7		V
				2.65		
$I_{OUT(DCDCx)}$	Continuous Output Current	DCDC1 (VINDCDC1 ≥ 2.8V)			300	mA
		DCDC2 (VINDCDC2 ≥ 2.8V)			250	
I_Q	Quiescent Current	I_{LOAD} = 0 mA, DCDCx_MODE = 0, Device not switching; for each DCDC1 and DCDC2		16	25	µA
		I_{LOAD} = 0 mA, DCDCx_MODE = 1, Device switching; for each DCDC1 and DCDC2		3.5		mA
$V_{DCDC1/2}$	Accuracy	DCDCx_MODE = **1**, V_{IN} = 3.0V to 5.5V, I_{LOAD} = 0mA, tolerance is +/- 2% or +/-25mV whatever is larger	–2		2	%
		DCDCx_MODE = **0**, V_{IN} = 3.0V to 5.5V, I_{LOAD} = 0mA, +1% voltage scaling active	-3	1.25	3.5	%
	Load Regulation	DCDCx_MODE = **1**, V_{IN} = 3.0V to 5.5V; I_{LOAD} = 25mA to 225mA; for DCDC1 and DCDC2		0.25		%/A
f_{SW}	Switching Frequency	DCDCx_MODE = **1**, V_{IN} = 3.0V to 5.5V	1.9	2.4	2.6	MHz
$R_{DS(ON)}$	High Side FET On-Resistance	for DCDC1 and DCDC2 with VINDCDCx = 3.6V, D = 100%		250	400	mΩ
$R_{DS(ON)}$	Low Side FET On-Resistance	for DCDC1 and DCDC2 with VINDCDCx = 3.6V, D = 100%		220	350	mΩ
I_{LK_HS}	High Side FET Leakage Current	T_J = 85°C; DCDC1, DCDC2; VINDCDC1=VINDCDC2=5.5V			2	µA
I_{LK_LS}	Low Side FET Leakage Current	T_J = 85°C; DCDC1, DCDC2; VINDCDC1=VINDCDC2=5.5V			3	µA
I_{HS_LIMF}	High Side Forward Current Limit	2.9V ≤ V_{IN_DCDC1} ≤ 5.5V; for DCDC1	500	650	800	mA
I_{LS_LIMF}	Low Side Forward Current Limit	2.9V ≤ V_{IN_DCDC1} ≤ 5.5V; for DCDC1	500	650	800	mA
I_{HS_LIMF}	High Side Forward Current Limit	2.9V ≤ V_{IN_DCDC2} ≤ 5.5V; for DCDC2	425	600	775	mA
I_{LS_LIMF}	Low Side Forward Current Limit	2.9V ≤ V_{IN_DCDC2} ≤ 5.5V; for DCDC2	425	600	775	mA
	DCDC1, DCDC2 output voltage ripple	V_{IN} = 3.6V; V_{OUT} = 1.7V to 2.65V; Io=10mA to 300mA; L=1.5uH, RSL=50mR; Co=10uF		10	25	mVpp
	efficiency	VINDCDCx=3.7V, Vo=1.7V or Vo=2.65V; Io=80mA to 150mA	88	93		%
	efficiency	VINDCDCx=3.7V, Vo=1.7V or Vo=2.65V; Io=300uA	80			%
	efficiency	VINDCDCx=3.7V, Vo=1.7V or Vo=2.65V; Io=100uA		45		%

Electrical Characteristics - DCDC1/2 *(continued)*

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted), see parameter measurement information

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
	pulse skipping threshold	output current when device switches from PFM to PWM automatically; V_{IN} = 3.6V, V_{OUT} = 1.7V		140		mA
		output current when device switches from PFM to PWM automatically; V_{IN} = 3.6V, V_{OUT} = 2.65V		60		
PSRR	power supply rejection ratio	V_{IN} = 3.6V, I_{LOAD} = 150mA, 10Hz < f < 10kHz, Vo=1.7V and Vo=2.65V		40		dB
	output noise	V_{IN} = 3.6V, I_{LOAD} = 100mA, Vo=1.7V and Vo=2.65V				µV/√Hz
		1kHz < f < 100kHz			2	
		100kHz < f < 1MHz			0.2	
		1MHz < f < 10MHz; not including f(sw)			0.1	
$V_{DCDCPG\text{-}falling}$	Power Good Threshold	VDCDCx falling	VDCDCx-15%		VDCDCx-7%	
$V_{DCDCPG\text{-}rising}$	Power Good Threshold	VDCDCx rising		VDCDCx-3%		
t_{Start}	Start-up time	Time to start switching, measured from end of MIPI command enabling converter			225	µs
t_{Ramp}	V_{OUT} Ramp UP time	Time to ramp from 5% to 95% of V_{OUT}			200	µs
$R_{Discharge}$	Discharge resistor		250	400	600	Ω

2.8 Electrical Characteristics - DCDC3

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted), see parameter measurement information

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IN}	Input Voltage Range		2.8		5.5	V
V_{DCDC3}	DCDC3 Output Voltage Range	output voltage defined by internal resistor divider; DCDC3_CTRL:VCON = 0	0.8		3.60	V
		output voltage defined by VCON input; DCDC3_CTRL:VCON = 1	0.1		3.60	
$I_{OUT(DCDC3)}$	Continuous Output Current	DCDC3			2200	mA
I_Q	Quiescent Current	I_{LOAD} = 0 mA, DCDC3_MODE = 0, Device not switching		26	46	µA
		I_{LOAD} = 0 mA, DCDC3_MODE = 1, Device switching		6		mA
V_{DCDC3}	Accuracy; output voltage setting with register; DCDC3_CTRL:VCON = 0	DCDC3_MODE = **1**, I_{LOAD} = 0mA, T_A = 25°C; C_{OUT} = 2 x 4.7uF + 2.2uF	-2		2	%
		DCDC3_MODE = 1, I_{LOAD} = 0mA, T_A = –40 – 85°C; C_{OUT} = 2 x 4.7uF + 2.2uF	-2.5		2.5	%
		DCDC3_MODE = **0**, I_{LOAD} = 0mA, T_A = 25°C; C_{OUT} = 2 x 4.7uF + 2.2uF the output voltage tolerance is -3% / +3% or -45mV / +45mV whichever is larger	-3		3	%
		DCDC3_MODE = 0, I_{LOAD} = 0mA, T_A = –40 – 85°C; C_{OUT} = 2 x 4.7uF + 2.2uF the output voltage tolerance is -3% / +3% or -45mV / +45mV whichever is larger	-3		3	%
	Accuracy for VCON operation; DCDC3_CTRL:VCON = 1	Vo = 0.1V to 3.6V; C_{OUT} = 2 x 4.7uF + 2.2uF; PWM mode forced automatically; accuracy in VCON mode is +/- 5% or +/-25mV, whichever is larger	-5		5	%
f_{SW}	Switching Frequency	DCDC3_MODE = **1** or DCDC3_CTRL:VCON = **1**	2100	2300	2700	kHz
$R_{DS(ON)}$	High side MOSFET on-resistance	V_{IN_DCDC3} = 3.6V, 100% duty cycle		75	120	mΩ
	Low side MOSFET on-resistance	V_{IN_DCDC3} = 3.6V, 0% duty cycle		110	180	mΩ
I_{LK_HS}	High side leakage current	T_J = 85°C; VINDCDC3=4.2V			3	µA
I_{LK_LS}	Low side leakage current	T_J = 85°C; VINDCDC3=4.2V			3	µA
I_{LIM}	High side current limit	2.9V ≤ V_{IN_DCDC3} ≤ 5.5V	2400	3000	3600	mA
I_{LIM}	Low side current limit	2.9V ≤ V_{IN_DCDC3} ≤ 5.5V	2200	2800	3400	mA
I_{LIM}	Low side negative current limit	2.9V ≤ V_{IN_DCDC3} ≤ 5.5V; EN_nILIM_xl=1	1000	1500	2000	mA
I_{LIM}	Low side negative current limit	2.9V ≤ V_{IN_DCDC3} ≤ 5.5V; EN_nILIM_xl=0		200		mA
duty cycle range		V_{IN} = 3.6V	2		100	%
	DCDC3 output voltage ripple	V_{IN} = 5V; V_{OUT} = 3.4V; Io=2A; L=1.5uH, ESR=90mR; Co=10uF		10	50	mVpp
	DCDC3 load transient response	V_{IN} = 5V; V_{OUT} = 3.4V; Io=200mA to 1.8A; L=1.5uH, ESR=90mR; Co=10uF; dt=10us		100		mV
	efficiency	VINDCDCx=3.7V, Vo=3.4V; Io=1500mA	80			%
	efficiency	VINDCDCx=3.7V, Vo=3.4V; Io=400mA	90			%
	efficiency	VINDCDCx=3.7V, Vo=2.0V; Io=10mA	80			%

Electrical Characteristics - DCDC3 *(continued)*

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted), see parameter measurement information

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
	output noise	V_{IN} = 3.6V, I_{LOAD} = 100mA, Vo=2.65V				µV/√Hz
		1kHz < f < 100kHz			3	
		100kHz < f < 1MHz			0.2	
		1MHz < f < 10MHz			0.1	
$V_{DCDCPG\text{-}falling}$	Power Good Threshold	VDCDCx falling	VDCDCx-14%		VDCDCx-7%	%
$V_{DCDCPG\text{-}rising}$	Power Good Threshold	VDCDCx rising		VDCDCx-5%		%
t_{Start}	Start-up time	Time to start switching, measured from end of RFFE command enabling converter			175	µs
t_{Ramp}	V_{OUT} Ramp UP time	Time to ramp from 5% to 95% of V_{OUT} ; DCDC3_CTRL:IMMEDIATE = 1; V_{OUT} = 3.4V			30	µs
	rise and fall time	dVo=+/-1V; Io=450mA; Co=10uF; DCDC3_SEL mode			30	µs
	ramp time in VCON mode				10	µs
	VCON input voltage range		0.2		2.1	V
	VCON slew rate			300		mV/µs
	VCON input resistance			1		MΩ
	VCON gain	typical adjustable range	1.3		2.7	
	VCON offset		-350		0	mV
$R_{Discharge}$	Discharge resistor		250	400	500	Ω
	voltage between VINDCDC3 and VDCDC3				5.5	V
	bypass switch current limit	VINDCDCx= 2.8V to 5.5V; not tested in production	2000	2500	3000	mA
	bypass switch current limit response time			10		µs
	resistance from VINDCDC3 to VDCDC3	bypass switch closed; not including the parallel path through high side switch and inductor		100	170	mΩ
	leakage current from VINDCDC3 to VDCDC3	when bypass switch is open			10	µA
	bypass switch over-voltage protection	sensed at VDCDC3; bypass enabled bit is cleared when voltage is exceeded; rising edge		4.0		V
	bypass switch over-voltage protection	sensed at VDCDC3; bypass enabled bit is cleared when voltage is exceeded; falling edge		3.7		V

2.9 Electrical Characteristics - RF-LDOs

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted), see parameter measurement information

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
V_{IN}	Input Voltage	LDO1	2.0		5.5	V
		LDO2, analog supply voltage input	2.8		5.5	
V_{LDOx}	LDO Output Voltage range for RF-LDOs	50mV steps	1.2		3.4	V
	LDO Voltage Accuracy	ECO = **0**	-2		2	%
		ECO = **1**	-5		5	%

Electrical Characteristics - RF-LDOs *(continued)*

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted), see parameter measurement information

PARAMETER		TEST CONDITION	MIN	TYP	MAX	UNIT
$I_{OUT(LDOx)}$	LDO Continuous Output Current	LDO1	10			mA
		LDO2	10			
$I_{SHORT(LDOx)}$	LDO Current Limit	LDO1	20		80	mA
		LDO2	20		80	
$V_{DO(LDOx)}$	Dropout Voltage (1)	$I_{OUT(LDO1)}$ = 10mA; VINLDO1=2.0V			250	mV
		$I_{OUT(LDO2)}$ = 10mA; VINLDO2=3.0V			250	
	Line Regulation	V_{IN} = V_{LDO} + 0.5V & I_{LOAD} = 10mA for LDO1 and for LDO2	–1		1	%
	Load Regulation; ECO = **0**	LDO1 and LDO2: I_{LOAD} = 50uA to 10mA			40	mV
	Load Regulation; ECO = **1**	LDO1 and LDO2: I_{LOAD} = 0mA to 1mA	-5		5	%
	Line Transient Response	dV/dt = ±0.5V/µs	-50		50	mV
	Load Transient Response	for LDO1 and LDO2: dI/dt = 100mA/µs; 1mA to 10mA load step			50	mV
PSRR	Power Supply Rejection Ratio	f = 10Hz to 1kHz, V_{IN} - V_{OUT} ≥ 0.5V, I_{LOAD} = 10mA	63			dB
	output voltage noise	f = 10Hz to 100kHz, V_{IN} - V_{OUT} ≥ 0.5V , I_{LOAD} = 10mA		30		µVrms
I_q	Quiescent Current	ECO = **1**; I_{LOAD} ≤ 1mA for LDO1, LDO2			16	µA
		ECO = **0**; I_{LOAD} ≤ 10mA for LDO1, LDO2			40	µA
	ECO exit time	minimum wait time before the full current can be drawn after ECO is set 0			50	µs
t_{Ramp}	V_{OUT} Ramp Up time	Time to ramp from 5% to 95% of V_{OUT} ; I_{OUT} = 10mA; Co=4.7uF; Vo=1.8V		850	1000	µs
t_{Ramp}	V_{OUT} Ramp Up time	Time to ramp from 5% to 95% of V_{OUT} ; I_{OUT} = 10mA; Co=4.7uF; Vo=2.8V		1000	1200	µs
$V_{LDOPG-falling}$	Power Good Threshold	VDCDCx falling	VLDOx-14%		VLDOx-7%	
$V_{LDOPG-rising}$	Power Good Threshold	VDCDCx rising		VLDOx-5%		
$R_{Discharge}$	Discharge resistance at LDOx output	LDOx disabled	200	325	450	Ω

(1) V_{DO} = V_{IN} - V_{OUT}, where V_{OUT} = $V_{OUT(NOM)}$ - 2%

2.10 Electrical Characteristics – digital inputs, digital outputs

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
RFFE interface						
V_{VDDIO}	VDDIO voltage range	for VDDIO = 1.2V	1.1	1.2	1.3	V
V_{VDDIO}	VDDIO voltage range	for VDDIO = 1.8V	1.65	1.8	1.95	V
I_{VIO-IN}	I/O voltage average input current for SDATA, SCLK	VDDIO=1.8V; average during a 26MHz write			1.25	mA
CL	load capacitance	half speed readback; not including TPS657120 pin capacitance			50	pF
V_{OL}	Low Level Output Voltage for SDATA, SCLK	I_{OL}= 2mA	0		0.2 x VDDIO	V

Electrical Characteristics – digital inputs, digital outputs *(continued)*

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{OH}	High Level Output Voltage for SDATA, SCLK	I_{OH}= -2mA	0.8 x VDDIO		VDDIO	V
V_{TP}	INPUT: Positive Going Threshold Voltage	for VDDIO = 1.2V or 1.8V	0.4 x VDDIO		0.7 x VDDIO	V
V_{TN}	INPUT: Negative Going Threshold Voltage	for VDDIO = 1.2V	0.28 x VDDIO		0.6 x VDDIO	V
V_{TN}	INPUT: Negative Going Threshold Voltage	for VDDIO = 1.8V	0.3 x VDDIO		0.6 x VDDIO	V
V_H	INPUT: Hysteresis Voltage (VTP-VTN)	for VDDIO = 1.2V or 1.8V	0.1 x VDDIO		0.4 x VDDIO	V
V_{IORST}	RFFE I/O voltage reset voltage level	RFFE interface is in reset when VDDIO is below that voltage			0.95	V
I_{IH}	SDATA = 0.8 x VDDIO		-2		10	uA
	SCLK = 0.8 x VDDIO		-1		10	
I_{IL}	SDATA = 0.2 x VDDIO		-2		5	uA
	SCLK = 0.2 x VDDIO		-1		1	
generic I/Os						
V_{IL}	Low Level Input Voltage	for PWRON	0		0.4	V
V_{IL}	Low Level Input Voltage	for GPIO_0, GPIO_1, CLK_REQ1, CLK_REQ2 , DCDC3_SEL; SDATA, SCLK	0		0.3 x VDDIO	
V_{IH}	High Level Input Voltage	for PWRON pin	1.1		Vcc	V
V_{IH}	High Level Input Voltage	for GPIO_0, GPIO_1, CLK_REQ1, CLK_REQ2 , DCDC3_SEL, SDATA, SCLK	0.7 x VDDIO		VDDIO	V
V_{OL}	Low Level Output Voltage	I_{OL}= 1mA for VDDIO=1.8V	0		0.2	V
V_{OH}	High Level Output Voltage	for pins configured as push-pull ouput to VDDIO; I_{OH}= 1mA for VDDIO=1.8V	VDDIO-0.2V		VDDIO	V
V_{OH}	High Level Output Voltage	for pins configured as open-drain ouput			Vcc	V
I_{OL}	Low Level Output Current	for VDDIO >/= 1.8V			1	mA
I_{OL}	Low Level Output Current	for VDDIO = 1.2V			0.1	mA
I_{OH}	High Level Output Current	for VDDIO >/= 1.8V			1	mA
I_{OH}	High Level Output Current	for VDDIO = 1.2V			0.1	mA
I_{LKG}	Input Leakage Current	input pins tied to V_{IL}or V_{IH}			0.2	µA
TdHL	CLK_REQ1, CLK_REQ2, DCDC3_SEL delay for HIGH to LOW change				2	µs
TdLH	CLK_REQ1, CLK_REQ2, DCDC3_SEL delay for LOW to HIGH change				2	µs
TdLH	PWRON delay for LOW to HIGH change	for TPS657120 in STANDBY mode going to ACTIVE		4	+30%	ms

2.11 Electrical Characteristics – Thermal Shutdown, undervoltage lockout

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Thermal Shutdown temperature rising threshold		136	148	160	°C
Thermal Shutdown temperature hysteresis	temperature falling		20		°C
UVLO threshold	supply voltage rising			2.7	V
UVLO threshold	supply voltage falling			2.6	V

2.12 Electrical Characteristics – RFFE Timing parameters

T_A = –40°C to +85°C, typical values are at T_A = +25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{CLK}	SCLK frequency	for write access	0.032		26	MHz
f_{CLK_HALF}	SCLK half-speed frequency	for read access	0.032		13	MHz
T_{SCLKIH}	SCLK Input High Time	for full speed write access	11.25			ns
T_{SCLKIL}	SCLK Input Low Time	for full speed write access	11.25			ns
T_S	Data Setup Time	for VDDIO = 1.8V	1			ns
T_S	Data Setup Time	for VDDIO = 1.2V	4			ns
T_H	Data Hold Time		5			ns
T_D	Time for Data Output Valid from SCLK rising edge	TPS657120 is a half speed device for read operations	0		22	ns
$T_{SDATAOTRL}$	SDATA Output Transition (Rise/Fall) Time		2.1		6.5	ns
T_{SDATAZ}	Data drive release time				10	ns

2.13 MIPI RFFE 已接收时钟信号限制

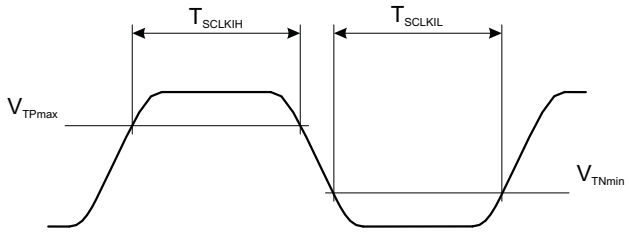


Figure 2-1. 已接收时钟信号限制

2.14 MIPI RFFE 总线激活数据传输时序技术规格

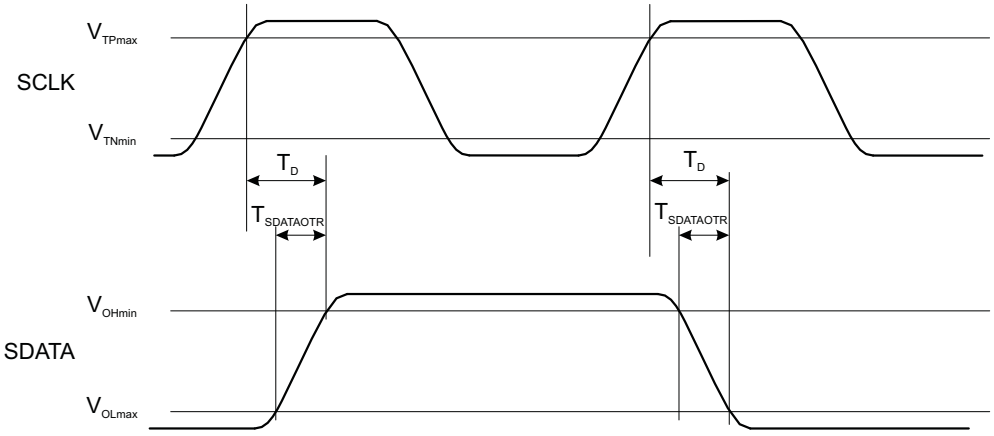


Figure 2-2. 总线激活数据传输时序技术规格

2.15 MIPI RFFE 总线驻停周期时序

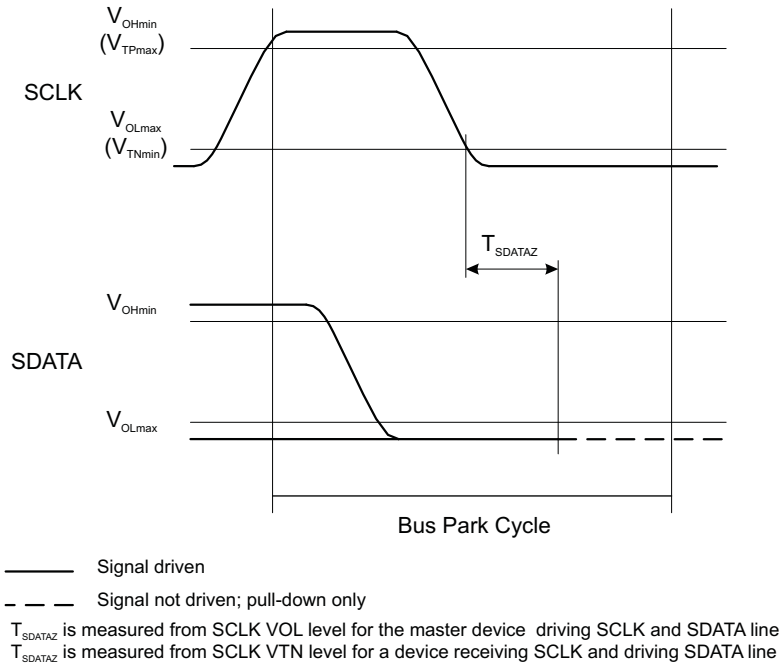


Figure 2-3. 总线驻停周期时序

2.16 MIPI RFFE 数据设置和保持时序

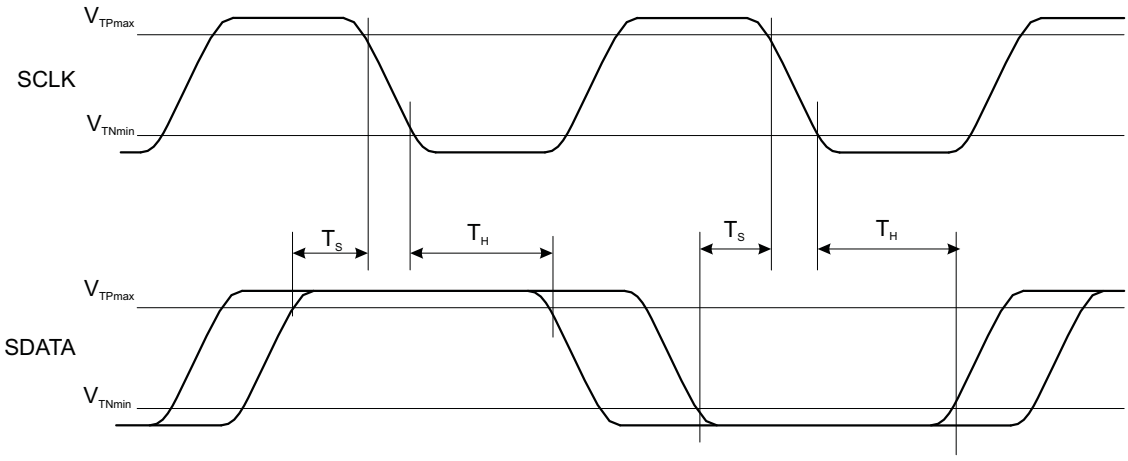


Figure 2-4. 数据设置和保存计时

2.17 典型特征

2.17.1 参数测量信息

如推荐运行条件中规定的那样（除 T_A = 25°C 时的情况），已经使用具有无源组件的评估模块 (EVM) 生成这些图形，除非另外注明：

- L1 = L2 = DFE201610C-2R2
- L3 = DFE252010-1R5
- CoutDCDC1，2 = 10uF (GRM188R61A106ME69)
- CoutDCDC3 = 4.7uF + 2.2uF (GRM188R60J475KE19 + GRM185R60J225)
- CoutLDO1，2 = 4.7uF (GRM188R60J475KE19)

图形的表格

		图
效率 DCDC1 与负载电流 / 脉宽调制 (PWM) 模式间的关系	V_O = 1.7V；V_I = 3.0V，3.8V，4.2V，5.0V	Figure 2-5
效率 DCDC1 与负载电流 / 脉冲频率调制 (PFM) 模式间的关系	V_O = 1.7V；V_I = 3.0V，3.8V，4.2V，5.0V	Figure 2-6
效率 DCDC2 与负载电流 / PWM 模式间的关系	V_O = 2.65V；V_I = 3.0V，3.8V，4.2V，5.0V	Figure 2-7
效率 DCDC2 与负载电流 / PFM 模式间的关系	V_O = 2.65V；V_I = 3.0V，3.8V，4.2V，5.0V	Figure 2-8
效率 DCDC3 与负载电流 / PWM 模式间的关系	V_O = 0.85V；V_I = 3.0V，3.8V，4.2V，5.0V	Figure 2-9
效率 DCDC3 与负载电流 / PFM 模式间的关系	V_O = 0.85V；V_I = 3.0V，3.8V，4.2V，5.0V	Figure 2-10
效率 DCDC3 与负载电流 / PWM 模式间的关系	V_O = 2.0V；V_I = 3.0V，3.8V，4.2V，5.0V	Figure 2-11
效率 DCDC3 与负载电流 / PFM 模式间的关系	V_O = 2.0V；V_I = 3.0V，3.8V，4.2V，5.0V	Figure 2-12
效率 DCDC3 与负载电流 / PWM 模式间的关系	V_O = 3.4V；V_I = 3.6V，3.8V，4.2V，5.0V	Figure 2-13
效率 DCDC3 与负载电流 / PFM 模式间的关系	V_O = 3.4V；V_I = 3.6V，3.8V，4.2V，5.0V	Figure 2-14
PWM 模式下的负载瞬态响应 DCDC1	I_O= 30mA 至 270 mA；V_O = 1.7V；V_I = 3.6V	Figure 2-15
PFM 模式下的负载瞬态响应 DCDC1	I_O= 30mA 至 270 mA；V_O = 1.7V；V_I = 3.6V	Figure 2-16
PWM 模式下的负载瞬态响应 DCDC2	I_O= 30mA 至 270 mA；V_O = 2.65V；V_I = 3.6V	Figure 2-17
PFM 模式下的负载瞬态响应 DCDC2	I_O= 30mA 至 270 mA；V_O = 2.65V；V_I = 3.6V	Figure 2-18
PFM 模式下的负载瞬态响应 DCDC3	I_O= 100mA 至 900 mA；V_O = 2.0V；V_I = 3.6V	Figure 2-19
PFM 模式下的负载瞬态响应 DCDC3	I_O= 200mA 至 1800 mA；V_O = 3.4V；V_I = 3.8V	Figure 2-20
PWM 模式下的线路瞬态响应 DCDC1	V_O= 1.7V；V_I = 3.6V 至 4.2V；I_O= 100mA	Figure 2-21
PFM 模式下的线路瞬态响应 DCDC1	V_O= 1.7V；V_I = 3.6V 至 4.2V；I_O= 100mA	Figure 2-22
PWM 模式下的线路瞬态响应 DCDC2	V_O= 2.65V；V_I = 3.6V 至 4.2V；电流 100mA 时的负载 = 26.5Ω	Figure 2-23
PFM 模式下的线路瞬态响应 DCDC2	V_O= 2.65V；V_I = 3.6V 至 4.2V；电流 100mA 时的负载 = 26.5Ω	Figure 2-24
PFM 模式下的线路瞬态响应 DCDC3	V_O= 2.0V；V_I = 3.6V 至 4.2V；电流 1.25A 时的负载 = 1.6Ω	Figure 2-25
PFM 模式下的线路瞬态响应 DCDC3	V_O= 3.4V；V_I = 3.6V 至 4.2V；电流 1.1A 时的负载 = 3.1Ω	Figure 2-26
针对 DCDC1 的电源抑制比 (PSRR)	V_O = 1.7V；V_I= 3.6V；负载 = 80mA，150mA	Figure 2-27
针对 DCDC2 的 PSRR	V_O = 2.65V；V_I= 3.6V；负载 = 80mA，150mA	Figure 2-28
针对 DCDC3 的 PSRR	V_O = 2.0V；V_I= 3.6V；负载 = 80mA，150mA	Figure 2-29
针对 DCDC3 的 PSRR	V_O = 3.4V；V_I= 3.6V；负载 = 80mA，150mA	Figure 2-30
PFM 模式下 LDO1 的负载瞬态响应	I_O= 1mA 至 9 mA；V_O = 1.8V；V_I = 3.6V	Figure 2-31
PFM 模式下 LDO2 的负载瞬态响应	I_O= 1mA 至 9 mA；V_O = 2.8V；V_I = 3.6V	Figure 2-32
线路瞬态响应 LDO1	V_O= 1.8V；V_I = 3.6V 至 4.2V；电流 10mA 时的负载 = 180Ω	Figure 2-33
线路瞬态响应 LDO2	V_O= 2.8V；V_I = 3.6V 至 4.2V；电流 10mA 时的负载 = 280Ω	Figure 2-34
针对 LDO1 的 PSRR	V_O = 1.8V；负载 = 10mA；V_I = 2.7V，3.3V	Figure 2-35
针对 LDO2 的 PSRR	V_O = 2.8V；负载 = 10mA；V_I = 3.3V，3.6V	Figure 2-36
针对 LDO1 的外部噪声	V_O = 1.8V；电流 10mA 时的负载 = 180Ω；V_I= 3.6V	Figure 2-37
针对 LDO2 的外部噪声	V_O = 2.8V；电流 10mA 时的负载 = 280Ω；V_I= 3.6V	Figure 2-38

图形的表格 **(continued)**

		图
启动 DCDC1，DCDC2，LDO1 和 LDO2	V_I= 3.6V；负载为开路	Figure 2-39

2.18 典型特征（继续）

T_A= 25°C 时测得的值，除非另外注明

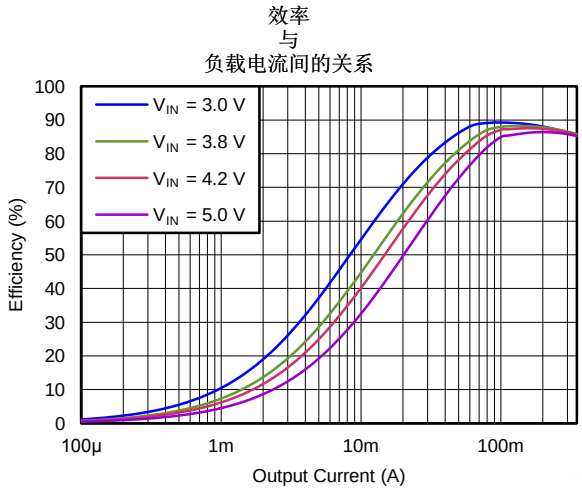


Figure 2-5. PWM 模式，DCDC1，V_O = 1.7V

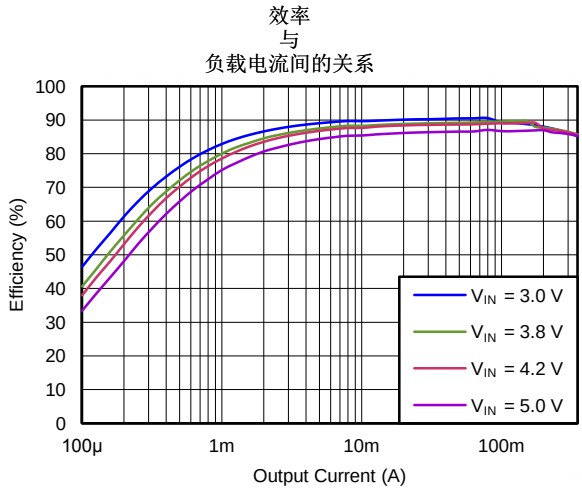


Figure 2-6. PFM 模式，DCDC1，V_O = 1.7V

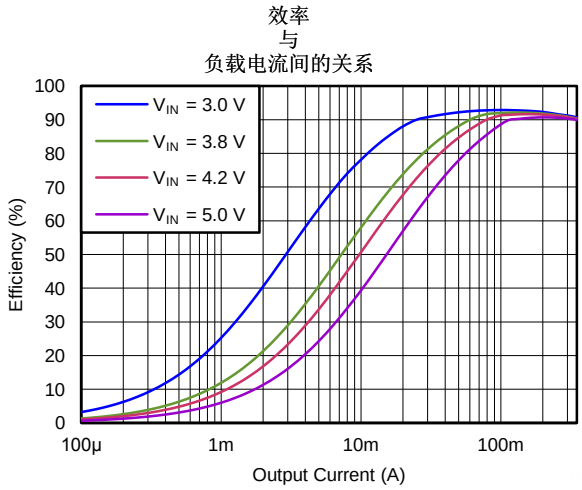


Figure 2-7. PWM 模式，DCDC2，V_O = 2.65V

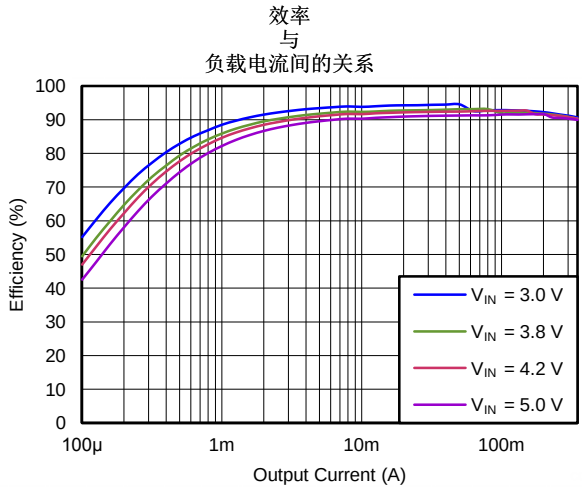


Figure 2-8. PFM 模式，DCDC2，V_O = 2.65V

T_A= 25°C 时测得的值，除非另外注明

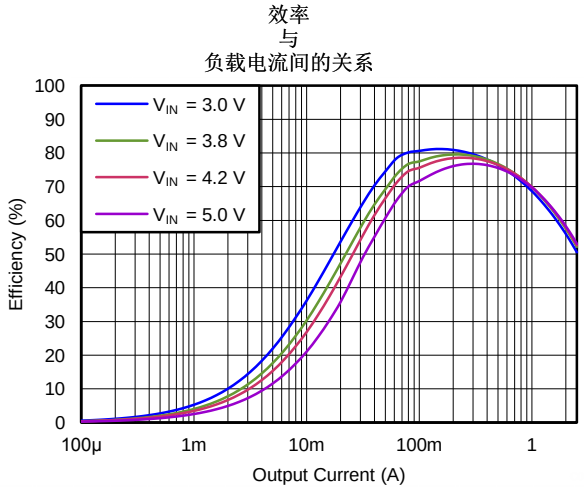


Figure 2-9. PWM 模式，DCDC3，V_O = 0.85V

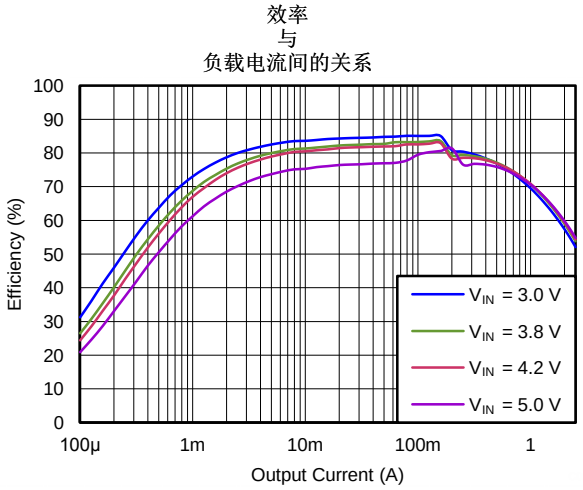


Figure 2-10. PFM 模式，DCDC3，V_O = 0.85V

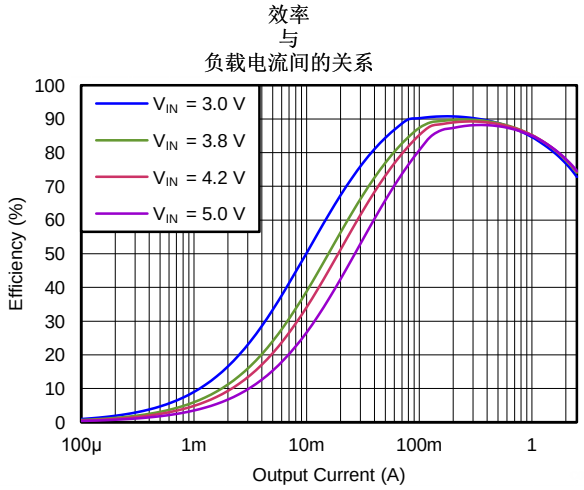


Figure 2-11. PWM 模式，DCDC3，V_O = 2.0V

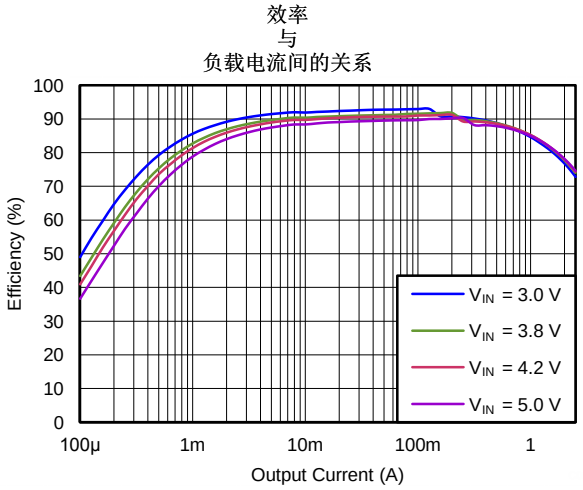


Figure 2-12. PFM 模式，DCDC3，V_O = 2.0V

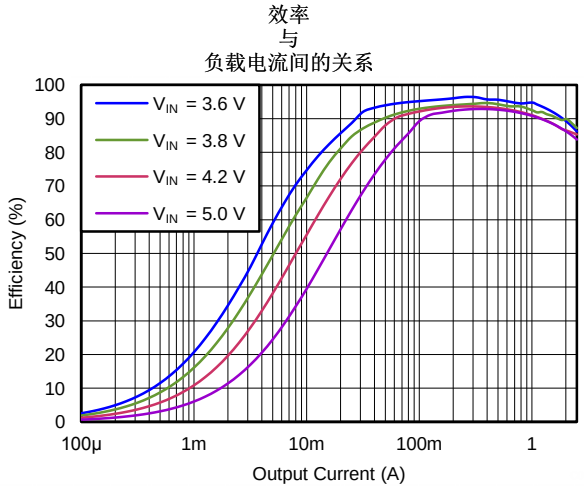


Figure 2-13. PWM 模式，DCDC3，V_O = 3.4V

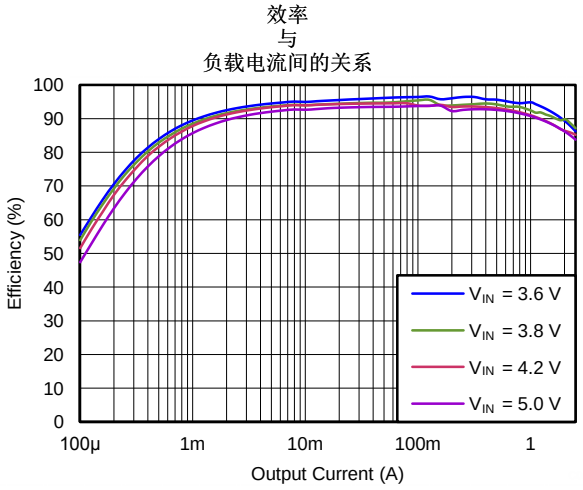


Figure 2-14. PFM 模式，DCDC3，V_O = 3.4V

T_A= 25°C 时测得的值，除非另外注明

PWM 模式下，DCDC1 的负载瞬态响应

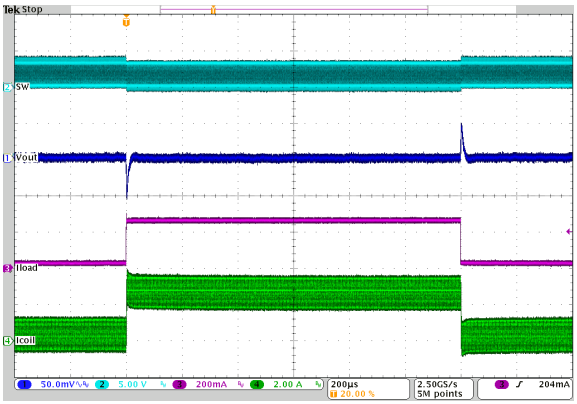


Figure 2-15. I_O= 30mA 至 270mA；
V_O = 1.7V； V_I = 3.6V

PFM 模式下，DCDC1 的负载瞬态响应

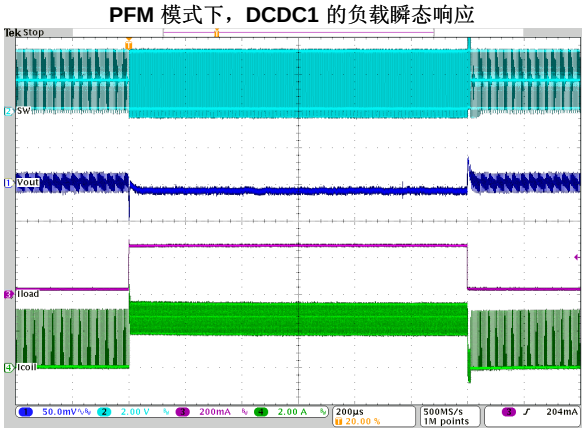


Figure 2-16. I_O= 30mA 至 270mA；
V_O = 1.7V； V_I = 3.6V

PWM 模式下，DCDC2 的负载瞬态响应

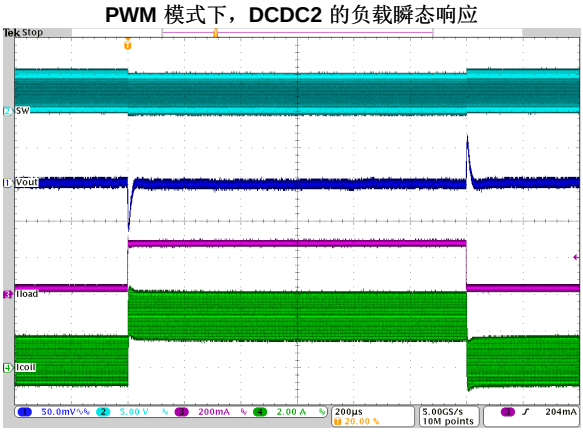


Figure 2-17. I_O= 30mA 至 270mA；
V_O = 2.65V； V_I = 3.6V

PFM 模式下，DCDC2 的负载瞬态响应

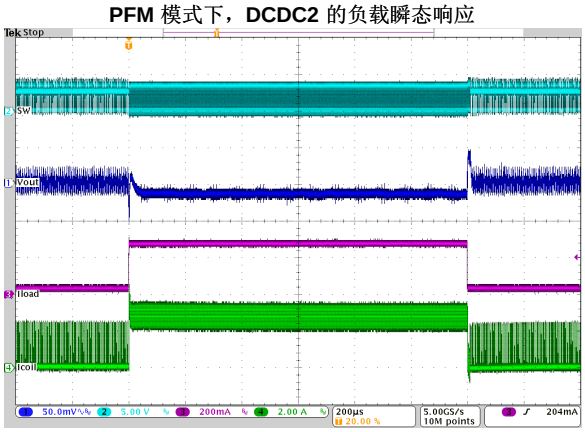


Figure 2-18. I_O= 30mA 至 270mA；
V_O = 2.65V； V_I = 3.6V

PFM 模式下，DCDC3 的负载瞬态响应

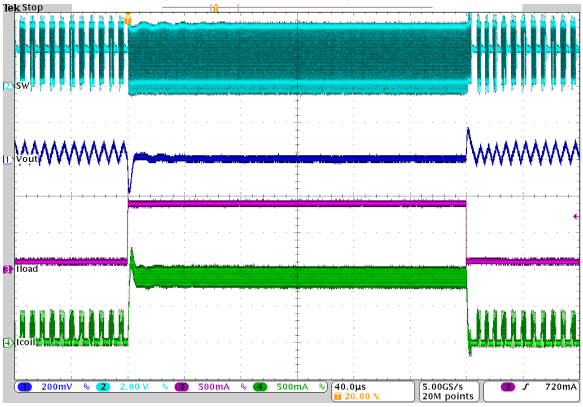


Figure 2-19. I_O= 100mA 至 900mA；
V_O = 2.0V； V_I = 3.6V

PFM 模式下，DCDC3 的负载瞬态响应

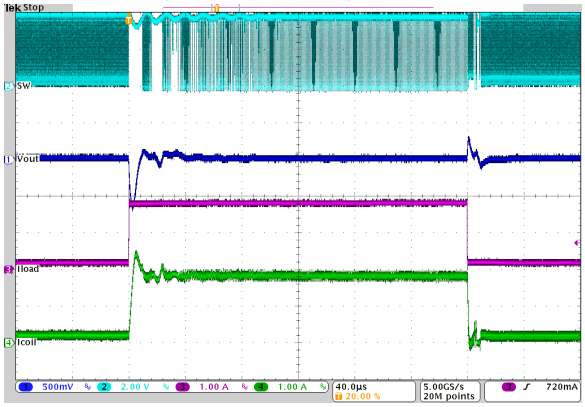


Figure 2-20. I_O= 200mA 至 1800mA；
V_O = 3.4V； V_I = 3.8V

T_A= 25°C 时测得的值，除非另外注明

PWM 模式下，DCDC1 的线路瞬态响应

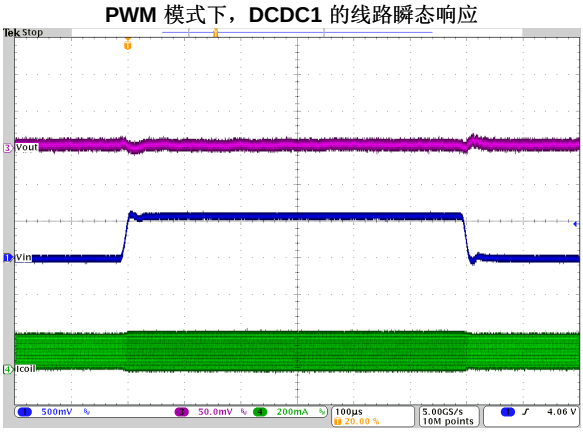


Figure 2-21. V_O= 1.7V；V_I = 3.6V 至 4.2V；I_O= 100mA

PFM 模式下，DCDC1 的线路瞬态响应

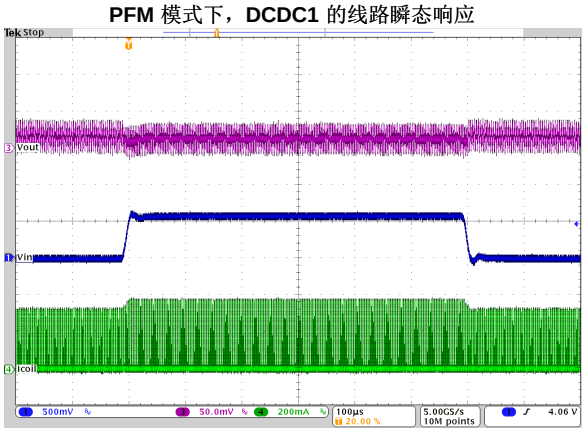


Figure 2-22. V_O= 1.7V；V_I = 3.6V 至 4.2V；I_O= 100mA

PWM 模式下，DCDC2 的线路瞬态响应

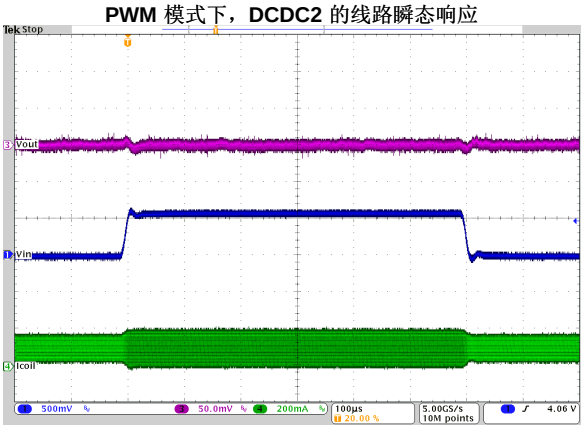


Figure 2-23. V_O= 2.65V；V_I = 3.6V 至 4.2V；电流 100mA 时的负载 = 26.5Ω

PFM 模式下，DCDC2 的线路瞬态响应

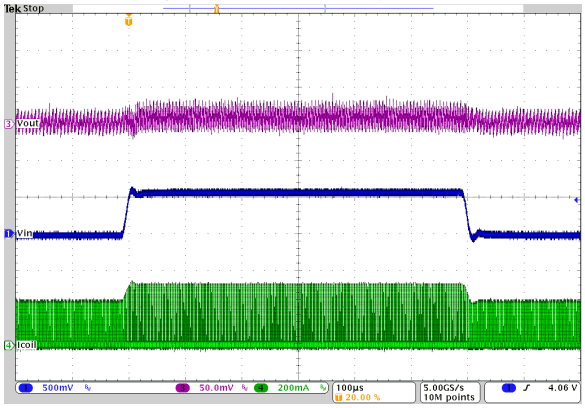


Figure 2-24. V_O= 2.65V；V_I = 3.6V 至 4.2V；电流 100mA 时的负载 = 26.5Ω

PFM 模式下，DCDC3 的线路瞬态响应

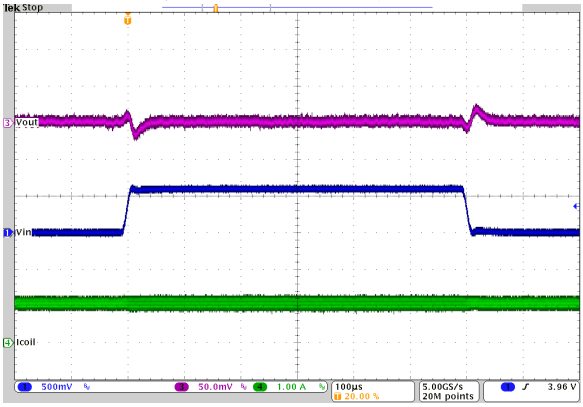


Figure 2-25. V_O= 2.0V；V_I = 3.6V 至 4.2V；电流 1.25A 时的负载 = 1.6Ω

PFM 模式下，DCDC3 的线路瞬态响应

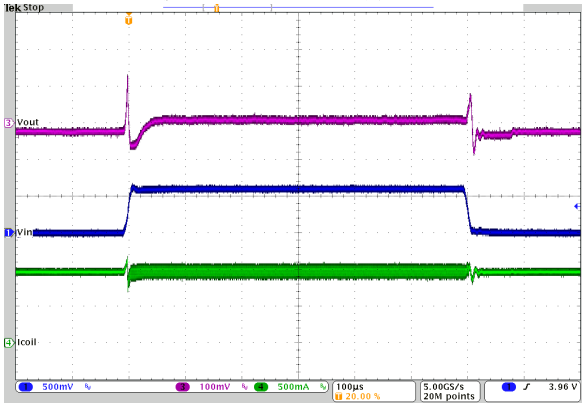


Figure 2-26. V_O= 3.4V；V_I = 3.6V 至 4.2V；电流 1.1A 时的负载 = 3.1Ω

T_A= 25°C 时测得的值，除非另外注明

针对 **DCDC1** 的 **PSRR**

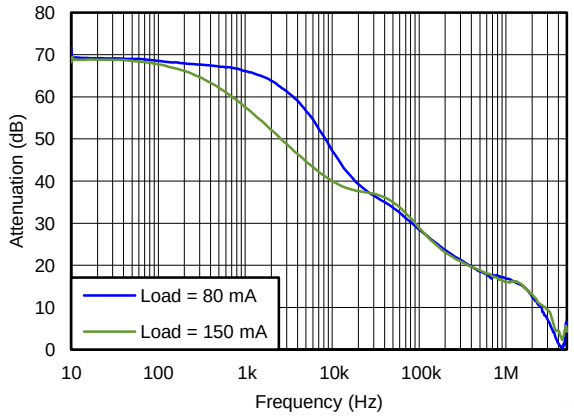


Figure 2-27. V_O = 1.7V；V_I= 3.6V；负载 = 80mA，150mA

针对 **DCDC2** 的 **PSRR**

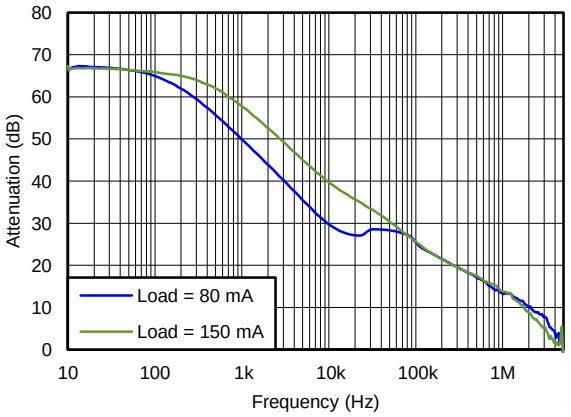


Figure 2-28. V_O = 2.65V；V_I= 3.6V；负载 = 80mA，150mA

针对 **DCDC3** 的 **PSRR**

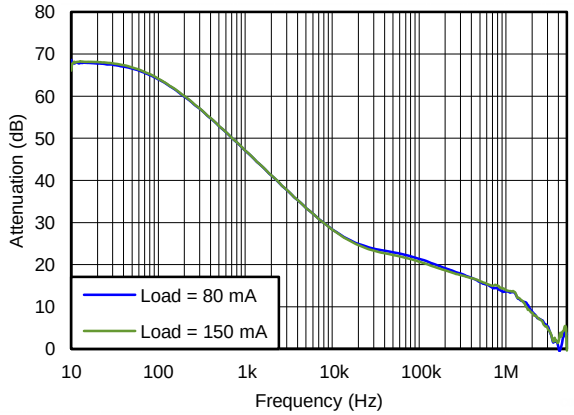


Figure 2-29. V_O = 2.0V；V_I= 3.6V；负载 = 80mA，150mA

针对 **DCDC3** 的 **PSRR**

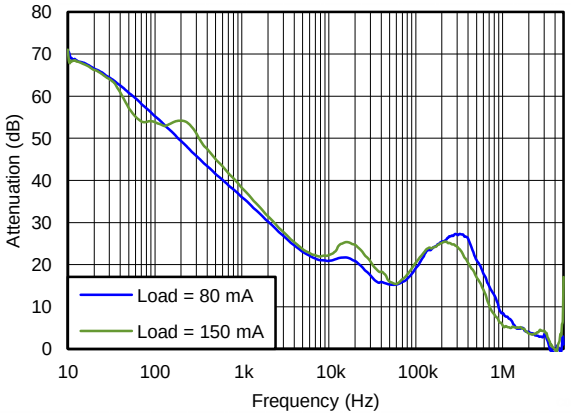


Figure 2-30. V_O = 3.4V；V_I= 3.6V；负载 = 80mA，150mA

PFM 模式下，**LDO1** 的负载瞬态响应

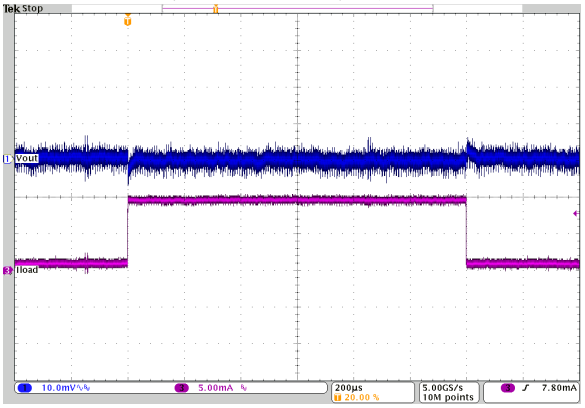


Figure 2-31. I_O= 1mA 至 9mA；V_O = 1.8V；V_I = 3.6V

PFM 模式下，**LDO2** 的负载瞬态响应

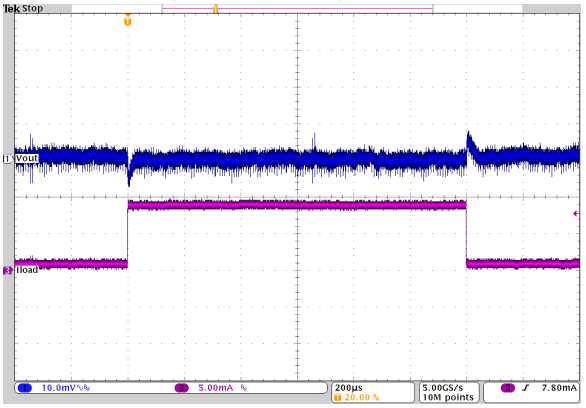


Figure 2-32. I_O= 1mA 至 9mA；V_O = 2.8V；V_I = 3.6V

T_A= 25°C 时测得的值，除非另外注明

线路瞬态响应
LDO1

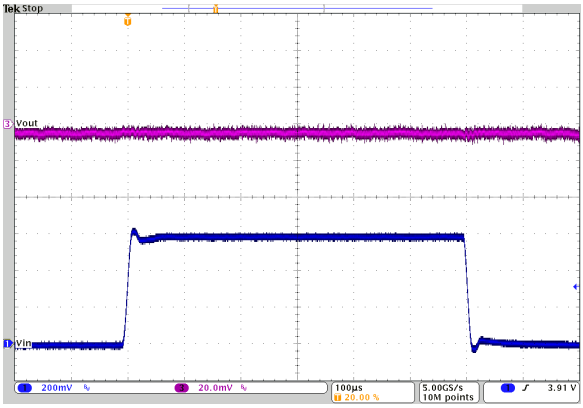


Figure 2-33. V_O= 1.8V；V_I = 3.6V 至 4.2V；电流 10mA 时的负载 = 180Ω

线路瞬态响应
LDO2

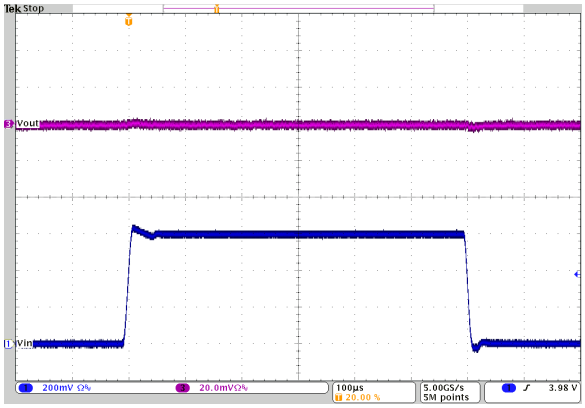


Figure 2-34. V_O= 2.8V；V_I = 3.6V 至 4.2V；电流 10mA 时的负载 = 280Ω

针对 **LDO1** 的 **PSRR**

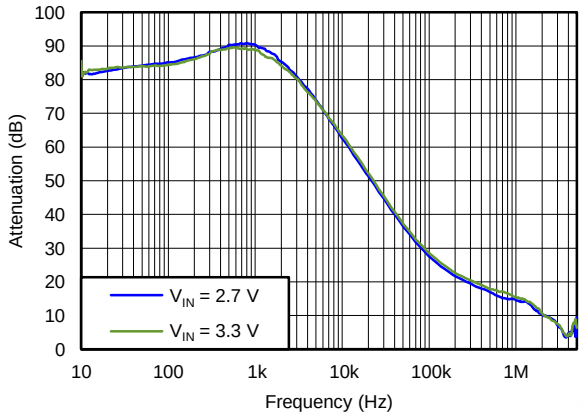


Figure 2-35. V_O = 1.8V；负载 = 10mA；V_I = 2.7V，3.3V

针对 **LDO2** 的 **PSRR**

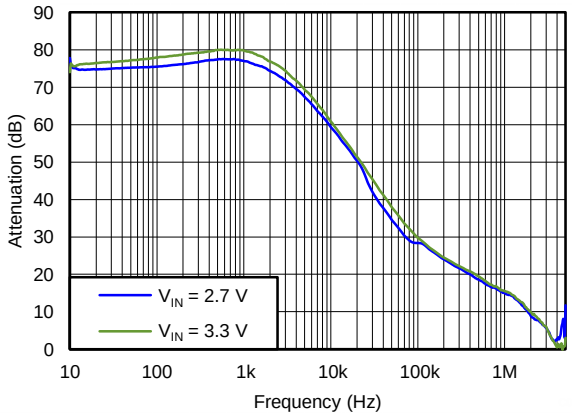


Figure 2-36. V_O = 2.8V；负载 = 10mA；V_I = 3.3V，3.6V

针对 **LDO1** 的外部噪声

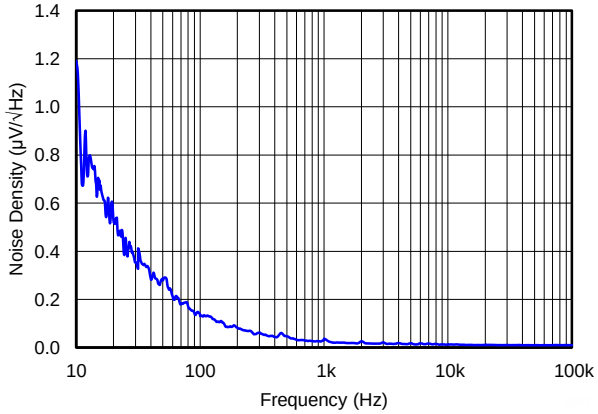


Figure 2-37. V_O = 1.8V；电流 10mA 时的负载 = 180Ω；V_I = 3.6V

针对 **LDO2** 的外部噪声

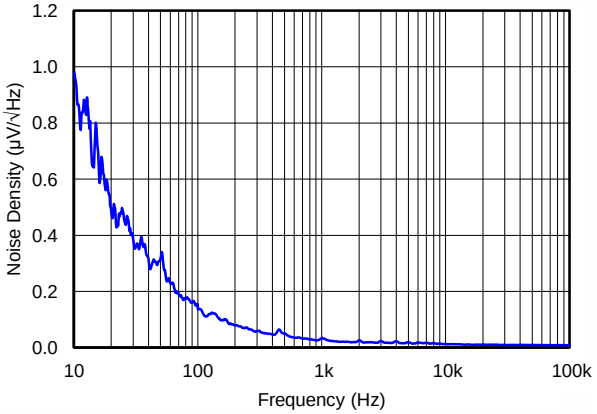


Figure 2-38. V_O = 2.8V；电流 10mA 时的负载 = 280Ω；V_I = 3.6V

T_A= 25°C 时测得的值，除非另外注明

启动
DCDC1，DCDC2，
LDO1 和 LDO2

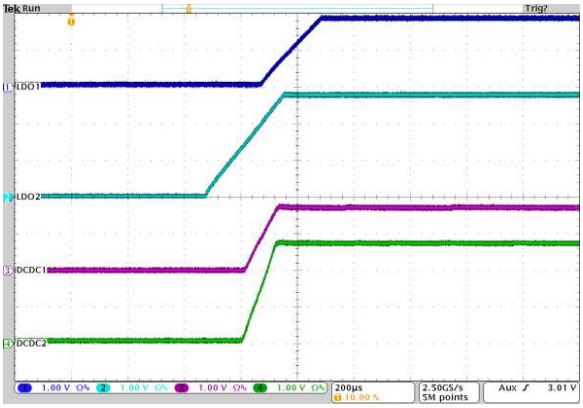


Figure 2-39. V_I= 3.6V；负载为开路

3 详细说明

3.1 线性稳压器

此电源管理内核有 2 个具有不同输出电流能力的高 PSRR，低噪声 LDO。 可通过通信总线来单独设定每个 LDO 的输出电压（请见 LDO 电压设置表），并且在 LDO 被启用时，转换立即发生。

低静态电流（经济 (ECO)）模式

每个 LDO 配备有一个低静态电流模式，可通过将 ECO 为设定为 1 来分别启用或禁用此模式。

输出放电

每个 LDO 配备有一个输出放电位。 当这个位被设定为 1 时，如果 LDO 被禁用，LDO 的输出将被放电至接地电平（与一个 300Ω 的电阻器等效）。 如果 LDO 被启用，此放电位将被忽略。

LDO 使能

LDO 使能/禁用是灵活加电和断电状态机的部件。 每个 LDO 可被编程，这样的话，它在加电状态出现后的 15 个时间槽中的任何一个中自动加电，或者由一个专用引脚控制加电。 引脚 CLK_REQ1 和 CLK_REQ2 可被映射到任一资源（LDO，直流到直流转换器）以启用或禁用 LDO。

LDO 电压范围

LDO 的输出电压范围介于 1.2V 至 3.3V 之间。

LDO 电源正常比较器

每个 LDO 的输出电压由一个内部电源正常比较器的监控。 其输出是设定和清零寄存器 PGOOD 内的 PGOOD 位。 如果 LDO 被启用，但是 LDO 的输入电压低于 1V，那么电源正常位无效。

3.2 降压转换器 DCDC1 和 DCDC2

TPS657120 降压转换器在中等程度至重负载时以典型值为 2.25MHz 的定频脉宽调制 (PWM) 模式运行。 随着 DCDCx_MODE 位被设定为“0”，轻负载电流时，转换器可自动进入省电模式，并在 PFM 模式下运行。

PWM 运行期间，此转换器使用一个独特的快速响应电压模式控制机制，此机制具有输入电压前馈以实现良好的线路和负载稳压，从而允许使用小型陶瓷输入和输出电容器。 在时钟信号发起的每个时钟周期开始时，高侧金属氧化物半导体场效应晶体管 (MOSFET) 开关被接通。 现在电流从输入电容，经由高侧 MOSFET 开关，流经电感器，到达输出电容器和负载。 在这个阶段期间，在 PWM 比较器触发前，电流斜升，并且控制逻辑电路将关闭此开关。 电流限制比较器也可在超过高侧 MOSFET 开关的电流限值的情况下关闭此开关。 在一个防止击穿电流的关闭时间后，低侧 MOSFET 整流器被接通，并且电感器电流将斜降。 现在，电流从电感器流至输出电容器和负载。 它通过低侧 MOSFET 整流器返回电感器。

下一个周期再次由关闭低侧 MOSFET 整流器，并且接通高侧 MOSFET 开关的时钟信号发起。 DCDC1 和 DCDC2 间的 180°相移减少输入均方根 (RMS) 电流，并且将两个直流到直流转换器的运行同步。 反馈引脚 (VDCDCx) 必须被直接接至直流到直流转换器的输出电压，并且一定不能连接外部电阻器网络。

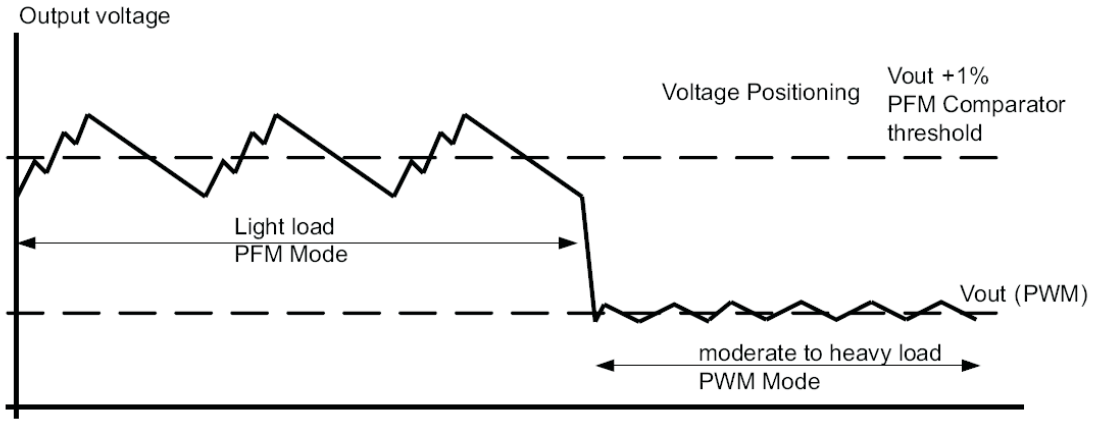
3.3 省电模式

省电模式在 DCDCx_MODE 位被设定为“0”时启用。 如果负载电流减少，转换器将自动进入省电模式运行。 省电模式期间，转换器跳过开关，并且以减少的频率在 PFM 模式中用尽可能小的静态电流运行，以保持高效率。 转换器通常将输出电压定位在比标称输出电压高出 +1%。 这个电压定位特性最大限度地减少由突然负载阶跃所导致的电压下降。 一旦的低侧 MOSFET 开关中的电感器电流变为零，这表示断续传导模式，PWM 模式转换为 PFM 模式。 省电模式期间，输出电压由一个 PFM 比较器进行监控。 当输出电压下降到 VOUT 标称值 +1% 的 PFM 比较器阀值以下时，器件启动一个 PFM 电流脉冲。 高侧 MOSFET 开关将接通，并且电感器电流将斜升。 在接通时间终止后，在电感器电流变为零之前，此开关关闭，并且低侧 MOSFET 开关打开。 此转换器实际上将一个电流传送至输出电容器和负载。 如果负载低于已传送的电流，输出电压将上升。 如果输出电压等于或高于 PFM 比较器阀值，此器件停止开关并进入一个典型流耗为 25μA 的睡眠模式。

如果输出电压仍旧低于 PFM 比较器阀值，在达到 PFM 比较器阀值前，将进一步生成连续的 PFM 电流脉冲。 一旦输出电压下降到低于 PFM 比较器阀值，此转换器再次开始切换。 借助于快速信号阀值比较器，可以将 PFM 模式运行期间的输出电压纹波保持在较小的水平上。 PFM 脉冲受时间控制，这样可以通过电感器的值来更改被传递给输出电容器的电荷。 产生的 PFM 输出电压纹波和 PFM 频率直接取决于输出电容器的尺寸和电感器的值。 增加输出电容器值和电感器值将最大限度地减少输出纹波。 PFM 频率随着电感器值的减小和增大而下降和上升。 在 PFM 模式中不在支持输出电流的情况下，退出 PFM 模式并进入 PWM 模式。 通过将 Mode 引脚设定为高电平，可禁用省电模式。 然后，此转换器将运行在定频 PWM 模式中。

3.4 动态电压定位（可选）

这个特性在负载由轻到重以及由重到轻的负载阶跃发生时减少电压下冲/过冲。 它在省电模式中起作用，并且将输出电压稳定在比标称值高 1% 的水平上。 这为负载阶跃发生时的电压压降，以及抛负载时的电压增加提供了更多的净空。 动态电压定位是 TI 的一个可选特性集，并且可按照要求启用/禁用。



3.5 软启动/使能

降压转换器使能

降压转换器使能/禁用是灵活加电和断电状态机的部件。 每个转换器可被编程，这样的话，它在加电状态出现后的 15 个时间槽中的任何一个中自动加电，或者由一个专用引脚控制加电。 引脚 CLK_REQ1 和 CLK_REQ2 可被映射到任一资源（LDO，直流到直流转换器）以启用或禁用它。

降压转换器软启动

TPS657120 中的降压转换器有一个能够控制输出电压斜升的内部软启动电路。 在一个电气技术规格中定义的时间内，输出电压从其标称值的 5% 斜升至 95%。 这限制了启动期间转换器内的涌入电流，并且在使用电池或高阻抗电源时防止可能出现的输入电压压降。 此软启动电路在启动时间 t_{Start} 终止后被启用。 对于 DCDC3 来说，有一个为启动和斜坡时间设定两个不同值的选项。 对于要求快速响应的应用，设定 DCDC3_CTRL:RAMP_TIME = 1。

软启动期间，输出电压斜升的控制如 Figure 3-1 中所示。

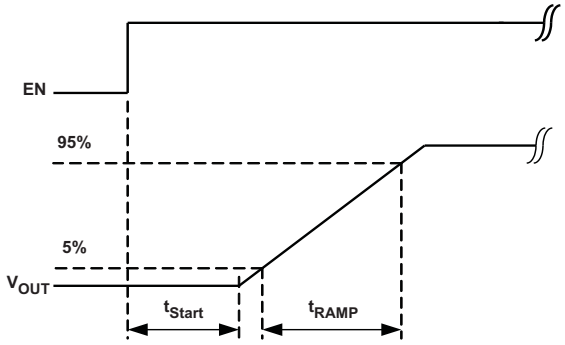


Figure 3-1. 软启动

3.6 针对 DCDC1，DCDC2 和 DCDC3 的动态电压定位 (DVS)

TPS657120 中的直流到直流转换器允许通过改变寄存器内容或者在 DCDCx_OP 和 DCDCx_AVS 寄存器定义的设置之间切换来更改运行期间的输出电压。 DCDCx_OP 和 DCDCx_AVS 寄存器之间的切换由引脚 DCDC3_SEL 完成。 这个名称表示此引脚只用于 DCDC3，但是 DCDC1 和 DCDC2 可被映射至与 DCDC3 一样的引脚，以便通过切换引脚来在两个不同输出电压间转换。 电压缩放功能的映射由针对每个转换器的 DCDCx_CTRL 寄存器位 DCDCx_SEL_CTRL 完成。 当输出电压发生变化时，新的电压将在 DCDCx_CTRL:IMMEDIATE=1 时被立即斜升，或者在 IMMEDIATE 位被设定为 0 时，斜升至由 DCDCx_CTRL:TSTEP 定义的转换率。执行转换率控制，这样的话，TSTEP 定义达到新的目标值前，从一个输出电压步进到下一个电压的时间，在，通过全部步长来步进。 当电压变化，此转换器被强制进入 PWM 模式，以实现已定义的输出电压上升和下降时间。 对于 DCDC3 来说，当运行在 VCON 模式中时，DVS 未激活，但是转换器将按照 VCON 上的模拟信号运行。

在设定时间内，将输出电压斜升至目标值的 DVS 状态机在转换器被禁用时自动被禁用。 因此，只有在转换器起作用时才处理电压变化。 如果转换器被禁用，现在寄存器内的目标电压值随着特定的 TSTEP 设置发生变化，转换器被启用时，DVS 将开始斜升至目标值。 对于两个最慢 TSSTEP 设置，转换器的 130us 初始使能延迟将不足以覆盖此斜升时间。 这将导致一个电压在加电期间仍旧斜升至新的目标值。

3.7 100% 占空比低压降运行

一旦输入电压接近标称输出电压，此器件开始进入 100% 占空比模式。 为了保持此输出电压，在一个或更多周期内，高侧 MOSFET 开关 100% 接通。 随着进一步的减少 VIN，高侧 MOSFET 开关完全接通。 在这个情况下，此转换器提供一个低输入到输出电压差异。 为了充分利用整个电池电压范围以实现最长的运行时间，这一特性在电池供电类应用中特别有用。 保持稳压的最小输入电压取决于负载电流和输出电压，计算方法如下：

$$V_{IN}min = V_Omax + I_Omax (R_{DS(on)}max + R_L)$$

在这里，

I_Omax = 最大输出电流加上电感器纹波电流
$R_{DS(on)}max$ = 最大高侧开关 $R_{DS(on)}$。
R_L = 电感器的直流电阻
V_Omax = 标称输出电压加上最大输出电压耐受值

3.8 180°异相操作

在 PWM 模式中，此转换器以 PMOS（高侧）晶体管的 180°接通相移运行。 这防止了两个转换器的高侧开关同时接通，并因此使输入电流变得平滑。 这一特性减少了汲取自电源的浪涌电流。

3.9 针对 DCDC1，DCDC2，DCDC3，LDO1 和 LDO2 的欠压闭锁

欠压闭锁电路防止器件在低输入电压时出现故障，并且防止电池过度放电。 它在过低输入电压时禁用直流到直流转换器和 LDO。 请见欠压闭锁阀值电压电气特性。

3.10 输出电压放电

直流到直流转换器和 LDO 包含一个输出电容器放电特性，此特性在直流到直流转换器或 LDO 被禁用时将电容器放电。

3.11 短路保护

所有输出受到电气技术规格中定义的最大输出电流的短路保护。

3.12 输出电压监控

内部电源正常比较器监视开关稳压器输出，并且检测输出电压何时低于目标值。 电源管理内核用这些信息来设置和清零寄存器集合内相应的电源正常位。 一个开关稳压器的单独电源正常比较器将在稳压器被禁用或者稳压器的电压从一个设定点转换为另外一个设定点时消隐。

3.13 降压转换器和 LDO 启用；引脚 CLK_REQ1 和 CLK_REQ2

降压转换器和 LDO 使能/禁用是灵活加电和断电状态机的部件。 可以对于每个转换器进行编程，这样的话，它在加电状态后 8 个时间槽的开头自动加电。 或者，可将一个资源映射至一个控制使能功能的专用引脚。 引脚 CLK_REQ1 和 CLK_REQ2 为任一资源（LDO，直流到直流转换器）处理这个功能来启用或禁用它。 只要一个资源未映射到一个引脚，此使能位定义此状态。 如果一个资源被映射到一个引脚，使能位的状态被忽略，并且此引脚控制此使能功能。

一旦一个资源被映射到 CLK_REQ1 引脚，并且在那个引脚上有一个下降边沿，所有 _OP 和 _AVS 寄存器（对于全部资源来说）被重新载入它们的 OTP 缺省设置。 对于芯片的修订版本 1.0，根据任何一个 CLK_REQ 引脚的下降边沿来载入缺省设置。 在重新载入寄存器的 25us 时间内，RFFE 接口处于复位状态，并且不能进行通信。 RFFE 接口也在 CLK_REQx 引脚的一个上升边沿后的 2.5us 期间内被保持在复位状态。 CLK_REQ 映射应该在 2us 设置时间内完成 - 例如，CLK_REQ 引脚应该在引脚被映射到一个缺省情况下打开的转换器之前具有一个稳定的 2us 高电平。

3.14 降压转换器 DCDC3

DCDC3 被用作 RF 功率放大器 (RF_PA) 的电源。 它的高达 2.5A 的输出电流可实现与 2G/3G 和 4G 放大器的运行。 相对于输出电压的设定方式，有两个不同的运行模式：

- 由 用于 3G/4G 的寄存器 DCDC3_OP 或 DCDC3_AVS 设定；输出电压范围在 0.8V 至 3.8V 之间；允许 PWM/PFM 模式运行
- 由 可选择用于 2G 的引脚 VCON 上的模拟信号设定；输出电压范围在 0.1V 至 3.8V 之间；只适用于强制 PWM 模式；细节请见 VCON DECODER

引脚 DCDC3_SEL 可被映射至 3 个降压转换器中的任何一个，但是通常只用于 DCDC3。 它可以根据 DCDC3_OP 和 DCDC3_AVS 在电压设置间切换。 对于每个电压设置，DCDC3_OP 和 DCDC3_AVS 包含设定 DCDC3 输出电压、强制 PWM 模式，还有打开/闭合 BYPASS（旁路）开关的位。

3.15 DCDC3_SEL 控制

3.15.1 DCDC3_SEL 控制 - 电压映射选项

DCDC3_SEL 引脚允许在定义 DCDC3 运行参数的两个不同寄存器之间进行选择，例如：

- **DCDC3** 输出电压
- **DCDC3** 的 **PWM** 与 **PFM** 模式间的关系
- **DCDC3** 旁路开关的打开/闭合

DCDC3_SEL 的状态定义两个寄存器中的哪个寄存器被用来定义运行参数，以及通过转换引脚来实现两个寄存器之间的切换。

- **DCDC3_SEL =** 低电平：参数由 **DCDC3_OP** 定义
- **DCDC3_SEL =** 高电平：参数由 **DCDC3_AVS** 定义

除了 DCDC3，DCDC1 和/或 DCDC2 应该被映射至 DCDC3_SEL 引脚，以便根据引脚状态来改变它们的输出电压。

3.15.2 DCDC3_SEL 控制 - 针对 DCDC3 至 DCDC3_SEL 的负电流限制来映射使能信号；额外选项只用于修订版本 1.1 和更高版本

除了上面的功能，为了启用和禁用 DCDC3 的负电流限制，可映射 DCDC3_SEL 引脚。 这个选项也许在高斯最小频移键控 (GMSK) 斜升情况下有用。 在一个正斜坡期间，DCDC3 控制环路也许在具有斜升支持情况下 (DCDC3_EN_UP = 1) 反调节。 在这个情况下，禁用 DCDC3 的负电流限制将有助于获得一个平滑的斜升波形。 对于一个 GMSK 下降边沿，需要负电流限制来确保一个快速向下斜坡，所以需要将其启用。 为了快速启用和禁用负电流限制，此功能可被映射至引脚 DCDC3_SEL。 此映射由位 SPARE0:nILIM_MAPPING 完成。 如果这个位被设定为 1，那么根据 DCDC3_SEL 引脚的状态来启用或禁用负电流限制，在一个 GMSK 周期内，应该驱动相应的 n。 这个映射不选通，也不由其它映射选项选通，所以要在不需要的情况下确保此电压映射被禁用。 位 SPARE0:EN_nILIM_x1 必须在映射完成前（通过将 SPARE0:nILIM_MAPPING 设定为 1）至少 50us 内被设定为 1。 细节请见 SPARE0 的寄存器说明。

3.16 旁路开关

有一个用于 DCDC3 的旁路开关，此 DCDC3 具有降压转换器的旁路开关和功率级间共用的输入引脚。 根据寄存器 DCDC3_OP 和 DCDC3_AVS 中定义的 EN_BYPASS 的设置来手工驱动此开关。

有一个感测 DCDC3 输出的过压保护 (OVP)（阀值 4.0V），以便在旁路开关被闭合，并且来自一个未经调节充电器/电源路径的电源电压直接上升至 5V 时保护由 DCDC3 供电的 RF-PA。 在这个情况下，旁路开关被强制为“打开”状态，而与 EN_BYPASS 的设置无关。 位 DCDC_CONTROL:DCDC3_OVP 在一个 OVP 事件发生时被设定为“1”，并且需要用软件清零，以便使用 EN_BYPASS 再次闭合旁路开关。

当旁路开关被闭合时，DCDC3 的 PWM 模式被阻断，并且它的高侧开关被强制接通。

3.17 DCDC3 输出电压斜升支持。

有一个确保 DCDC3 上快速输出电压变化的电路。 这通过自动禁用旁路开关来完成，以便在独立于 EN_BYPASS 设置的情况下支持 DCDC3 斜升至较高的输出电压。 在一个 OVP 事件中，当 DCDC3_OVP 被设定时，斜升支持被禁用，并且必须将 DCDC3_OVP 清零，以实现斜升支持电路的正确运行。 此外，可通过将 DCDC3_EN_UP 清零来禁用斜升支持。 此外，有一个确保 DCDC3 快速斜降的斜降支持。 此功能可在独立于 DCDC3_EN_DWN 斜升支持的情况下被禁用，并且不受 OVP 状态的影响。

从芯片修订版本 1.1 开始，位 DCDC3_S2 和 DCDC3_S1 已经被添加到寄存器 DCDC_CONFIG1 中。 这些位可实现斜升支持电路的阀值更改，并因此实现 VCON 变换期间对输出电压上升边沿形状的调整。

如下所示，有几个用来控制斜升支持功能的寄存器位。

- DCDC_CONFIG:DCDC3_EN_UP：启用针对上升 VCON / 输出电压的斜升支持
- DCDC_CONFIG:DCDC3_EN_DWN：启用针对下降 VCON / 输出电压的斜升支持
- DCDC_CONFIG:DCDC3_DWN_2X：将斜降电路中的电流加倍，以加速向下斜坡
- DCDC_CONFIG:DCDC3[S2:S1]：定义斜升支持停止时低于标称输出电压的阀值
- SPARE0:EN_nILIM_xl：启用或禁用 DCDC3 中的负电流限制；一个大电流限值加速 Vout 的下降边沿
- SPARE0:EN_FAST_RAMP：Vout 的上升边沿进一步加速；由于设置时会导致过冲，所以建议将这个位保持清零

斜升和斜降支持电路在 GMSK 斜升期间使用，此时，VCON 输入被驱动，以定义 DCDC3 输出电压。 建议在 DCDC3 转换器未运行在 VCON 模式中时（此时 DCDC3_CTRL:VCON = 0）将斜升支持保持在禁用状态。

3.18 VCON 解码器

VCON 解码器可通过到引脚 VCON 的模拟信号来控制 DCDC3 的输出电压。 VCON 解码器的增益和偏移可由寄存器 VCON 调节。 通常情况下，它将由范围在 0mV（或 200mV）至 2100mV 之内的输入电压驱动。 在 VCON 运行中，不论寄存器 DCDC3_OP 或 DCDC3_AVS 内 DCDC3_MODE 的设置如何，DCDC3 被强制以定频 PWM 模式运行。 此外，将 VCON 设定为 1 来将转换器强制启用，与是否映射 ENABLE 位的状态或 CLK_REQ 信号的状态无关。

增益和偏移设置在针对 VCON 寄存器的寄存器说明中。 DCDC3 斜升支持也被用在 VCON 模式中，以确保输出电压的快速变换。

VCON 模式下的 DCDC3 输出电压被定义为：**Vout = V(VCON) x 增益 + Voffset**

在 DCDC3 的典型输出电压范围介于 100mV 至 3.5V 之间时，缺省增益和偏移设置为：

- **增益：1.8**
- **Voffset：-250mV**

3.19 热监控和关断

这是一个监控器件结温的热保护模块。

当达到热关断温度阀值时，在复位情况下设置 TPS657120，并且发起到 STANDBY（待机）状态的变换。在芯片温度已经减少到低于热关断阀值之前，将不会考虑器件的 POWER ON（加电）使能条件。

热保护在 ACTIVE（激活）状态下被启用。 在 STANDBY 至 ACTIVE 状态变换期间，热保护被自动启用，并且将在由热关断事件导致的关闭序列之后的 STANDBY 状态中保持启用。 当芯片温度下降到低于热关断温度阀值时，将启动从 STANDBY 状态的恢复（接通序列）。 在过热事件发生时，所有资源同时断电。

3.20 GPIO

在 TPS657120 中有 2 个 GPIO。 如果输出级被设定为推挽方式，它拉至由 VDDIO 设定的高压。 当 VDDIO 在 VDDIO 欠压闭锁以下时，高侧驱动器被禁用，并且输出被设定为开漏。 GPIO 的缺省状态被定义为一个状态为低电平的输出。 此外，GPIO 允许选择添加一个内部 4.7kR 的下拉电阻器。

或者，可设定一个 GPIO，这样的话，通过将 GPIO_CFG 设定为 1 来将其分配给加电排序。 在这个情况下，将根据 GPIOx:GPIO_SET 内的定义在内部加电排序定义的 8 个时间槽中的一个时间槽内设定 GPIO 输出。

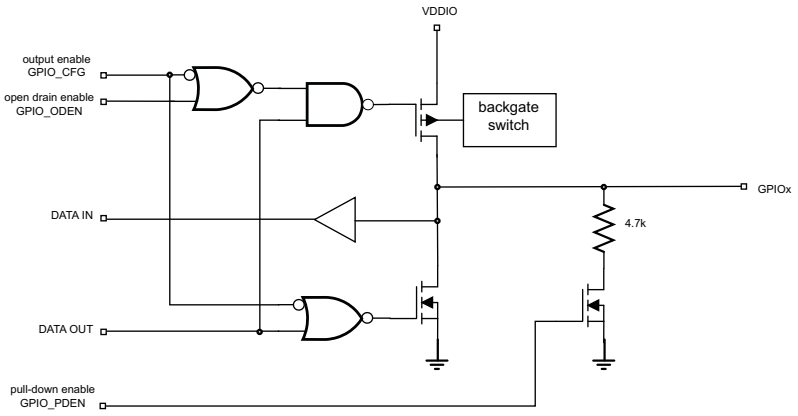


Figure 3-2. GPIO 块

3.21 nRESET 输入；ADR_SELECT 输入

可选择将 GPIO0 和 GPIO1 分配为 nRESET 输入或 ADR_SELECT 输入，按照寄存器说明来定义 USID[0] 位。 如下所述，由 GPIOx 寄存器中的一个位来选择其他功能：

GPIO0 (nRESET) 详细说明：

- **GPIO0:nRESET=0:** 此引脚根据 OTP 编程被用作一个 GPIO。 然而，在复位状态中，在内部 OTP 被读取前，此引脚缺省为一个 nRESET 输入，所以，为了退出复位并加载 OTP，需要按照缺省值将此引脚上拉至一个逻辑高电平，将其重新配置为 GPIO。
- **GPIO0:nRESET=1（缺省 OTP 设置）：** 此引脚被用作一个低电平有效复位输入。 为了退出复位，并且允许 TPS657120 进入待机状态，需要从外部将此引脚上拉至逻辑高电平。 在 GPIO0:nRESET = 1 时，此引脚被自动配置为一个独立于 GPIO0:GPIO_CFG 设置的输入。

GPIO1 (ADR_SELECT) 详细说明：

- **GPIO1:ADR_SELECT=0:**此引脚被用作 GPIO
- **GPIO1:ADR_SELECT=1（缺省 OTP 设置）：** 此引脚缺省情况下为 GPIO，一旦在引导阶段读取内部 OTP，此引脚被设定为一个地址选择位。 在 GPIO1:ADR_SEL = 1 时，此引脚被自动配置为独立于 GPIO1:GPIO_CFG 设置的输入。 引脚 ADR_SELECT 上的一个状态变化将立即生效，所以可通过改变此引脚状态来随时更新 USID[0]。

3.22 电源状态机

此嵌入式电源控制器 (EPC) 管理器件的状态，并控制加电序列。

EPC 将支持以下状态：

- **无电源：** 主电池电源电压不足以为内部 LDO 和带隙供电。 器件上的所有元件关闭。
- **引导阶段（读取 OTP）：** 内部电源和带隙激活，并且器件正在从 OTP 内存中读取其配置数据。
- **待机：** 内部电源和带隙激活，寄存器缺省设置已被载入，并且器件正在等待 PWRON 变为高电平来启动加电序列
- **激活：** 符合器件 POWER ON（加电）使能条件，经稳压电源接通，或者可被启用为支持完全电流功能。 复位被释放；接口激活

3.23 内部加电和断电排序的执行

TPS657120 允许加电（从 STANDBY 变为 ACTIVE 状态）以及断电（从 ACTIVE 变为 STANDBY 状态）期间的资源内部使能。 在 TI 编辑的 OTP 内存中定义内部加电排序。 此排序可在加电和断电期间的 8 个时间槽内启用资源。 一个资源可以与这些 8 个时间槽中的任何一个时间槽相关联，这些时间槽将在断电期间以相反的方向进行处理。 时间槽间的延迟被固定为 500us。

资源包括：

- **降压转换器**
- **LDO**
- **GPIO**

可以配置非自动排序资源，这样的话，它们由外部引脚或它们寄存器集中的使能位启用。 请见降压转换器使能

3.24 针对推挽输出级/接口的 VDDIO 电压

推挽输出级被上拉至高电平，此电压被施加在用于以下引脚的 VDDIO 引脚上：

- SDATA
- GPIO0，1：只适用于推挽方式

接口引脚 SDATA 和 SCLK 上的信号电平为 VDDIO 电平。 一定不能施加超过 VDDIO 上电压电平的电压。

3.25 TPS657120 接通关闭操作

TPS657120 内的加电排序是灵活且可被设置的，这样的话，它可以在向下排序被反转时以任一顺序为转换器和 LDO 加电，或者所有转换器和 LDO 同时加电。

3.25.1 TPS657120 加电

如果 PWRON 被接至电源电压，这样的话，TPS65712 在输入电压高于 UVLO 阀值并且内部引导阶段完成时启动其加电排序。

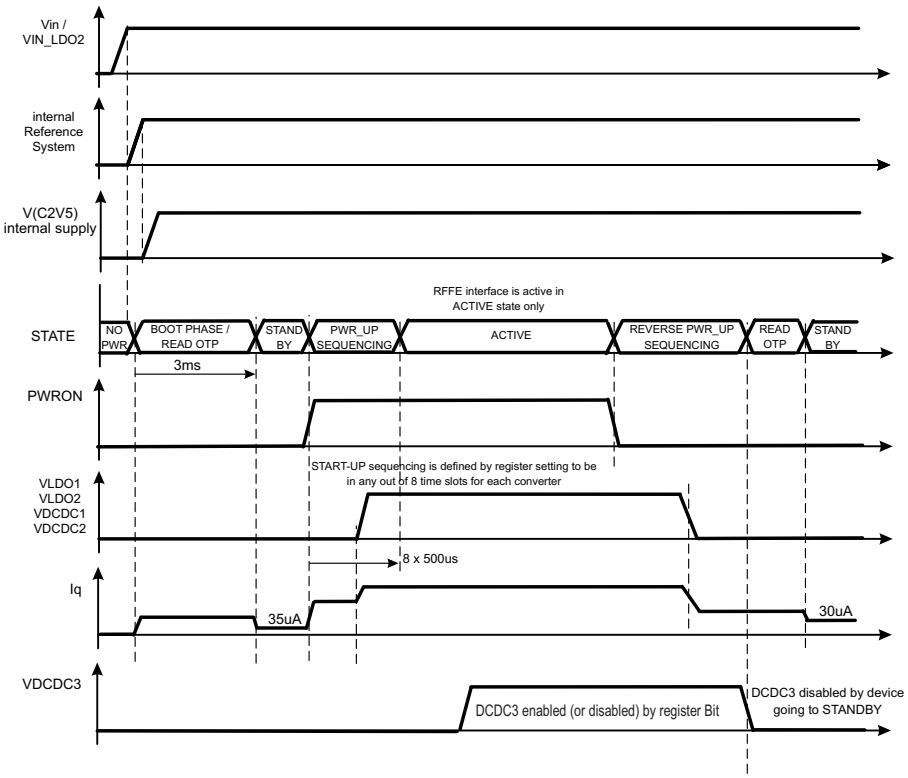


Figure 3-3. TPS657120 加电

3.25.2 驱动 DCDC1，DCDC2 和 LDO1 的 TPS657120 PWR_REQ

一旦 CLK_REQ1 和 CLK_REQ2 引脚被启用用来控制 DCDC1，DCDC2 和 LDO1，这些转换器 / LDO 在这些引脚中任何一个被驱动为高电平时启用。

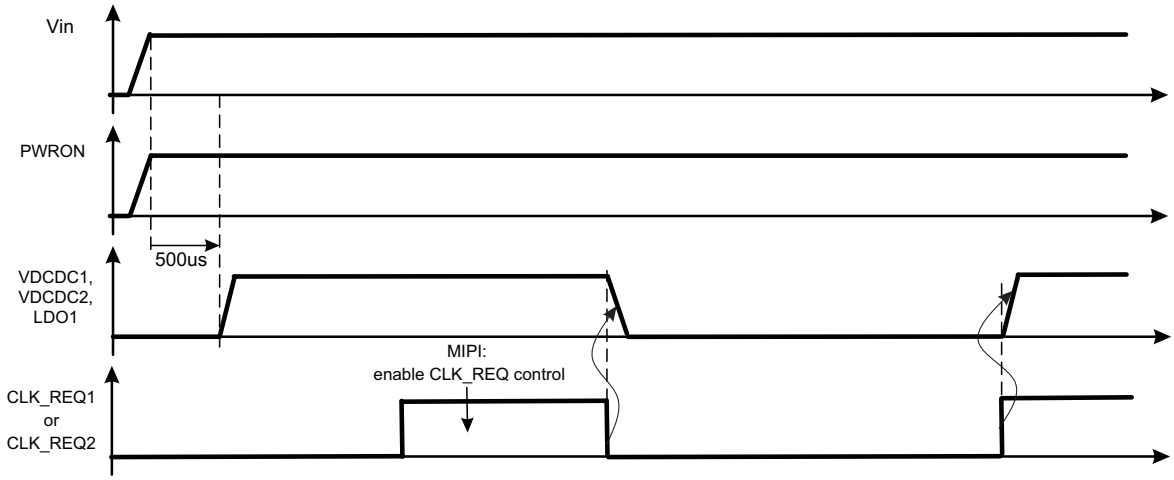


Figure 3-4. TPS657120 断电

3.26 MIPI RFFE 接口

有一个基于修订版本 1.00.00 技术规格的 MIPI RFFE 兼容接口。 此接口只在 TPS657120 的 ACTIVE 状态中激活 - 请见加电时序图。 当 CLK_REQx 上的下降边沿触发 _OP 和 _AVS 寄存器重新载入时，一旦任何直流到直流转换器或 LDO 被映射到那个引脚，就无法进行 RFFE 通信。 在将 OTP 内容重新载入寄存器的 25us 时间内，RFFE 接口保持在复位状态。 RFFE 接口也在 CLK_REQx 引脚的一个上升边沿后的 2.5us 期间内被保持在复位状态。 从地址位 SA3...SA0 与 MIPI RFFE 技术规格中定义的“唯一从地址识别符 (USID)”等效。 如 RFFE 技术规格中定义的那样，这些位位于寄存器 USID 中，以及其他位于 0x1C 至 0x1F 地址区间内的 RFFE 预定义寄存器 PM_TRIG，PRODUCT_ID 和 MANUFACTURER_ID。

3.26.1 MIPI RFFE 写入周期

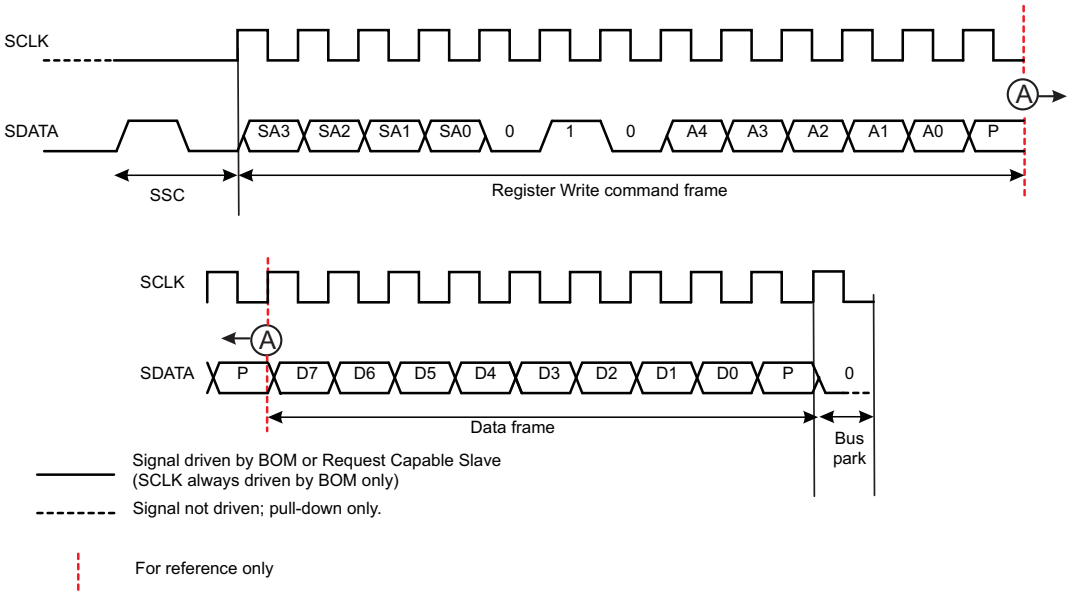


Figure 3-5. RFFE 写入周期

3.26.2 MIPI RFFE 读取周期

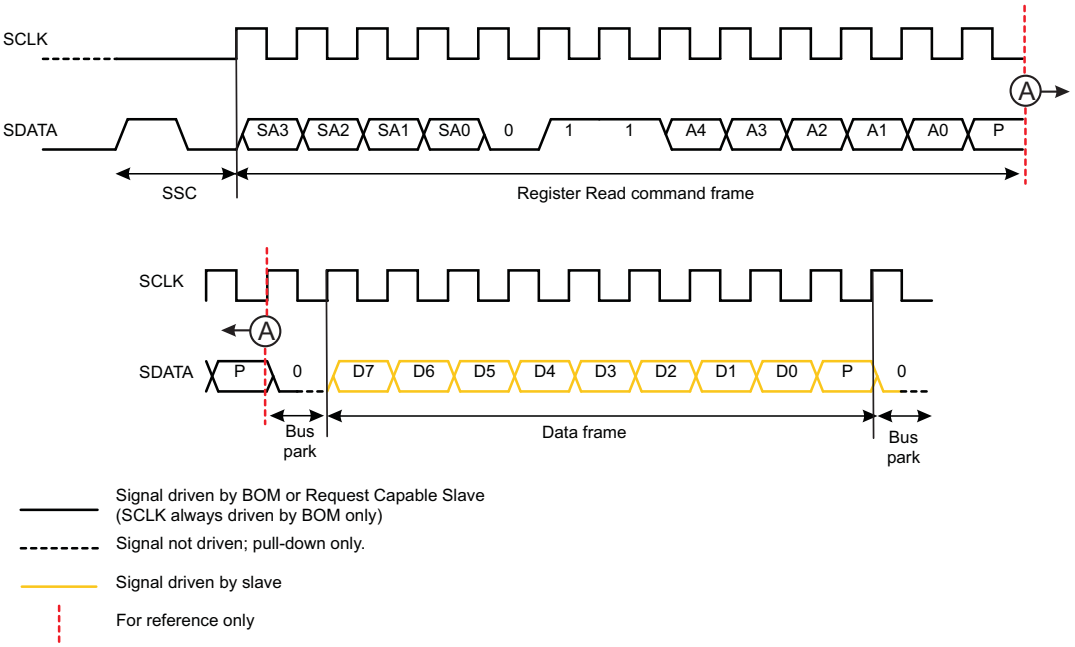


Figure 3-6. RFFE 读取周期

4 内存映射

4.1 寄存器说明

DCDC1_CTRL[1]; Register Address: 00h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
ENABLE	RSVD	IMMEDIATE	TSTEP[1]	TSTEP[0]	DCDC1_ SEL_CTRL	DCDC1_CLK_ REQ2_CTRL	DCDC1_CLK_ REQ1_CTRL
(1)	**0**	**1**	**0**	**0**	**0**	**0**	**0**
OTP		**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**

ENABLE	**0** DCDC1 Disabled **1** DCDC1 Enabled **(1)** DCDC1 Enabled during automatic power-up sequence
IMMEDIATE	**0** a voltage change of DCDC1 will be done based on the settings of TSTEP[1:0] **1** a voltage change of DCDC1 will be done bypassing the voltage change state machine and therefore is limited by the response of the DCDC1 converter only. With IMMEDIATE=1, TSTEP[1,0] do not define the slope of the voltage change but the time PWM mode is forced to ensure a steep transition of the output voltage.
TSTEP[1:0]	Time step: when changing the output voltage, the new value is reached through successive voltage steps (if not bypassed). The equivalent programmable slew rate of the output voltage is shown in Table 4-1
RSVD	Unused bit, should be written to **0**
DCDC1_SEL_CTRL	**0** DCDC1 output voltage / MODE settings are defined by DCDC1_OP register **1** DCDC1 output voltage / MODE settings are defined by status of pin DCDC3_SEL DCDC3_SEL = LOW := voltage / MODE settings are defined by DCDC1_OP DCDC3_SEL = HIGH := voltage / MODE settings are defined by DCDC1_AVS
DCDC1_CLK_REQ1_CTRL	**0** DCDC1 enable function not mapped to CLK_REQ1 pin; DCDC1 enabled by ENABLE Bit or internal power-up sequencing setting **1** DCDC1 enable function mapped to pin CLK_REQ1; ENABLE bit is don´t care, CLK_REQ1= LOW := DCDC1 = off, CLK_REQ1= HIGH := DCDC1 = on
DCDC1_CLK_REQ2_CTRL	**0** DCDC1 enable function not mapped to CLK_REQ2 pin; DCDC1 enabled by ENABLE Bit or internal power-up sequencing setting **1** DCDC1 enable function mapped to pin CLK_REQ2; ENABLE bit is don´t care, CLK_REQ2= LOW := DCDC1 = off, CLK_REQ2= HIGH := DCDC1 = on Note: CLK_REQ1 and CLK_REQ2 are logically OR´d, as soon as either one is HIGH, DCDC1 is enabled

(1) Register reset on Power On Reset (POR)

DCDC2_CTRL(1); Register Address: 01h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
ENABLE	RSVD	IMMEDIATE	TSTEP[1]	TSTEP[0]	DCDC2_ SEL_CTRL	DCDC2_CLK_ REQ2_CTRL	DCDC2_CLK_ REQ1_CTRL
(1)	**0**	**1**	**0**	**0**	**0**	**0**	**0**
OTP		**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**

ENABLE	**0** DCDC2 Disabled **1** DCDC2 Enabled **(1)** DCDC2 Enabled during automatic power-up sequence
IMMEDIATE	**0** a voltage change of DCDC2 will be done based on the settings of TSTEP[1:0] **1** a voltage change of DCDC2 will be done bypassing the voltage change state machine and therefore is limited by the response of the DCDC2 converter only. With IMMEDIATE=1, TSTEP[1,0] do not define the slope of the voltage change but the time PWM mode is forced to ensure a steep transition of the output voltage.
TSTEP[1:0]	Time step: when changing the output voltage, the new value is reached through successive voltage steps (if not bypassed). The equivalent programmable slew rate of the output voltage is shown in Table 4-1
RSVD	Unused bit, should be written to **0**
DCDC2_SEL_CTRL	**0** DCDC2 output voltage / MODE settings are defined by DCDC2_OP register **1** DCDC2 output voltage / MODE settings are defined by status of pin DCDC3_SEL DCDC3_SEL = LOW := voltage / MODE settings are defined by DCDC2_OP DCDC3_SEL = HIGH := voltage / MODE settings are defined by DCDC2_AVS
DCDC2_CLK_REQ1_CTRL	**0** DCDC2 enable function not mapped to CLK_REQ1 pin; DCDC2 enabled by ENABLE Bit or internal power-up sequencing setting **1** DCDC2 enable function mapped to pin CLK_REQ1; ENABLE bit is don´t care, CLK_REQ1= LOW := DCDC2 = off, CLK_REQ1= HIGH := DCDC2 = on
DCDC2_CLK_REQ2_CTRL	**0** DCDC2 enable function not mapped to CLK_REQ2 pin; DCDC2 enabled by ENABLE Bit or internal power-up sequencing setting **1** DCDC2 enable function mapped to pin CLK_REQ2; ENABLE bit is don´t care, CLK_REQ2= LOW := DCDC2 = off, CLK_REQ2= HIGH := DCDC2 = on Note: CLK_REQ1 and CLK_REQ2 are logically OR´d, as soon as either one is HIGH, DCDC2 is enabled

(1) Register reset on Power On Reset (POR)

DCDC3_CTRL(1); Register Address: 02h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
ENABLE	VCON	IMMEDIATE	TSTEP[1]	TSTEP[0]	DCDC3_ SEL_CTRL	DCDC3_CLK_ REQ2_CTRL	DCDC3_CLK_ REQ1_CTRL
0	**0**	**1**	**0**	**0**	**1**	**0**	**0**
OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**

ENABLE	**0** DCDC3 Disabled **1** DCDC3 Enabled **(1)** DCDC3 Enabled during automatic power-up sequence
VCON	**0** DCDC3 output voltage defined by _OP or _AVS **1** DCDC3 output voltage defined by pin VCON With VCON = 1, DCDC3 is enabled independently of the ENABLE bit and the converter is forced to PWM independently of DCDC3_MODE defined in either DCDC3_OP or DCDC3_AVS.
IMMEDIATE	**0** a voltage change of DCDC3 will be done based on the settings of TSTEP[1:0] **1** a voltage change of DCDC3 will be done bypassing the voltage change state machine and therefore is limited by the response of the DCDC3 converter only. With IMMEDIATE=1, TSTEP[1,0] do not define the slope of the voltage change but the time PWM mode is forced to ensure a a steep transition of the output voltage.
TSTEP[1:0]	Time step: when changing the output voltage, the new value is reached through successive voltage steps (if not bypassed). The equivalent programmable slew rate of the output voltage is shown in Table 4-1
DCDC3_SEL_CTRL	**0** DCDC3 output voltage / MODE settings are defined by DCDC3_OP register **1** DCDC3 output voltage / MODE settings are defined by status of pin DCDC3_SEL DCDC3_SEL = LOW := voltage / MODE settings are defined by DCDC3_OP DCDC3_SEL = HIGH := voltage / MODE settings are defined by DCDC3_AVS
DCDC3_CLK_REQ1_CTRL	**0** DCDC3 enable function not mapped to CLK_REQ1 pin; DCDC3 enabled by ENABLE Bit or internal power-up sequencing setting **1** DCDC3 enable function mapped to pin CLK_REQ1; ENABLE bit is don´t care, CLK_REQ1= LOW := DCDC3 = off, CLK_REQ1= HIGH := DCDC3 = on
DCDC3_CLK_REQ2_CTRL	**0** DCDC3 enable function not mapped to CLK_REQ2 pin; DCDC3 enabled by ENABLE Bit or internal power-up sequencing setting **1** DCDC3 enable function mapped to pin CLK_REQ2; ENABLE bit is don´t care, CLK_REQ2= LOW := DCDC3 = off, CLK_REQ2= HIGH := DCDC3 = on Note: CLK_REQ1 and CLK_REQ2 are logically OR´d, as soon as either one is HIGH, DCDC3 is enabled

(1) Register reset on Power On Reset (POR)

Table 4-1. DCDCx TSTEP Settings

TSTEP[1:0]	Time per voltage step according to the DCDCx voltage table (µs)	equivalent Slew Rate for a 25mV step size (mV/µs)
00	0.9	30
01	1.8	15
10	3.5	7.5
11	6.6	3.75

DCDC1_OP(1); Register Address: 03h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
DCDC1_MODE	RSVD	SEL[5]	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
0	**0**	**0**	**1**	**1**	**0**	**0**	**0**
OTP		**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
DCDC1_MODE	**0** Enable Automatic PWM/PFM mode switching **1** Force PWM						
RSVD	Unused bit, should be written to **0**						
SEL[5:0]	DCDC1 Output Voltage Selection based on DCDC1 Voltage Settings Table.						

(1) Register reset on Power On Reset (POR)

DCDC1_AVS(1); Register Address: 04h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
DCDC1_MODE	RSVD	SEL[5]	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
0	**0**	**0**	**1**	**1**	**0**	**0**	**0**
OTP		**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
DCDC1_MODE	**0** Enable Automatic PWM/PFM mode switching **1** Force PWM						
RSVD	Unused bit, should be written to **0**						
SEL[5:0]	DCDC1 Output Voltage Selection based on DCDC1Voltage Settings Table.						

(1) Register reset on Power On Reset (POR)

DCDC2_OP(1); Register Address: 05h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
DCDC2_MODE	RSVD	SEL[5]	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
0	**0**	**1**	**1**	**0**	**1**	**0**	**1**
OTP		**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
DCDC2_MODE	**0** Enable Automatic PWM/PFM mode switching **1** Force PWM						
RSVD	Unused bit, should be written to **0**						
SEL[5:0]	DCDC2 Output Voltage Selection based on DCDC2 Voltage Settings Table.						

(1) Register reset on Power On Reset (POR)

DCDC2_AVS(1); Register Address: 06h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
DCDC2_MODE	RSVD	SEL[5]	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
0	**0**	**1**	**1**	**0**	**1**	**0**	**1**
OTP		**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
DCDC2_MODE	**0** Enable Automatic PWM/PFM mode switching **1** Force PWM						
RSVD	Unused bit, should be written to **0**						
SEL[5:0]	DCDC2 Output Voltage Selection based on DCDC2 Voltage Settings Table.						

(1) Register reset on Power On Reset (POR)

DCDC3_OP(1); Register Address: 07h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
DCDC3_MODE	EN_BYPASS	SEL[5]	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**
OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
DCDC3_MODE	**0** Enable Automatic PWM/PFM mode switching						
	1 Force PWM						
EN_BYPASS	**0** BYPASS switch is not forced ON						
	1 BYPASS switch is forced ON; over voltage protection at VDCDC3 is active and will clear this bit once VDCDC3 exceeds 4.18V						
SEL[6:0]	DCDC3 Output Voltage Selection shown in DCDC3 Voltage Settings Table.						
Note:	DCDC3_OP register settings are active when DCDC3_SEL = LOW						

(1) Register reset on Power On Reset (POR)

DCDC3_AVS(1); Register Address: 08h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
DCDC3_MODE	EN_BYPASS	SEL[5]	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**
OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
DCDC3_MODE	**0** Enable Automatic PWM/PFM mode switching						
	1 Force PWM						
EN_BYPASS	**0** BYPASS switch is not forced ON						
	1 BYPASS switch is forced ON; over voltage protection at VDCDC3 is active and will clear this bit once VDCDC3 exceeds 4.18V						
SEL6:0]	DCDC3 Output Voltage Selection shown in DCDC3 Voltage SettingsTable.						
Note:	DCDC3_AVS register settings are active when DCDC3_SEL = HIGH						

(1) Register reset on Power On Reset (POR)

VCON(1); Register Address: 09h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
RSVD	VCON_ OFFSET[2]	VCON_ OFFSET[1]	VCON_ OFFSET[0]	VCON_GAIN[3]	VCON_GAIN[2]	VCON_GAIN[1]	VCON_GAIN[0]
0	**1**	**0**	**1**	**0**	**1**	**1**	**0**
	OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
VCON_OFFSET[2:0]	VCON offset settings shown in table VCON OFFSET SETTINGS						
VCON_GAIN[3:0]	VCON gain settings shown in table VCON GAIN SETTINGS						
RSVD	Unused bit, should be written to **0**						

(1) Register reset on Power On Reset (POR)

Table 4-2. VCON Gain Settings

VCON_GAIN[3:0]	GAIN	VCON_GAIN[3:0]	GAIN
0000	1.208	1000	2.000
0001	1.292	1001	2.083
0010	1.417	1010	2.208
0011	1.500	1011	2.292
0100	1.583	1100	2.417
0101	1.708	1101	2.500
0110	1.792	1110	2.583
0111	1.917	1111	2.708

Table 4-3. VCON Offset Settings

VCON_OFFSET[2:0]	OFFSET (mV)
000	0
001	-50
010	-100
011	-150
100	-200
101	-250
110	-300
111	-350

Table 4-4. DCDC1 and DCDC2 Voltage Settings

SEL(DCDCx)[5:0]	VDCDCx (V)	SEL(DCDCx)[5:0]	VDCDCx (V)
000000	0.80	100000	1.900
000001	0.90	100001	1.925
000010	1.00	100010	1.950
000011	1.05	100011	1.975
000100	1.10	100100	2.000
000101	1.15	100101	2.025
000110	1.20	100110	2.050
000111	1.25	100111	2.075
001000	1.300	101000	2.100
001001	1.325	101001	2.125
001010	1.350	101010	2.150
001011	1.375	101011	2.175
001100	1.400	101100	2.20
001101	1.425	101101	2.25
001110	1.450	101110	2.30
001111	1.475	101111	2.35
010000	1.500	110000	2.40
010001	1.525	110001	2.45
010010	1.550	110010	2.50
010011	1.575	110011	2.55
010100	1.600	110100	2.60
010101	1.625	110101	2.65
010110	1.650	110110	2.70
010111	1.675	110111	2.75
011000	1.700	111000	2.80
011001	1.725	111001	2.85
011010	1.750	111010	2.90
011011	1.775	111011	2.95
011100	1.800	111100	3.00
011101	1.825	111101	3.10
011110	1.850	111110	3.20
011111	1.875	111111	3.30

Table 4-5. DCDC3 Voltage Settings

SEL(DCDCx)[5:0]	VDCDCx (V)	SEL(DCDCx)[5:0]	VDCDCx (V)
000000	0.80	100000	2.40
000001	0.85	100001	2.45
000010	0.90	100010	2.50
000011	0.95	100011	2.55
000100	1.00	100100	2.60
000101	1.05	100101	2.65
000110	1.10	100110	2.70
000111	1.15	100111	2.75
001000	1.20	101000	2.80
001001	1.25	101001	2.85
001010	1.30	101010	2.90
001011	1.35	101011	2.95
001100	1.40	101100	3.00
001101	1.45	101101	3.05
001110	1.50	101110	3.10
001111	1.55	101111	3.15
010000	1.60	110000	3.20
010001	1.65	110001	3.25
010010	1.70	110010	3.30
010011	1.75	110011	3.35
010100	1.80	110100	3.40
010101	1.85	110101	3.45
010110	1.90	110110	3.50
010111	1.95	110111	3.55
011000	2.00	111000	3.60
011001	2.05	111001	3.60
011010	2.10	111010	3.60
011011	2.15	111011	3.60
011100	2.20	111100	3.60
011101	2.25	111101	3.60
011110	2.30	111110	3.60
011111	2.35	111111	3.60

LDO_CTRL(1); Register Address: 0Ah							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
RSVD	RSVD	RSVD	RSVD	LDO2_CLK_ REQ2_CTRL	LDO2_CLK_ REQ1_CTRL	LDO1_CLK_ REQ2_CTRL	LDO1_CLK_ REQ1_CTRL
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**
				OTP	**OTP**	**OTP**	**OTP**
r	**r**	**r**	**r**	**r/w**	**r/w**	**r/w**	**r/w**

RSVD	Unused bit, should be written to **0**
LDO2_CLK_REQ2_CTRL	**0** LDO2 enable function not mapped to CLK_REQ2 pin; LDO2 enabled by ENABLE Bit or internal power-up sequencing setting **1** LDO2 enable function mapped to pin CLK_REQ2 pin; ENABLE bit is don´t care, CLK_REQ2= LOW := LDO2 = off, CLK_REQ2= HIGH := LDO2 = on
LDO2_CLK_REQ1_CTRL	**0** LDO2 enable function not mapped to CLK_REQ1 pin; LDO2 enabled by ENABLE Bit or internal power-up sequencing setting **1** LDO2 enable function mapped to pin CLK_REQ1 pin; ENABLE bit is don´t care, CLK_REQ1= LOW := LDO2 = off, CLK_REQ1= HIGH := LDO2 = on
LDO1_CLK_REQ2_CTRL	**0** LDO1 enable function not mapped to CLK_REQ2 pin; LDO1 enabled by ENABLE Bit or internal power-up sequencing setting **1** LDO1 enable function mapped to pin CLK_REQ2 pin; ENABLE bit is don´t care, CLK_REQ2= LOW := LDO1 = off, CLK_REQ2= HIGH := LDO1 = on
LDO1_CLK_REQ1_CTRL	**0** LDO1 enable function not mapped to CLK_REQ1 pin; LDO1 enabled by ENABLE Bit or internal power-up sequencing setting **1** LDO1 enable function mapped to pin CLK_REQ1 pin; ENABLE bit is don´t care, CLK_REQ1= LOW := LDO1 = off, CLK_REQ1= HIGH := LDO1 = on
	Note: CLK_REQ1 and CLK_REQ2 are logically OR´d if both pins are assigned to the same LDO; as soon as either one is HIGH, LDOx is enabled

(1) Register reset on Power On Reset (POR)

LDO1_OP(1); Register Address: 0Bh							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
ENABLE	ECO	SEL[5]	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
(1)	**0**	**0**	**1**	**1**	**0**	**0**	**0**
OTP		**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**

ENABLE	**0** LDO1 Disabled **1** LDO1 Enabled **(1)** LDO1 Enabled during automatic power-up sequence
ECO	**0** LDO1 is in normal mode **1** LDO1 is in power save mode
SELREG	**0** LDO1 Voltage selected by LDO1_OP register **1** LDO1 Voltage selected by LDO1_AVS register
SEL[5:0]	Supply Voltage - setting shown in Table 4-6

(1) Register reset on Power On Reset (POR)

LDO2_OP(1); Register Address: 0Ch							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
ENABLE	ECO	SEL[5]	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
(1)	**0**	**1**	**1**	**0**	**0**	**0**	**0**
OTP		**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
ENABLE	**0** LDO2 Disabled **1** LDO2 Enabled **(1)** LDO2 Enabled during automatic power-up sequence						
ECO	**0** LDO2 is in normal mode **1** LDO2 is in power save mode						
SELREG	**0** LDO2 Voltage selected by LDO2_OP register **1** LDO2 Voltage selected by LDO2_AVS register						
SEL[5:0]	Supply Voltage - setting shown in Table 4-6						

(1) Register reset on Power On Reset (POR)

Table 4-6. LDO Voltage Settings

SEL[5:0]	LDOx Output (V)	SEL[5:0]	LDOx Output (V)
000000	1.200	100000	2.000
000001	1.225	100001	2.050
000010	1.250	100010	2.100
000011	1.275	100011	2.150
000100	1.300	100100	2.200
000101	1.325	100101	2.250
000110	1.350	100110	2.300
000111	1.375	100111	2.350
001000	1.400	101000	2.400
001001	1.425	101001	2.450
001010	1.450	101010	2.500
001011	1.475	101011	2.550
001100	1.500	101100	2.600
001101	1.525	101101	2.650
001110	1.550	101110	2.700
001111	1.575	101111	2.750
010000	1.600	110000	2.800
010001	1.625	110001	2.850
010010	1.650	110010	2.900
010011	1.675	110011	2.950
010100	1.700	110100	3.000
010101	1.725	110101	3.050
010110	1.750	110110	3.100
010111	1.775	110111	3.150
011000	1.800	111000	3.200
011001	1.825	111001	3.250
011010	1.850	111010	3.300
011011	1.875	111011	3.350
011100	1.900	111100	3.400
011101	1.925	111101	3.400
011110	1.950	111110	3.400
011111	1.975	111111	3.400

DEVCTRL(1); Register Address: 0Dh							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
PWR_OFF_SEQ	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**
OTP							
r/w	**r**	**r**	**r**	**r**	**r**	**r**	**r**
PWR_OFF_SEQ	**0** All resources disabled at the same time **1** Power-off will be sequencial, reverse of power-on sequence (first resource to power on will be the last to power off) Note: each power-up / power-down time slot is 500us						
RSVD	Unused bit read returns**0**						

(1) Register reset on Power On Reset (POR)

DISCHARGE(1); Register Address: 0Eh							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
RSVD	DCDC3_ DISCHARGE	DCDC2_ DISCHARGE	DCDC1_ DISCHARGE	RSVD	RSVD	LDO2_ DISCHARGE	LDO1_ DISCHARGE
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**
	OTP	**OTP**	**OTP**			**OTP**	**OTP**
r	**r/w**	**r/w**	**r/w**	**r**	**r**	**r/w**	**r/w**
RSVD	Unused bit read returns**0**						
DCDC3_DISCHARGE	**0** DCDC3 output is not discharged when disabled **1** DCDC3 output is discharged when disabled						
DCDC2_DISCHARGE	**0** DCDC2 output is not discharged when disabled **1** DCDC2 output is discharged when disabled						
DCDC1_DISCHARGE	**0** DCDC1 output is not discharged when disabled **1** DCDC1 output is discharged when disabled						
LDO2_DISCHARGE	**0** LDO2 output is not discharged when disabled **1** LDO2 output is discharged when disabled						
LDO1_DISCHARGE	**0** LDO1 output is not discharged when disabled **1** LDO1 output is discharged when disabled						

(1) Register reset on Power On Reset (POR)

PGOOD(1); Register Address: 0Fh							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
RSVD	PGOOD_DCDC3	PGOOD_DCDC2	PGOOD_DCDC1	RSVD	RSVD	PGOOD_LDO2	PGOOD_LDO1
0	**-**	**-**	**-**	**0**	**0**	**-**	**-**
r	**r**	**r**	**r**	**r**	**r**	**r**	**r**
PGOOD_DCDCx	the Bit is set or cleared by the power-good comparator in the DCDC converter block **0** DCDCx output voltage is below its target regulation voltage or disabled **1** DCDCx output voltage is in regulation						
PGOOD_LDOx	the Bit is set or cleared by the power-good comparator in the LDO converter block **0** LDOx output voltage is below its target regulation voltage or disabled **1** LDOx output voltage is in regulation or in ECO mode Note: The PGOOD_LDOx Bit is not valid if the LDO is enabled but the supply voltage to the LDO is below 1V.						

(1) Register reset on Power On Reset (POR)

GPIO0(1); Register Address: 10h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
RSVD	nRESET	GPIO_ODEN	RSVD	GPIO_PDEN	GPIO_CFG	GPIO_STS	GPIO_SET
0	**1**	**0**	**0**	**0**	**0**	**-**	**0**
	OTP	**OTP**		**OTP**	**OTP**		**OTP**
r	**r/w**	**r/w**	**r**	**r/w**	**r/w**	**r**	**r/w**

RSVD	Unused bit read returns **0**
nRESET	**0** pin is GPIO after OTP configuration has been read; connect external pull-up to a logic HIGH in order to exit reset state allowing to re-configure as GPIO **1** pin is active low reset input per default as well as after OTP configuration has been read; pin is input per default independent of setting in GPIO_CFG
GPIO_ODEN	**0** Push-pull output mode **1** Open drain output mode
GPIO_PDEN	**0** GPIO pad pull-down control - Pull-down is disabled **1** GPIO pad pull-down control - Pull-down is enabled
GPIO_CFG	**0** Configuration of the GPIO pad direction - the pad is configured as an input **1** The GPIO pad is configured as an output, GPIO assigned to power-up sequence
GPIO_STS	**0** Status of the GPIO pad **1** Status of the GPIO pad
GPIO_SET	**0** Value set to logic 1'b0 on the GPIO output when configured in output mode **1** Value set to logic 1'b1 on the GPIO output when configured in output mode

(1) Register reset on Power On Reset (POR)

GPIO1(1); Register Address: 11h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
RSVD	ADR_SELECT	GPIO_ODEN	RSVD	GPIO_PDEN	GPIO_CFG	GPIO_STS	GPIO_SET
0	**1**	**0**	**0**	**0**	**0**	**-**	**0**
	OTP	**OTP**		**OTP**	**OTP**		**OTP**
r	**r/w**	**r/w**	**r**	**r/w**	**r/w**	**r**	**r/w**

RSVD	Unused bit read returns **0**
ADR_SELECT	**0** pin is GPIO **1** actual pin status defines the LSB of the MIPI device address defined in USID[0]; while the device is in reset state, the pin is ADR_SELECT input independent of setting in GPIO_CFG
GPIO_ODEN	**0** Push-pull output mode **1** Open drain output mode
GPIO_PDEN	**0** GPIO pad pull-down control - Pull-down is disabled **1** GPIO pad pull-down control - Pull-down is enabled
GPIO_CFG	**0** Configuration of the GPIO pad direction - the pad is configured as an input **1** The GPIO pad is configured as an output, GPIO assigned to power-up sequence
GPIO_STS	**0** Status of the GPIO pad **1** Status of the GPIO pad
GPIO_SET	**0** Value set to logic 1'b0 on the GPIO output when configured in output mode **1** Value set to logic 1'b1 on the GPIO output when configured in output mode

(1) Register reset on Power On Reset (POR)

DCDC_CONFIG1(1) ; Register Address: 12h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
DCDC3_OVP	DCDC3_ DWN_2X	DCDC3_ EN_DWN	DCDC3_EN_UP	DCDC3_FA2	DCDC3_FA1	DCDC3_S2	DCDC3_S1
0	**0**	**0**	**0**	**0**	**0**	**1**	**1**
OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r/w (read only)**	**r/w**	**r/w**	**r/w (read only)**	**r/w (read only)**	**r/w (read only)**	**r/w (read only)**
SPARE	Unused bit read returns**0**						
DCDC3_OVP	**0** DCDC3 overvoltage protection not triggered, bypass switch and ramp support status depend on DCDC3_EN_UP and EN_BYPASS bits in DCDC3_OP and DCDC3_AVS registers **1** DCDC3 overvoltage protection triggered, bypass switch and ramp uspport bits are ignored and both features are disabled in OVP. Clear bit to clear OVP after an OVP event.						
DCDC3_DWN_2X	**0** DCDC3 down ramp high speed disabled **1** DCDC3 down ramp high speed enabled						
DCDC3_EN_DWN	**0** DCDC3 down ramp support disabled **1** DCDC3 down ramp suport enabled It is recommended to keep the ramp-down support disabled when DCDC3 is not operated in VCON mode (DCDC3_CTRL:VCON=0)						
DCDC3_EN_UP	**0** DCDC3 up ramp support disabled **1** DCDC3 up ramp support enabled						
DCDC3_FA2	**0** fast-on HSD not active for DCDC3 **1** fast-on HSD active for DCDC3						
DCDC3_FA1	**0** slow-off HSD not active for DCDC3 **1** slow-off HSD active for DCDC3						
DCDC3_S2:S1	ramp-up support threshold voltage (available for Rev 1.1 only) **00** threshold = -50mV **01** threshold = -100mV **10** threshold = -150mV **11** threshold = -200mV						
Note:	r/w (read only): r/w for engineering use; read only in production						

(1) Register reset on Power On Reset (POR)

DCDC_CONFIG2(1) ; Register Address: 13h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
RSVD	RSVD	RSVD	RSVD	RSVD	DCDC3_ SSC_DELTA	DCDC3_ EN_SSC	DCDC3_ EN_CP_OSC
0	**0**	**0**	**0**	**0**	**1**	**0**	**1**
OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r	**r**	**r**	**r**	**r**	**r/w (read only)**	**r/w (read only)**	**r/w (read only)**
SPARE	Unused bit read returns**0**						
DCDC3_SSC_DELTA	**0** SSC variation 200kHz **1** SSC variation 300kHz						
DCDC3_EN_SSC	**0** spread spectrum clocking is off **1** spread spectrum clocking is on						
DCDC3_EN_CP_OSC	**0** oscillator source dcdc3-clk **1** oscillator source bypass-cp-clk						
Note:	r/w (read only): r/w for engineering use; read only in production						

(1) Register reset on Power On Reset (POR)

SPARE0(1) ; Register Address: 14h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
SPARE	SPARE	EN_FAST_RAMP	DCDC1/2_FA2	DCDC1/2_FA1	DCDC3_synch	nILIM_MAPPING	EN_nILIM_xl
0	**0**	**1**	**0**	**0**	**0**	**0**	**1**
OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**

SPARE	Unused bit read returns **0**
Note:	**for later use**
EN_FAST_RAMP	**available from rev 1.2 of silicon**
	0 ramp speed of DCDC3 in VCON mode is as in previous versions
	1 fast ramp-up enabled, the rising edge in VCON mode is speed-up
DCDC1/2_FA2	**0** fast-on HSD not active for DCDC1 and DCDC2
	1 fast-on HSD active for DCDC1 and DCDC2
DCDC1/2_FA1	**0** slow-off HSD not active for DCDC1 and DCDC2
	1 slow-off HSD active for DCDC1 and DCDC2
DCDC3_synch	**available from rev 1.1 of silicon**
	0 DCDC3 not synchzronized to DCDC1 and DCDC2; SSC option allowed
	1 DCDC3 synchzronized to DCDC1 and DCDC2; SSC option not allowed
nILIM_MAPPING	**available from rev 1.1 of silicon**
	0 negative current limit for DCDC3 is defined by bit EN_nILIM_xl
	1 negative current limit for DCDC3 is mapped to pin DCDC3_SEL and defined as listed below:
	DCDC3_SEL = 0: negative current limit is disabled (for VCON up-ramping)
	DCDC3_SEL = 1: negative current limit is enabled (for VCON down-ramping)
	Note: nILIM_MAPPING is not gating DCDCx_SEL_CTRL bits in registers DCDCx_CTRL and vice versa
EN_nILIM_xl	**available from rev 1.1 of silicon**
	0 negative current limit for DCDC3 is disabled; the setting still allows a small negative inductor current needed to operate the converter in PWM mode at zero load current
	1 negative current limit for DCDC3 enabled; needed for a fast ramp down of the output voltage in VCON mode

(1) Register reset on Power On Reset (POR)

VERNUM(1) ; Register Address: 15h							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
VERNUM	VERNUM	VERNUM	VERNUM	VERNUM	VERNUM	VERNUM	VERNUM
0	**0**	**0**	**1**	**0**	**0**	**1**	**1**
OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r	**r**	**r**	**r**	**r**	**r**	**r**	**r**

VERNUM	Value depending on silicon revision
	0x00 - hardware revision 1.0
	0x01 - hardware revision 1.1
	0x11 - hardware revision 1.1 with programming "42"
	0x12 - hardware revision 1.2 with programming "42"
	0x13 - hardware revision 1.3 with programming "42"

(1) Register reset on Power On Reset (POR)

PM_TRIG(1) ; Register Address: 1Ch; function not supported by TPS657120							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
PWR_MODE[1]	PWR_MODE[0]	PM_TRIG[5]	PM_TRIG[4]	PM_TRIG[3]	PM_TRIG[2]	PM_TRIG[1]	PM_TRIG[0]
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**
OTP	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**	**OTP**
r/w	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
PM_TRIG[5:0]							
PWR_MODE[1:0]							

(1) Register reset on Power On Reset (POR)

PRODUCT_ID(1) ; Register Address: 1Dh							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
ID[7]	ID[6]	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]
1	**1**	**1**	**0**	**0**	**0**	**0**	**0**
r/w	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**	**r/w**
ID[7:0]	Product Identification						

(1) Register reset on Power On Reset (POR)

MANUFACTURER_ID(1) ; Register Address: 1Eh							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
MID[7]	MID[6]	MID[5]	MID[4]	MID[3]	MID[2]	MID[1]	MID[0]
0	**0**	**0**	**0**	**0**	**0**	**1**	**0**
r	**r**	**r**	**r**	**r**	**r**	**r**	**r**
MID[7:0]	Manufacturer Identification						

(1) Register reset on Power On Reset (POR)

USID(1) ; Register Address: 1Fh							
B7	**B6**	**B5**	**B4**	**B3**	**B2**	**B1**	**B0**
SPARE	SPARE	MID[9]	MID[8]	USID[3]	USID[2]	USID[1]	USID[0]
0	**0**	**0**	**1**	**0**	**1**	**0**	**x**
OTP	**OTP**	**-**	**-**	**OTP**	**OTP**	**OTP**	**OTP / ADR_SELECT**
r/w	**r/w**	**r**	**r**	**r/w (read only)**	**r/w (read only)**	**r/w (read only)**	**r**
USID[3:0]	unique slave identifier; GPIO1 can optionally be used as the adress select input for USID[0], if the option is active, USID[0] is set "1" when ADR_SELECT is pulled to a HIGH level, USID[0] is set to "0" when ADR_SELECT is set LOW again. It is allowed to change the state of ADR_SELECT during operation. and USID[0] will update accordingly.						
MID[8,9]	manufacurer ID MSB						
SPARE	for later use						
Note:	r/w (read only): r/w for engineering use; read only in production						

(1) Register reset on Power On Reset (POR)

5 应用范围

5.1 直流到直流转换器

5.1.1 输出滤波器设计（电感器和输出电容器）

5.1.1.1 电感器选择

这些转换器通常与一个 1.5µH 或 2.2µH 输出电感器一同运行。 所选择的电感器必须设定额定直流电阻和饱和电流。 电感的直流电阻将直接影响转换器的效率。 因此，为了实现最高效率，应该选择一个具有最低直流电阻的电感器。

Equation 1 计算静态负载条件下的最大电感器电流。 电感器的饱和电流额定值应该高于 Equation 1 中计算出的最大电感器电流。 此建议的原因是，重负载瞬态期间，电感器电流将上升，直至高于计算出的值。

$$\Delta I_L = Vout \times \frac{1 - \frac{Vout}{Vin}}{L \times f} \qquad I_{Lmax} = I_{outmax} + \frac{\Delta I_L}{2} \tag{1}$$

其中：

f = 开关频率（典型值 2.25MHz）
L = 电感器值
ΔI_L = 峰值到峰值电感器纹波电流
I_{Lmax} = 最大电感器电流

最高电感器电流将在最大 Vin 时出现。

开核电感器具有一个软饱和特性，并且它们通常处理较高电感器电流与一个相似屏蔽电感器间的关系。

一个更加保守的方法是为相应转换器的最大开关电流选择电感器电流额定值。 必须考虑在内的是，不同电感器间的核心材料会有所不同，这将影响效率，特别是在较高开关频率时更是如此。

谨记，降压转换器具有内部环路补偿。 内部环路补偿被设计用来与下方计算得出的输出滤波器角频率一同工作：

$$f_c = \frac{1}{2\pi\sqrt{L \times Cout}} \text{ with } L = 1.5\ \mu H,\ Cout = 10\ \mu F \tag{2}$$

实际情况是，外部 L-C 滤波器的选择必须考虑上述等式。 一般情况下，在选择较小电感器或增加输出电容器值的同时，L x C_{OUT} 的乘积应该恒定。

对于可用的电感器，请参考 Table 5-1 和典型应用范围。

Table 5-1. 经测试的电感器

电感器类型	电感器值	供应商	注释
MDT1608-CH2R2M	2.2µH	东光	用于 DCDC1 和 DCDC2（小尺寸）
MDT2012-CH2R2N	2.2µH	东光	用于 DCDC1 和 DCDC2（小尺寸，高效）
DFE201610C-2R2	2.2µH	东光	用于 DCDC1 和 DCDC2（高效）
DFE252010-1R5N	1.5µH	东光	用于 DCDC3

5.1.1.2 输出电容器选择

降压转换器的高级快速响应电压模式控制系统配置可使用典型值为 10µF 的小型陶瓷电容器，在重负载瞬态条件下没有大输出电压下冲和过冲。 具有低等效串联电阻 (ESR) 值的陶瓷电容器可获得最低输出电压纹波，因此建议使用此类电容器。 对于电感值为 1.5µH 或 2.2µH 的电感器，可使用电容值为 10µF 的电容器。 请见推荐组件

如果使用陶瓷输出电容器，电容器 RMS 纹波电流额定值将始终符合应用要求。 只是为了实现完整性，RMS 纹波电流可计算为：

$$I_{RMSCout} = Vout \times \frac{1 - \frac{Vout}{Vin}}{L \times f} \times \frac{1}{2 \times \sqrt{3}} \quad (3)$$

在标称负载电流时，电感转换器运行在 PWM 模式下，并且总体输出电压纹波是电压尖峰（由输出电容器 ESR 导致）加上电压纹波（由输出电容器充放电导致）的总和：

$$\Delta Vout = Vout \times \frac{1 - \frac{Vout}{Vin}}{L \times f} \times \left(\frac{1}{8 \times Cout \times f} + ESR \right) \quad (4)$$

其中，最高输出电压纹波在最高输入电压 Vin 时出现。

轻负载电流时，转换器运行在省电模式，并且输出电压纹波取决于输出电容器值。 输出电压纹波由内部比较器延迟和外部电容器设定。 典型输出电压纹波少于标称输出电压的 1%。

5.1.1.3 输入电容器 / 输出电容器选择

由于降压转换器本身具有一个脉冲输入电流，为了实现最佳输入电压滤波，并且最大限度地减少由高输入电压尖峰导致的其它电路干扰，需要一个低 ESR 输入电容器。 这些转换器需要一个电容值为 10µF 的陶瓷输入电容器。 为了实现更好的输入电压滤波，可尽可能地增加输入电容器。 由于输出电容器影响环路稳定性，到所需输出电感值的任何偏差有可能导致直流到直流转换器或 LDO 变得不稳定。

Table 5-2. 已经测试电容器

类型	值	电压额定值	尺寸	供应商	材料
GRM155R60J475ME87	4.7µF	6.3V	0402	牧田	陶瓷 X5R
GRM155R60J225ME15D	2.2µF	6.3V	0402	牧田	陶瓷 X5R
GRM185R60J225	2.2µF	6.3V	0603	牧田	陶瓷 X5R
GRM188R60J475KE19	4.7µF	6.3V	0603	牧田	陶瓷 X5R
GRM188R61A106ME69	10µF	10V	0603	牧田	陶瓷 X5R
GRM21BR60J226M	22µF	6.3V	0805	牧田	陶瓷 X5R
GRM21BR60J476ME15	47µF	6.3V	0805	牧田	陶瓷 X5R

5.1.1.4 DCDC1，DCDC2 和 DCDC3 上的电压变化

运行期间，直流到直流转换器的输出电压可由数字接口更改。 此外，可以对直流到直流转换器进行配置，这样的话，转换 DCDC3_SEL 可以在寄存器 DCDCx_OP 和 DCDCx_AVS 定义的两个不同输出电压集合间切换。

5.2 布局布线注意事项

对于所有开关电源，布局布线是设计中的重要一个步骤。 此器件的正确功能在很大程度上取决于印刷电路板 (PCB) 布局布线。 电路板布局布线时必须小心，以获得指定的性能。 如果没有仔细完成布局布线，稳压器也许会出现糟糕的线路和/或负载调节，稳定性问题以及电磁干扰 (EMI) 问题。 提供一个低阻抗接地路径很关键。 因此，在主电流路径上使用宽且短的迹线。 输入电容必须被放置在尽可能靠近 IC 引脚以及电感器和输出电容器的位置上。

为了避免接地噪声，应该将接至 GND 引脚（返回小信号分量）和输出电容器高电流的普通路径保持尽可能的短。 VDCDCx 迹线应该连接至输出电容器的右侧，并且远离嘈杂组件和迹线（例如，L1，L2 和 L3 迹线）。 与 TPS657120 布局布线相关的详细信息请参见 EVM 使用指南。

5.3 应用电路原理图

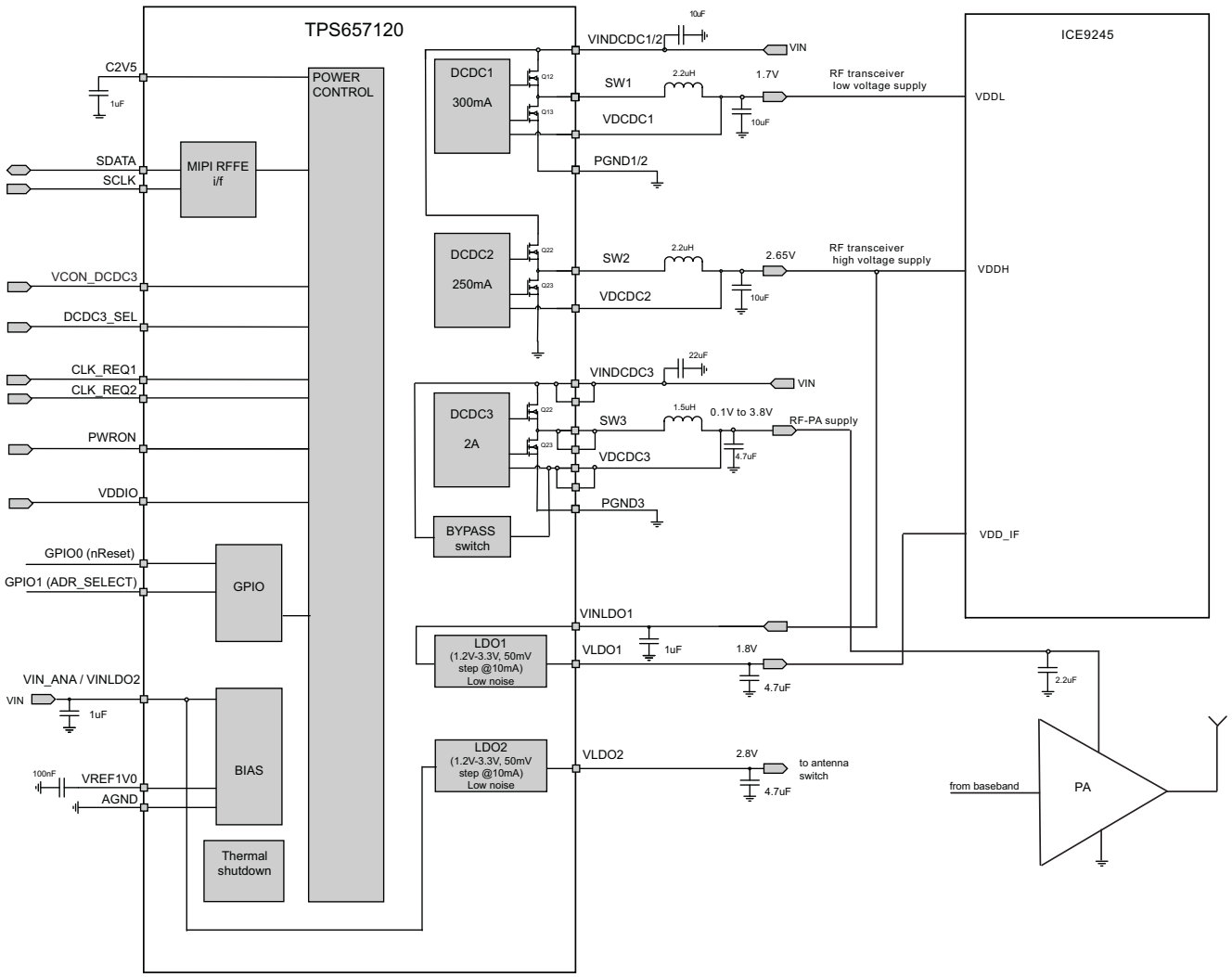


Figure 5-1. 针对 **SP30 RF** 电源管理集成电路 **(PMIC)** 的手机电池连接

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS657120YFFR	ACTIVE	DSBGA	YFF	30	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	TPS 657120	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

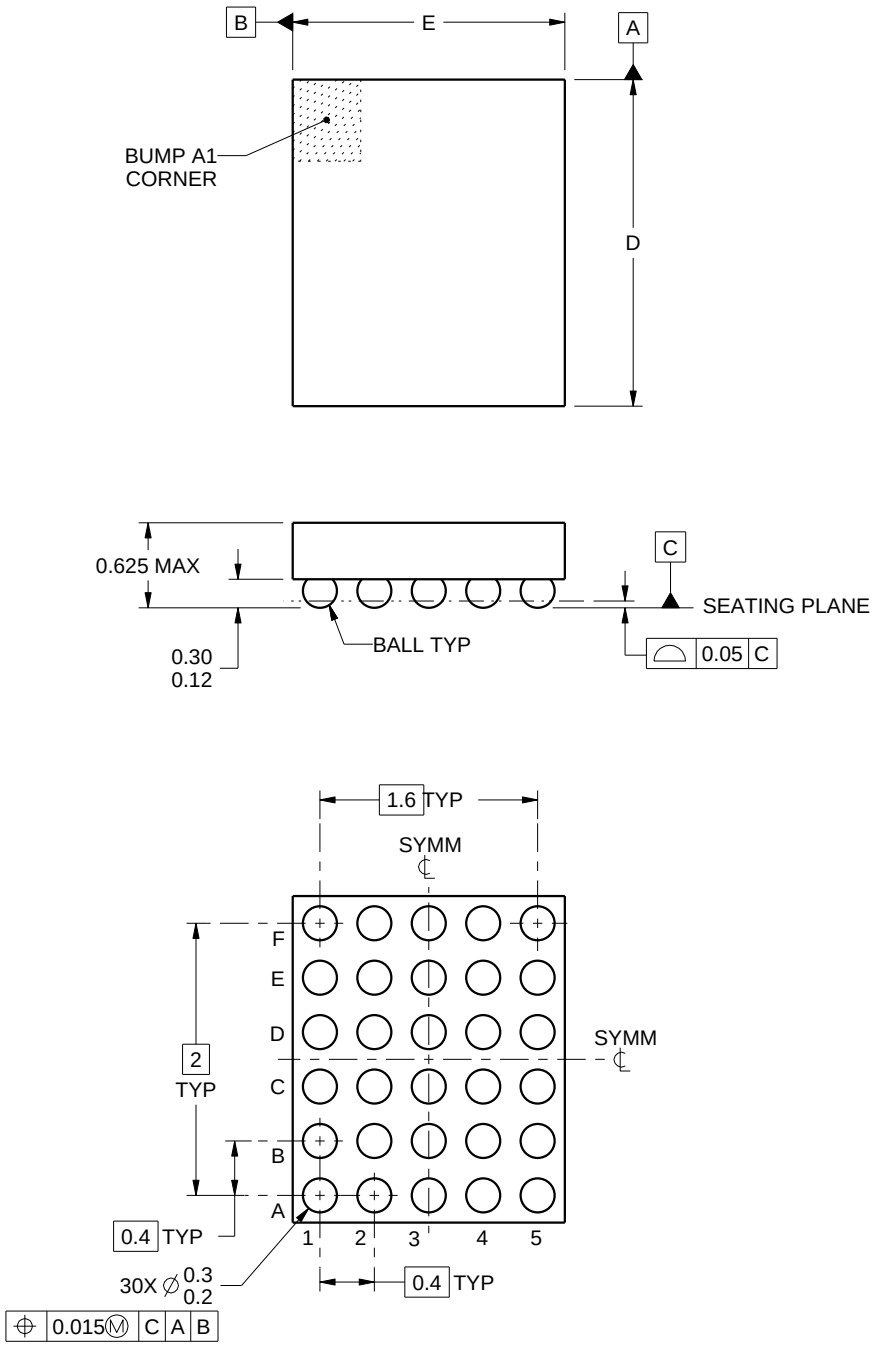
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

PACKAGE OUTLINE

YFF0030

DSBGA - 0.625 mm max height

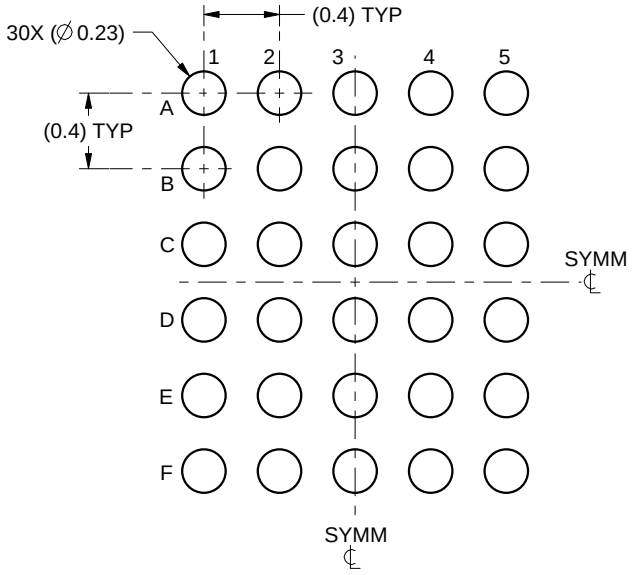
DIE SIZE BALL GRID ARRAY



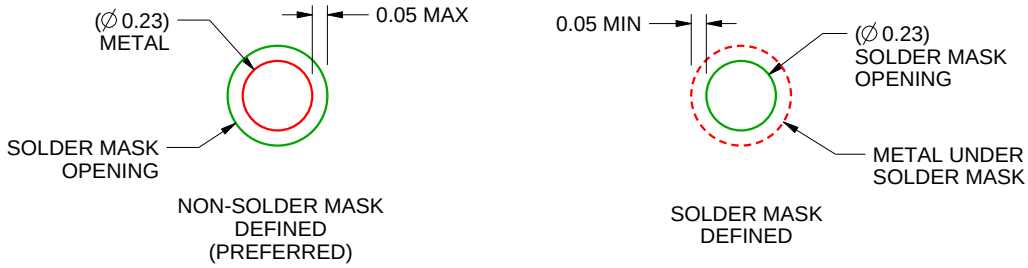
4219433/A 03/2016

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:25X

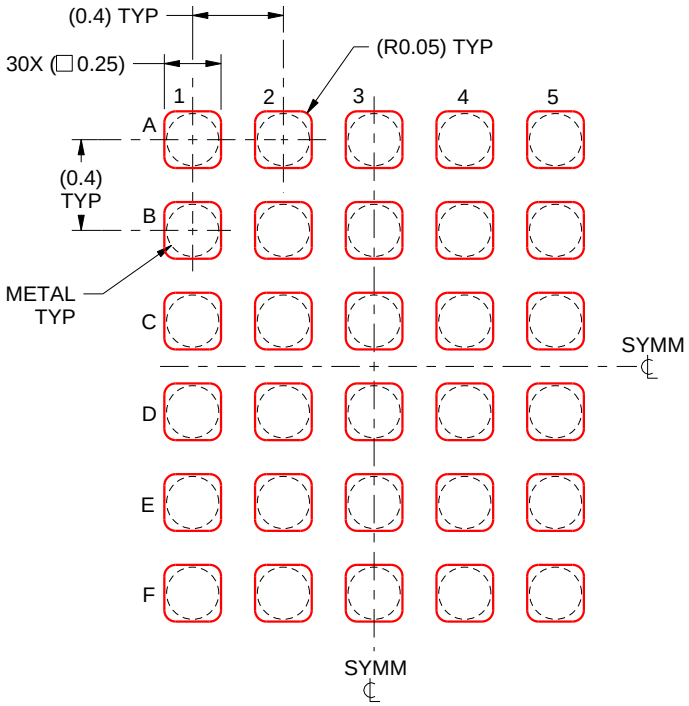


SOLDER MASK DETAILS
NOT TO SCALE

4219433/A 03/2016

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4219433/A 03/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122