

适用于 Jacinto™ 7 J721E、PDN-0B 的 TPS65941212-Q1 和 TPS65941111-Q1 PMIC 用户指南



摘要

本用户指南针对如何将 TPS65941212-Q1 和 TPS65941111-Q1 电源管理集成电路 (PMIC) 集成到为 Automotive Jacinto™ 7 DRA829 或 TDA4VM 处理器供电的系统中提供指导。

内容

| | |
|-----------------------------|----|
| 1 引言..... | 2 |
| 2 器件版本..... | 2 |
| 3 处理器连接..... | 3 |
| 3.1 电源映射..... | 3 |
| 3.2 控制映射..... | 6 |
| 4 支持功能安全系统..... | 9 |
| 4.1 达到 ASIL-B 系统要求..... | 10 |
| 4.2 达到 ASIL-D 系统要求..... | 10 |
| 5 静态 NVM 设置..... | 12 |
| 5.1 基于应用程序的配置设置..... | 12 |
| 5.2 器件标识设置..... | 13 |
| 5.3 BUCK 设置..... | 13 |
| 5.4 LDO 设置..... | 15 |
| 5.5 VCCA 设置..... | 16 |
| 5.6 GPIO 设置..... | 16 |
| 5.7 有限状态机 (FSM) 设置..... | 18 |
| 5.8 中断设置..... | 19 |
| 5.9 POWERGOOD 设置..... | 22 |
| 5.10 其他设置..... | 22 |
| 5.11 接口设置..... | 24 |
| 5.12 多器件设置..... | 25 |
| 5.13 看门狗设置..... | 25 |
| 6 可预配置的有限状态机 (PFSM) 设置..... | 25 |
| 6.1 配置的状态..... | 26 |
| 6.2 PFSM 触发器..... | 27 |
| 6.3 电源序列..... | 28 |
| 7 NVM 更改的影响..... | 45 |
| 8 参考文献..... | 46 |
| 9 修订历史记录..... | 46 |

商标

Jacinto™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

本用户指南介绍了两个 TPS6594-Q1 器件与具有独立 MCU 和主电源轨的 DRA829V 或 TDA4VM 处理器之间的配电网 (PDN) PDN-0B。此 PDN 可根据需要对处理器 MCU 和主电压源进行板级隔离，从而利用处理器架构实现两个所需的最终产品特性：

1. MCU 处理器充当主处理资源上的独立安全监控器 (MCU 安全岛)，以确保系统安全运行。
2. MCU 处理器保持最小的系统运行 (仅 MCU)，以显著降低处理器功耗，从而延长待机使用情况下的电池寿命并降低元件温度。

本说明包括以下内容来以说明平台系统操作：

1. PDN 电源连接
2. PDN 数字控制连接
3. 初级和次级 PMIC 的默认 NVM 内容
4. 支持高级处理器系统的不同 PDN 电源状态转换的 PMIC 排序设置

PMIC 和处理器数据手册介绍了建议的运行条件、电气特性、外部元件、封装详情、寄存器映射和整体元件功能。如果任何用户指南、应用报告或其他参考资料之间存在任何不一致，应以数据表规格为准。

2 器件版本

TPS6594-Q1 器件有不同的可订购零件型号 (PN)，具有独特的 NVM 设置，以支持不同的最终产品用例和处理器类型。每个 PMIC 器件的独特 NVM 设置根据 PDN 设计进行了优化，以支持不同的处理器、处理负载、SDRAM 类型、系统功能安全级别和最终产品特性 (如低功耗模式、处理器电压和内存子系统)。NVM_ID 和 NVM_REV 这两个寄存器均可识别 NVM 设置。每个 PMIC 器件可通过表 2-1 中列出的零件型号、NVM_ID 和 NVM_REV 值来区分。

表 2-1. 用于独立 MCU 和主 PDN 系统的双 TPS6594-Q1 可订购零件型号

| PDN 用例 | PDN | 可订购零件型号 | TI_NVM_ID (TI_NVM_REV) | 可订购零件型号 | TI_NVM_ID (TI_NVM_REV) | 错误信号监控 |
|--|-----|-------------------|------------------------|-------------------|------------------------|----------------|
| <ul style="list-style-type: none"> 在初级 PMIC 三相 CPU 电源轨上高达 9A⁽¹⁾ | 0B | TPS65941212RWERQ1 | 0x12 (0x03) | TPS65941111RWERQ1 | 0x11 (0x03) | 将 MCU 和 SOC 组合 |
| <ul style="list-style-type: none"> 在次级 PMIC 四相内核电压轨上高达 12A1 在 SDRAM 上高达 3.4A⁽¹⁾，支持 LPDDR4 支持处理器 2GHz 最大时钟以及高速 SERDES 运行 支持 32Gb LPDDR4 SDRAM，数据速率为 4266MTs 通过 MCU 安全岛支持高达 ASIL-D 级别的功能安全 支持“仅 MCU”和“DDR_滞留”低功耗模式 支持 3.3V 或 1.8V 的 I/O 电平 支持可选的最终产品特性： <ul style="list-style-type: none"> 符合标准的高速 SD 卡内存 符合标准的 USB 2.0 接口 高安全处理器的板载 Efuse 编程 | 0C | TPS65941213RWERQ1 | 0x13 (0x04) | TPS65941111RWERQ1 | 0x11 (0x03) | 专用 MCU 和 SOC |

(1) TI 建议在最大预期负载电流与每个 PMIC 输出电源轨允许的最大电流之间留出 15% 的裕度。

备注

建议 PDN-0C 用于所有的新设计和需要在 PDN-0C 中通过 GPIO 优化提供的附加功能安全覆盖的设计。本文档描述了 PDN-0B。

3 处理器连接

本部分详细介绍了双 TPS6594-Q1 电源器件和 GPIO 信号如何连接到处理器和其他外设元件，以支持 PDN 用例。

3.1 电源映射

图 3-1 显示了双 TPS6594-Q1 PMIC 电源与支持独立 MCU 和主电源轨所需的处理器电压域之间的电源映射。在该配置中，两个 PMIC 均使用 3.3V 输入电压。对于功能安全应用，在 VCCA 连接到主 PMIC 的 OVPGDRV 引脚之前有一个保护 FET，以允许对 PMIC 的输入电源进行电压监控。

VCCA 电压必须是施加于 PMIC 器件的第一电压。不得在 VCCA 之前给 PMIC 的 VIO_IN 供电。在此 PDN 中，负载开关为 VIO_IN 供电。该负载开关还为处理器的 VDDSHVx_MCU 电压域供电。这允许引用 VIO_IN 的 PMIC GPIO 控制信号在仅 MCU 低功耗模式期间保持运行状态，并在 DDR 保留（也称为挂起至 RAM）期间被禁用，以降低 PMIC 功耗。

可以使用 TPS659411-Q1 器件的 LDO1 运行 SD 卡双电压 I/O（3.3V 和 1.8V）。具有逻辑高默认值的处理器 GPIO 控制信号用于将 SD VIO 初始设置为 3.3V。在处理器上电期间，引导加载程序软件可以将 GPIO 信号设置为低电平，从而根据 SD 规格选择高速卡运行所需的 1.8V 电平。这允许控制 LDO1 电压，而无需 MCU 处理器在 SD 卡启动运行期间与 PMIC 建立 I2C 通信。

此 PDN 使用四个分立式电源元件，其中三个是必需的，一个是可选的，具体取决于最终产品的特性。两个 TPS22965-Q1 负载开关连接 VCCA_3V3 电源轨，以便为处理器 I/O 域提供受 OV 保护的 3.3V 电源。为了实现 MCU 安全岛或仅 MCU 低功耗运行，需要两个负载开关来实现 MCU 与主处理器子单元之间的隔离。TPS62813-Q1 降压转换器为 LPDDR4 SDRAM 元件提供所需的 1.1V 电源。未使用的主 PMIC FB 引脚 FB_B3 已根据 NVM 设置（表 5-3）进行配置，以便在最终产品 OV/UV 监控要求包含 VDD_DDR_1V1 电源轨时，为该电源提供电压监控。TLV73318-Q1 LDO 是一个可选的分立式电源元件，如果最终产品使用高安全处理器类型并希望能够在板上对 Efuse 值进行编程，则可以使用该元件。如果不需要此特性，则可以省略此 LDO，并按照数据手册建议处理处理器 VPP 引脚。

备注

FB_B3 上的 PMIC 电压监控器必须连接至 1.1V。对于主 PMIC 和从 PMIC，VMON_ABIST_EN=1。如果监控器启用时，1.1V 未连接到 FB_B3，则自检失败，设置 BIST_fail_INT 中断，器件进入安全状态，主处理器电压被禁用。

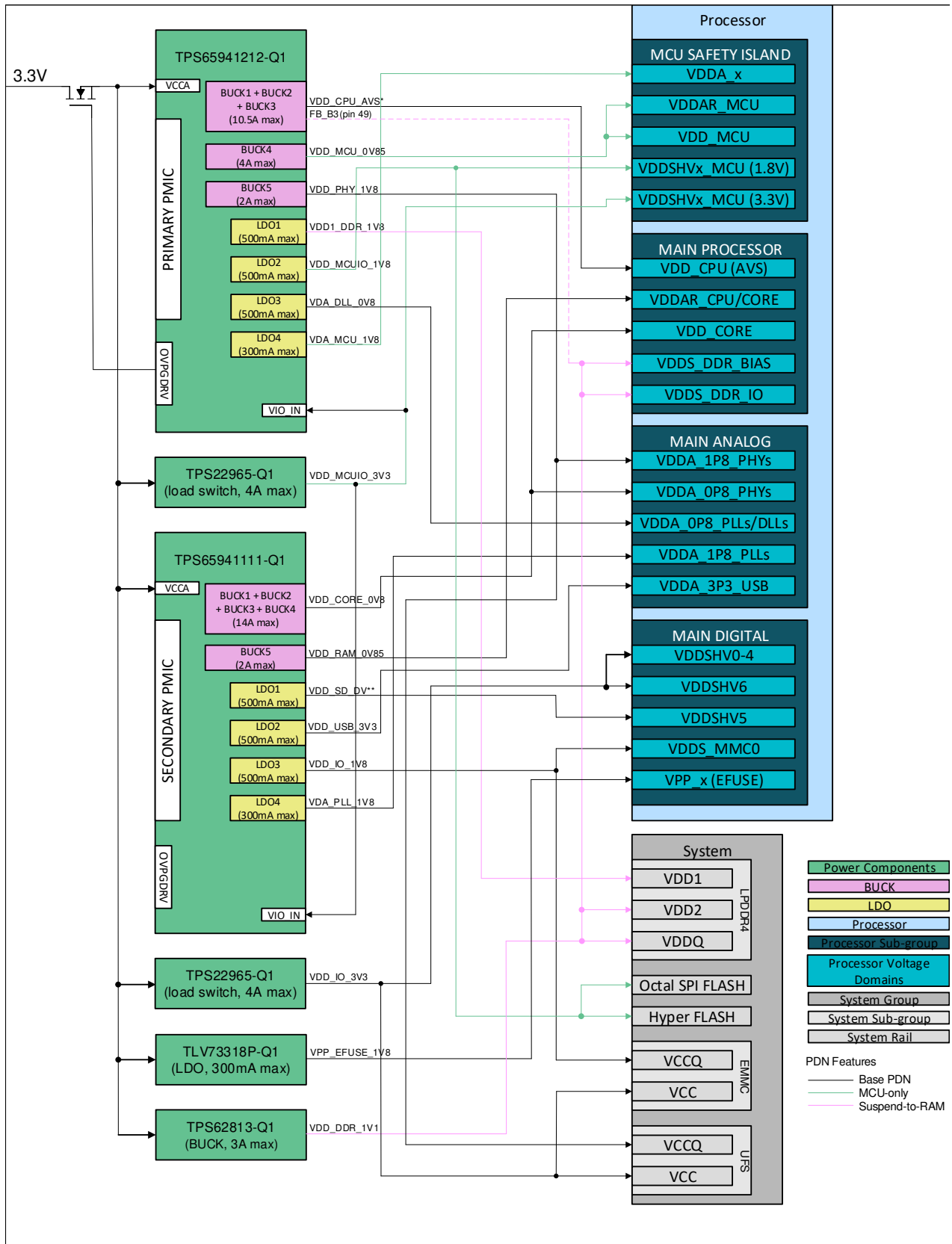


图 3-1. 电源连接

- * VDD_CPU_AVS，启动电压为 0.8V，然后软件设置器件专用 AVS；0.68V - 0.72V。
- ** VDD_SD_DV，3.3V，然后软件更改为每个 HS-SD 为 1.8V。

表 3-1 确定需要哪些电源来支持不同的系统特性。如果所列出的系统特性不是必需的，则可以断开电源器件连接，并且需要将处理器电压域分组到备用电源轨中。

表 3-1. PDN 电源映射和系统特性

| 器件 | 电源映射 | | | 系统特性 | | | | |
|--------------------|----------|-----------------|--|--------|-------|---------|------|--------|
| | 电源 | 电源轨 | 处理器和内存域 | 有源 SoC | 仅 MCU | 挂起至 RAM | SD 卡 | USB 接口 |
| TPS659412 12-Q1 | BUCK123 | VDD_CPU_AVS | VDD_CPU | 必需 | | | | |
| | FB_B3 | | VDDS_DDR_BIAS、 VDDS_DDR_IO、 LPDDR4 | 必需 | | 必需 | | |
| | BUCK4 | VDD_MCU_0V85 | VDDAR_MCU、 VDD_MCU | 必需 | 必需 | | | |
| | BUCK5 | VDD_PHY_1V8 | VDDA_1P8_PHYs | 必需 | | | | |
| | LDO1 | VDD1_DDR_1V8 | 内存：VDD1 | 必需 | 可选 | 必需 | | |
| | LDO2 | VDD_MCU_I_O_1V8 | VDDSHVx_MCU (1.8V) 内存：VCC | 必需 | 必需 | | | |
| | LDO3 | VDA_DLL_0V8 | VDDA_0P8_PLLs/DLLs | 必需 | | | | |
| | LDO4 | VDA_MCU_1V8 | VDDA_x | 必需 | 必需 | | | |
| TPS659411 11-Q1 | BUCK1234 | VDD_CORE_0V8 | VDD_CORE、 VDDA_0P8_PHYs | 必需 | | | | |
| | BUCK5 | VDD_RAM_0V85 | VDDAR_CPU/CORE | 必需 | | | | |
| | LDO1 | VDD_SD_DV | VDDSHV5 | | | | 必需 | |
| | LDO2 | VDD_USB_3V3 | VDDA_3P3_USB | | | | | 必需 |
| | LDO3 | VDD_IO_1V8 | VDDS_MMC0 内存：VCCQ | 必需 | | | | |
| | LDO4 | VDA_PLL_1V8 | VDDA_1P8_PLLs | 必需 | | | | |
| TPS22965-Q1 | 负载开关 | VDD_MCU_I_O_3V3 | VDDSHVx_MCU (3.3V) | 必需 | 必需 | | | |
| TPS22965-Q1 | 负载开关 | VDD_IO_3V3 | VDDSHV0-4、VDDSHV6 (3.3V) | 必需 | 必需 | | | |
| TLV73318P-Q1 | LDO | VPP_EFUSE_1V8 | VPP_x(EFUSE) | 可选 | | | | |
| TPS62813-Q1 | BUCK | VDD_DDR_1V1 | VDDS_DDR_BIAS、 VDDS_DDR_IO | 必需 | 可选 | 必需 | | |
| | | | 内存：VDD2 | | | | | |

3.2 控制映射

图 3-2 显示了处理器和 PMIC 器件之间的数字控制信号映射。为了使两个 PMIC 器件协同工作，主 PMIC 和从 PMIC 必须建立 SPMI 通信通道。这允许两个 TPS6594-Q1 同步其内部可预配置状态机 (PFSM)，以便它们作为一个 PFSM 在所有电源和数字资源上运行。TPS6594-Q1 上的 GPIO_5 和 GPIO_6 引脚被分配用于实施此功能。此外，主 PMIC 的 LDOVINT 引脚连接至从 PMIC 的使能输入，以正确地启动 PFSM。

从 TPS6594-Q1 器件到处理器的其他数字连接提供错误监控、处理器复位、处理器唤醒和系统低功耗模式。已将特定的 GPIO 引脚分配给关键信号，以确保在只有少数 GPIO 引脚保持工作时器件在低功耗模式下能够正常运行。

图 3-2 所示的数字连接支持系统特性，包括仅 MCU 的 MCU 安全岛和挂起至 RAM 低功耗模式、性能高达 ASIL-D 的功能安全、符合标准的双电压 SD 卡运行和 LPDDR4x 集成。

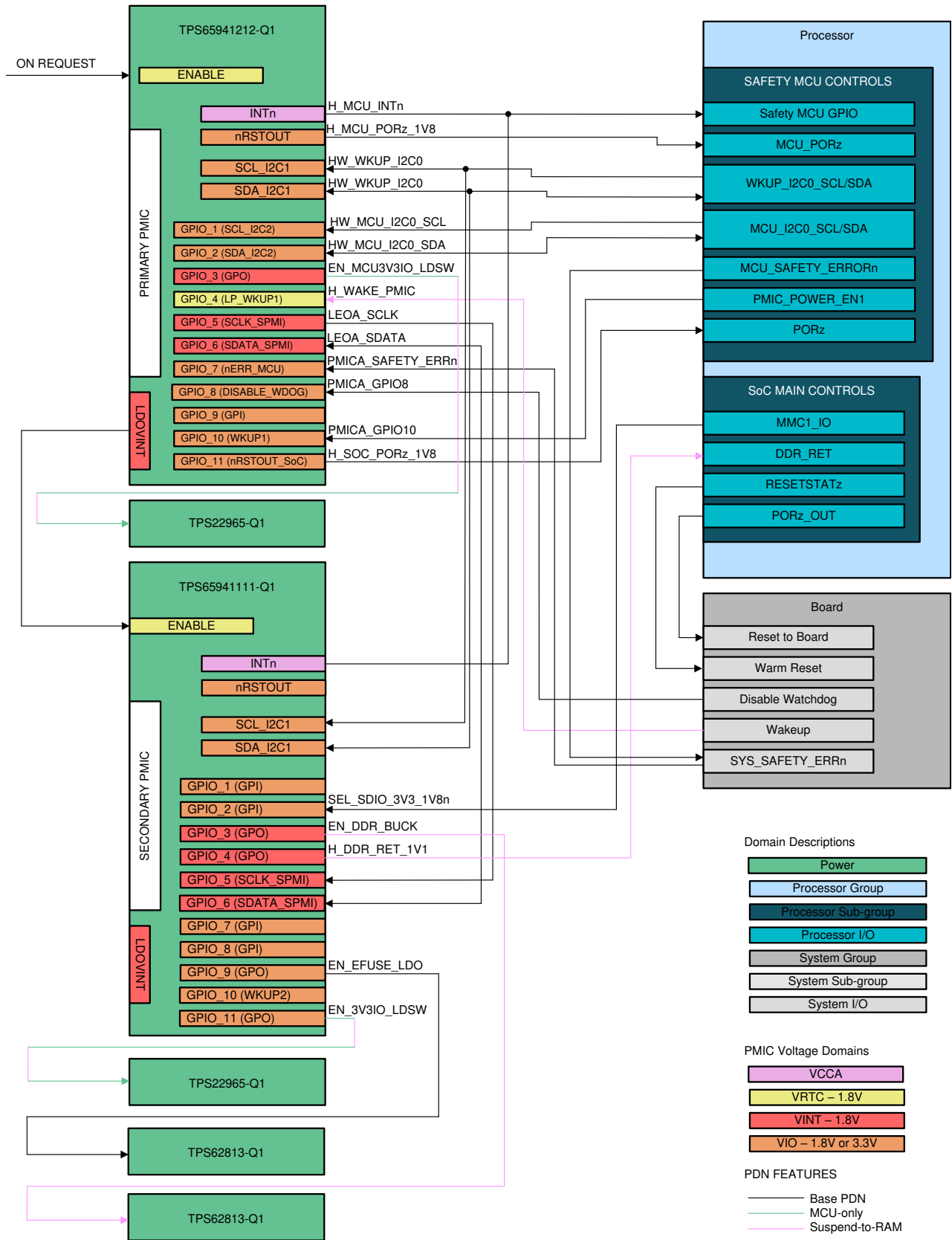


图 3-2. TPS6594-Q1 数字连接

备注

IO 的 PMIC 电压域可以根据配置的不同而不同。当配置为输入时，GPIO3 和 GPIO4 均在 VRTC 域中。当配置为输出时，GPIO3 和 GPIO4 均在 VINT 域中。

备注

除 I2C 信号外，还有四个附加信号为开漏输出，需要上拉至特定电源轨。有关信号和特定电源轨的列表，请参阅表 3-2。

表 3-2. 开漏信号和电源轨

| PDN 信号 | 上拉电源轨 |
|--------------------|-----------------|
| H_MCU_INTn | VDD_MCUIO_3V3 |
| H_MCU_PORz_1V8 | VDA_MCU_1V8 |
| H_SOC_PORz_1V8 | VDA_MCU_1V8 |
| H_DDR_RET_1V1 | VDD_DDR_1V1_REG |
| H_WKUP_I2C0 | VDD_MCUIO_3V3 |
| H_MCU_I2C0_SCL/SDA | VDD_MCUIO_3V3 |

请使用表 3-3 指导如何分配每个 PDN 系统特性所需的 GPIO。如果所列出的特性不是必需的，可以删除数字连接；但是，GPIO 引脚仍会按照显示的 NVM 定义的默认功能进行配置。处理器启动后，系统软件可能会重新配置未使用的 GPIO 以支持新功能。只要该功能仅在启动后才需要且默认功能不与正常操作产生任何冲突（例如，两个输出驱动同一网络），就会出现此种情况。有关功能安全相关连接如何帮助实现功能安全系统级目标的详细信息，请参阅节 4。

表 3-3. 按系统特性划分的数字连接

| 器件 | GPIO 映射 | | | 系统特性 | | | | |
|--------------------|-------------------|------------------|----------------------------|--------|------|-----------------|---------|------|
| | PMIC 引脚 | NVM 功能 | PDN 信号 | 有源 SoC | 功能安全 | 仅 MCU 和 MCU 安全岛 | 挂起至 RAM | SD 卡 |
| TPS659412 12-Q1 | nPWRON/ ENABLE | 启用 | SOC_PWR_ON | 必需 | | | | |
| | INT | INT | H_MCU_INTn | | 必需 | | | |
| | nRSTOUT | nRSTOUT | H_MCU_PORz_1V8 | 必需 | | 必需 | | |
| | SCL_I2C1 | SCL_I2C1 | H_WKUP_I2C0 | 必需 | | | | |
| | SDA_I2C1 | SDA_I2C1 | H_WKUP_I2C0 | 必需 | | | | |
| | GPIO_1 | SCL_I2C2 | H_MCU_I2C0_SCL | | 必需 | | | |
| | GPIO_2 | SDA_I2C2 | H_MCU_I2C0_SDA | | 必需 | | | |
| | GPIO_3 | GPO | EN_MCU3V3IO_LDSW | | | | 必需 | |
| | GPIO_4 | LP_WKUP1 | H_WAKE_PMIC | | | | 必需 | |
| | GPIO_5 | SCLK_SPM I | LEOA_SCLK | 必需 | | | | |
| | GPIO_6 | SDATA_SPM MI | LEOA_SDATA | 必需 | | | | |
| | GPIO_7 | nERR_MC U | PMICA_SAFETY_ERRn | | 必需 | | | |
| | GPIO_8 | DISABLE_ WDOG | PMICA_GPIO8 | (2) | (2) | | | |
| | GPIO_9 | GPI | PMICA_GPIO9 ⁽³⁾ | | | | | |
| GPIO_10 | WKUP1 | PMIC_POWER_EN1 | 必需 | | | | | |
| GPIO_11 | nRSTOUT_ SOC | H_SOC_PORz_1V8 | | | 必需 | | | |

表 3-3. 按系统特性划分的数字连接 (continued)

| 器件 | GPIO 映射 | | | 系统特性 | | | | |
|-----------------|---------------|---------------|----------------------------------|--------|------|-----------------|---------|------|
| | PMIC 引脚 | NVM 功能 | PDN 信号 | 有源 SoC | 功能安全 | 仅 MCU 和 MCU 安全岛 | 挂起至 RAM | SD 卡 |
| TPS659411-11-Q1 | nPWRON/ENABLE | ENABLE | VINT_LEOA_1V8 | | 必需 | | | |
| | nINT | nINT | H_MCU_INTn | | | | | |
| | nRSTOUT | nRSTOUT | 未使用 | | | | | |
| | SCL_I2C1 | SCL_I2C1 | H_WKUP_I2C0 | 必需 | | | | |
| | SDA_I2C1 | SCL_I2C1 | H_WKUP_I2C0 | 必需 | | | | |
| | GPIO_1 | GPI | 未使用 ⁽³⁾ | | | | | |
| | GPIO_2 | GPI | SEL_SDIO_3V3_1V8n ⁽¹⁾ | | | | | 必需 |
| | GPIO_3 | GPO | EN_DDR_BUCK | | | | | |
| | GPIO_4 | GPO | H_DDR_RET_1V1 | | | | 必需 | |
| | GPIO_5 | SCLK_SPMI | LEOA_SCLK | 必需 | | | | |
| | GPIO_6 | SDATA_SPMI | LEOA_SDATA | 必需 | | | | |
| | GPIO_7 | GPI | 未使用 ⁽³⁾ | | | | | |
| | GPIO_8 | GPI | 未使用 ⁽³⁾ | | | | | |
| | GPIO_9 | GPO | EN_EFUSE_LDO ⁽³⁾ | | | | | |
| | GPIO_10 | WKUP2 | 未使用 ⁽³⁾ | | | | | |
| GPIO_11 | GPO | EN_3V3IO_LDSW | | | 必需 | | | |

- (1) 该引脚是一个启用内部下拉的输入。此 GPI 上的上升沿启动 FSM 触发器和相关序列。该序列将 LDO1 配置为旁路模式，提供 3.3V 电压。下降沿触发备用序列，该序列将 LDO1 配置为 LDO 模式，提供 1.8V 电压。另请参阅表 6-1
- (2) 如果期望通过硬件禁用看门狗，则需要 GPIO_8，并且必须在 nRSTOUT 变为高电平时将其设置为高电平。nRSTOUT 为高电平时，看门狗状态被锁定，可以通过软件配置该引脚用于其他功能。
- (3) 电源排序或 PMIC 功能不需要此 GPIO，如果需要，可以通过软件将其配置用于其他目的。

4 支持功能安全系统

通过使用双 TPS6594-Q1 解决方案为 DRA829V 或 TDA4VM 处理器供电，系统可以利用以下 PMIC 功能安全特性：

- MCU 和主电源轨的独立电源控制
- MCU 和主电源轨的独立监控和重置
- 输入电源监控
- 输出电压和电流监控
- 问答看门狗
- 故障报告中断
- 提供独立路径以禁用系统执行器的使能驱动引脚
- 错误引脚监控
- 内部诊断，包括电压监控、温度监控和内置自检

有关 PMIC 功能安全特性的完整说明和分析，请参阅 TPS6594-Q1 器件的安全手册。这些功能安全特性可以帮助系统达到 ASIL-D 等级。此外，这些特性有助于实现处理器为达到 ASIL-D 等级所使用的功能安全假设。有关完整的功能安全系统假设列表，请参阅 Jacinto™ 7 处理器的 DRA829/TDA4VM 安全手册。

4.1 达到 ASIL-B 系统要求

为达到 ASIL-B 的系统功能安全级别，可以使用以下 PDN 特性：

- 对电源电压输出进行 PIMC 过压和欠压监控
- 对输入到 PMIC (VCCA) 进行 PMIC 过压监控和保护
- 对安全处理器进行看门狗监控
- MCU 错误监控
- MCU 复位
- I²C 通信
- 驱动外部电路的错误指示灯 (可选)

如图 3-1 所示，PDN 在输入电源和 PMIC 之间串联一个外部电源 FET。FET 前后的电压由 PMIC 监控，PMIC 通过 OVPDRV 引脚控制 FET。当在输入电源上检测到大于 6V 的过压事件时，FET 可以快速隔离 PMIC，以保护系统免受损坏。包括来自 FET 输出的所有电源轨。从 FET 上游连接的任何电源都不受过压事件的影响。在图 3-1 中，为 MCU 和主 I/O 域供电的负载开关、为 DDR 供电的分立式降压稳压器和为 EFUSE 供电的分立式 LDO 都连接在 FET 之后，从而将过压保护扩展到这些处理器域和分立式电源器件。

默认情况下会启用 PMIC 内部过压和欠压监控以及其各自的监控阈值电平，并可在启动后通过 I2C 进行更新。默认情况下会监控直接连接到处理器的 PMIC 电源轨。通过负载开关供电的电源轨不受直接监控。要监控为处理器的 MCU I/O 供电的负载开关输出电压，建议使用内置在处理器 VDDSHV0_MCU 电压域中 POK 监控器。将 TPS65941212-Q1 上未使用的 BUCK3 反馈引脚 (即 FB_B3) 分配用于监控外部降压稳压器提供的 VDD_DDR_1V1 电压。为了监控向主 I/O 供电的负载开关电压，可以通过 I2C 配置 TPS65941111-Q1 的未使用反馈引脚 (FB_B3 或 FB_B4)，并将其连接到负载开关的输出以启用监控。

默认情况下，在主 TPS6594-Q1 器件上启用内部问答看门狗。一旦器件处于运行状态，就可以通过器件中的从 I2C 配置触发器或问答看门狗设置。默认情况下不启用主 I2C CRC 和从 I2C CRC，但必须使用表 6-1 中描述的 I2C_2 触发器来启用 I2C CRC。启用后，从 I2C 禁用 2ms。建议在启动问答看门狗之前启用 I2C CRC 并等待至少 2ms。配置和启动看门狗的步骤详见 TPS6594-Q1 数据表。如果在初始开发期间需要暂停该功能或系统不需要该功能，则将主 TPS6594-Q1 GPIO_8 上的 DISABLE_WDOG 信号设置为高电平以禁用看门狗。

主 TPS6594-Q1 PMIC 的 GPIO_7 配置为 MCU 错误信号监控器，且必须通过 ESM_MCU_EN 寄存器位来启用。通过主 PMIC nRSTOUT 引脚与处理器的 MCU_PORz 之间的连接来支持 MCU 复位。最后，TPS6594-Q1 和处理器之间有两个 I2C 端口。第一个端口用于所有的非看门狗通信 (如电压电平控制)，第二个端口允许在独立的通信通道上进行看门狗监控。

可以选择使用主 TPS6594-Q1 EN_DRV 来指示已检测到错误且指示系统正在进入安全状态。如果系统具有一些需要由错误事件驱动的附加外部电路，则可以使用该信号。在本 PDN 中，EN_DRV 虽未使用，但仍可以使用。

4.2 达到 ASIL-D 系统要求

对于 ASIL-C 或 ASIL-D 系统，除节 4.1 中所述的特性外，还可使用以下特性：

- 对所有输出电源轨进行 PMIC 电流监控
- 隔离处理器 MCU 和主电源域
- SoC 错误监控
- SoC 复位

默认情况下，对 TPS6594-Q1 器件的所有 BUCK 和 LDO 启用电流监控。此外，图 3-1 显示处理器的 MCU 域由 PMIC 的不同电源供电，而不是由处理器的主电源域供电。如果 TPS65941111-Q1 的 GPIO_3 可重新配置为 nERR_SoC，则可利用 SoC 错误信号监控。此特性使用 ESM_SOC_EN 寄存器位通过 I²C 来启用。通过将主 TPS6594-Q1 上的 GPIO_11 (配置为 nRSTOUT_SoC) 连接到处理器的 PORz 引脚来支持 SoC 复位功能。

表 4-1. 系统级安全特性

| ASIL-B | | | | | | ASIL-D |
|-------------------|------------------------|---|---|------------------------|---|---|
| 安全监控处理器 | 外部软件看门狗 | 外部看门狗 COMM 和 INTn | 安全 MCU 处理 ESM 安全 MCU 复位 | 安全状态信号 | 系统输入电压监控 | SoC 主处理 ESM SoC 主复位 |
| SoC : MCU 岛 R5 内核 | TPS65941212-Q1 : 问答看门狗 | TPS65941212-Q1 : I2C2 TPS65941212-Q1 和 TPS65941111-Q1 : nINT | TPS65941212-Q1 : nERR_MCU 连接到 SOC:MCU_SAFE_TY_ERRz TPS65941212-Q1 : nRSTOUT 连接到 MCU_PORz_1V8 | TPS65941212-Q1 : ENDRV | TPS65941212-Q1 : 带有安全 FET OVP/DRV 的 VSYS_SENSE -OV TPS65941212-Q1 和 TPS65941111-Q1, 具有 VCCA OV 和 UV 以及 SoC (VMON1) -UV | TSP65941212-Q1 : nERR_MCU 连接到 SOC : SOC_SAFETY_E RRz TPS65941212-Q1 : nRSTOUT_SOC 连接到 SOC_PORz_1V8 |

表 4-2. 监控安全特性

| 器件 | 电源 | PDN 电源轨 | 安全状态电源组 1 | ASIL-B | ASIL-D 新增项 |
|-------------------------|---------|-----------------|-----------|---------------------------------------|-------------------------|
| TPS65941212-Q1 (PMIC-A) | BUCK1-3 | VDD_CPU_AVS | SOC | PMIC-A - OV 和 UV | PMIC-A -CM |
| | BUCK4 | VDD_MCUIO_0V8 | MCU | PMIC-A - OV 和 UV | PMIC-A -CM |
| | BUCK5 | VDD_PHY_1V8 | SOC | PMIC-A - OV 和 UV | PMIC-A -CM |
| | LDO1 | VDD1_LPDDR4_1V8 | SOC | PMIC-A - OV 和 UV | PMIC-A -CM ² |
| | LDO2 | VDD_MCUIO_1V8 | MCU | PMIC-A - OV 和 UV | PMIC-A -CM |
| | LDO3 | VDA_DLL_0V8 | SOC | PMIC-A - OV 和 UV | PMIC-A -CM |
| | LDO4 | VDA_MCU_1V8 | MCU | PMIC-A - OV 和 UV | PMIC-A -CM |
| TPS65941111-Q1 (PMIC-B) | BUCK1-4 | VDD_CORE_0V8 | SOC | PMIC-B - OV 和 UV | PMIC-B -CM |
| | BUCK5 | VDD_RAM_0V85 | SOC | PMIC-B - OV 和 UV | PMIC-B -CM |
| | LDO1 | VDD_SD_DV | SOC | PMIC-B - OV 和 UV | PMIC-B -CM |
| | LDO2 | VDA_USB_3V3 | SOC | PMIC-B - OV 和 UV | PMIC-B -CM |
| | LDO3 | VDD_IO_1V8 | SOC | PMIC-B - OV 和 UV | PMIC-B -CM |
| | LDO4 | VDA_PLL_1V8 | SOC | PMIC-B - OV 和 UV | PMIC-B -CM |
| TPS22965W-Q1 | Ld Sw A | VDD_MCUIO_3V3 | MCU | SoC (VDDSHV0_MCU) - OV 和 UV | 不适用 |
| TPS22965W-Q1 | Ld Sw B | VDD_IO_3V3 | SOC | PMIC-B (FB_B4) - OV 和 UV ⁷ | 不适用 ^{3 4} |
| TPS62813-Q1 | Buck A | VDD_LPDDR4_1V1 | 无 | PMIC-A (FB_B3) - OV 和 UV ⁵ | 不适用 ² |
| TLV73318P-Q1 | LDO-A | VDD_EFUSE_1V8 | 无 | 不适用 ⁶ | 不适用 ⁶ |

1. TPS65941212-Q1 和 TPS65941111-Q1 的电源轨组设置详见表 5-7。
2. 电源轨 VDD_DDR_1V1 和 VDD1_LPDDR4_1V8 对安全至关重要，但不需要直接电压或电流监控，因为可以使用其他方法（例如，SoC 内部 *超时垫圈* 和 *ECC 校验器*）提供诊断覆盖范围，以检测 DDR 电压中的故障。
3. 电源轨 VDD_IO_1V8/3V3 和 VDD_GPIORET_1V8/3V3 通常对安全不是至关重要的，因为可以使用其他方法（例如，*黑色通道校验器*）提供诊断覆盖范围，以检测 SoC 信号接口（例如，CAN、UART 和 SPI）中的故障。

4. 如果在安全关键接口中使用 SoC GPIO 控制信号，则根据客户的最终产品设计，可能需要为特定的 VIO 电源轨添加电压和电流监控。
5. PMIC 资源 FB_B3 用于同时监控 VDD_DDR_1V1 的 OV 和 UV。此 PMIC 监控器不与电源组关联，但可以通过软件添加到组中。
6. 因为在安全关键型处理过程中不会发生 Efuse 编程，故电源轨 VPP_EFUSE_1V8 对安全不是至关重要的。
7. PMIC-B、Buck3 和 4 具有未使用的遥感反馈输入，可以根据所需的功能安全需求分配这些输入，以在 SoC SW 启动后为 2 个外部电源轨提供 OV 和 UV 电压监控。以 VDD_DDR_1V1 和 VDD_IO_3V3 电源轨的可选 OV/UV 监控举例说明。

5 静态 NVM 设置

TPS6594-Q1 器件由固定寄存器和从 NVM 加载的可配置寄存器组成。对于所有的 NVM 寄存器，加载到寄存器中的初始 NVM 设置将在本部分提供。注意：这些初始 NVM 设置可以在状态转换（例如从待机模式切换到运行模式）期间发生更改。寄存器映射（包括固定寄存器的默认值）位于 TPS6594-Q1 数据表中。

5.1 基于应用程序的配置设置

在 TPS6594-Q1 数据表中，每个 BUCK 有七种基于应用程序的配置在其内运行。以下列表包括可用的不同配置：

- 用于 DDR 终端的 2.2MHz 单相
- 4.4MHz VOUT 低于 1.9V，多相或高 COUT 单相
- 4.4MHz VOUT 低于 1.9V，低 COUT，仅单相
- 4.4MHz VOUT 高于 1.7V，仅单相
- 2.2MHz VOUT 低于 1.9V，多相或单相
- 2.2MHz 全 VOUT 范围且 VIN 高于 4.5V，仅单相
- 2.2MHz 全 VOUT 范围且全 VIN 范围，仅单相

这七种配置还具有最佳输出电感值，可在各种条件下优化每个降压稳压器的性能。表 5-1 显示了各个 BUCK 的默认配置。这些设置在器件启动后不能更改。

表 5-1. 应用程序用例设置

| 器件 | BUCK 电源轨 | 默认应用程序用例 | 建议的电感器值 |
|----------------|----------|---------------------------|---------|
| TPS65941212-Q1 | BUCK1 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| | BUCK2 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| | BUCK3 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| | BUCK4 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| | BUCK5 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| TPS65941111-Q1 | BUCK1 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| | BUCK2 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| | BUCK3 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| | BUCK4 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |
| | BUCK5 | 2.2MHz VOUT 低于 1.9V，多相或单相 | 470nH |

5.2 器件标识设置

这些设置用于区分在系统中检测到哪个器件。这些设置在器件启动后不能更改。

表 5-2. 器件标识 NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|--------------|------------|----------------|-------|----------------|-----|
| | | 值 | 说明 | 值 | 说明 |
| DEV_REV | DEVICE_ID | 0x82 | | 0x82 | |
| NVM_CODE_1 | TI_NVM_ID | 0x12 | | 0x11 | |
| NVM_CODE_2 | TI_NVM_REV | 0x3 | | 0x3 | |
| PHASE_CONFIG | MP_CONFIG | 0x3 | 3+1+1 | 0x0 | 4+1 |

5.3 BUCK 设置

这些设置详细说明了 BUCK 轨的默认电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-3. BUCK NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|------------|-----------------|----------------|-------------------------|----------------|-------------------------|
| | | 值 | 说明 | 值 | 说明 |
| BUCK1_CTRL | BUCK1_EN | 0x0 | 禁用；BUCK1 稳压器 | 0x0 | 禁用；BUCK1 稳压器 |
| | BUCK1_FPWM | 0x0 | PFM 和 PWM 操作（自动模式）。 | 0x0 | PFM 和 PWM 操作（自动模式）。 |
| | BUCK1_FPWM_MP | 0x0 | 自动增相和切相。 | 0x0 | 自动增相和切相。 |
| | BUCK1_VMON_EN | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 |
| | BUCK1_VSEL | 0x0 | BUCK1_VOUT_1 | 0x0 | BUCK1_VOUT_1 |
| | BUCK1_PLDN | 0x1 | 启用；下拉电阻 | 0x1 | 启用；下拉电阻 |
| | BUCK1_RV_SEL | 0x1 | 启用 | 0x1 | 启用 |
| BUCK1_CONF | BUCK1_SLEW_RATE | 0x3 | 5.0 mV/μs | 0x3 | 5.0 mV/μs |
| | BUCK1_ILIM | 0x5 | 5.5A | 0x5 | 5.5A |
| BUCK2_CTRL | BUCK2_EN | 0x0 | 禁用；BUCK2 稳压器 | 0x0 | 禁用；BUCK2 稳压器 |
| | BUCK2_FPWM | 0x0 | PFM 和 PWM 操作（自动模式）。 | 0x0 | PFM 和 PWM 操作（自动模式）。 |
| | BUCK2_VMON_EN | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 |
| | BUCK2_VSEL | 0x0 | BUCK2_VOUT_1 | 0x0 | BUCK2_VOUT_1 |
| | BUCK2_PLDN | 0x1 | 启用；下拉电阻 | 0x1 | 启用；下拉电阻 |
| | BUCK2_RV_SEL | 0x1 | 启用 | 0x1 | 启用 |
| BUCK2_CONF | BUCK2_SLEW_RATE | 0x3 | 5.0 mV/μs | 0x3 | 5.0 mV/μs |
| | BUCK2_ILIM | 0x5 | 5.5A | 0x5 | 5.5A |
| BUCK3_CTRL | BUCK3_EN | 0x0 | 禁用；BUCK3 稳压器 | 0x0 | 禁用；BUCK3 稳压器 |
| | BUCK3_FPWM | 0x0 | PFM 和 PWM 操作（自动模式）。 | 0x0 | PFM 和 PWM 操作（自动模式）。 |
| | BUCK3_FPWM_MP | 0x0 | 自动增相和切相。 | 0x0 | 自动增相和切相。 |
| | BUCK3_VMON_EN | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 |
| | BUCK3_VSEL | 0x0 | BUCK3_VOUT_1 | 0x0 | BUCK3_VOUT_1 |
| | BUCK3_PLDN | 0x1 | 启用；下拉电阻 | 0x1 | 启用；下拉电阻 |
| | BUCK3_RV_SEL | 0x0 | 禁用 | 0x0 | 禁用 |
| BUCK3_CONF | BUCK3_SLEW_RATE | 0x7 | 0.31 mV/μs | 0x2 | 10 mV/μs |
| | BUCK3_ILIM | 0x5 | 5.5A | 0x4 | 4.5A |

表 5-3. BUCK NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|-----------------|-----------------|----------------|-------------------------|----------------|-------------------------|
| | | 值 | 说明 | 值 | 说明 |
| BUCK4_CTRL | BUCK4_EN | 0x0 | 禁用；BUCK4 稳压器 | 0x0 | 禁用；BUCK4 稳压器 |
| | BUCK4_FPWM | 0x0 | PFM 和 PWM 操作 (自动模式)。 | 0x0 | PFM 和 PWM 操作 (自动模式)。 |
| | BUCK4_VMON_EN | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 |
| | BUCK4_VSEL | 0x0 | BUCK4_VOUT_1 | 0x0 | BUCK4_VOUT_1 |
| | BUCK4_PLDN | 0x1 | 启用；下拉电阻 | 0x1 | 启用；下拉电阻 |
| | BUCK4_RV_SEL | 0x1 | 启用 | 0x0 | 禁用 |
| BUCK4_CONF | BUCK4_SLEW_RATE | 0x3 | 5.0 mV/ μ s | 0x2 | 10 mV/ μ s |
| | BUCK4_ILIM | 0x5 | 5.5A | 0x4 | 4.5A |
| BUCK5_CTRL | BUCK5_EN | 0x0 | 禁用；BUCK5 稳压器 | 0x0 | 禁用；BUCK5 稳压器 |
| | BUCK5_FPWM | 0x0 | PFM 和 PWM 操作 (自动模式)。 | 0x0 | PFM 和 PWM 操作 (自动模式)。 |
| | BUCK5_VMON_EN | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 | 0x0 | 禁用；OV、UV、SC 和 ILIM 比较器。 |
| | BUCK5_VSEL | 0x0 | BUCK5_VOUT_1 | 0x0 | BUCK5_VOUT_1 |
| | BUCK5_PLDN | 0x1 | 启用下拉电阻 | 0x1 | 启用下拉电阻 |
| | BUCK5_RV_SEL | 0x1 | 启用 | 0x1 | 启用 |
| BUCK5_CONF | BUCK5_SLEW_RATE | 0x3 | 5.0 mV/ μ s | 0x3 | 5.0 mV/ μ s |
| | BUCK5_ILIM | 0x3 | 3.5A | 0x3 | 3.5A |
| BUCK1_VOUT_1 | BUCK1_VSET1 | 0x37 | 0.800 V | 0x37 | 0.800 V |
| BUCK1_VOUT_2 | BUCK1_VSET2 | 0x37 | 0.800 V | 0x0 | 0.3V |
| BUCK2_VOUT_1 | BUCK2_VSET1 | 0x37 | 0.800 V | 0x37 | 0.800 V |
| BUCK2_VOUT_2 | BUCK2_VSET2 | 0x37 | 0.800 V | 0x0 | 0.3V |
| BUCK3_VOUT_1 | BUCK3_VSET1 | 0x73 | 1.10V | 0x0 | 0.3V |
| BUCK3_VOUT_2 | BUCK3_VSET2 | 0x73 | 1.10V | 0x0 | 0.3V |
| BUCK4_VOUT_1 | BUCK4_VSET1 | 0x41 | 0.850 V | 0x0 | 0.3V |
| BUCK4_VOUT_2 | BUCK4_VSET2 | 0x41 | 0.850 V | 0x0 | 0.3V |
| BUCK5_VOUT_1 | BUCK5_VSET1 | 0xb2 | 1.80V | 0x41 | 0.850 V |
| BUCK5_VOUT_2 | BUCK5_VSET2 | 0x0 | 0.3V | 0x0 | 0.3V |
| BUCK1_PG_WINDOW | BUCK1_OV_THR | 0x3 | +5% / +50mV | 0x3 | +5% / +50mV |
| | BUCK1_UV_THR | 0x3 | -5% / -50mV | 0x3 | -5% / -50mV |
| BUCK2_PG_WINDOW | BUCK2_OV_THR | 0x3 | +5% / +50mV | 0x3 | +5% / +50mV |
| | BUCK2_UV_THR | 0x3 | -5% / -50mV | 0x3 | -5% / -50mV |
| BUCK3_PG_WINDOW | BUCK3_OV_THR | 0x3 | +5% / +50mV | 0x0 | +3% / +30mV |
| | BUCK3_UV_THR | 0x3 | -5% / -50mV | 0x0 | -3% / -30mV |
| BUCK4_PG_WINDOW | BUCK4_OV_THR | 0x3 | +5% / +50mV | 0x0 | +3% / +30mV |
| | BUCK4_UV_THR | 0x3 | -5% / -50mV | 0x0 | -3% / -30mV |
| BUCK5_PG_WINDOW | BUCK5_OV_THR | 0x3 | +5% / +50mV | 0x3 | +5% / +50mV |
| | BUCK5_UV_THR | 0x3 | -5% / -50mV | 0x3 | -5% / -50mV |

5.4 LDO 设置

这些设置详细说明了 LDO 电源轨的默认电压、配置和监控。所有这些设置都可以在启动后通过 I²C 进行更改。注意：仅 TPS65941212-Q1 器件包含 LDO 输出。

表 5-4. LDO NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|----------------|----------------|----------------|--|----------------|--|
| | | 值 | 说明 | 值 | 说明 |
| LDO1_CTRL | LDO1_EN | 0x0 | 禁用；LDO1 稳压器。 | 0x0 | 禁用；LDO1 稳压器。 |
| | LDO1_SLOW_RAMP | 0x0 | LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 25mV/us | 0x0 | LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 25mV/us |
| | LDO1_PLDN | 0x1 | 125 Ω | 0x1 | 125 Ω |
| | LDO1_VMON_EN | 0x0 | 禁用 OV 和 UV 比较器。 | 0x0 | 禁用 OV 和 UV 比较器。 |
| | LDO1_RV_SEL | 0x1 | 启用 | 0x1 | 启用 |
| LDO2_CTRL | LDO2_EN | 0x0 | 禁用；LDO2 稳压器。 | 0x0 | 禁用；LDO2 稳压器。 |
| | LDO2_SLOW_RAMP | 0x0 | LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 25mV/us | 0x0 | LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 25mV/us |
| | LDO2_PLDN | 0x1 | 125 Ω | 0x1 | 125 Ω |
| | LDO2_VMON_EN | 0x0 | 禁用；OV 和 UV 比较器。 | 0x0 | 禁用；OV 和 UV 比较器。 |
| | LDO2_RV_SEL | 0x1 | 启用 | 0x1 | 启用 |
| LDO3_CTRL | LDO3_EN | 0x0 | 禁用；LDO3 稳压器。 | 0x0 | 禁用；LDO3 稳压器。 |
| | LDO3_SLOW_RAMP | 0x0 | LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 25mV/us | 0x0 | LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 25mV/us |
| | LDO3_PLDN | 0x1 | 125 Ω | 0x1 | 125 Ω |
| | LDO3_VMON_EN | 0x0 | 禁用；OV 和 UV 比较器。 | 0x0 | 禁用；OV 和 UV 比较器。 |
| | LDO3_RV_SEL | 0x1 | 启用 | 0x1 | 启用 |
| LDO4_CTRL | LDO4_EN | 0x0 | 禁用；LDO4 稳压器。 | 0x0 | 禁用；LDO4 稳压器。 |
| | LDO4_SLOW_RAMP | 0x0 | LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 25mV/us | 0x0 | LDO 输出从 0.3V 到 LDO _n _VSET 的 90% 时的最大斜升转换率为 25mV/us |
| | LDO4_PLDN | 0x1 | 125 Ω | 0x1 | 125 Ω |
| | LDO4_VMON_EN | 0x0 | 禁用；OV 和 UV 比较器。 | 0x0 | 禁用；OV 和 UV 比较器。 |
| | LDO4_RV_SEL | 0x1 | 启用 | 0x1 | 启用 |
| LDO1_VOUT | LDO1_VSET | 0x1c | 1.80V | 0x3a | 3.30V |
| | LDO1_BYPASS | 0x0 | 线性稳压器模式。 | 0x1 | 旁路模式。 |
| LDO2_VOUT | LDO2_VSET | 0x1c | 1.80V | 0x3a | 3.30V |
| | LDO2_BYPASS | 0x0 | 线性稳压器模式。 | 0x1 | 旁路模式。 |
| LDO3_VOUT | LDO3_VSET | 0x8 | 0.80V | 0x1c | 1.80V |
| | LDO3_BYPASS | 0x0 | 线性稳压器模式。 | 0x0 | 线性稳压器模式。 |
| LDO4_VOUT | LDO4_VSET | 0x38 | 1.800 V | 0x38 | 1.800 V |
| LDO1_PG_WINDOW | LDO1_OV_THR | 0x3 | +5% / +50mV | 0x3 | +5% / +50mV |
| | LDO1_UV_THR | 0x3 | -5% / -50mV | 0x3 | -5% / -50mV |

表 5-4. LDO NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|----------------|-------------|----------------|-------------|----------------|-------------|
| | | 值 | 说明 | 值 | 说明 |
| LDO2_PG_WINDOW | LDO2_OV_THR | 0x3 | +5% / +50mV | 0x3 | +5% / +50mV |
| | LDO2_UV_THR | 0x3 | -5% / -50mV | 0x3 | -5% / -50mV |
| LDO3_PG_WINDOW | LDO3_OV_THR | 0x3 | +5% / +50mV | 0x3 | +5% / +50mV |
| | LDO3_UV_THR | 0x3 | -5% / -50mV | 0x3 | -5% / -50mV |
| LDO4_PG_WINDOW | LDO4_OV_THR | 0x3 | +5% / +50mV | 0x3 | +5% / +50mV |
| | LDO4_UV_THR | 0x3 | -5% / -50mV | 0x3 | -5% / -50mV |

5.5 VCCA 设置

这些设置详细说明了在 VCCA 上启用的默认监控。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-5. VCCA NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|----------------|-------------------------------|----------------|--|----------------|--|
| | | 值 | 说明 | 值 | 说明 |
| VCCA_VMON_CTRL | VMON_DEGLITCH_SE L | 0x1 | 20us | 0x1 | 20us |
| | VCCA_VMON_EN | 0x1 | 启用；OV 和 UV 比较器。 | 0x1 | 启用；OV 和 UV 比较器。 |
| VCCA_PG_WINDOW | VCCA_OV_THR | 0x7 | +10% | 0x7 | +10% |
| | VCCA_UV_THR | 0x7 | -10% | 0x7 | -10% |
| | VCCA_PG_SET | 0x0 | 3.3V | 0x0 | 3.3V |
| GENERAL_REG_1 | FAST_VCCA_OVP | 0x0 | 慢，已启用 4μs 抗尖峰脉冲滤波器 | 0x0 | 慢，已启用 4μs 抗尖峰脉冲滤波器 |
| GENERAL_REG_3 | LPM_EN_DISABLES_V CCA_VMON | 0x1 | 如果 VCCA_VMON_EN=1 且 LPM_EN=0，则启用 VCCA_VMON | 0x1 | 如果 VCCA_VMON_EN=1 且 LPM_EN=0，则启用 VCCA_VMON |

5.6 GPIO 设置

这些设置详细说明了 GPIO 电源轨的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。请注意，GPIOx_SEL 字段的内容决定了 GPIOx_CONF 和 GPIO_OUT_x 寄存器中的哪些其他字段是适用的。要了解哪些 NVM 字段适用于每个 GPIOx_SEL 选项，请参阅 TPS6594-Q1 数据表中的 *数字信号说明* 部分。

表 5-6. GPIO NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|------------|-------------------|----------------|-----------------|----------------|-------------|
| | | 值 | 说明 | 值 | 说明 |
| GPIO1_CONF | GPIO1_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO1_DIR | 0x0 | 输入 | 0x0 | 输入 |
| | GPIO1_SEL | 0x1 | SCL_I2C2/CS_SPI | 0x0 | GPIO1 |
| | GPIO1_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO1_PU_PD_EN | 0x0 | 禁用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO1_DEGLITCH_EN | 0x0 | 无抗尖峰脉冲，仅同步。 | 0x0 | 无抗尖峰脉冲，仅同步。 |

表 5-6. GPIO NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|------------|-------------------|----------------|--------------------|----------------|--------------------|
| | | 值 | 说明 | 值 | 说明 |
| GPIO2_CONF | GPIO2_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO2_DIR | 0x0 | 输入 | 0x0 | 输入 |
| | GPIO2_SEL | 0x2 | SDA_I2C2/SDO_SPI | 0x0 | GPIO2 |
| | GPIO2_PU_SEL | 0x0 | 选择下拉电阻 | 0x1 | 选择上拉电阻 |
| | GPIO2_PU_PD_EN | 0x0 | 禁用；上拉/下拉电阻。 | 0x1 | 启用；上拉/下拉电阻。 |
| | GPIO2_DEGLITCH_EN | 0x0 | 无抗尖峰脉冲，仅同步。 | 0x1 | 8 μ s 抗尖峰脉冲时间。 |
| GPIO3_CONF | GPIO3_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO3_DIR | 0x1 | 输出 | 0x1 | 输出 |
| | GPIO3_SEL | 0x0 | GPIO3 | 0x0 | GPIO3 |
| | GPIO3_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO3_PU_PD_EN | 0x0 | 禁用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO3_DEGLITCH_EN | 0x0 | 无抗尖峰脉冲，仅同步。 | 0x0 | 无抗尖峰脉冲，仅同步。 |
| GPIO4_CONF | GPIO4_OD | 0x0 | 推挽式输出 | 0x1 | 开漏输出 |
| | GPIO4_DIR | 0x0 | 输入 | 0x1 | 输出 |
| | GPIO4_SEL | 0x6 | LP_WKUP1 | 0x0 | GPIO4 |
| | GPIO4_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO4_PU_PD_EN | 0x1 | 启用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO4_DEGLITCH_EN | 0x0 | 无抗尖峰脉冲，仅同步。 | 0x0 | 无抗尖峰脉冲，仅同步。 |
| GPIO5_CONF | GPIO5_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO5_DIR | 0x1 | 输出 | 0x0 | 输入 |
| | GPIO5_SEL | 0x1 | SCLK_SPMI | 0x1 | SCLK_SPMI |
| | GPIO5_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO5_PU_PD_EN | 0x1 | 启用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO5_DEGLITCH_EN | 0x0 | 无抗尖峰脉冲，仅同步。 | 0x0 | 无抗尖峰脉冲，仅同步。 |
| GPIO6_CONF | GPIO6_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO6_DIR | 0x0 | 输入 | 0x0 | 输入 |
| | GPIO6_SEL | 0x1 | SDATA_SPMI | 0x1 | SDATA_SPMI |
| | GPIO6_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO6_PU_PD_EN | 0x1 | 启用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO6_DEGLITCH_EN | 0x0 | 无抗尖峰脉冲，仅同步。 | 0x0 | 无抗尖峰脉冲，仅同步。 |
| GPIO7_CONF | GPIO7_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO7_DIR | 0x0 | 输入 | 0x0 | 输入 |
| | GPIO7_SEL | 0x1 | NERR_MCU | 0x0 | GPIO7 |
| | GPIO7_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO7_PU_PD_EN | 0x1 | 启用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO7_DEGLITCH_EN | 0x1 | 8 μ s 抗尖峰脉冲时间。 | 0x1 | 8 μ s 抗尖峰脉冲时间。 |
| GPIO8_CONF | GPIO8_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO8_DIR | 0x0 | 输入 | 0x0 | 输入 |
| | GPIO8_SEL | 0x3 | DISABLE_WDOG | 0x0 | GPIO8 |
| | GPIO8_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO8_PU_PD_EN | 0x1 | 启用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO8_DEGLITCH_EN | 0x1 | 8 μ s 抗尖峰脉冲时间。 | 0x0 | 无抗尖峰脉冲，仅同步。 |

表 5-6. GPIO NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|-------------|--------------------|----------------|--|----------------|--|
| | | 值 | 说明 | 值 | 说明 |
| GPIO9_CONF | GPIO9_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO9_DIR | 0x0 | 输入 | 0x1 | 输出 |
| | GPIO9_SEL | 0x0 | GPIO9 | 0x0 | GPIO9 |
| | GPIO9_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO9_PU_PD_EN | 0x0 | 禁用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO9_DEGLITCH_EN | 0x0 | 无抗尖峰脉冲，仅同步。 | 0x0 | 无抗尖峰脉冲，仅同步。 |
| GPIO10_CONF | GPIO10_OD | 0x0 | 推挽式输出 | 0x0 | 推挽式输出 |
| | GPIO10_DIR | 0x0 | 输入 | 0x0 | 输入 |
| | GPIO10_SEL | 0x6 | WKUP1 | 0x7 | WKUP2 |
| | GPIO10_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO10_PU_PD_EN | 0x1 | 启用；上拉/下拉电阻。 | 0x1 | 启用；上拉/下拉电阻。 |
| | GPIO10_DEGLITCH_EN | 0x1 | 8 μ s 抗尖峰脉冲时间。 | 0x1 | 8 μ s 抗尖峰脉冲时间。 |
| GPIO11_CONF | GPIO11_OD | 0x1 | 开漏输出 | 0x0 | 推挽式输出 |
| | GPIO11_DIR | 0x1 | 输出 | 0x1 | 输出 |
| | GPIO11_SEL | 0x2 | NRSTOUT_SOC | 0x0 | GPIO11 |
| | GPIO11_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | GPIO11_PU_PD_EN | 0x0 | 禁用；上拉/下拉电阻。 | 0x0 | 禁用；上拉/下拉电阻。 |
| | GPIO11_DEGLITCH_EN | 0x0 | 无抗尖峰脉冲，仅同步。 | 0x0 | 无抗尖峰脉冲，仅同步。 |
| NPWRON_CONF | NPWRON_SEL | 0x0 | 启用 | 0x0 | 启用 |
| | ENABLE_PU_SEL | 0x0 | 选择下拉电阻 | 0x0 | 选择下拉电阻 |
| | ENABLE_PU_PD_EN | 0x1 | 启用；上拉/下拉电阻。 | 0x1 | 启用；上拉/下拉电阻。 |
| | ENABLE_DEGLITCH_EN | 0x1 | 启用时抗尖峰脉冲时间为 8 μ s，NPWRON 时抗尖峰脉冲时间为 50ms。 | 0x1 | 启用时抗尖峰脉冲时间为 8 μ s，NPWRON 时抗尖峰脉冲时间为 50ms。 |
| | ENABLE_POL | 0x0 | 高电平有效 | 0x0 | 高电平有效 |
| | NRSTOUT_OD | 0x1 | 开漏输出 | 0x1 | 开漏输出 |
| GPIO_OUT_1 | GPIO1_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO2_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO3_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO4_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO5_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO6_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO7_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO8_OUT | 0x0 | 低 | 0x0 | 低 |
| GPIO_OUT_2 | GPIO9_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO10_OUT | 0x0 | 低 | 0x0 | 低 |
| | GPIO11_OUT | 0x0 | 低 | 0x0 | 低 |

5.7 有限状态机 (FSM) 设置

这些设置描述了如何将 PMIC 输出轨分配到各种系统级状态。此外，还描述了每个系统级状态的默认触发器。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-7. FSM NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|----------------|-------------------|----------------|----------|----------------|----------|
| | | 值 | 说明 | 值 | 说明 |
| RAIL_SEL_1 | BUCK1_GRP_SEL | 0x2 | SOC 电源轨组 | 0x2 | SOC 电源轨组 |
| | BUCK2_GRP_SEL | 0x2 | SOC 电源轨组 | 0x2 | SOC 电源轨组 |
| | BUCK3_GRP_SEL | 0x0 | 未分配组 | 0x0 | 未分配组 |
| | BUCK4_GRP_SEL | 0x1 | MCU 电源轨组 | 0x0 | 未分配组 |
| RAIL_SEL_2 | BUCK5_GRP_SEL | 0x2 | SOC 电源轨组 | 0x2 | SOC 电源轨组 |
| | LDO1_GRP_SEL | 0x1 | MCU 电源轨组 | 0x0 | 未分配组 |
| | LDO2_GRP_SEL | 0x1 | MCU 电源轨组 | 0x2 | SOC 电源轨组 |
| | LDO3_GRP_SEL | 0x2 | SOC 电源轨组 | 0x2 | SOC 电源轨组 |
| RAIL_SEL_3 | LDO4_GRP_SEL | 0x1 | MCU 电源轨组 | 0x2 | SOC 电源轨组 |
| | VCCA_GRP_SEL | 0x1 | MCU 电源轨组 | 0x1 | MCU 电源轨组 |
| FSM_TRIG_SEL_1 | MCU_RAIL_TRIG | 0x2 | MCU 电源错误 | 0x2 | MCU 电源错误 |
| | SOC_RAIL_TRIG | 0x3 | SOC 电源错误 | 0x3 | SOC 电源错误 |
| | OTHER_RAIL_TRIG | 0x1 | 有序关断 | 0x1 | 有序关断 |
| | SEVERE_ERR_TRIG | 0x0 | 立即关断 | 0x0 | 立即关断 |
| FSM_TRIG_SEL_2 | MODERATE_ERR_TRIG | 0x1 | 有序关断 | 0x1 | 有序关断 |

5.8 中断设置

这些设置详细说明了 nINT 引脚监控的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-8. 中断 NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|-----------------|------------------------|----------------|----------------|----------------|----------------|
| | | 值 | 说明 | 值 | 说明 |
| FSM_TRIG_MASK_1 | GPIO1_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO1_FSM_MASK_P OL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| | GPIO2_FSM_MASK | 0x1 | 已屏蔽 | 0x0 | 未屏蔽 |
| | GPIO2_FSM_MASK_P OL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| | GPIO3_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO3_FSM_MASK_P OL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| | GPIO4_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO4_FSM_MASK_P OL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| FSM_TRIG_MASK_2 | GPIO5_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO5_FSM_MASK_P OL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| | GPIO6_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO6_FSM_MASK_P OL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| | GPIO7_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO7_FSM_MASK_P OL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| | GPIO8_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO8_FSM_MASK_P OL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |

表 5-8. 中断 NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|-------------------|---------------------|----------------|----------------|----------------|----------------|
| | | 值 | 说明 | 值 | 说明 |
| FSM_TRIG_MASK_3 | GPIO9_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO9_FSM_MASK_POL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| | GPIO10_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO10_FSM_MASK_POL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| | GPIO11_FSM_MASK | 0x1 | 已屏蔽 | 0x1 | 已屏蔽 |
| | GPIO11_FSM_MASK_POL | 0x0 | 低；屏蔽将信号值设置为“0” | 0x0 | 低；屏蔽将信号值设置为“0” |
| MASK_BUCK1_2 | BUCK1_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK1_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK1_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK2_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK2_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK2_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| MASK_BUCK3_4 | BUCK3_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK3_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK3_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK4_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK4_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK4_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| MASK_BUCK5 | BUCK5_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK5_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | BUCK5_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| MASK_LDO1_2 | LDO1_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO1_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO2_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO2_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO1_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO2_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| MASK_LDO3_4 | LDO3_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO3_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO4_OV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO4_UV_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO3_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | LDO4_ILIM_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| MASK_VMON | VCCA_OV_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | VCCA_UV_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| MASK_GPIO1_8_FALL | GPIO1_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO2_FALL_MASK | 0x1 | 未发生中断。 | 0x0 | 发生中断 |
| | GPIO3_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO4_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO5_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO6_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO7_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO8_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |

表 5-8. 中断 NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|----------------------------------|---------------------------|----------------|--------|----------------|--------|
| | | 值 | 说明 | 值 | 说明 |
| MASK_GPIO1_8_RISE | GPIO1_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO2_RISE_MASK | 0x1 | 未发生中断。 | 0x0 | 发生中断 |
| | GPIO3_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO4_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO5_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO6_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO7_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO8_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| MASK_GPIO9_11 / MASK_GPIO9_10 | GPIO9_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO9_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO10_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO11_FALL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO10_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | GPIO11_RISE_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| MASK_STARTUP | NPWRON_START_MA SK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | ENABLE_MASK | 0x0 | 已发生中断 | 0x0 | 发生中断 |
| | FSD_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| MASK_MISC | TWARN_MASK | 0x0 | 已发生中断 | 0x0 | 发生中断 |
| | BIST_PASS_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | EXT_CLK_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| MASK_MODERATE_E RR | BIST_FAIL_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | REG_CRC_ERR_MAS K | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | SPMI_ERR_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | NPWRON_LONG_MAS K | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | NINT_READBACK_MA SK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | NRSTOUT_READBAC K_MASK | 0x0 | 发生中断 | 0x1 | 未发生中断。 |
| | | | | | |
| MASK_FSM_ERR | IMM_SHUTDOWN_MA SK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | MCU_PWR_ERR_MAS K | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | SOC_PWR_ERR_MAS K | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | ORD_SHUTDOWN_MA SK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| MASK_COMM_ERR | COMM_FRM_ERR_MA SK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | COMM_CRC_ERR_MA SK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | COMM_ADR_ERR_MA SK | 0x0 | 发生中断 | 0x0 | 发生中断 |
| | I2C2_CRC_ERR_MAS K | 0x0 | 发生中断 | 0x1 | 未发生中断。 |
| | I2C2_ADR_ERR_MAS K | 0x0 | 发生中断 | 0x1 | 未发生中断。 |

表 5-8. 中断 NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|-------------------|---------------------------|----------------|--------|----------------|--------|
| | | 值 | 说明 | 值 | 说明 |
| MASK_READBACK_ERR | EN_DRV_READBACK_MASK | 0x0 | 发生中断 | 0x1 | 未发生中断。 |
| | NRSTOUT_SOC_READBACK_MASK | 0x0 | 发生中断 | 0x1 | 未发生中断。 |
| MASK_ESM | ESM_SOC_PIN_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | ESM_SOC_RST_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | ESM_SOC_FAIL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | ESM_MCU_PIN_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | ESM_MCU_RST_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| | ESM_MCU_FAIL_MASK | 0x1 | 未发生中断。 | 0x1 | 未发生中断。 |
| GENERAL_REG_1 | PFSM_ERR_MASK | 0x0 | 发生中断 | 0x0 | 发生中断 |

5.9 POWERGOOD 设置

这些设置详细说明了由 PGOOD 引脚监控的项目的默认配置。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-9. POWERGOOD NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|-------------|-----------------------|----------------|-----------------------|----------------|-----------------------|
| | | 值 | 说明 | 值 | 说明 |
| PGOOD_SEL_1 | PGOOD_SEL_BUCK1 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_BUCK2 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_BUCK3 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_BUCK4 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| PGOOD_SEL_2 | PGOOD_SEL_BUCK5 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| PGOOD_SEL_3 | PGOOD_SEL_LDO1 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_LDO2 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_LDO3 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_LDO4 | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| PGOOD_SEL_4 | PGOOD_SEL_VCCA | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_TDIE_WARN | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_NRSTOUT | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_SEL_NRSTOUT_SOC | 0x0 | 已屏蔽 | 0x0 | 已屏蔽 |
| | PGOOD_POL | 0x0 | 当监控输入有效时，PGOOD 信号为高电平 | 0x0 | 当监控输入有效时，PGOOD 信号为高电平 |
| | PGOOD_WINDOW | 0x0 | 仅监控欠压 | 0x0 | 仅监控欠压 |

5.10 其他设置

这些设置详细说明了附加设置的默认配置，例如扩频、BUCK 频率和 LDO 超时。所有这些设置都可以在启动后通过 I²C 进行更改。

表 5-10. 其他 NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|----------|--------------|----------------|--------|----------------|--------|
| | | 值 | 说明 | 值 | 说明 |
| PLL_CTRL | EXT_CLK_FREQ | 0x0 | 1.1MHz | 0x0 | 1.1MHz |

表 5-10. 其他 NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|----------------------|------------------|----------------|--|----------------|--|
| | | 值 | 说明 | 值 | 说明 |
| CONFIG_1 | TWARN_LEVEL | 0x0 | 130C | 0x0 | 130C |
| | I2C1_HS | 0x0 | 默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。 | 0x0 | 默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。 |
| | I2C2_HS | 0x0 | 默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。 | 0x0 | 默认情况下为标准、快速或快速+，可通过 Hs 模式控制器代码设置为 Hs 模式。 |
| | EN_ILIM_FSM_CTRL | 0x0 | 降压/LDO 稳压器 ILIM 中断不会影响 FSM 触发器。 | 0x0 | 降压/LDO 稳压器 ILIM 中断不会影响 FSM 触发器。 |
| | NSLEEP1_MASK | 0x0 | NSLEEP1(B) 影响 FSM 状态转换。 | 0x0 | NSLEEP1(B) 影响 FSM 状态转换。 |
| | NSLEEP2_MASK | 0x0 | NSLEEP2(B) 影响 FSM 状态转换。 | 0x0 | NSLEEP2(B) 影响 FSM 状态转换。 |
| CONFIG_2 | BB_CHARGER_EN | 0x0 | 禁用 | 0x0 | 禁用 |
| | BB_VEOC | 0x0 | 2.5V | 0x0 | 2.5V |
| | BB_ICHR | 0x0 | 100uA | 0x0 | 100uA |
| RECOV_CNT_REG_2 | RECOV_CNT_THR | 0xf | 0xf | 0xf | 0xf |
| BUCK_RESET_REG | BUCK1_RESET | 0x0 | 0x0 | 0x0 | 0x0 |
| | BUCK2_RESET | 0x0 | 0x0 | 0x0 | 0x0 |
| | BUCK3_RESET | 0x0 | 0x0 | 0x0 | 0x0 |
| | BUCK4_RESET | 0x0 | 0x0 | 0x0 | 0x0 |
| | BUCK5_RESET | 0x0 | 0x0 | 0x0 | 0x0 |
| SPREAD_SPECTRUM_1 | SS_EN | 0x0 | 禁用展频 | 0x0 | 禁用展频 |
| | SS_MODE | 0x1 | 混合暂停 | 0x1 | 混合暂停 |
| | SS_DEPTH | 0x0 | 无调制 | 0x0 | 无调制 |
| SPREAD_SPECTRUM_2 | SS_PARAM1 | 0x7 | 0x7 | 0x7 | 0x7 |
| | SS_PARAM2 | 0xc | 0xc | 0xc | 0xc |
| FREQ_SEL | BUCK1_FREQ_SEL | 0x0 | 2.2 MHz | 0x0 | 2.2 MHz |
| | BUCK2_FREQ_SEL | 0x0 | 2.2 MHz | 0x0 | 2.2 MHz |
| | BUCK3_FREQ_SEL | 0x0 | 2.2 MHz | 0x0 | 2.2 MHz |
| | BUCK4_FREQ_SEL | 0x0 | 2.2 MHz | 0x0 | 2.2 MHz |
| | BUCK5_FREQ_SEL | 0x0 | 2.2 MHz | 0x0 | 2.2 MHz |
| FSM_STEP_SIZE | PFSM_DELAY_STEP | 0xb | 0xb | 0xb | 0xb |
| LDO_RV_TIMEOUT_REG_1 | LDO1_RV_TIMEOUT | 0xf | 16ms | 0xf | 16ms |
| | LDO2_RV_TIMEOUT | 0xf | 16ms | 0xf | 16ms |
| LDO_RV_TIMEOUT_REG_2 | LDO3_RV_TIMEOUT | 0xf | 16ms | 0xf | 16ms |
| | LDO4_RV_TIMEOUT | 0xf | 16ms | 0xf | 16ms |
| USER_SPARE_REGS | USER_SPARE_1 | 0x0 | 0x0 | 0x0 | 0x0 |
| | USER_SPARE_2 | 0x0 | 0x0 | 0x0 | 0x0 |
| | USER_SPARE_3 | 0x0 | 0x0 | 0x0 | 0x0 |
| | USER_SPARE_4 | 0x0 | 0x0 | 0x0 | 0x0 |
| ESM_MCU_MODE_CFG | ESM_MCU_EN | 0x0 | 禁用 ESM_MCU。 | 0x0 | 禁用 ESM_MCU。 |
| ESM_SOC_MODE_CFG | ESM_SOC_EN | 0x0 | 禁用 ESM_SoC。 | 0x0 | 禁用 ESM_SoC。 |
| CUSTOMER_NVM_ID_REG | CUSTOMER_NVM_ID | 0x0 | 0x0 | 0x0 | 0x0 |

表 5-10. 其他 NVM 设置 (continued)

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|------------------|----------------|----------------|-----------------------------|----------------|-----------------------------|
| | | 值 | 说明 | 值 | 说明 |
| RTC_CTRL_2 | XTAL_EN | 0x0 | 禁用晶体振荡器 | 0x0 | 禁用晶体振荡器 |
| | LP_STANDBY_SEL | 0x1 | 低功耗待机状态用作待机状态 (禁用 LDOINT)。 | 0x1 | 低功耗待机状态用作待机状态 (禁用 LDOINT)。 |
| | FAST_BIST | 0x0 | 逻辑和模拟 BIST 在 BOOT BIST 上运行。 | 0x0 | 逻辑和模拟 BIST 在 BOOT BIST 上运行。 |
| | STARTUP_DEST | 0x3 | 运行中 | 0x3 | 运行中 |
| | XTAL_SEL | 0x0 | 6pF | 0x0 | 6pF |
| PFSM_DELAY_REG_1 | PFSM_DELAY1 | 0x58 | 0x58 | 0x0 | 0x0 |
| PFSM_DELAY_REG_2 | PFSM_DELAY2 | 0x9d | 0x9d | 0x1d | 0x1d |
| PFSM_DELAY_REG_3 | PFSM_DELAY3 | 0x0 | 0x0 | 0x0 | 0x0 |
| PFSM_DELAY_REG_4 | PFSM_DELAY4 | 0x0 | 0x0 | 0x0 | 0x0 |

5.11 接口设置

这些设置详细说明了默认接口、接口配置和器件地址。这些设置在器件启动后不能更改。

表 5-11. 接口 NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|------------------|-----------------|----------------|--------|----------------|--------|
| | | 值 | 说明 | 值 | 说明 |
| SERIAL_IF_CONFIG | I2C_SPI_SEL | 0x0 | I2C | 0x0 | I2C |
| | I2C1_SPI_CRC_EN | 0x0 | 禁用 CRC | 0x0 | 禁用 CRC |
| | I2C2_CRC_EN | 0x0 | 禁用 CRC | 0x0 | 禁用 CRC |
| I2C1_ID_REG | I2C1_ID | 0x48 | 0x48 | 0x4c | 0x4C |
| I2C2_ID_REG | I2C2_ID | 0x12 | 0x12 | 0x13 | 0x13 |

5.12 多器件设置

这些设置详细说明了器件是作为主器件还是从器件在系统中运行。这些设置在器件启动后不能更改。

表 5-12. 多器件 NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|---------------|------------------------------|----------------|---------------------|----------------|---------------------|
| | | 值 | 说明 | 值 | 说明 |
| SPMI_CONFIG_1 | SPMI_CRC_EN | 0x1 | 启用 MI CRC 检查 | 0x1 | 启用 SPMI CRC 检查 |
| | 位 1 | 0x1 | 主要模式 | 0x0 | 次要模式 |
| | SPMI_CLK_SEL | 0x2 | 5MHz | 0x2 | 5MHz |
| SPMI_CONFIG_2 | SPMI_IF_SEL | 0x0 | 调试功能，并使用主逻辑实现逻辑从器件。 | 0x0 | 调试功能，并使用主逻辑实现逻辑从器件。 |
| | SPMI_RETRY_LIMIT | 0x3 | 检测到错误时重试三次 | 0x3 | 检测到错误时重试三次 |
| | SPMI_WD_AUTO_BOOT | 0x1 | 启用 SPMI 自动引导 | 0x1 | 启用 SPMI 自动引导 |
| | SPMI_EN | 0x1 | 启用 SPMI | 0x1 | 启用 SPMI |
| | SPMI_WD_EN | 0x1 | 启用 SPMI WD | 0x1 | 启用 SPMI WD |
| SPMI_CONFIG_3 | SPMI_WD_BOOT_INTERVAL | 0x8 | 0x8 | 0x8 | 0x8 |
| | SPMI_WD_RUNTIME_INTERVAL | 0x8 | 0x8 | 0x8 | 0x8 |
| SPMI_CONFIG_4 | SPMI_WD_RESPONSE_TIMEOUT | 0x8 | 0x8 | 0x8 | 0x8 |
| | SPMI_PFSM_RESPONSE_TIMEOUT | 0x8 | 0x8 | 0x8 | 0x8 |
| SPMI_CONFIG_5 | SPMI_WD_RUNTIME_BIST_TIMEOUT | 0x8 | 0x8 | 0x8 | 0x8 |
| | SPMI_WD_BOOT_BIST_TIMEOUT | 0x8 | 0x8 | 0x8 | 0x8 |
| SPMI_CONFIG_6 | BOOT_DELAY | 0x0 | 0x0 | 0x0 | 0x0 |
| SPMI_ID | SPMI_SID | 0x5 | 0x5 | 0x3 | 0x3 |
| | SPMI_MID | 0x0 | 0x0 | 0x0 | 0x0 |

5.13 看门狗设置

这些设置详细说明了默认的看门狗地址。这些设置可以在启动后通过 I²C 进行更改。

表 5-13. 看门狗 NVM 设置

| 寄存器名称 | 字段名称 | TPS65941212-Q1 | | TPS65941111-Q1 | |
|----------------|------------|----------------|-------|----------------|--------|
| | | 值 | 说明 | 值 | 说明 |
| WD_LONGWIN_CFG | WD_LONGWIN | 0xff | 0xff | 0xff | 0xff |
| WD_THR_CFG | WD_EN | 0x1 | 启用看门狗 | 0x0 | 禁用看门狗。 |

6 可预配置的有限状态机 (PFSM) 设置

本部分介绍 TPS6594-Q1 器件的默认 PFSM 设置。这些设置在器件启动后不能更改。

6.1 配置的状态

在此 PDN 中，PMIC 器件具有以下四种配置的电状态：

- 待机
- 运行
- 仅 MCU
- 挂起至 RAM

图 6-1 显示了配置的 PDN 电源状态以及在状态之间变化的转换条件。此外，还显示了向硬件状态（如 SAFE RECOVERY 和 LP_STANDBY）的转换。硬件状态是固定器件功率有限状态机 (FSM) 的一部分，并在 TPS6594-Q1 数据表中进行了描述，请参阅节 8。

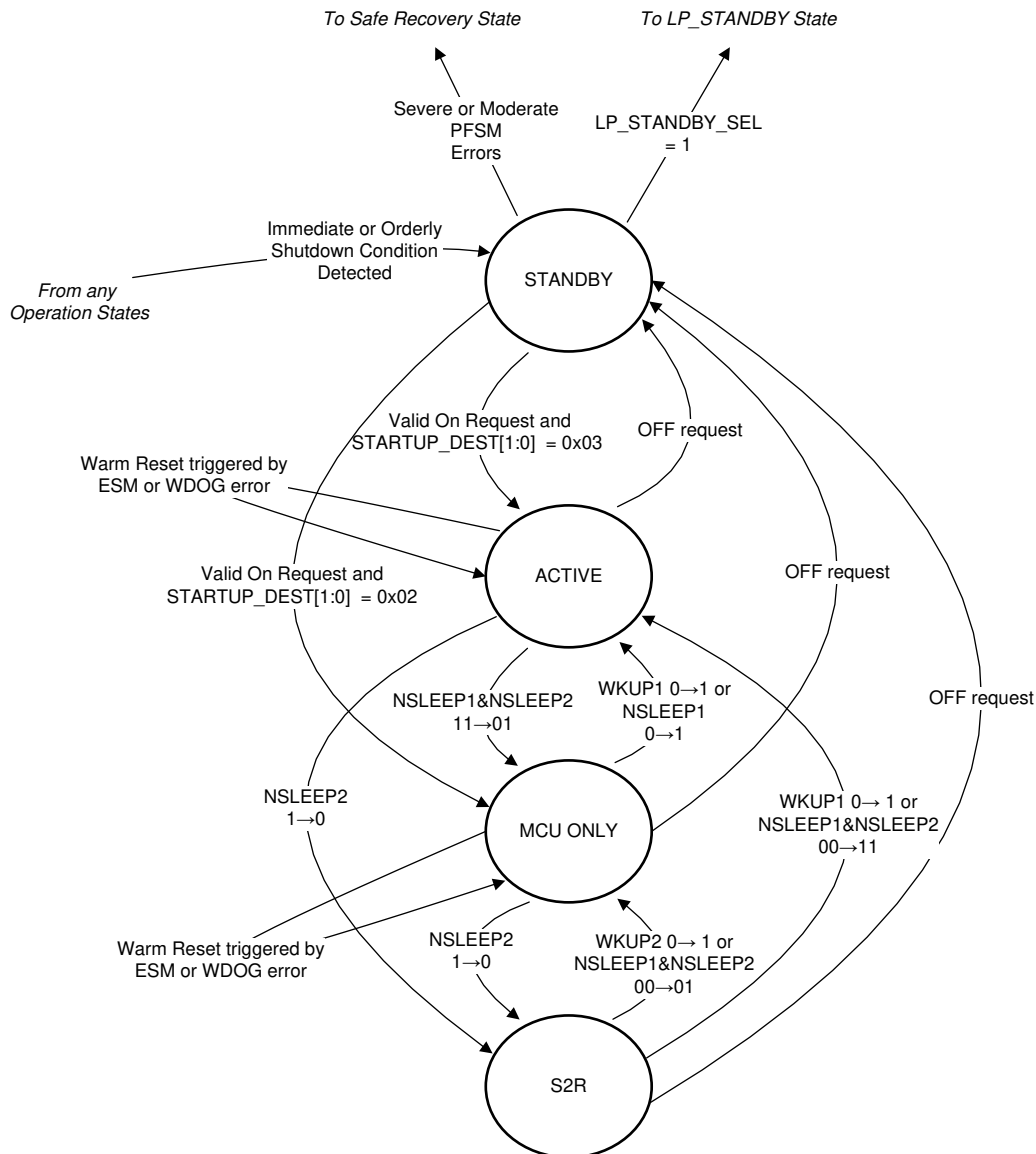


图 6-1. 可预配置任务有限状态机 (PFMS) 的状态和转换

当 PMIC 从 FSM 转换到 PFMS 时，将执行几个初始化指令来禁用 BUCK 和 LDO 稳压器上的残余电压检查，并设置 FIRST_STARTUP_DONE 位。执行这些指令后，PMIC 等待有效的开启请求（SU_ACTIVE 触发器），然后才能进入运行状态。各电源状态定义如下：

- 待机** PMIC 由系统电源轨上的有效电源供电 ($VCCA > VCCA_{UV}$)。所有器件资源在待机状态下都会断电。在此状态下，EN_DRV 被强制为低电平。处理器处于关闭状态，没有电压域通电。请参阅节 6.3.2 序列说明。
- 运行** PMIC 由有效电源供电。PMIC 功能齐全，可为所有的 PDN 负载供电。处理器已完成推荐的加电序列，所有电压域均已在 MCU 和主处理器部分上通电。请参阅节 6.3.8 序列说明。
- 仅 MCU** PMIC 由有效电源供电。只有分配给处理器 MCU 电源轨的电源资源处于开启状态。请参阅节 6.3.7 序列说明。
MCU ONLY 模式的一个特殊情况是由于 SOC 电源错误而进入该状态。在这种情况下，PMIC 不能转换到 ACTIVE 或其他状态，直到 PMIC 被处理器有意移动到 MCU ONLY 状态。在触发 TO_MCU 序列并“重新进入”到 MCU ONLY 状态之后，PMIC 可以转换回 ACTIVE 状态。
- 挂起至 RAM (S2R)** PMIC 由有效电源供电。只有 3 个 SoC 电压域 ($vdds_ddr_bias$ 、 $vdds_ddr$ 和 $vdds_ddr_c$) 保持通电，而所有其他域关闭，以最小化系统总功耗。在此状态下，EN_DRV 被强制为低电平。请参阅节 6.3.9 序列说明。

6.2 PFSM 触发器

如图 6-1 所示，有各种触发器可以在配置的状态之间进行状态转换。表 6-1 描述每个触发器及其相关状态从最高优先级（立即关断）到最低优先级 (I2C_3) 的转换。优先级较高的主动触发器阻止优先级较低的触发器和相关序列。

表 6-1. 状态转换触发器

| ID | 触发器 | 立即 (IMM) | 可重入 | PFSM 当前状态 | PFSM 目标状态 | 执行的电源序列或功能 |
|------------------|----------------------------|----------|-----|---------------------|----------------------|---|
| 0 | 立即关断 | 是 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 安全 ⁽¹⁾ | TO_SAFE_SEVERE |
| 1 | MCU 电源错误 | 是 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 安全 ⁽¹⁾ | TO_SAFE |
| 2 ⁽⁷⁾ | 有序关断 | 是 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 安全 ⁽¹⁾ | TO_SAFE_ORDERLY |
| 4 | 关闭请求 | 否 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 待机 ⁽²⁾ | TO_STANDBY |
| 5 | WDOG 错误 | 否 | 是 | 运行 | 运行 | ACTIVE_TO_WARM |
| 6 | ESM MCU 错误 | 否 | 是 | 运行 | 运行 | |
| 7 | ESM SOC 错误 | 否 | 是 | 运行 | 运行 | ESM_SOC_ERROR |
| 8 | WDOG 错误 | 否 | 是 | 仅 MCU | 仅 MCU | MCU_TO_WARM |
| 9 | ESM MCU 错误 | 否 | 是 | 仅 MCU | 仅 MCU | |
| 10 | SOC 电源错误 | 否 | 否 | 运行 | 仅 MCU ⁽⁸⁾ | PWR_SOC_ERR |
| 11 | I2C_1 位为高电平 ⁽³⁾ | 否 | 是 | 运行、仅 MCU | 无状态变化 | 执行 RUNTIME BIST |
| 12 | I2C_2 位为高电平 ⁽³⁾ | 否 | 是 | 运行、仅 MCU | 无状态变化 | 在所有器件上，对 I2C1 和 I2C2 启用 I2C CRC。 ⁽⁴⁾ |
| 13 | GPIO 下降沿 ⁽¹⁾ | 否 | 否 | 运行 | 无状态变化 | 在旁路模式下，TPS65941111-Q1 LDO1 输出为 3.3V |
| 14 | GPIO2 上升沿 ⁽¹⁾ | 否 | 否 | 运行 | 无状态变化 | 在 LDO 模式下，TPS65941111-Q1 LDO1 输出为 1.8V |

表 6-1. 状态转换触发器 (continued)

| ID | 触发器 | 立即 (IMM) | 可重入 | PFMS 当前状态 | PFMS 目标状态 | 执行的电源序列或功能 |
|----|--|----------|-----|---------------------|-----------|-------------------------------------|
| 15 | 开启请求 | 否 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 运行 | TO_ACTIVE |
| 16 | WKUP1 变为高电平 | 否 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 运行 | |
| 17 | NSLEEP1 和 NSLEEP2 为高电平 ⁽⁵⁾ | 否 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 运行 | |
| 18 | MCU 开启请求 | 否 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 仅 MCU | TO_MCU |
| 19 | WKUP2 变为高电平 | 否 | 否 | 待机、运行、仅 MCU、挂起至 RAM | 仅 MCU | |
| 20 | NSLEEP1 变为低电平，而 NSLEEP2 变为高电平 ⁽⁵⁾ | 否 | 否 | 运行、仅 MCU、挂起至 RAM | 仅 MCU | |
| 21 | NSLEEP1 变为低电平，且 NSLEEP2 变为低电平 ⁽⁵⁾ | 否 | 否 | 运行、仅 MCU | 挂起至 RAM | TO_S2R |
| 22 | NSLEEP1 变为高电平，而 NSLEEP2 变为低电平 ⁽⁵⁾ | 否 | 否 | 运行、仅 MCU | 挂起至 RAM | |
| 23 | I2C_0 位变为高电平 ⁽³⁾ | 否 | 否 | 待机、运行、仅 MCU | 待机 | TO_STANDBY |
| 24 | I2C_3 位变为高电平 ⁽³⁾ | 否 | 否 | 运行、仅 MCU | 无状态变化 | 器件已准备好进行 OTA NVM 更新。 ⁽⁶⁾ |

- PFMS 从安全状态自动切换到 SAFE_RECOVERY 的硬件 FSM 状态。从 SAFE_RECOVERY 状态开始，恢复计数器递增，并与恢复计数阈值进行比较（请参阅表 5-10 中的 RECOV_CNT_REG_2）。如果达到恢复计数阈值，则 PMIC 停止尝试恢复，并需要重新启动电源。有关更多详细信息，请参阅数据表。
- 如果设置了 LP_STANDBY_SEL 位，则 PFMS 转换到 LP_STANDBY 的硬件 FSM 状态。当输入 LP_STANDBY 时，请根据输入 LP_STANDBY 的方式，使用适当的机制来唤醒器件。有关更多详细信息，请参阅数据表。
- I2C_0、I2C_1、I2C_2 和 I2C_3 是自清除触发器。
- 启用 I²C CRC 会同时对 I2C1 和 I2C2 启用 CRC，但在启用 CRC 之后，I2C2 会禁用 2ms。在启用 I²C CRC 之前应谨慎使用看门狗问答。建议先启用 I²C CRC，然后在 2ms 之后再启动看门狗问答。
- 可通过 GPIO 引脚或寄存器位访问主 PMIC 的 NSLEEP1 和 NSLEEP2。如果寄存器位或 GPIO 引脚上拉为高电平，NSLEEPx 值将读取为高逻辑电平。
- 完成 OTA 更新后，需要重置 PMIC 以应用新的 NVM 设置。
- 触发器 ID 3、25 和 26 不做描述。这些触发器是辅助函数，对应用是透明的。
- PWR_SOC_ERR 序列产生与 TO_MCU 序列相同的稳压器配置。然而，发生 SOC 电源错误时，将屏蔽用于执行 TO_ACTIVE 和 TO_S2R 序列的触发器。在试图返回 ACTIVE 状态之前，处理器必须使用触发器 20 触发 TO_MCU，并清除相关中断。

6.3 电源序列

6.3.1 TO_SAFE_SEVERE 和 TO_SAFE

TO_SAFE_SEVERE 和 TO_SAFE 是在向安全状态转换时发生的不同序列。两个序列都会毫无延迟地关断所有电源轨。TO_SAFE_SEVERE 序列立即停止 BUCK 开关，并启用 BUCK 和 LDO 的下拉电阻。这是为了防止在 VCCA 过压或热关断时损坏 PMIC。如图 6-2 中所示计时。在降压稳压器关闭之前，TO_SAFE 序列不会重置这些稳压器，如图 6-2 所示。

| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---------------|-------------|------------------------|
| nRSTOUT | TPS65941212-Q1 | | 0 us | MCU_PORZ |
| nRSTOUT_SOC | TPS65941212-Q1 | | 0 us | PORZ |
| BUCK3 Monitor | TPS65941212-Q1 | | 0 us | mVDDS_DDR_x |
| LDO3 | TPS65941212-Q1 | | 0 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3 | TPS65941212-Q1 | | 0 us | VDD_CPU (AVS) |
| BUCK4 | TPS65941212-Q1 | | 0 us | VDD/VDDAR_MCU |
| BUCK5 | TPS65941212-Q1 | | 0 us | VDDA_1P8_PHYs |
| LDO2 | TPS65941212-Q1 | | 0 us | VDDSHVx_MCU (1.8V) |
| LDO4 | TPS65941212-Q1 | | 0 us | VDDA_x |
| LDO1 | TPS65941212-Q1 | | 0 us | VDD1 |
| GPIO3 | TPS65941212-Q1 | | 0 us | EN_MCU3V3IO_LDSW |
| GPIO3 | TPS65941111-Q1 | | 0 us | EN_DDR_BUCK |
| BUCK5 | TPS65941111-Q1 | | 0 us | VDDAR_CPU/CORE |
| LDO3 | TPS65941111-Q1 | | 0 us | VDDS_MMC0 |
| BUCK1_2_3_4 | TPS65941111-Q1 | | 0 us | VDD_CORE/VDDA_0P8_PHYs |
| LDO4 | TPS65941111-Q1 | | 0 us | VDDA_1P8_PLLs |
| LDO1 | TPS65941111-Q1 | | 0 us | VDDSHV5 |
| LDO2 | TPS65941111-Q1 | | 0 us | VDDA_3P3_USB |
| GPIO11 | TPS65941111-Q1 | | 0 us | EN_3V3IO_LDSW |

图 6-2. TO_SAFE_SEVERE 和 TO_SAFE 电源序列

在图 6-2 所示的电源序列之后，TO_SAFE 序列将 TPS65941212 延迟 16ms，并将 TPS65941111 延迟 3ms。这样，可以确保主 PMIC 在次 PMIC 之后完成。在这些延迟之后，将在这两个 PMIC 上执行以下指令：

```
//TPS65941212 and TPS65941111
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCK regulators
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
```

TO_SAFE_SEVERE 序列在电源序列之后执行以下指令：

```
//TPS65941212 and TPS65941111
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
```

TPS65941212 在 TO_SAFE_SEVERE 序列结束时额外延迟 500ms。

6.3.2 TO_SAFE_ORDERLY 和 TO_STANDBY

如果发生中度错误，则生成有序关断触发器。触发后的序列使用推荐的处理器断电序列禁用 PMIC 稳压器，并将 PMIC 移动到 SAFE_RECOVERY 状态。

如果发生关闭请求，例如主 TPS6594-Q1 器件的 ENABLE 引脚下拉到低电平，则会发生相同的断电序列，但 PMIC 会进入 STANDBY (LP_STANDBY_SEL=0) 或 LP_STANDBY (LP_STANDBY_SEL=1) 状态，而不是进入 SAFE_RECOVERY 状态。这两个事件的电源序列如图 6-3 所示。

TO_SAFE_ORDERLY 序列和 TO_STANDBY 序列都在 TPS65941212 中设置了 SPMI_LP_EN 和 FORCE_EN_DRV_LOW，而 SPMI_LP_EN 仅在 TPS65941111 中设置。

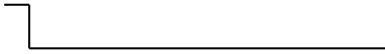
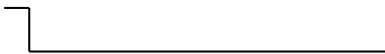














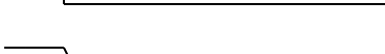
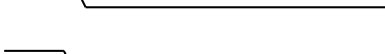

| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---|-------------|------------------------|
| nRSTOUT | TPS65941212-Q1 |  | 0 us | MCU_PORZ |
| nRSTOUT_SOC | TPS65941212-Q1 |  | 0 us | PORZ |
| BUCK3 Monitor | TPS65941212-Q1 |  | 500 us | mVDD5_DDR_x |
| GPIO3 | TPS65941111-Q1 |  | 500 us | EN_DDR_BUCK |
| BUCK5 | TPS65941111-Q1 |  | 500 us | VDDAR_CPU/CORE |
| LDO3 | TPS65941111-Q1 |  | 500 us | VDD5_MMC0 |
| LDO3 | TPS65941212-Q1 |  | 2500 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3 | TPS65941212-Q1 |  | 2500 us | VDD_CPU(AVS) |
| BUCK4 | TPS65941212-Q1 |  | 2500 us | VDD/VDDAR_MCU |
| BUCK1_2_3_4 | TPS65941111-Q1 |  | 2500 us | VDD_CORE/VDDA_0P8_PHYS |
| BUCK5 | TPS65941212-Q1 |  | 3000 us | VDDA_1P8_PHYS |
| LDO2 | TPS65941212-Q1 |  | 3000 us | VDDSHV1_MCU |
| LDO4 | TPS65941212-Q1 |  | 3000 us | VDDA_x |
| LDO1 | TPS65941212-Q1 |  | 3000 us | VDD1 |
| LDO4 | TPS65941111-Q1 |  | 3000 us | VDDA_1P8_PLLs |
| GPIO3 | TPS65941212-Q1 |  | 3500 us | EN_MCU3V3IO_LDSW |
| LDO1 | TPS65941111-Q1 |  | 3500 us | VDDSHV5 |
| LDO2 | TPS65941111-Q1 |  | 3500 us | VDDA_3P3_USB |
| GPIO11 | TPS65941111-Q1 |  | 3500 us | EN_3V3IO_LDSW |

图 6-3. TO_SAFE_ORDERLY 和 TO_STANDBY 电源序列

在 TO_SAFE_ORDERLY 结束时，这两个 PMIC 等待大概 16ms，然后执行以下指令：

```
//TPS65941212
// Clear AMUXOUT_EN and CLKMON_EN and set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCKs
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
//TPS65941111
// Clear AMUXOUT_EN and CLKMON_EN and set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCKs
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
```

在转换到 SAFE_RECOVERY 状态之前重置降压稳压器。这意味着 PMIC 会离开任务状态。在 SAFE_RECOVERY 状态下，恢复机制递增恢复计数器，并确定在尝试恢复之前是否已达到恢复计数阈值（请参阅表 5-10）。

在 TO_STANDBY 序列结束时，仅在 TPS65941212 器件中延迟 16ms，并且在这两个 PMIC 中都进行了相同的 AMUXOUT_EN、CLKMON_EN 和 LPM_EN 位操作。BUCK 未被重置。在这些指令之后，TPS65941212 执行附加检查，以确定 LP_STANDBY_SEL 是否为是（请参阅表 5-10）。如果为是，则 PMIC 进入 LP_STANDBY 状态并离开任务状态。如果 LP_STANDBY_SEL 为否，则 PMIC 会保持在由配置的状态中的 STANDBY 所定义的任务状态中。

6.3.3 ACTIVE_TO_WARM

ACTIVE_TO_WARM 序列可由看门狗或 ESM_MCU 错误触发。在触发的情况下，nRSTOUT 和 nRSTOUT_SOC 信号被驱动为低电平，并且恢复计数器（寄存器 RECOV_CNT_REG_1）增加。然后，所有 BUCK 和 LDO 都被重置为其默认电压。PMIC 保持为运行状态。请注意，在图 6-4 所示的序列期间，GPIO 不会被重置。

序列开始时，执行以下指令：

```
//TPS65941212
// Set FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x08 MASK=0xF7
// Clear nRSTOUT and nRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFC
// Increment the recovery counter
REG_WRITE_MASK_IMM ADDR=0xA5 DATA=0x01 MASK=0xFE
```

备注

看门狗或 ESM 错误表明在 PMIC 之外发生了重大错误。PMIC 实际上并不像 MCU_POWER_ERR 那样通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 NVM 中存储的值，并且恢复计数器也会递增。


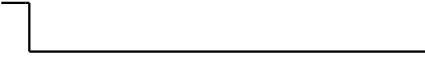













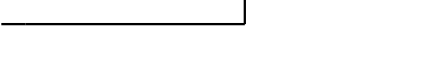
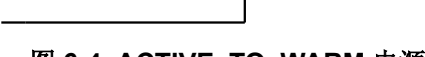
| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---|-------------|------------------------|
| nRSTOUT | TPS65941212-Q1 |  | 0 us | MCU_PORZ |
| nRSTOUT_SOC | TPS65941212-Q1 |  | 0 us | PORZ |
| LDO1 | TPS65941212-Q1 |  | 0 us | VDD1 |
| LDO4 | TPS65941212-Q1 |  | 0 us | VDDA_x |
| LDO2 | TPS65941212-Q1 |  | 0 us | VDDSHV1_MCU |
| BUCK5 | TPS65941212-Q1 |  | 0 us | VDDA_1P8_PHYs |
| BUCK4 | TPS65941212-Q1 |  | 0 us | VDD/VDDAR_MCU |
| BUCK1_2_3 | TPS65941212-Q1 |  | 0 us | VDD_CPU(AVS) |
| LDO3 | TPS65941212-Q1 |  | 0 us | VDDA_0P8_PLLs/DLLs |
| LDO2 | TPS65941111-Q1 |  | 0 us | VDDA_3P3_USB |
| LDO1 | TPS65941111-Q1 |  | 0 us | VDDSHV5 |
| LDO4 | TPS65941111-Q1 |  | 0 us | VDDA_1P8_PLLs |
| BUCK1_2_3_4 | TPS65941111-Q1 |  | 0 us | VDD_CORE/VDDA_0P8_PHYs |
| LDO3 | TPS65941111-Q1 |  | 0 us | VDDS_MMC0 |
| BUCK5 | TPS65941111-Q1 |  | 0 us | VDDAR_CPU/CORE |
| nRSTOUT | TPS65941212-Q1 |  | 2000 us | MCU_PORZ |
| nRSTOUT_SOC | TPS65941212-Q1 |  | 2000 us | PORZ |

图 6-4. ACTIVE_TO_WARM 电源序列

备注

稳压器的转换并不表示稳压器的启用，而是表示电压恢复到其默认值的时间。由于该序列源于运行状态，因此所有稳压器均是开启的。

6.3.4 ESM_SOC_ERROR

如果发生 ESM_SOC 错误，nRSTOUT_SOC 信号会被驱动为低电平，然后在 200 μ s 后再次驱动为高电平。电源轨不会发生任何变化。图 6-5 中显示了该序列。

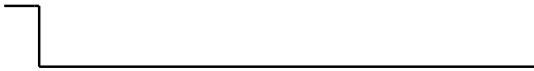

| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|--|-------------|-----------|
| nRSTOUT_SOC | TPS65941212-Q1 |  | 0 us | PORZ |
| nRSTOUT_SOC | TPS65941212-Q1 |  | 200 us | PORZ |

图 6-5. ESM_SOC_ERROR 序列

6.3.5 PWR_SOC_ERROR

如果作为 SOC 电源轨组一部分的任何电源轨出现错误，则执行 PWR_SOC_ERROR 序列。nRSTOUT_SOC 引脚下拉至低电平，SOC 电源轨执行正常的处理器断电序列，但 MCU 电源组会保持通电状态，如图 6-6 所示。I2C_7 触发器的状态决定 DDR 电源和控制信号是保持通电 (I2C_7=1) 还是禁用 (I2C_7=0)，如图 6-7 所示。

在序列开始时，执行以下指令：

```
// TPS65941212
// Set AMUXOUT_EN and CLKMON_EN, clear LPM_EN and nRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x18 MASK=0xE1
// Clear SPMI_LPM_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xEF
//TPS65941111
// Set AMUXOUT_EN and CLKMON_EN, clear LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x18 MASK=0xE3
// Clear SPMI_LPM_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xEF
```

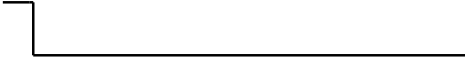


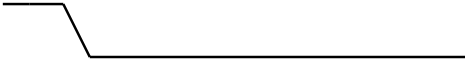






| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---|-------------|------------------------|
| nRSTOUT_SOC | TPS65941212-Q1 |  | 0 us | PORZ |
| BUCK5 | TPS65941111-Q1 |  | 500 us | VDDAR_CPU/CORE |
| LDO3 | TPS65941111-Q1 |  | 500 us | VDDS_MMC0 |
| LDO3 | TPS65941212-Q1 |  | 2500 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3_4 | TPS65941111-Q1 |  | 2500 us | VDD_CORE/VDDA_0P8_PHYs |
| BUCK1_2_3 | TPS65941212-Q1 |  | 2500 us | VDD_CPU(AVS) |
| BUCK5 | TPS65941212-Q1 |  | 3000 us | VDDA_1P8_PHYs |
| LDO4 | TPS65941111-Q1 |  | 3000 us | VDDA_1P8_PLLs |
| LDO1 | TPS65941111-Q1 |  | 3500 us | VDDSHV5 |
| LDO2 | TPS65941111-Q1 |  | 3500 us | VDDA_3P3_USB |

图 6-6. PWR_SOC_ERROR , I2C_7 为高电平














| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|--|-------------|------------------------|
| nRSTOUT_SOC | TPS65941212-Q1 |  | 0 us | PORZ |
| BUCK3 Monitor | TPS65941212-Q1 |  | 500 us | mVDDS_DDR_x |
| GPIO3 | TPS65941111-Q1 |  | 500 us | EN_DDR_BUCK |
| BUCK5 | TPS65941111-Q1 |  | 500 us | VDDAR_CPU/CORE |
| LDO3 | TPS65941111-Q1 |  | 500 us | VDDS_MMC0 |
| LDO3 | TPS65941212-Q1 |  | 2500 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3_4 | TPS65941111-Q1 |  | 2500 us | VDD_CORE/VDDA_0P8_PHYs |
| BUCK1_2_3 | TPS65941212-Q1 |  | 2500 us | VDD_CPU(AVS) |
| BUCK5 | TPS65941212-Q1 |  | 3000 us | VDDA_1P8_PHYs |
| LDO4 | TPS65941111-Q1 |  | 3000 us | VDDA_1P8_PLLs |
| LDO1 | TPS65941212-Q1 |  | 3000 us | VDD1 |
| LDO1 | TPS65941111-Q1 |  | 3500 us | VDDSHV5 |
| LDO2 | TPS65941111-Q1 |  | 3500 us | VDDA_3P3_USB |

图 6-7. PWR_SOC_ERROR, I2C_7 为低电平

6.3.6 MCU_TO_WARM

MCU_TO_WARM 序列由看门狗或 ESM_MCU 错误触发。与 ACTIVE_TO_WARM 序列类似的 MCU_TO_WARM 序列不会导致状态更改。事件和序列源于 MCU_ONLY 状态，并保持在 MCU_ONLY 状态。在此序列中，恢复计数器 (在寄存器 RECOV_CNT_REG_1 中找到) 递增，nRSTOUT (MCU_PORz) 信号将被驱动为低电平。MCU 相关的 BUCK 和 LDO 在图 6-8 所示的时间重置为其默认电压，最后 MCU_PORz 信号被设置为高电平。

备注

在 MCU 热复位事件期间，GPIO 不会复位

此外，在序列开始时，执行以下指令以递增恢复计数器并配置 PMIC：

```
// TPS65941212
// Set FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x08 MASK=0xF7
// Clear nRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFE
// Increment Recovery Counter
REG_WRITE_MASK_IMM ADDR=0xa5 DATA=0x01 MASK=0xFE
```

备注

看门狗或 ESM 错误表明在 PMIC 之外发生了重大错误。PMIC 实际上并不像 MCU_POWER_ERR 那样通过安全恢复进行转换，但是，为了保持一致性，所有调节器都返回到 NVM 中存储的值，并且恢复计数器也会递增。

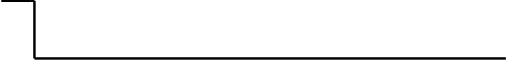





| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|--|-------------|---------------|
| nRSTOUT | TPS65941212-Q1 |  | 0 us | MCU_PORZ |
| LDO1 | TPS65941212-Q1 |  | 0 us | VDD1 |
| LDO4 | TPS65941212-Q1 |  | 0 us | VDDA_x |
| LDO2 | TPS65941212-Q1 |  | 0 us | VDDSHV1_MCU |
| BUCK4 | TPS65941212-Q1 |  | 0 us | VDD/VDDAR_MCU |
| nRSTOUT | TPS65941212-Q1 |  | 2000 us | MCU_PORZ |

图 6-8. MCU_TO_WARM 序列

6.3.7 TO_MCU

TO_MCU 序列首先关闭分配给 SOC 电源组的电源轨和 GPIO。如果 MCU 电源轨尚未处于运行状态（例如，从 STANDBY 转换到 MCU_ONLY），该序列随后会启用 MCU 电源轨。根据存储在主 TPS65941212-Q1 的 I2C_7 寄存器位中的值，该序列有两种情况。如果该位处于低电平，则禁用 VDD1、EN_DDR_BUCK 和 mVDDS_DDR_x；图 6-9。如果 I2C_7 位处于高电平，则启用 VDD1、EN_DDR_BUCK 和 mVDDS_DDR_x；图 6-10。

TO_MCU 序列的第一条指令执行对 MISC_CTRL 和 ENABLE_DRV_STAT 寄存器的写入操作。

```
// TPS65941212Q1
// Set AMUXOUT_EN, CLKMON_EN
// Clear LPM_EN, NRSTOUT_SOC
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x18 MASK=0xE1
// Clear SPMI_LP_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xEF
// TPS65941111Q1
// Set AMUXOUT_EN, CLKMON_EN
// Clear LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x18 MASK=0xE3
```

```
// Clear SPMI_LP_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xEF
```


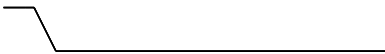









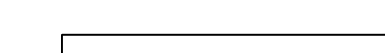
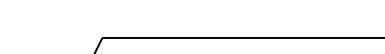
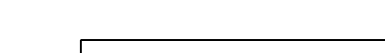
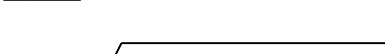
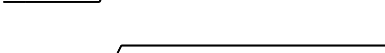
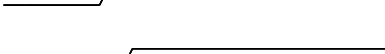


| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---|-------------|------------------------|
| nRSTOUT_SOC | TPS65941212-Q1 |  | 0 us | PORZ |
| BUCK5 | TPS65941111-Q1 |  | 500 us | VDDAR_CPU/CORE |
| LDO3 | TPS65941111-Q1 |  | 500 us | VDDS_MMC0 |
| BUCK1_2_3_4 | TPS65941111-Q1 |  | 2500 us | VDD_CORE/VDDA_0P8_PHYs |
| LDO3 | TPS65941212-Q1 |  | 2500 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3 | TPS65941212-Q1 |  | 2500 us | VDD_CPU(AVS) |
| LDO4 | TPS65941111-Q1 |  | 2500 us | VDDA_1P8_PLLs |
| BUCK5 | TPS65941212-Q1 |  | 3000 us | VDDA_1P8_PHYs |
| LDO1 | TPS65941111-Q1 |  | 3000 us | VDDSHV5 |
| LDO2 | TPS65941111-Q1 |  | 3000 us | VDDA_3P3_USB |
| GPIO1 | TPS65941111-Q1 |  | 3000 us | EN_3V3IO_LDSW |
| GPIO3 | TPS65941212-Q1 |  | 3000 us | EN_MCU3V3IO_LDSW |
| LDO1 | TPS65941212-Q1 |  | 4700 us | VDD1 |
| GPIO3 | TPS65941111-Q1 |  | 4700 us | EN_DDR_BUCK |
| LDO4 | TPS65941212-Q1 |  | 6400 us | VDDA_x |
| LDO2 | TPS65941212-Q1 |  | 6400 us | VDDSHV1_MCU |
| BUCK4 | TPS65941212-Q1 |  | 7400 us | VDD/VDDAR_MCU |
| BUCK3 Monitor | TPS65941212-Q1 |  | 8400 us | mVDDS_DDR_x |
| nRSTOUT | TPS65941212-Q1 |  | 17400 us | MCU_PORZ |

图 6-9. TO_MCU (I2C_7 处于高电平) ; VDD1 在序列中未改变

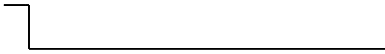













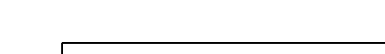
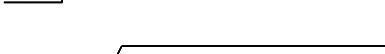
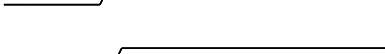
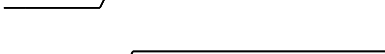

| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---|-------------|------------------------|
| nRSTOUT_SOC | TPS65941212-Q1 |  | 0 us | PORZ |
| BUCK3 Monitor | TPS65941212-Q1 |  | 500 us | mVDDS_DDR_x |
| GPIO3 | TPS65941111-Q1 |  | 500 us | EN_DDR_BUCK |
| BUCK5 | TPS65941111-Q1 |  | 500 us | VDDAR_CPU/CORE |
| LDO3 | TPS65941111-Q1 |  | 500 us | VDDS_MMC0 |
| BUCK1_2_3_4 | TPS65941111-Q1 |  | 2500 us | VDD_CORE/VDDA_0P8_PHYs |
| LDO3 | TPS65941212-Q1 |  | 2500 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3 | TPS65941212-Q1 |  | 2500 us | VDD_CPU(AVS) |
| LDO4 | TPS65941111-Q1 |  | 2500 us | VDDA_1P8_PLLs |
| BUCK5 | TPS65941212-Q1 |  | 3000 us | VDDA_1P8_PHYs |
| LDO1 | TPS65941111-Q1 |  | 3000 us | VDDSHV5 |
| LDO2 | TPS65941111-Q1 |  | 3000 us | VDDA_3P3_USB |
| GPIO11 | TPS65941111-Q1 |  | 3000 us | EN_3V3IO_LDSW |
| LDO1 | TPS65941212-Q1 |  | 3000 us | VDD1 |
| GPIO3 | TPS65941212-Q1 |  | 3000 us | EN_MCU3V3IO_LDSW |
| LDO4 | TPS65941212-Q1 |  | 6400 us | VDDA_x |
| LDO2 | TPS65941212-Q1 |  | 6400 us | VDDSHV1_MCU |
| BUCK4 | TPS65941212-Q1 |  | 7400 us | VDD/VDDAR_MCU |
| nRSTOUT | TPS65941212-Q1 |  | 17400 us | MCU_PORZ |

图 6-10. TO_MCU (I2C_7 处于低电平) , VDD1 在序列中被禁用

在 PFSM_DELAY_REG_1 中定义的延迟之后，TO_MCU 序列的最后一条指令也执行对 MISC_CTRL 和 ENABLE_DRV_STAT 寄存器的写入操作。

```
// TPS65941212Q1
SREG_READ_REG ADDR=0xCD REG=R1
DELAY_SREG R1
// Clear SPMI_LPM_EN and FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x00 MASK=0xE7
// Set NRSTOUT (MCU_PORZ)
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x01 MASK=0xFE
```

6.3.8 TO_ACTIVE

当触发器促使执行 TO_ACTIVE 序列时，PMIC 的所有电源轨都会按照处理器建议的加电序列加电，如图 6-11 所示。

在 TO_ACTIVE 序列开始时，这两个 PMIC 都会清除 SPMI_LP_EN 和 LPM_EN，并设置 AMUXOUT_EN 和 CLKMON_EN。

备注

BUCK3 监控器 mVDDS_DDR_X 监控由 GPIO3 控制的外部稳压器 EN_DDR_BUCK。尽管这些同时发生，但首先检查受监控的实际电压的模拟 BIST 会在监控器启用后大概 3.7ms 时发生。这是 BUCK3 的电压和转换率的函数，如表 5-3 所述。

| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---------------|-------------|------------------------|
| GPIO3 | TPS65941212-Q1 | | 0 us | EN_MCU3V3IO_LDSW |
| GPIO11 | TPS65941111-Q1 | | 0 us | EN_3V3IO_LDSW |
| LDO2 | TPS65941111-Q1 | | 0 us | VDDA_3P3_USB |
| LDO1 | TPS65941111-Q1 | | 0 us | VDDSHV5 |
| LDO1 | TPS65941212-Q1 | | 1700 us | VDD1 |
| LDO4 | TPS65941212-Q1 | | 1700 us | VDDA_x |
| LDO2 | TPS65941212-Q1 | | 1700 us | VDDSHV1_MCU |
| BUCK5 | TPS65941212-Q1 | | 1700 us | VDDA_1P8_PHYs |
| LDO4 | TPS65941111-Q1 | | 1700 us | VDDA_1P8_PLLs |
| BUCK4 | TPS65941212-Q1 | | 2700 us | VDD/VDDAR_MCU |
| BUCK1_2_3 | TPS65941212-Q1 | | 2700 us | VDD_CPU(AVS) |
| LDO3 | TPS65941212-Q1 | | 2700 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3_4 | TPS65941111-Q1 | | 2700 us | VDD_CORE/VDDA_0P8_PHYs |
| BUCK3 Monitor | TPS65941212-Q1 | | 3700 us | mVDDS_DDR_x |
| LDO3 | TPS65941111-Q1 | | 3700 us | VDDS_MMC0 |
| BUCK5 | TPS65941111-Q1 | | 3700 us | VDDAR_CPU/CORE |
| GPIO3 | TPS65941111-Q1 | | 3700 us | EN_DDR_BUCK |
| nRSTOUT | TPS65941212-Q1 | | 12700 us | MCU_PORZ |
| nRSTOUT_SOC | TPS65941212-Q1 | | 12700 us | PORZ |

图 6-11. TO_ACTIVE 序列

6.3.9 挂起至 RAM (TO_S2R)

由 NSLEEPx 位或引脚定义的 C 和 D 触发器触发 S2R 序列。此序列禁用所有不向固定轨供电的电源轨和 GPIO，如表 3-1 所示。可以使用在寄存器 FSM_I2C_TRIGGERS 中找到的 I2C_7 位来修改此序列。在触发保持状态之前，两个 PMIC 中的 I2C 需要对这些位进行设置。如果两个 PMIC 中的 I2C_7 位都设置为高电平，则这两个 PMIC 进入 DDR 保持状态，如所示。BUCK3 监控器 (mVDDS_DDR_x) 以及 LDO1 (VDD1) 未被禁用，TPS6591111 的 GPIO3 (EN_DDR_BUCK) 也未更改。如果 I2C_7 设置为低电平，则与 DDR 关联的这些元件不会保持运行状态，如图 6-12 所示。

备注

在触发保持状态之前，两个 PMIC 中的 I2C 需要对 I2C_7 位进行设置或清除。I2C_7 触发器不能自清除，需要手动更新。

在序列开始时，使用以下指令配置 PMIC：

```
// TPS65941212
// Set LPM_EN, Clear NRSTOUT_SOC and NRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xF8
// Set SPMI_LP_EN and FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x18 MASK=0xE7
//TPS65941111
// Set SPMI_LP_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x10 MASK=0xEF
```

| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---------------|-------------|------------------------|
| nRSTOUT | TPS65941212-Q1 | | 0 us | MCU_PORZ |
| nRSTOUT_SOC | TPS65941212-Q1 | | 0 us | PORZ |
| BUCK3 Monitor | TPS65941212-Q1 | | 500 us | mVDDS_DDR_x |
| GPIQ3 | TPS65941111-Q1 | | 500 us | EN_DDR_BUCK |
| BUCK5 | TPS65941111-Q1 | | 500 us | VDDAR_CPU/CORE |
| LDO3 | TPS65941111-Q1 | | 500 us | VDDS_MMC0 |
| LDO3 | TPS65941212-Q1 | | 2500 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3 | TPS65941212-Q1 | | 2500 us | VDD_CPU(AVS) |
| BUCK4 | TPS65941212-Q1 | | 2500 us | VDD/VDDAR_MCU |
| BUCK1_2_3_4 | TPS65941111-Q1 | | 2500 us | VDD_CORE/VDDA_0P8_PHYS |
| BUCK5 | TPS65941212-Q1 | | 3000 us | VDDA_1P8_PHYS |
| LDO2 | TPS65941212-Q1 | | 3000 us | VDDSHV1_MCU |
| LDO4 | TPS65941212-Q1 | | 3000 us | VDDA_x |
| LDO4 | TPS65941111-Q1 | | 3000 us | VDDA_1P8_PLLs |
| LDO1 | TPS65941212-Q1 | | 3000 us | VDD1 |
| LDO1 | TPS65941111-Q1 | | 3500 us | VDDSHV5 |
| LDO2 | TPS65941111-Q1 | | 3500 us | VDDA_3P3_USB |
| GPIO11 | TPS65941111-Q1 | | 3500 us | EN_3V3IO_LDSW |
| GPIQ3 | TPS65941212-Q1 | | 3500 us | EN_MCU3V3IO_LDSW |

图 6-12. 两个 PMIC 上的 TO_S2R 和 I2C_7 均为低电平

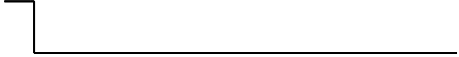












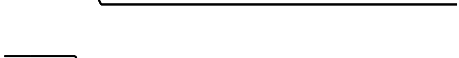
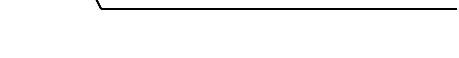
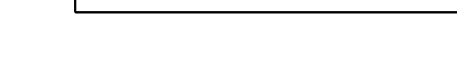
| Sequence Name | Device | Delay Diagram | Total Delay | Rail Name |
|---------------|----------------|---|-------------|------------------------|
| nRSTOUT | TPS65941212-Q1 |  | 0 us | MCU_PORZ |
| nRSTOUT_SOC | TPS65941212-Q1 |  | 0 us | PORZ |
| BUCK5 | TPS65941111-Q1 |  | 500 us | VDDAR_CPU/CORE |
| LDO3 | TPS65941111-Q1 |  | 500 us | VDDS_MMC0 |
| LDO3 | TPS65941212-Q1 |  | 2500 us | VDDA_0P8_PLLs/DLLs |
| BUCK1_2_3 | TPS65941212-Q1 |  | 2500 us | VDD_CPU(AVS) |
| BUCK4 | TPS65941212-Q1 |  | 2500 us | VDD/VDDAR_MCU |
| BUCK1_2_3_4 | TPS65941111-Q1 |  | 2500 us | VDD_CORE/VDDA_0P8_PHYs |
| BUCK5 | TPS65941212-Q1 |  | 3000 us | VDDA_1P8_PHYs |
| LDO2 | TPS65941212-Q1 |  | 3000 us | VDDSHV1_MCU |
| LDO4 | TPS65941212-Q1 |  | 3000 us | VDDA_x |
| LDO4 | TPS65941111-Q1 |  | 3000 us | VDDA_1P8_PLLs |
| LDO1 | TPS65941111-Q1 |  | 3500 us | VDDSHV5 |
| LDO2 | TPS65941111-Q1 |  | 3500 us | VDDA_3P3_USB |
| GPIO11 | TPS65941111-Q1 |  | 3500 us | EN_3V3IO_LDSW |
| GPIO3 | TPS65941212-Q1 |  | 3500 us | EN_MCU3V3IO_LDSW |

图 6-13. 两个 PMIC 上的 TO_S2R 和 I2C_7 均为高电平

在序列结束时，这两个 PMIC 均会设置 LPM_EN 并清除 CLKMON_EN 和 AMUXOUT_EN。TPS65941212 器件还会根据寄存器 (PFM_DELAY_REG_2) 的内容额外延迟 16 毫秒，以确保 TPS65941212 序列最后完成。

7 NVM 更改的影响

表 7-1. NVM 从修订版本 2 更改为修订版本 3

| 更改 | 更改的影响 |
|---|---|
| NVM 修订版本更新为 3，请参阅表 5-2。 | 无。 |
| 静态配置中屏蔽 VCCA 过压和欠压监视器，请参见表 5-8。 | 无。一旦使能引脚变为高电平，在 PFSM 就会解除屏蔽监视器。 |
| 在监视器从禁用状态转换到启用状态之前，屏蔽 BUCK 和 LDO 过压和欠压监视器。在 nRSTOUT/nRSTOUT_SOC 释放之前解除屏蔽相应的监视器。 | 无。这些指令在电源序列期间执行，对时序没有影响。此外，在系统可以执行安全相关功能之前，解除屏蔽监视器。 |
| 逻辑和模拟 BIST 在 BOOT BIST 上运行，请参见表 5-10。 | 延长 BIST 时间以包含逻辑 BIST。 |
| 对于 TPS65941111，解除屏蔽 nINT 引脚的回读中断。表 5-8 | 如果 nINT 引脚上出现回读错误，则会发生 MODERATE_ERR_INT，从而导致向 SAFE_RECOVERY 转换。 |

8 参考文献

有关 PMIC 或处理器器件的其他信息，请查看以下内容：

- 德州仪器 (TI) [适用于 Jacinto™ 7 DRA829 和 TDA4VM PDN-0C 的 TPS65941213-Q1 和 TPS65941111-Q1 用户指南](#)
- 德州仪器 (TI) , [DRA829 Jacinto™ 处理器芯片版本 1.0 和 1.1 数据表](#)
- 德州仪器 (TI) , [DRA829 安全手册 Jacinto™ 7 处理器 \(通过 mySecure 申请 \)](#)
- 德州仪器 (TI) , [DRA829/TDA4VM/AM752x 技术参考手册 \(版本 B \) 参考模型](#)
- 德州仪器 (TI) , [TPS6594-Q1 具有 5 个 Buck 和 4 个 LDO 且适用于安全相关汽车类应用的电源管理 IC \(PMIC\) 数据表](#)
- 德州仪器 (TI) , [TPS6594-Q1 安全手册 \(通过 mySecure 申请 \)](#)
- 德州仪器 (TI) , [TPS6594-Q1 原理图 PCB 检查清单 应用说明](#)

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (January 2022) to Revision B (February 2022) Page

| | |
|--------------|---|
| • 更新了标题..... | 0 |
| • 更新了摘要..... | 1 |

Changes from Revision * (June 2021) to Revision A (January 2022) Page

| | |
|---|----|
| • 将所有提到 I ² C 的遗留术语实例更改为控制器和外围设备..... | 1 |
| • 将所有提到 SPMI 的旧术语实例更改为主器件和从器件..... | 1 |
| • 更新了 NVM 修订..... | 2 |
| • 更新了“电源连接”图..... | 3 |
| • 更新了“PDN 电源映射和系统特性”表..... | 3 |
| • 包含了启用 I2C CRC 对 I2C2 影响说明..... | 10 |
| • 在“系统级安全特性”表中新增了 TPS65941111-Q1 nINT..... | 10 |
| • 更新了器件 ID NVM 设置..... | 13 |
| • 新增了 FAST_VCCA_OVP 和 LPM_EN_DISABLES_VCCA_VMON..... | 16 |
| • 更新了 nINT 回读以及 VCCA 过压和欠压的中断设置..... | 19 |
| • 更新了 NINT_READBACK_MASK、NRSTOUT_READBACK_MASK 和 PFSM_ERR_MASK 的位置..... | 19 |
| • 更新了 FAST_BIST..... | 22 |
| • 新增了 CUSTOMER_NVM_ID_REG..... | 22 |
| • 向 I2C_2 的“状态转换触发器”新增了注释..... | 27 |
| • 新增了节 7..... | 45 |
| • 新增了 PDN-0C 的参考..... | 46 |

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司