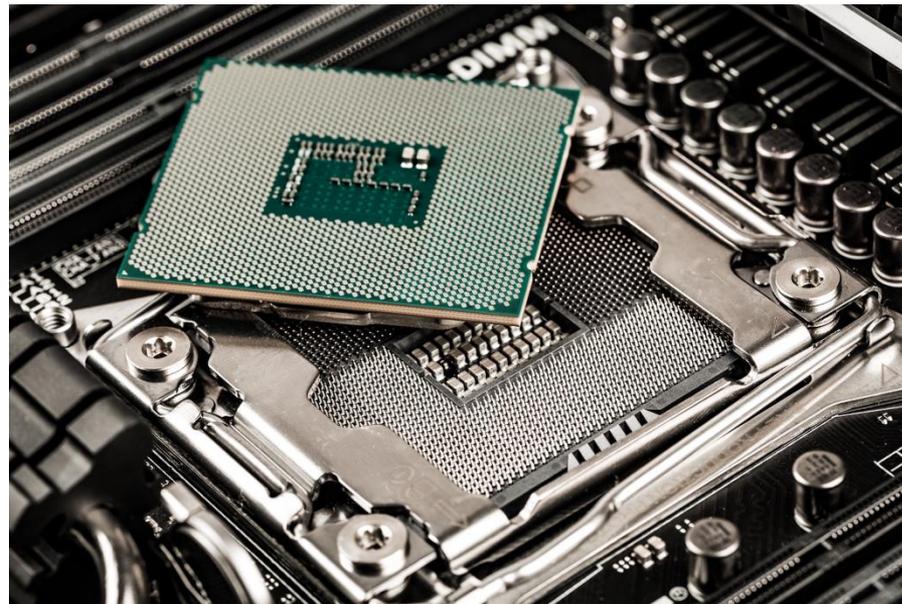


大電流、高速負荷過渡に対応した 電圧レギュレータの設計と最適化

はじめに

- 最新のプロセッサ、FPGAの中には、400Aを超える電流が流れるものがある
- 負荷過渡の大きさと変動速度は増大し、 V_{OUT} の許容誤差は±3%以下まで減少している
- 最初の設計から仕様要求を満足するのは困難



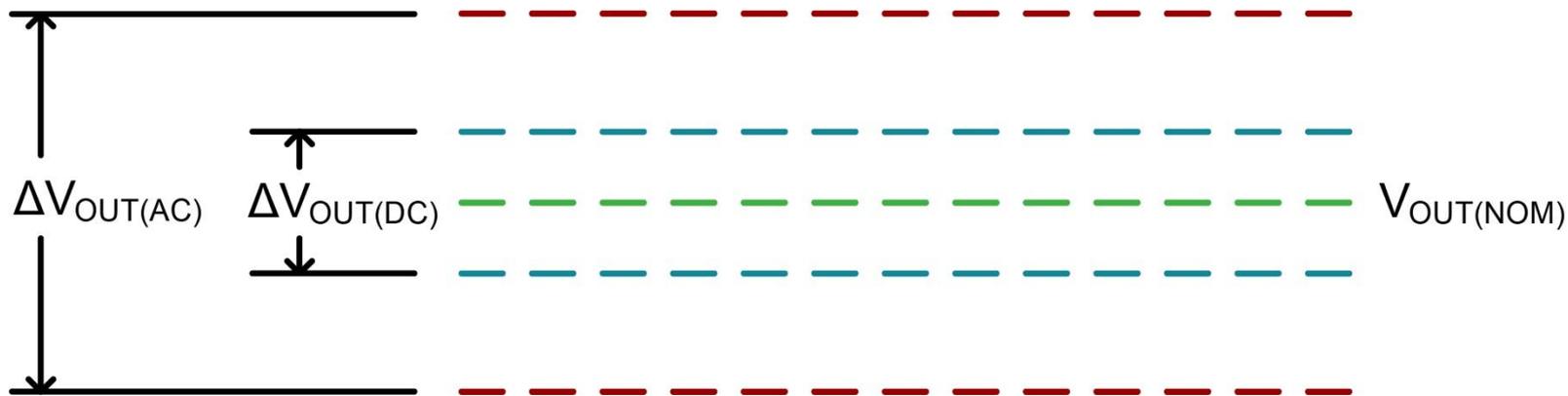
最新プロセッサの仕様例

プロセッサ	公称電圧	出力許容誤差 ($\Delta V_{OUT(AC)}$)	最大電流	最大負荷 ステップ	負荷スルー・ レート
通信用ASIC	1.0V	$\pm 50\text{mV}$ ($\pm 5\%$)	120A	60A	12A/ μs
車載用CPU	0.90V	$\pm 22\text{mV}$ ($\pm 2.5\%$)	90A	60A	100A/ μs
FPGA	0.88V	$\pm 17\text{mV}$ ($\pm 2\%$)	200A	100A	200A/ μs
サーバ用プロセッサ (現行)	1.8V	$\pm 22\text{mV}^{**}$	228A	200A	780A/ μs
サーバ用プロセッサ (次世代)	1.8V	$\pm 22\text{mV}^{**}$	400A	300A	670A/ μs

** DCロード・ラインを含まない (後で説明)

各仕様は達成は可能だが、各設計にはそれぞれ固有の複雑さがある

プロセッサ仕様の理解



- $\Delta V_{OUT(DC)}$ = DCリップルとレギュレーション許容誤差に対する±許容誤差
- $\Delta V_{OUT(AC)}$ = 過渡応答に対する±許容誤差、 $\Delta V_{OUT(DC)}$ を含む

標準的なPOL設計手法は使えない

- 次の式は数多くの入門アプリケーション・ノートで扱われているが、高性能電圧レールに対する設計の使用には不十分

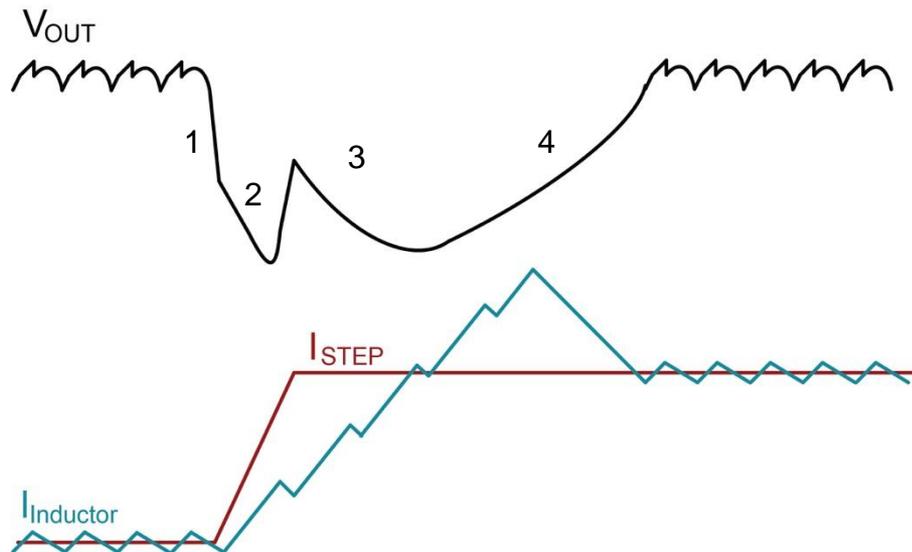
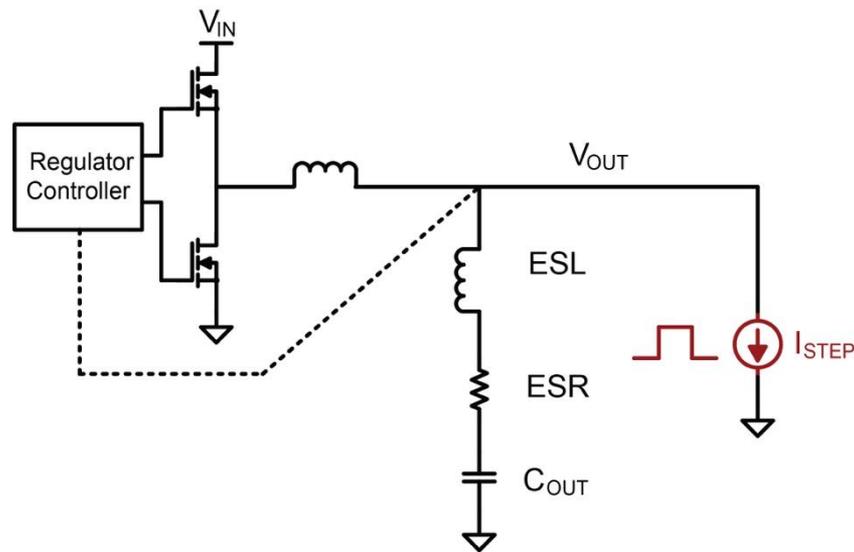
$$\Delta V_{OUT(DC)} = \frac{I_{PP}}{8 \times f_{SW} \times C_{OUT}} + I_{PP} \times ESR$$

- インダクタ・リップル電流、スイッチング周波数、ESR、許容定常状態リップルに基づく



- しかしながら、最新プロセッサ用に設計する場合、**過渡応答特性がレギュレータの性能を支配する**

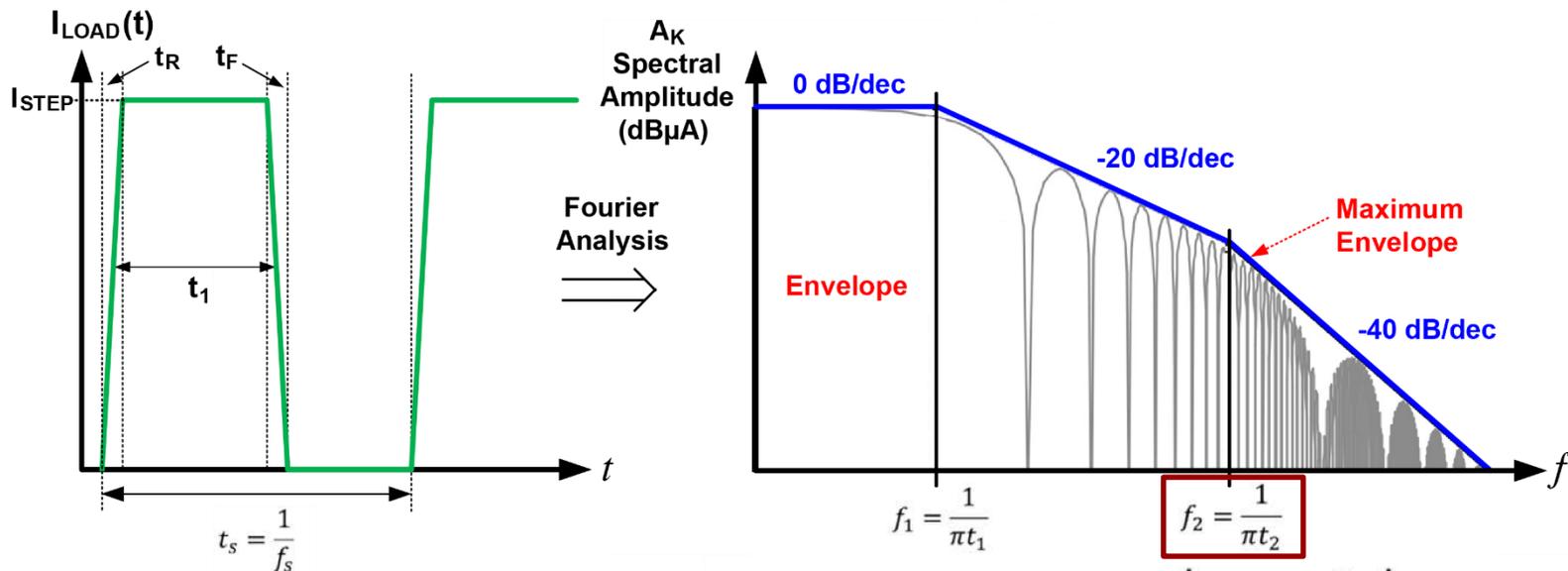
過渡応答の分析 - 時間領域



- C_{OUT} は理想コンデンサとして扱えない
- 過渡応答を正確に理解するには、ESRとESLの影響を考慮に入れる必要がある

- 1 - 過渡 di/dt に関連するESLスパイク
- 2 - 過渡ステップ・サイズに関連するESRスパイク
- 3 - C_{OUT} 放電時の電圧降下
- 4 - 電圧レギュレータが応答し、 V_{OUT} を設定値に復帰

過渡応答の分析 - 周波数領域

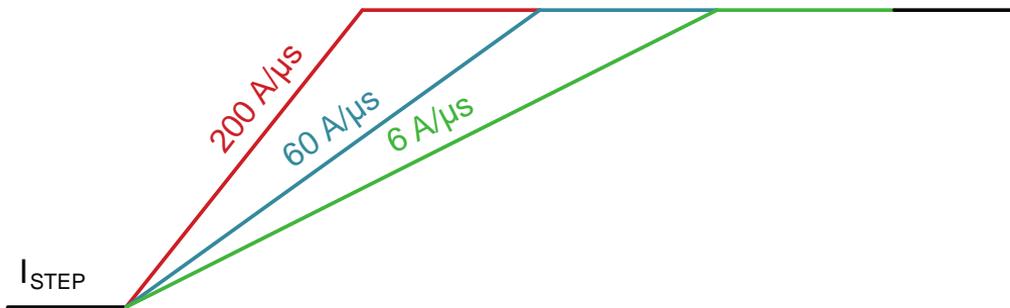


t_1 = Pulse width (measured at half-maximum)
 t_s = Pulse period
 D = Duty cycle = t_1/t_s
 t_R = Rise time; t_F = Fall time of edge transition

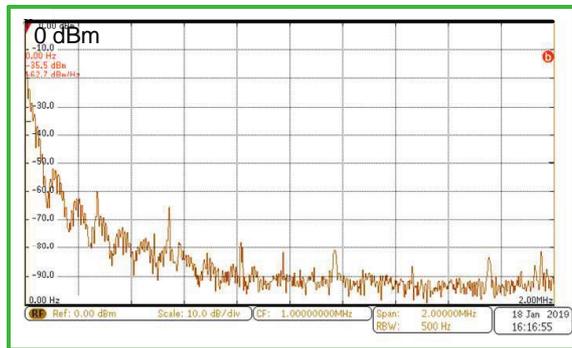
$$A_K = 2D \times I_{STEP} \left| \frac{\sin(k\pi D)}{k\pi D} \right| \times \left| \frac{\sin(k\pi \times \frac{t_R}{t_s})}{k\pi \times \frac{t_R}{t_s}} \right|$$

- 負荷電流の立ち上がり時間とオン時間により、性能に影響を与える高周波成分が生じる場合がある

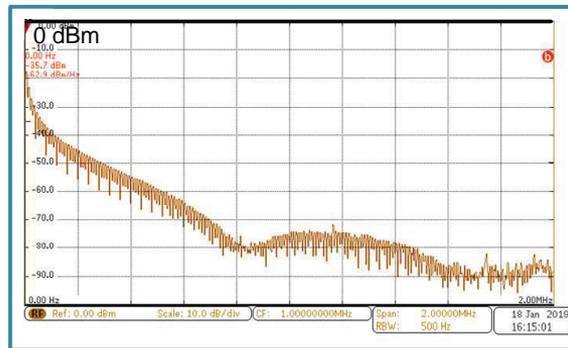
負荷スルー・レート vs 高周波成分



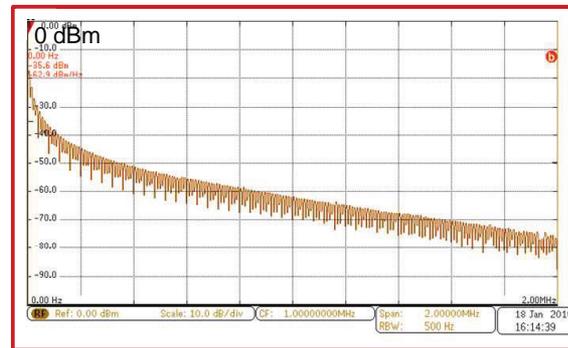
- 200A/μs – ESRとESLの影響を考慮する必要がある
- 60A/μs – ESRとESLの影響が出る可能性がある
- 6A/μs – ESRとESLが過渡応答に影響する可能性は低い



6A/μs – 高周波成分はない



60A/μs – 高周波成分は中程度



200A/μs – 高周波成分が顕著

過渡事象中の高周波成分が多いほど、レギュレータが電圧を復帰させる前にコンデンサのESRとESLで大きく電圧が下がる

設計事例 - FPGAコアのレール

パラメータ	仕様
入力電源	12V
公称出力電圧	0.88V
最大出力電流	200A
最大負荷ステップ	100A@200A/ μ s
DC+ACの許容誤差	$\pm 2\%$ (± 17 mV)
スイッチング周波数	600kHz
フェーズ数	6
コントローラ	TPS53681
パワーステージ	CSD95490Q5MC

2つの方法で出力コンデンサを選択

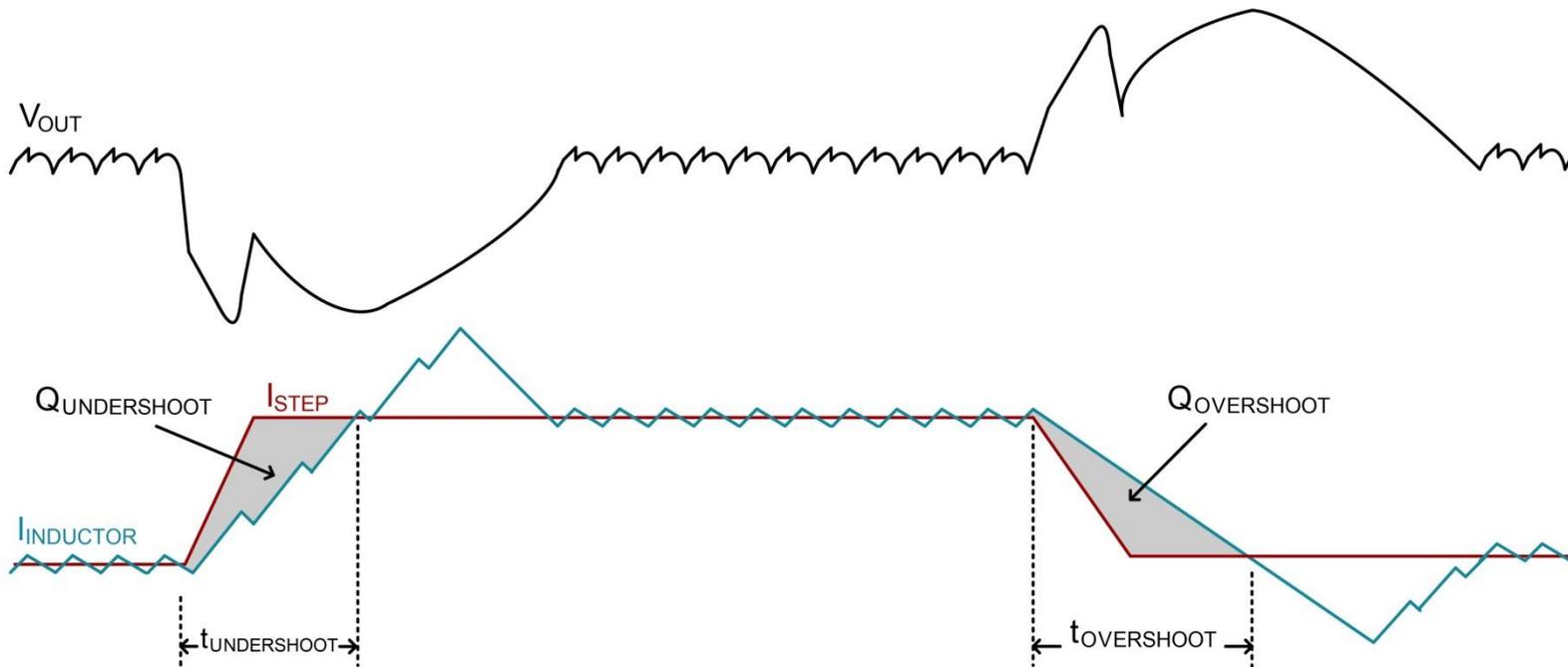
1. 電荷ベース法

- 簡単な代数計算
- 設計の出発点に有効

2. 目標インピーダンス法

- ESR、ESL、負荷周波数成分、コンバータ帯域を考慮
- 計算にはExcelまたはシミュレーション・ツールが必要

電荷ベースのC_{OUT}の概要



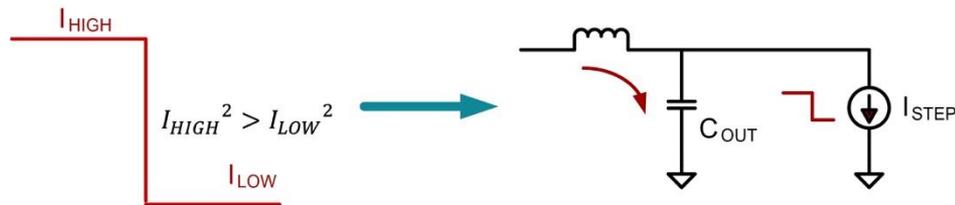
- C_{OUT} から供給、または吸収される電荷量 Q はオン時間とステップ・サイズに依存

- $$C_{OUT} = \frac{Q}{\Delta V_{OUT}}$$

電荷ベースのC_{OUT}の選択

- $t_{UNDERSHOOT} = \frac{L_{EQ} \times I_{STEP}}{V_{IN} - V_{OUT}} = 0.225 \mu\text{s}$
- $t_{OVERSHOOT} = \frac{L_{EQ} \times I_{STEP}}{V_{OUT}} = 2.85 \mu\text{s}$
- $Q_{UNDERSHOOT} = \frac{1}{2} \times t_{UNDERSHOOT} \times I_{STEP} = 11.2 \mu\text{C}$
- $Q_{OVERSHOOT} = \frac{1}{2} \times t_{OVERSHOOT} \times I_{STEP} = 142 \mu\text{C}$
- $C_{UNDERSHOOT} = \frac{Q_{UNDERSHOOT}}{\Delta V_{OUT(AC)}} = 640 \mu\text{F}$
- $C_{OVERSHOOT} = \frac{Q_{OVERSHOOT}}{\Delta V_{OUT(AC)}} = 8,100 \mu\text{F}$

- インダクタのエネルギー・レベルが高いため (I²に比例)、オーバーシュートが最悪のシナリオとなります
- 初期設計における出力コンデンサの要求は 8,200μF → 11個の470μF、3mΩのバルク・コンデンサ、および30個の100μF、2012、6.3V、X5Rの積層セラミックコンデンサ



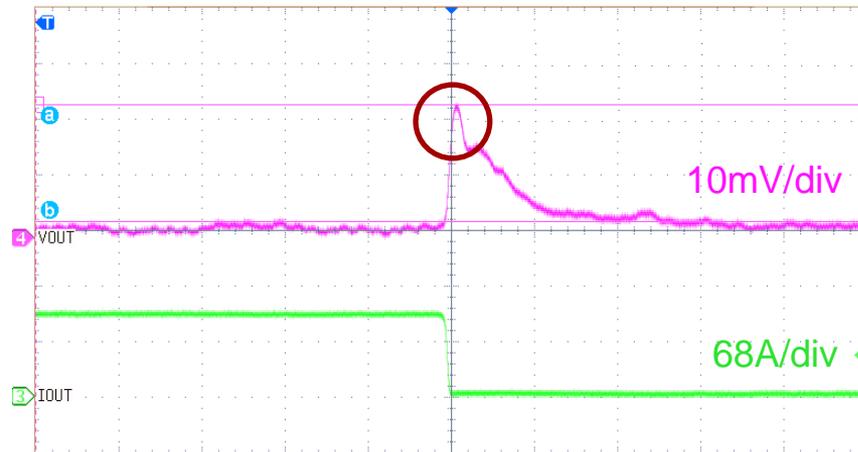
More energy absorbed by C_{OUT} during load release than load step

電荷ベース法 - 過渡応答

36.4mV_{PP} (±17mV仕様)



21.0mVのオーバーシュート(ズーム)



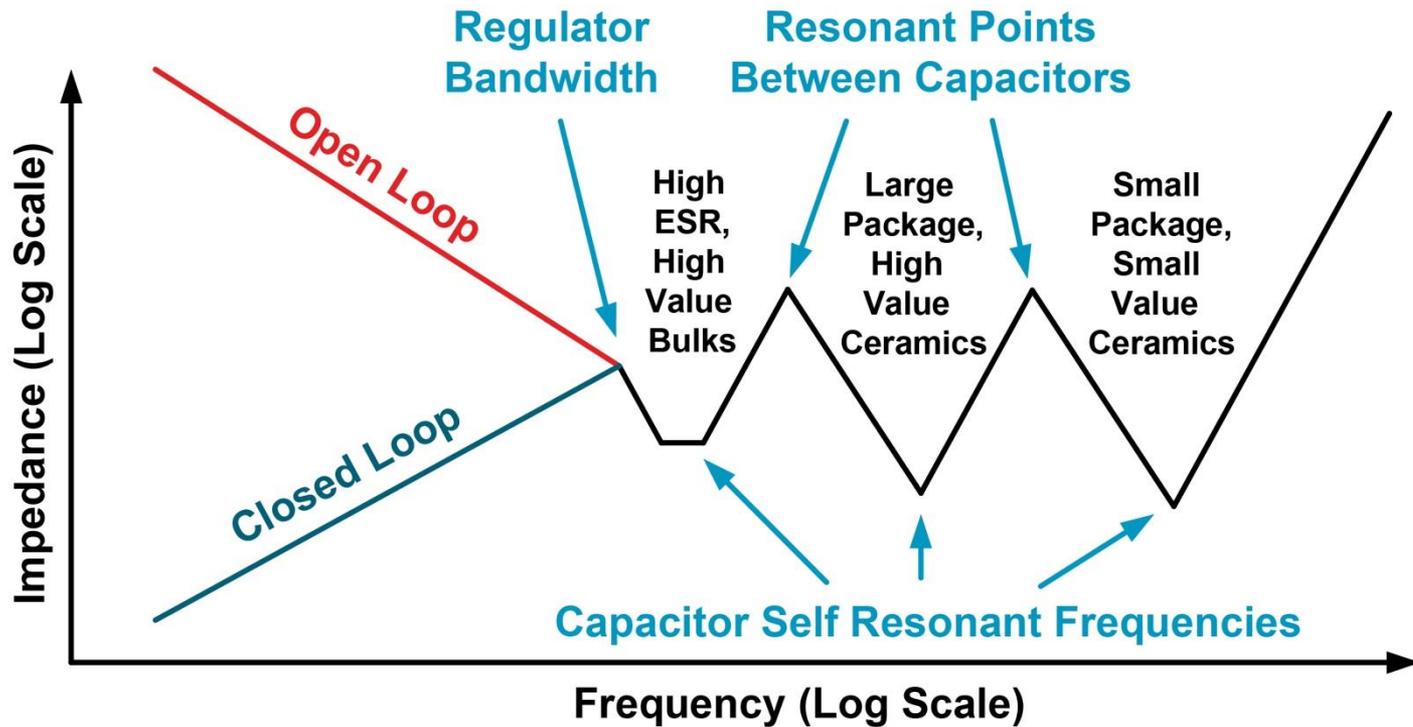
- 初期のESR+ESLによるスパイク電圧により、設計仕様を満足できない

電荷ベース法 - 不十分な理由

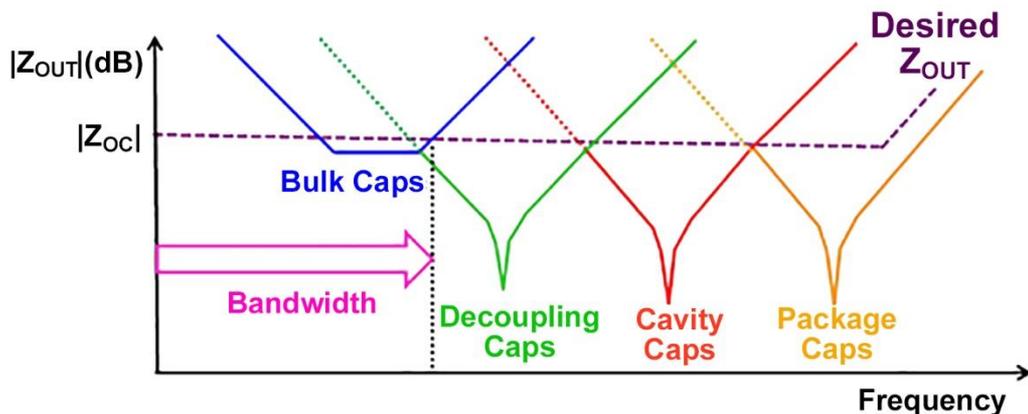
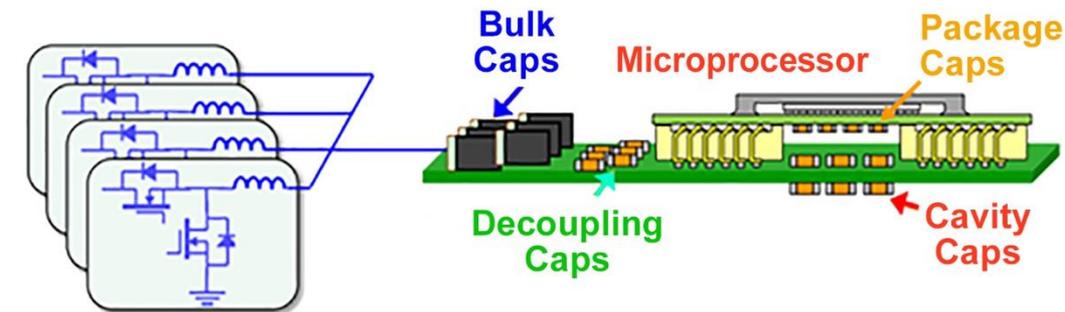
- $C_{OUT} = \frac{Q}{\Delta V_{OUT}}$ は出発点としては良いが、高性能アプリケーションに使用するには欠点がある
 1. コントローラのループ帯域(バンド幅)が考慮に入っていない
 2. 式中にESRやESLの項がない。それらの項が問題になるほど**負荷変動速度が高速でない**と仮定されている

C_{OUT} を計算する更に良い方法が必要

コンバータの出カインピーダンス - 概要



目標インピーダンス - 概要



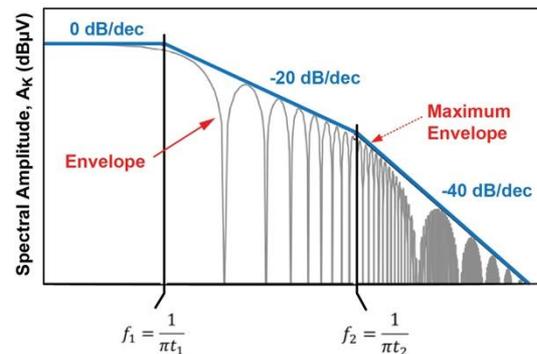
- 周波数全体にわたりコンバータの出カインピーダンスが超えてはならないレベルを設定する
- PCB、ICパッケージ、パッケージ容量が含まれる場合、モデルは非常に詳細となる

目標インピーダンスの計算

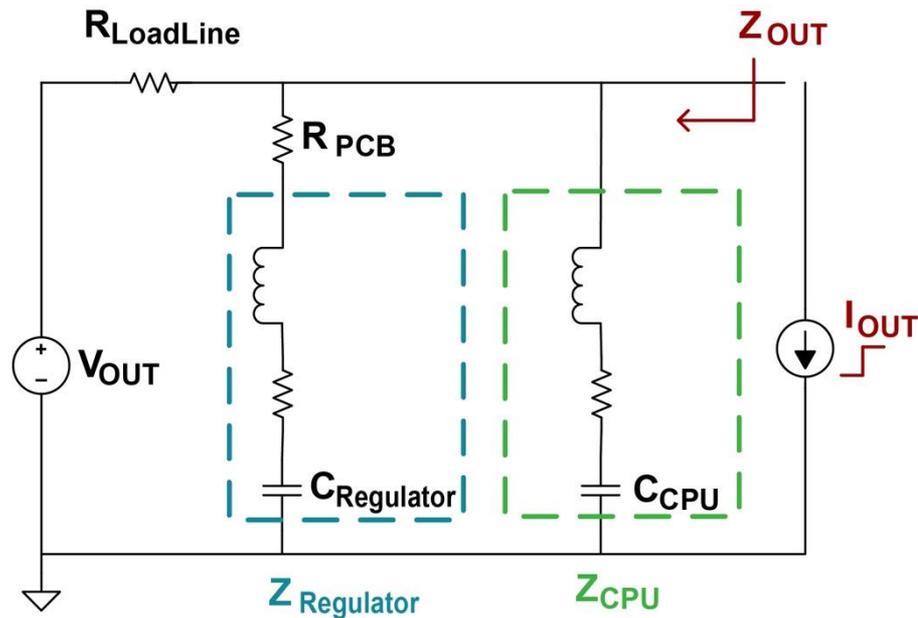
$$Z_{TARGET} = \frac{\Delta V_{OUT}}{I_{STEP}} + DC_{LL}$$

- ΔV_{OUT} = 過渡事象中に許される V_{OUT} 上の±スイング
- I_{STEP} = 負荷過渡ステップ・サイズ
- DC_{LL} = DCロード・ライン、適用できる場合(スライド25参照)
- スライド7から、目標周波数は負荷の立ち上がり時間に基づいて設定できる
- 現在の設計に対しては: $Z_{TARGET} = \frac{17.6 \text{ mV}}{100 \text{ A}} + 0 \text{ m}\Omega = 0.176 \text{ m}\Omega$

$$f_{TARGET} = \frac{1}{\pi \cdot t_R} = \frac{1}{\pi \cdot 500 \text{ ns}} = 636 \text{ kHz}$$



出カインピーダンスのモデル化



$$Z_{OUT} = R_{LoadLine} | (Z_{Regulator} + R_{PCB}) | Z_{CPU}$$

コンバータの出カインピーダンスは、目標インピーダンスに合わせて設計した場合、数学的に容易にモデル化できる

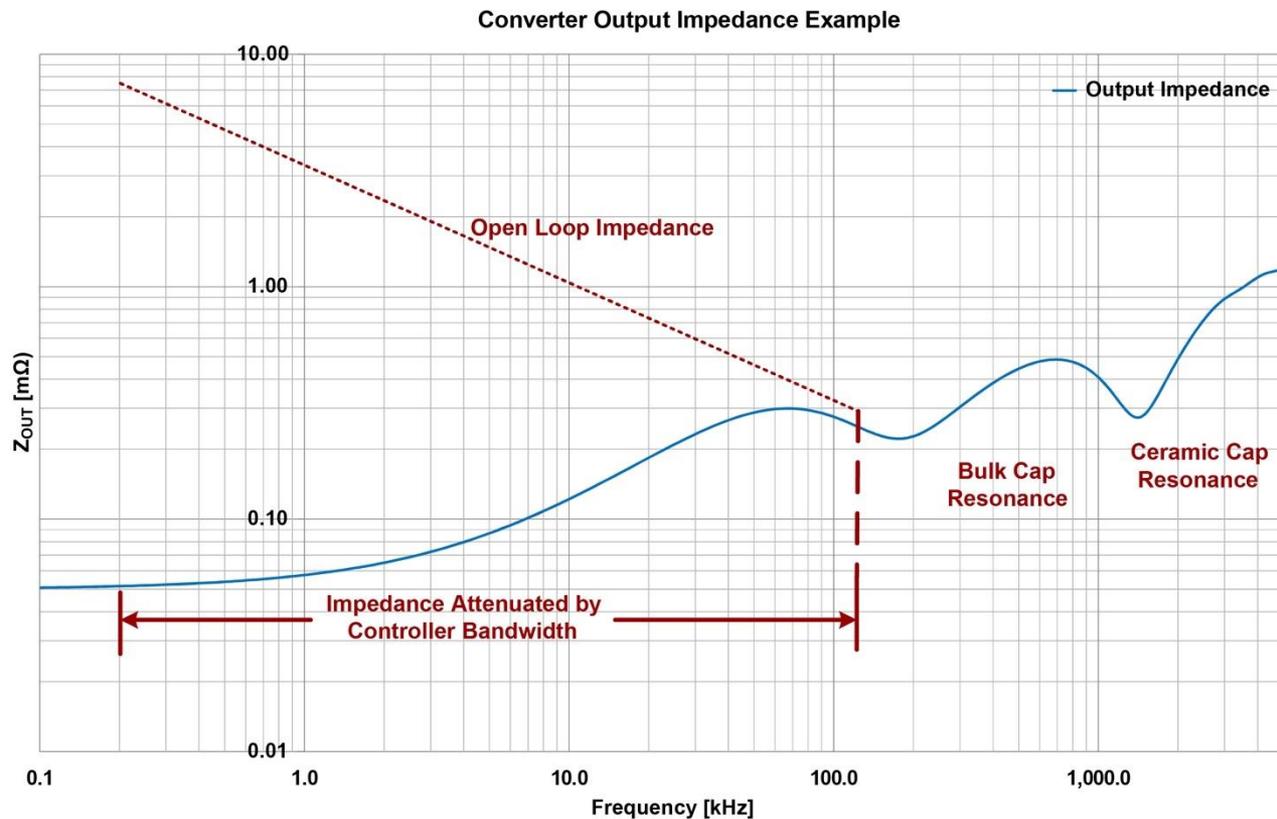
• 長所

- 設計用に C_{OUT} の見積もりがフル・シミュレーションより素早く行える
- メーカーWebサイトからCSVファイルでダウンロードされた、実際のコンデンサ・データを使用

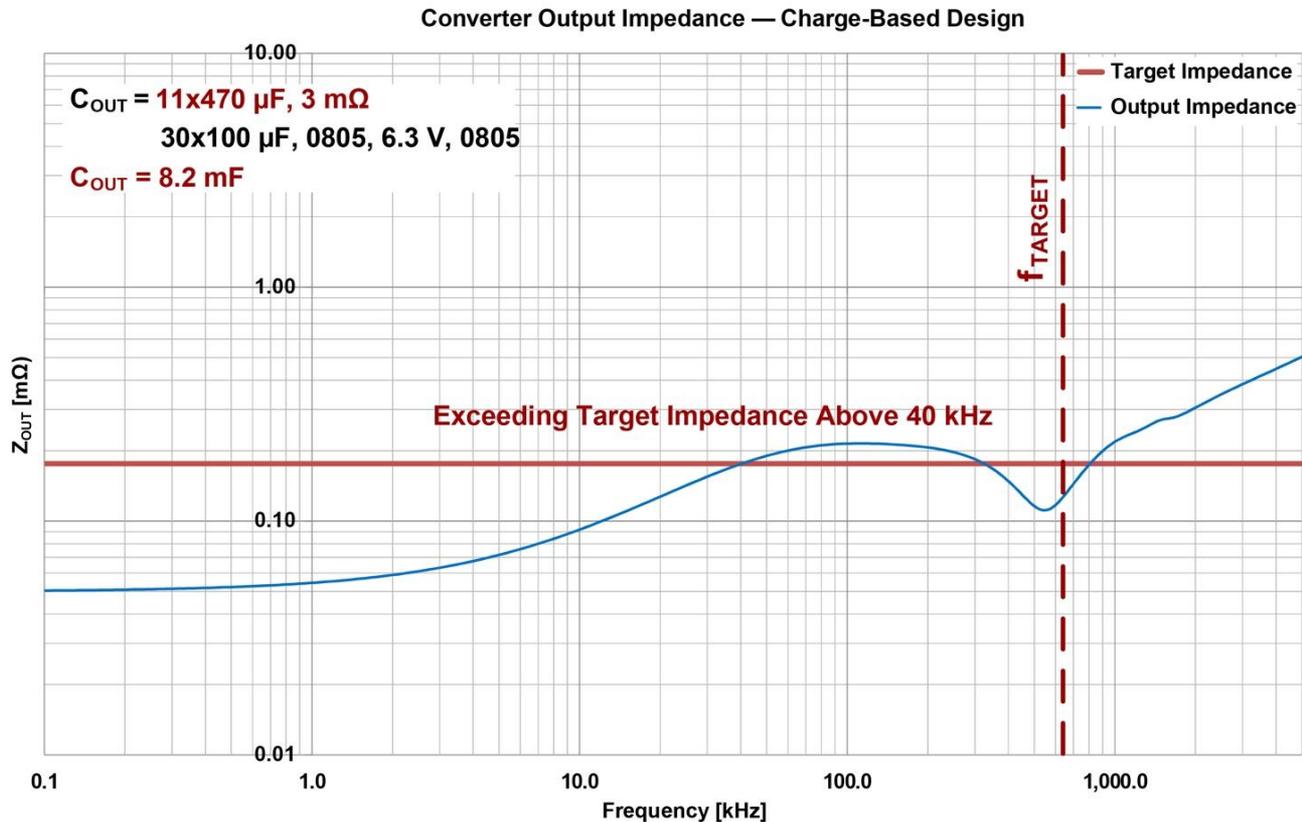
• 短所

- PCBの影響は最小限
- 制御ループの正確な伝達関数と変調器はモデル化されない

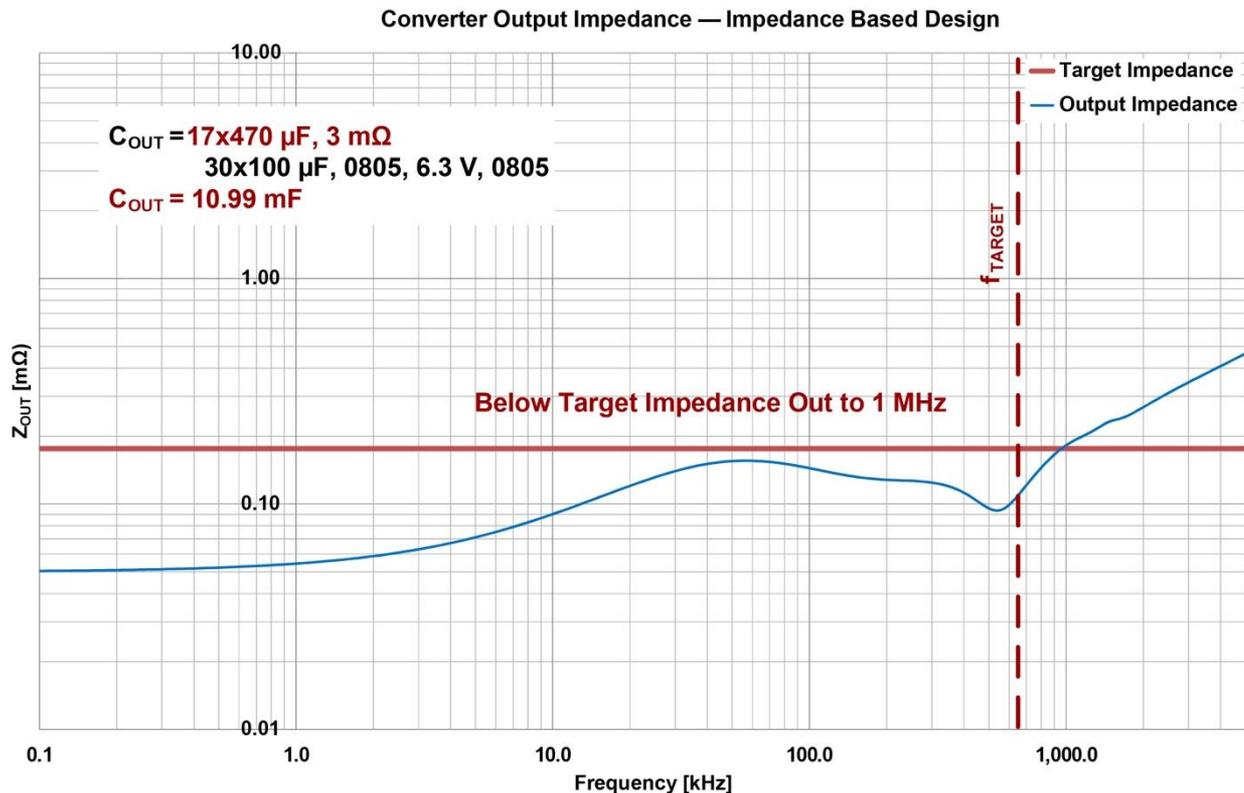
インピーダンス・モデルの例



出カインピーダンス - 電荷ベース法



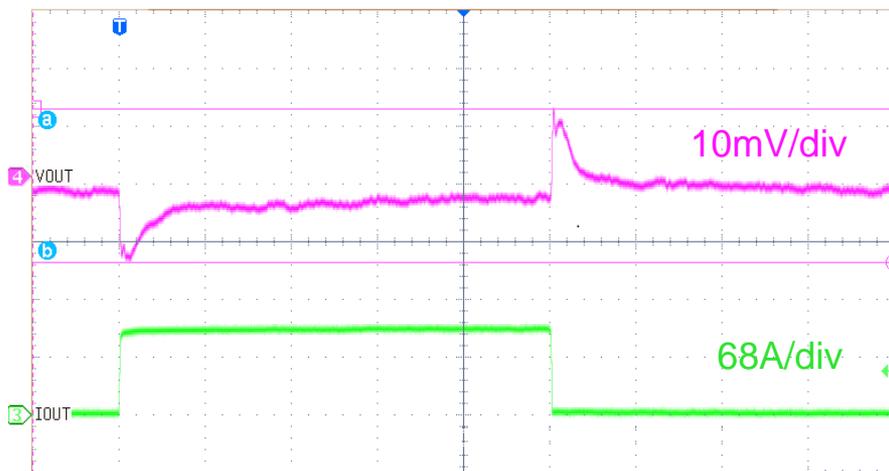
出カインピーダンス - 目標インピーダンス法



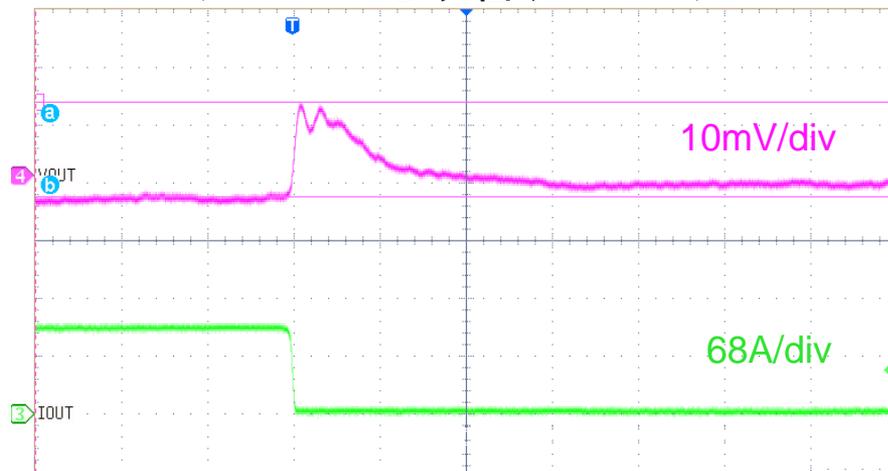
Z_{TARGET} に合わせるには、470 μF のバルク・コンデンサを更に6個の追加が必要

目標インピーダンス – 過渡応答

26.6mVpp ($\pm 17\text{mV}$ 仕様)

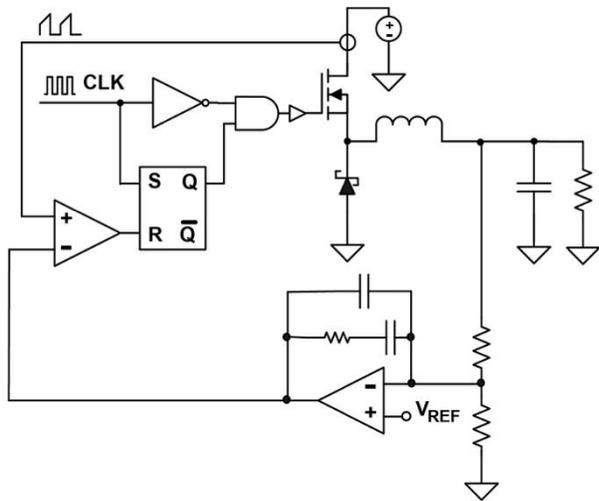


16.4mVのオーバーシュート
(21mVから改善、ズーム)

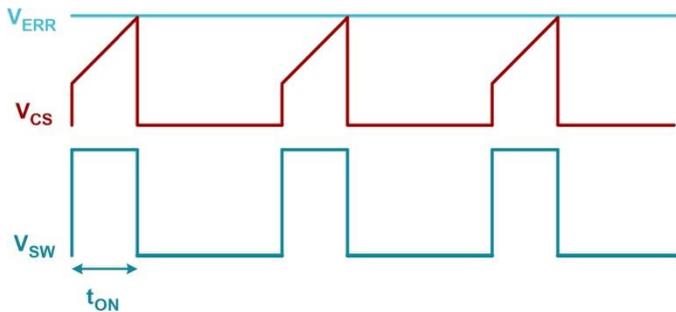


- 目標インピーダンスに合わせて設計された C_{OUT} を使うと、過渡応答が設計仕様を満たすようになった

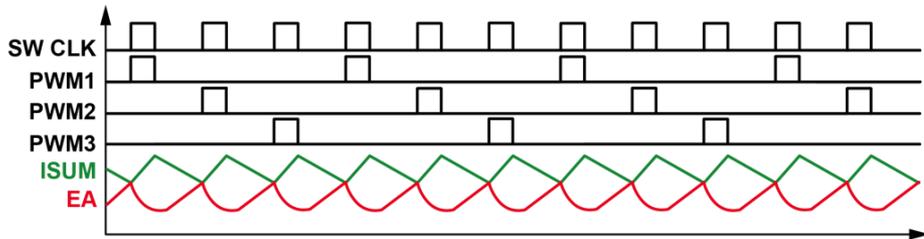
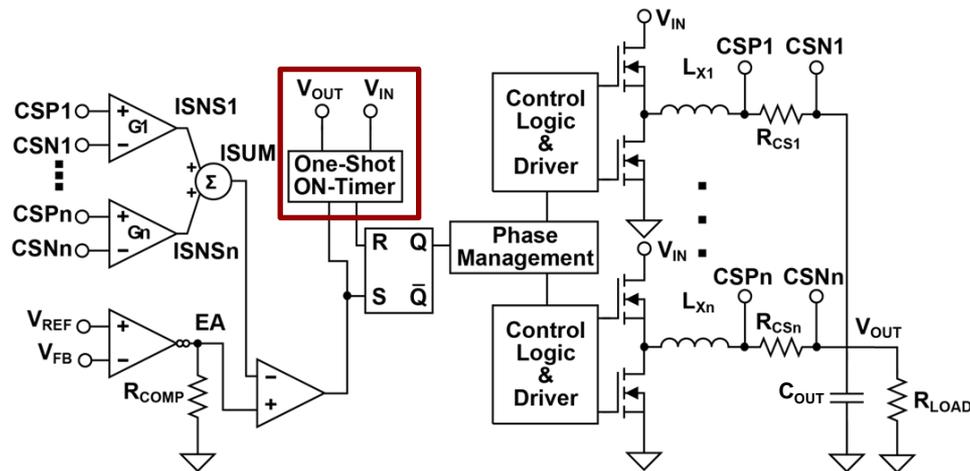
制御方式の影響 – 標準ピークCMC



- 内側の電流ループによって外側の電圧ループの帯域幅に上限が設定され、システムがスローダウンする
- 通常、アプリケーション・ノートでは、電圧ループ帯域幅が $1/10 f_{SW}$ 付近に設定される
 - 最新の制御方式と比べると遅い

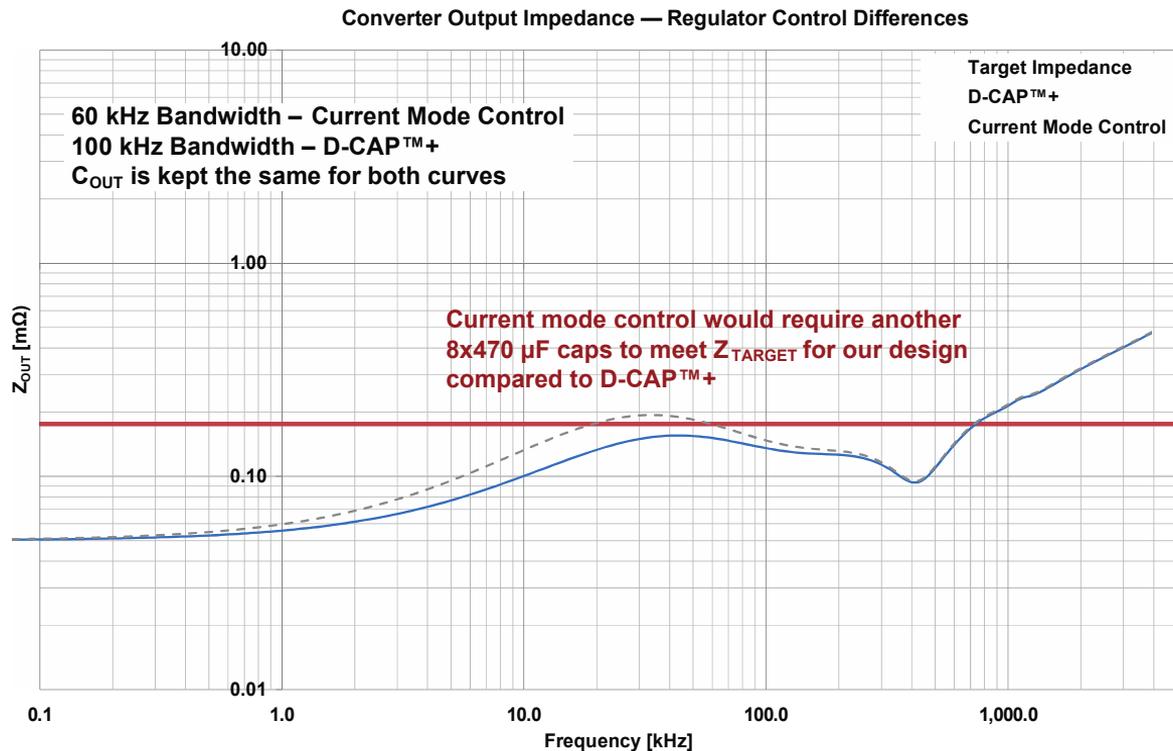


制御方式の影響 – D-CAP™ +



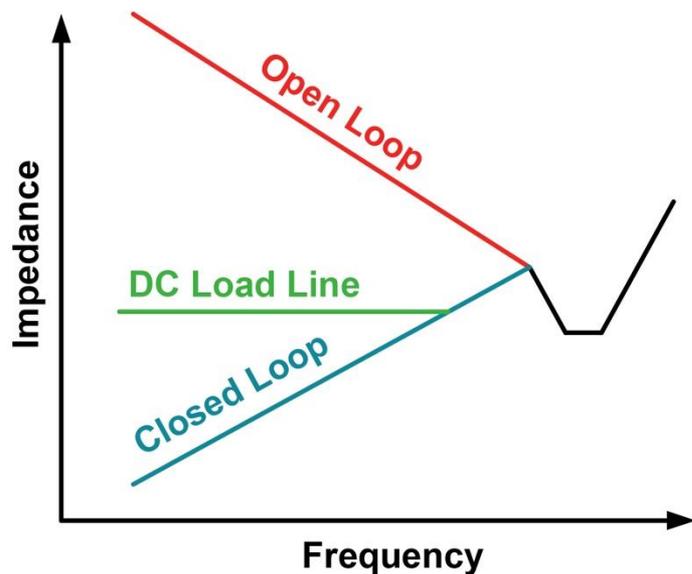
- コンスタント・オンタイム (COT) アーキテクチャにより、負荷過渡中にスイッチング周波数を動的に調整できる
- ピークCMCと比べて、設計に対して広いループ帯域幅を確保できる
 - $\frac{1}{4} f_{SW}$ の帯域幅が可能
 - 高速過渡応答によりコンデンサを節約

制御方式の影響 – 広帯域幅の利点

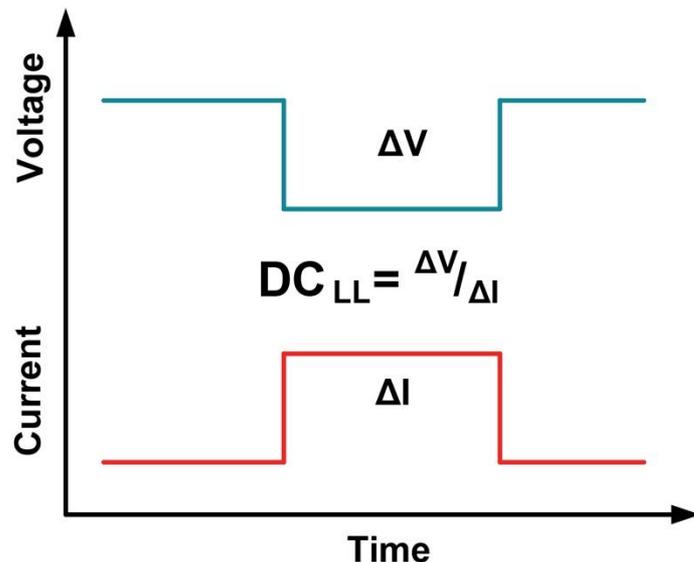


- Z_{OUT} をより高い周波数で減衰させ、過渡応答を高速化
- 出力コンデンサを節約
または高ESRの安価なコンデンサの使用を選択できる

さらに進めて - DCロード・ラインの追加



周波数領域 - ループ帯域内の低い周波数で固定出力インピーダンス



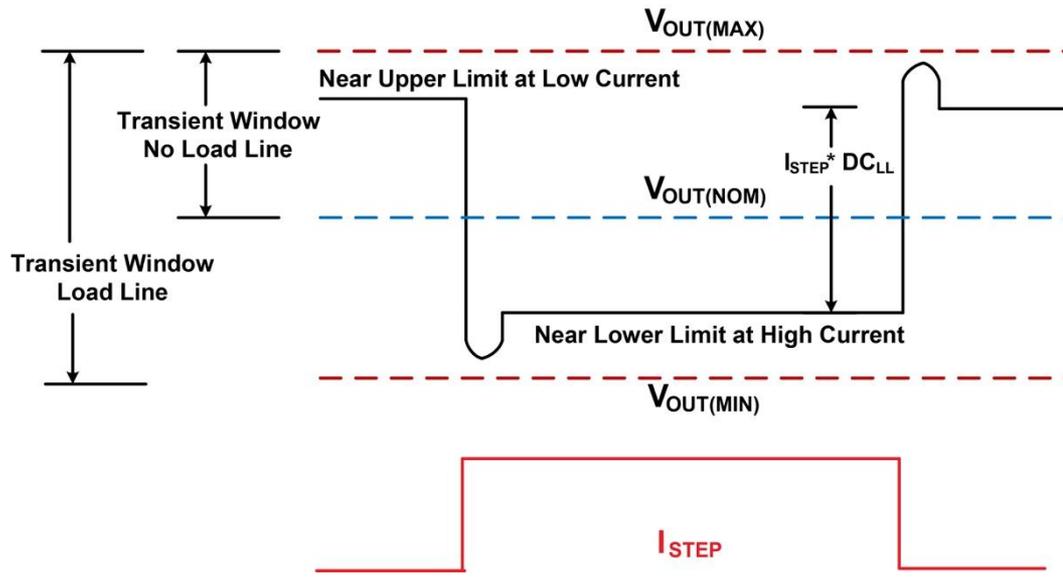
時間領域 - 電流の増加とともに出力電圧を低下させる制御 (Droop制御)

DCロード・ラインの利点

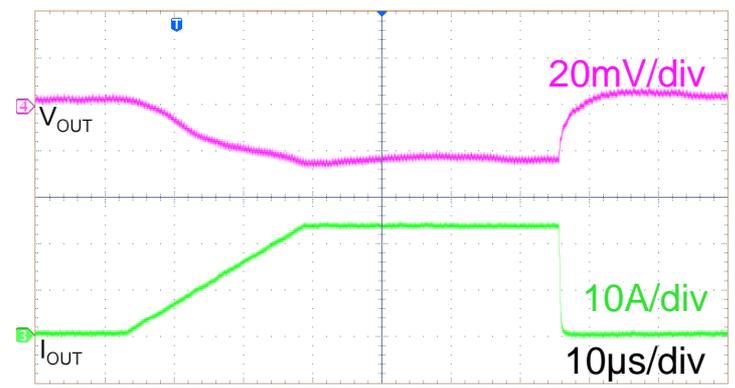
- **電力を節約** = $I^2 \cdot DC_{LL}$
 - 単純にコンバータの入力電源からの消費が減少
- **出力コンデンサを節約**: 過渡事象中に V_{OUT} の変動幅を許容誤差範囲内に収めることが可能
 - 事実上、目標インピーダンスが増加

ロード・ラインに対応しているかどうか、プロセッサ・ベンダーに確認すること

時間領域でのDCロード・ライン

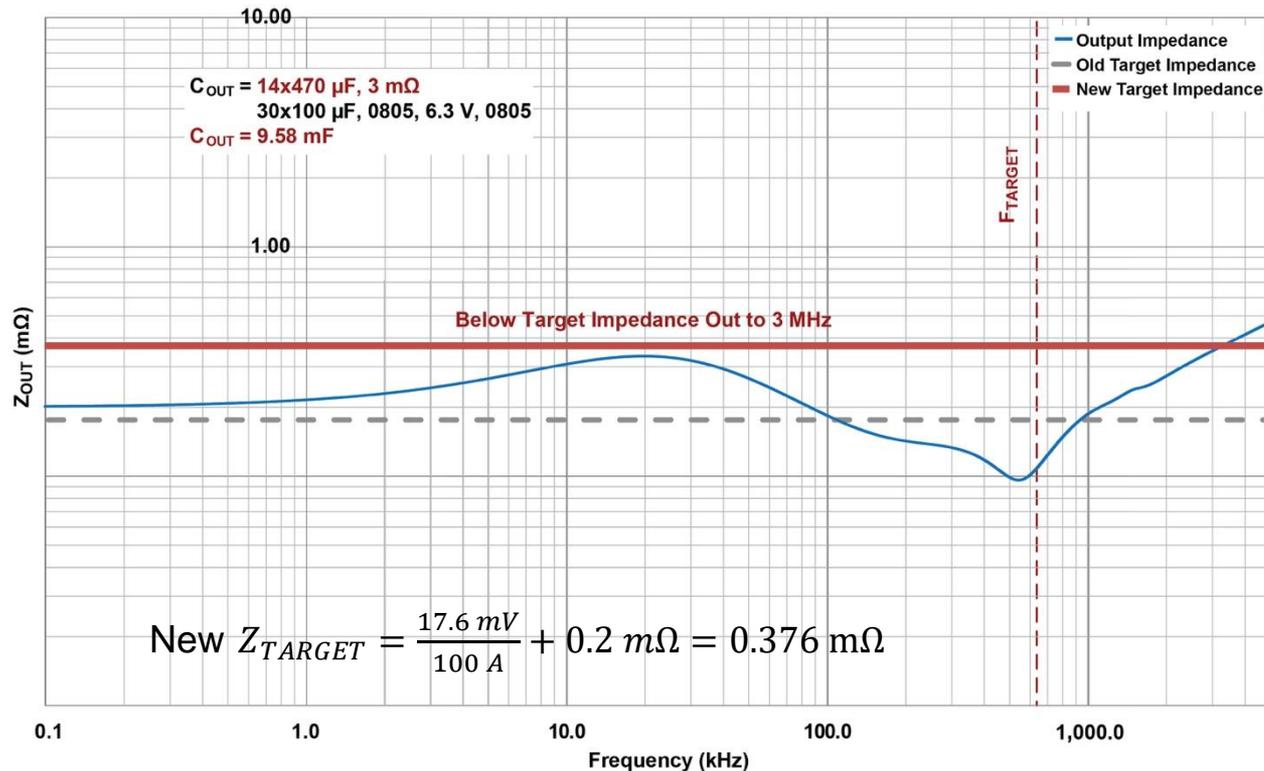


電流の変化が遅くても、 V_{OUT} は上昇/降下する



出カインピーダンス – DCロード・ライン

Converter Output Impedance Example



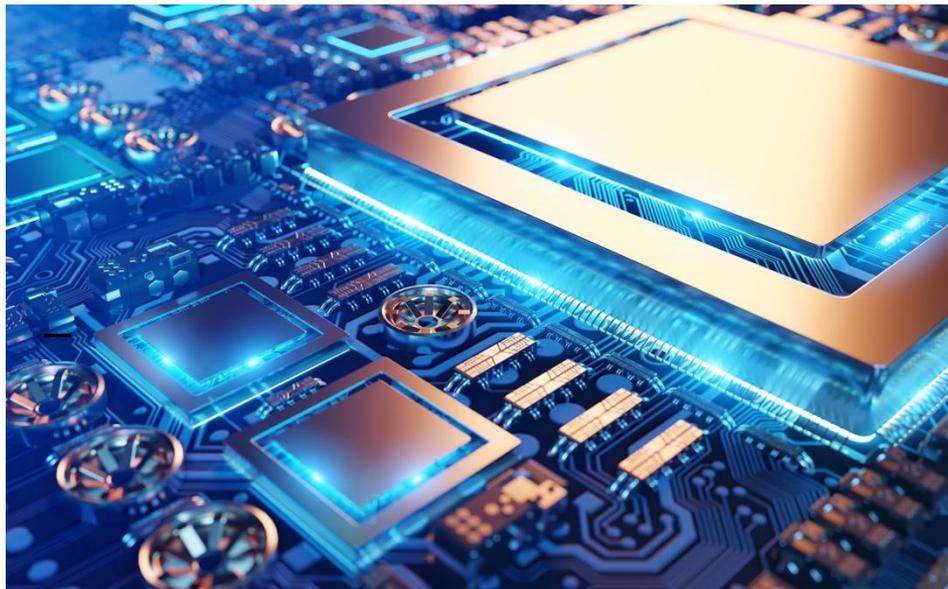
最初目標インピーダンス設計よりもロード・ラインでバルク・コンデンサを3個節約

C_{OUT}選択の比較

設計方法	全C _{OUT}	C _{OUT} 、バルク	C _{OUT} 、MLCC	設計仕様を満たすか？
標準リップル方式	330μF	1x220μF 6mΩ	5x22μF、16V、 0805、X5R、6.3V	いいえ
電荷ベース法	8,200μF	11x470μF、 3mΩ	30x100μF、0805、 X5R、6.3V	いいえ
目標インピーダンス、 ロード・ラインなし	11,000μF	17x470μF、 3mΩ	30x100μF、0805、 X5R、6.3V	はい
目標インピーダンス、 ロード・ライン0.2mΩ	9,600μF	14x470μF、 3mΩ	30x100μF、0805、 X5R、6.3V	はい

まとめ

- 標準的なリップルの式では、 C_{OUT} を正しく決定できない
- 電荷ベース法は、出発点としては良いが、すべてには使えない
- 目標インピーダンス法では、負荷周波数成分の考慮が必須
- DCロード・ラインを使用できる場合はコンデンサを節約できる



Additional resources

- **“Multiphase Design From Start to Finish,”** Carmen Parisi, May 2019 <http://www.ti.com/lit/slva882>
- **“Choosing the Right Fixed Frequency Buck Regulator Control Strategy,”** Brian Cheng, Eric Lee, Brian Lynch and Robert Taylor , TI Power Supply Design Seminar 2014 SEM2100, slup317 <http://www.ti.com/lit/slup317>
- **“Choosing the Right Variable Frequency Buck Regulator Control Strategy,”** Brian Cheng, Eric Lee, Brian Lynch and Robert Taylor , TI Power Supply Design Seminar 2014 SEM2100, slup319 <http://www.ti.com/lit/slup319>
- **“Switch-Mode Power Converter Compensation Made Easy,”** Robert Sheehan, Louis Diana, TI Power Supply Design Seminar 2016 SEM2200, slup340 <http://www.ti.com/lit/slup340>
- **“Reduce buck-converter EMI and voltage stress by minimizing inductive parasitics,”** Timothy Hegarty, Analog Applications Journal, 3Q 2016 <http://www.ti.com/lit/slyt682>
- **“Principles of Power Integrity for PDN Design – Simplified: Robust and Cost Effective Design for High Speed Digital Products,”** Larry D Smith and Eric Bogatin, 1st ed., Prentice Hall, 2017 (ISBN-13: 978-0132735551)

JAJPO84