

# ADC1173

*ADC1173 8-Bit, 3-Volt, 15MSPS, 33mW A/D Converter*



Literature Number: JAJ619

## ADC1173

### 3V、8ビット、15MSPS、33mW A/D コンバータ

#### 概要

ADC1173 は、33mW (typ) の消費電力で 8 ビットのデジタル信号にデジタル化する 15MSPS 低消費電力 A/D コンバータです。ADC1173 は、独特のアーキテクチャを採用して 7.6 有効ビットを実現しています。出力フォーマットはストレート・バイナリ・コードです。

このデバイスは優れた AC および DC 特性を備えるとともに 3V 単一電源で低消費電力動作が可能のため、ビデオ、イメージング、コミュニケーションなど、携帯機器への使用も含めたさまざまなアプリケーションに理想的なデバイスです。さらに ADC1173 は、ラッチアップに対して非常に強くかつ出力回路の短絡が起こらないように考慮して設計されています。ADC1173 のリファレンス・ラダーのトップおよびボトムは、広い入力レンジの要求にも対応できるように外部回路との接続が可能です。

ADC1173 は、SOIC (EIAJ) および TSSOP パッケージでの供給が可能です。ADC1173 は、民生用温度範囲である - 40 ~ + 75 の温度範囲にわたって動作するように設計されています。

#### 特長

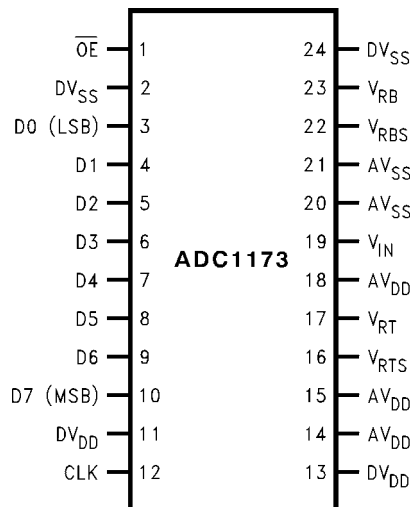
サンプル / ホールド機能内蔵	
単一 3V 電源動作	
リファレンス・バイアス抵抗内蔵	
業界標準のピン配置	
TRI-STATE 出力	
分解能	8 ビット
最大サンプリング・レート	15MSPS (min)
THD	- 54dB (typ)
DNL	± 0.85LSB (max)
3.58MHz 入力における有効ビット (ENOB)	7.6 ビット (typ)
ノー・ミッシング・コード保証	
微分位相	0.5 °(max)
微分利得	1.5% (typ)
消費電力	33mW (typ)

(リファレンス電流は除く)

#### アプリケーション

ビデオ・デジタイジング  
デジタルスチルカメラ  
セットトップ・ボックス  
ビデオカメラ  
PC ビデオカメラ  
デジタル TV  
CCD イメージング  
光電変換機器

#### ピン配置図



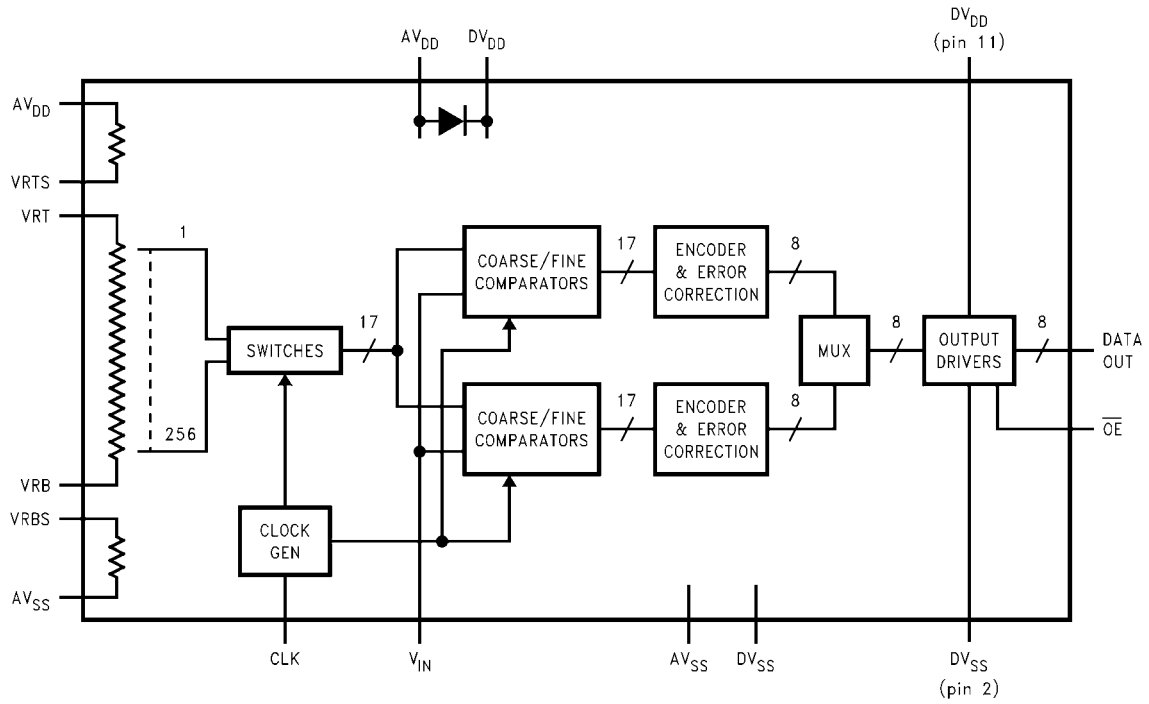
TRI-STATE® はナショナル セミコンダクターの登録商標です。

製品情報

Industrial ( $-40^{\circ}\text{C} \leq T_A \leq +75^{\circ}\text{C}$ )	Package
ADC1173CIJM *	SOIC (EIAJ)
ADC1173CIJMX *	SOIC (EIAJ) (tape & reel)
ADC1173CIMTC	TSSOP
ADC1173CIMTCX	TSSOP (tape & reel)

\* 印の製品はすでに製造中止になっています。ここでは、参考データとしてのみご利用ください。

ブロック図



ピン説明および等価回路

ピン番号	記号	等価回路	説明
19	$V_{IN}$		アナログ信号入力。変換可能な入力範囲は $V_{RB} \sim V_{RT}$ です。
16	$V_{RTS}$		内部プルアップ抵抗を備えたリファレンス・トップ・バイアス・ピン。リファレンス・ラダーをセルフバイアスする場合にはこのピンを $V_{RT}$ に接続してください。
17	$V_{RT}$		A/D コンバータのリファレンス・ラダーの上側 (トップ側) のアナログ入力ピン。公称入力範囲は $1.0V \sim AV_{DD}$ です。 $V_{RT}$ ピンおよび $V_{RB}$ ピンに入力される電圧によって、アナログ信号入力 ( $V_{IN}$ ) の変換範囲が決まります。十分なバイパスを行ってください。詳細については 2.0 章を参照してください。
23	$V_{RB}$		A/D コンバータのリファレンス・ラダーの下側 (ボトム側) のアナログ入力ピン。公称入力範囲は $0.0V \sim 2.0V$ です。 $V_{RT}$ ピンおよび $V_{RB}$ ピンに入力される電圧によって、アナログ信号入力 ( $V_{IN}$ ) の変換範囲が決まります。十分なバイパスを行ってください。詳細は、2.0 章を参照してください。
22	$V_{RBS}$		内部プルダウン抵抗を備えたリファレンス・ボトム・バイアス・ピン。リファレンス・ラダーをセルフ・バイアスする場合にはこのピンを $V_{RB}$ に接続してください。
1	$\overline{OE}$		CMOS/TTL 互換のデジタル入力ピン。このピンが Low のとき、ADC1173 の出力をイネーブルし、High のとき、出力は高インピーダンス状態になります。
12	CLK		CMOS/TTL 互換のデジタル・クロック入力ピン。 $V_{IN}$ は CLK 入力の立ち下がりがエッジでサンプリングされます。

ピン説明および等価回路

ピン番号	記号	等価回路	説明
3 ~ 10	D0-D7		<p>変換データ・デジタル出力ピン。D0 は LSB、D7 は MSB を示します。有効なデータは CLK 入力の立ち上がりエッジの直後にデータ・バス上に出力されます。これらのピンは <math>\overline{OE}</math> ピンを Low にするとイネーブルされます。</p>
11, 13	DV <sub>DD</sub>		<p>正のデジタル電源電圧ピン。クリーンなノイズのない + 3V 電圧源に接続してください。AV<sub>DD</sub> および DV<sub>DD</sub> は共通の電源より供給し、10 <math>\mu</math>F の電解コンデンサと 0.1 <math>\mu</math>F のセラミック・コンデンサを並列に接続したもので別々にバイパスしてください。詳細は、3.0 章を参照してください。</p>
2, 24	DV <sub>SS</sub>		<p>デジタル電源グラウンド・ピン。AV<sub>SS</sub> および DV<sub>SS</sub> は ADC1173 のパッケージの近くで互いに一点接続してください。</p>
14, 15, 18	AV <sub>DD</sub>		<p>正のアナログ電源電圧ピン。クリーンなノイズのない + 3V 電圧源に接続してください。AV<sub>DD</sub> および DV<sub>DD</sub> は共通の電源より供給し、10 <math>\mu</math>F の電解コンデンサと 0.1 <math>\mu</math>F のセラミック・コンデンサを並列に接続したもので別々にバイパスしてください。詳細は、3.0 章を参照してください。</p>
20, 21	AV <sub>SS</sub>		<p>アナログ電源グラウンド・ピン。AV<sub>SS</sub> および DV<sub>SS</sub> は ADC1173 のパッケージの近くで互いに一点接続してください。</p>

**絶対最大定格** (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (AV <sub>DD</sub> 、DV <sub>DD</sub> )	6.5V
各ピン電圧	- 0.3V ~ 6.5V
V <sub>RT</sub> 、V <sub>RB</sub> ピン電圧	AV <sub>DD</sub> ~ V <sub>SS</sub>
CLK、OE ピン電圧	- 0.5 ~ (AV <sub>DD</sub> + 0.5V)
デジタル出力電圧	DV <sub>SS</sub> ~ DV <sub>DD</sub>
入力電流 (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50mA
パッケージ消費電力 (T <sub>A</sub> = 25 )	(Note 4)
ESD 耐性 (Note 5)	
人体モデル	2000V
マシン・モデル	200V
ハンダ付け温度	
赤外線 (10 秒) (Note 6)	300
保存温度範囲	- 65 ~ + 150

**動作定格** (Note 1、2)

定格温度範囲	- 40	T <sub>A</sub>	+ 75
電源電圧 (AV <sub>DD</sub> 、DV <sub>DD</sub> )	+ 2.7V ~ + 3.6V		
グラウンド電圧差  AV <sub>SS</sub> - DV <sub>SS</sub>	0V ~ 100 mV		
上側基準電圧 V <sub>RT</sub>	1.0V ~ AV <sub>DD</sub>		
下側基準電圧 V <sub>RB</sub>	0V ~ 2.0V		
V <sub>RT</sub> - V <sub>RB</sub>	1.0V ~ 2.8V		
V <sub>IN</sub> 電圧範囲	V <sub>RB</sub> ~ V <sub>RT</sub>		

**コンバータ電氣的特性**

特記のない限り、以下の仕様は AV<sub>DD</sub> = DV<sub>DD</sub> = + 3.0V<sub>DC</sub>、 $\overline{OE}$  = 0V、V<sub>RT</sub> = + 2.0V、V<sub>RB</sub> = 0V、C<sub>L</sub> = 20pF、50%のデューティ・サイクルでの f<sub>CLK</sub> = 15MHz に対して適用されます。太文字表記のリミット値は T<sub>A</sub> = T<sub>J</sub> = T<sub>MIN</sub> ~ T<sub>MAX</sub> にわたって適用され、その他のすべてのリミット値は T<sub>A</sub> = T<sub>J</sub> = 25 に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits	Units
<b>DC Accuracy</b>					
INL	Integral Non Linearity		±0.5	<b>±1.3</b>	LSB ( max)
DNL	Differential Non Linearity		±0.4	<b>±0.85</b>	LSB ( max)
	Missing Codes			<b>0</b>	(max)
E <sub>OT</sub>	Top Offset		-12		mV
E <sub>OB</sub>	Bottom Offset		+1.0		mV
<b>Video Accuracy</b>					
DP	Differential Phase Error	f <sub>in</sub> = 3.58 MHz sine wave	0.5		Degree
DG	Differential Gain Error	f <sub>in</sub> = 3.58 MHz sine wave	1.5		%
<b>Analog Input and Reference Characteristics</b>					
V <sub>IN</sub>	Input Range		2.0	V <sub>RB</sub> V <sub>RT</sub>	V (min) V (max)
C <sub>IN</sub>	V <sub>IN</sub> Input Capacitance	V <sub>IN</sub> = 1.5V + 0.7Vrms	(CLK LOW) 4 (CLK HIGH) 11		pF
R <sub>IN</sub>	Input Resistance		>1		MΩ
BW	Analog Input Bandwidth		120		MHz
R <sub>RT</sub>	Top Reference Resistor		360		Ω
R <sub>REF</sub>	Reference Ladder Resistance	V <sub>RT</sub> to V <sub>RB</sub>	300	200 400	Ω (min) Ω (max)
R <sub>RB</sub>	Bottom Reference Resistor		90		Ω
I <sub>REF</sub>	Reference Ladder Current	V <sub>RT</sub> = V <sub>RTS</sub> , V <sub>RB</sub> = V <sub>RBS</sub>	4.2		mA
		V <sub>RT</sub> = V <sub>RTS</sub> , V <sub>RB</sub> = AV <sub>SS</sub>	4.8		mA
V <sub>RT</sub>	Reference Top Self Bias Voltage	V <sub>RT</sub> connected to V <sub>RTS</sub> V <sub>RB</sub> connected to V <sub>RBS</sub>	1.56	<b>1.45</b> <b>1.65</b>	V (min) V (max)
V <sub>RB</sub>	Reference Bottom Self Bias Voltage	V <sub>RT</sub> connected to V <sub>RTS</sub> V <sub>RB</sub> connected to V <sub>RBS</sub>	0.36	<b>0.32</b> <b>0.40</b>	V (min) V (max)

## コンバータ電気的特性 (つづき)

特記のない限り、以下の仕様は  $AV_{DD} = DV_{DD} = +3.0V_{DC}$ 、 $\overline{OE} = 0V$ 、 $V_{RT} = +2.0V$ 、 $V_{RB} = 0V$ 、 $C_L = 20pF$ 、50%のデューティ・サイクルでの  $f_{CLK} = 15MHz$  に対して適用されます。太文字表記のリミット値は  $T_A = T_J = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = T_J = 25$  に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits	Units
$V_{RTS} - V_{RBS}$	Self Bias Voltage Delta	$V_{RT}$ connected to $V_{RTS}$ , $V_{RB}$ connected to $V_{RBS}$	1.2	<b>1.1</b> <b>1.3</b>	$\mu A$ (min) $\mu A$ (max)
		$V_{RT}$ connected to $V_{RTS}$ , $V_{RB}$ connected to $V_{SS}$	1.38		V
$V_{RT} - V_{RB}$	Reference Voltage Delta		2	<b>1.0</b> <b><math>V_A</math></b>	V (min) V (max)
<b>Power Supply Characteristics</b>					
$I_{A_{DD}}$	Analog Supply Current	$DV_{DD} = AV_{DD} = 3.6V$	6.8		mA
$I_{D_{DD}}$	Digital Supply Current	$DV_{DD} = AV_{DD} = 3.6V$	2.3		mA
$I_{AV_{DD}} + I_{DV_{DD}}$	Total Operating Current	$DV_{DD} = AV_{DD} = 3.6V$ ,	9.1	<b>11.4</b>	mA
		$DV_{DD} = AV_{DD} = 3.6V$ , CLK Low (Note 10)	5.8		mA
	Power Consumption	$DV_{DD} = AV_{DD} = 3.6V$	33	<b>41</b>	mW
<b>CLK, <math>\overline{OE}</math> Digital Input Characteristics</b>					
$V_{IH}$	Logical High Input Voltage	$DV_{DD} = AV_{DD} = 3.6V$		<b>2.2</b>	V (min)
$V_{IL}$	Logical Low Input Voltage	$DV_{DD} = AV_{DD} = 3.6V$		<b>0.8</b>	V (max)
$I_{IH}$	Logical High Input Current	$V_{IH} = DV_{DD} = AV_{DD} = 3.6V$	5		$\mu A$
$I_{IL}$	Logic Low Input Current	$V_{IL} = 0V$ , $DV_{DD} = AV_{DD} = 3.6V$	-5		$\mu A$
$C_{IN}$	Logic Input Capacitance		5		pF
<b>Digital Output Characteristics</b>					
$V_{OH}$	High Level Output Voltage	$DV_{DD} = 2.7V$ , $I_{OH} = -360\mu A$	2.4		V (min)
		$DV_{DD} = 2.7V$ , $I_{OH} = -1.1mA$	2.1	<b>1.9</b>	V (min)
$V_{OL}$	Low Level Output Voltage	$DV_{DD} = 2.7V$ , $I_{OL} = 1.6mA$	0.32	<b>0.6</b>	V (max)
$I_{OZH}$ , $I_{OZL}$	TRI-STATE® Leakage Current	$DV_{DD} = 3.6V$ , $\overline{OE} = DV_{DD}$ , $V_{OL} = 0V$ or $V_{OH} = DV_{DD}$	$\pm 20$		$\mu A$
<b>AC Electrical Characteristics</b>					
$f_{C1}$	Maximum Conversion Rate		20	<b>15</b>	MHz (min)
$f_{C2}$	Minimum Conversion Rate		1		MHz
$t_{OD}$	Output Delay	CLK rise to data rising	28		ns
		CLK rise to data falling	24		ns
	Pipeline Delay (Latency)		2.5		Clock Cycles
$t_{DS}$	Sampling (Aperture) Delay	CLK low to acquisition of data	3		ns
$t_{AJ}$	Aperture Jitter		30		ps rms
$t_{OH}$	Output Hold Time	CLK high to data invalid	15		ns
$t_{EN}$	$\overline{OE}$ Low to Data Valid	Loaded as in Figure 2	22		ns
$t_{DIS}$	$\overline{OE}$ High to High Z State	Loaded as in Figure 2	12		ns
ENOB	Effective Number of Bits	$f_{IN} = 1.31$ MHz	7.7	<b>7.0</b>	Bits (min)
		$f_{IN} = 3.58$ MHz	7.6		
		$f_{IN} = 7.5$ MHz	7.4		
SINAD	Signal-to- Noise & Distortion	$f_{IN} = 1.31$ MHz	49	<b>43</b>	dB (min)
		$f_{IN} = 3.58$ MHz	47.7		
		$f_{IN} = 7.5$ MHz	46.5		
SNR	Signal-to-Noise Ratio	$f_{IN} = 1.31$ MHz	49	<b>44</b>	dB (min)
		$f_{IN} = 3.58$ MHz	48.7		
		$f_{IN} = 7.5$ MHz	48.0		

### コンバータ電気的特性 (つづき)

特記のない限り、以下の仕様は  $AV_{DD} = DV_{DD} = +3.0V_{DC}$ 、 $\overline{OE} = 0V$ 、 $V_{RT} = +2.0V$ 、 $V_{RB} = 0V$ 、 $C_L = 20pF$ 、50%のデューティ・サイクルでの  $f_{CLK} = 15MHz$  に対して適用されます。太文字表記のリミット値は  $T_A = T_J = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = T_J = 25$  に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits	Units
SFDR	Spurious Free Dynamic Range	$f_{IN} = 1.31 MHz$	65		dB
		$f_{IN} = 3.58 MHz$	55		
		$f_{IN} = 7.5 MHz$	51		
THD	Total Harmonic Distortion	$f_{IN} = 1.31 MHz$	-62		dB
		$f_{IN} = 3.58 MHz$	-54		
		$f_{IN} = 7.5 MHz$	-51		

**Note 1:** 「絶対最大定格」とは、IC に破壊が発生する可能性があるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様、試験条件については「電気的特性」を参照してください。保証された仕様は「電気的特性」に記載されている試験条件でのみ適用されます。デバイスが記載の試験条件下で動作しない場合、いくつかの性能特性が低下する場合があります。

**Note 2:** 特記のない限り、すべての電圧は  $GND = AV_{SS} = DV_{SS} = 0V$  を基準にして測定されています。

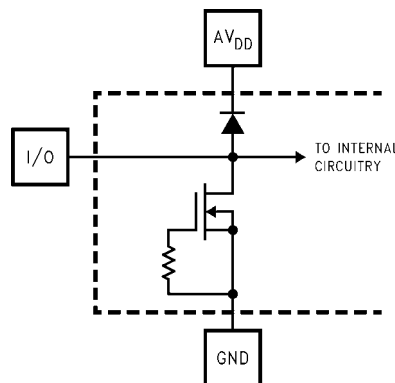
**Note 3:** いずれかのピンで入力電圧 ( $V_{IN}$ ) が電源電圧を超えた場合 (すなわち  $V_{IN} < AV_{SS}$ 、 $DV_{SS}$  または  $V_{IN} > AV_{DD}$ 、 $DV_{DD}$  のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流せるピン数は 2 本に制限されます。

**Note 4:** 温度上昇時の動作では、最大消費電力の定格を  $T_{jmax}$  (最大接合部温度: このデバイスの場合、 $T_{jmax}$  は 150 )、 $J_A$  (接合部・周囲温度間熱抵抗)、 $T_A$  (周囲温度) に従ってデレーティングしなければなりません。任意温度の最大許容消費電力は、 $P_{DMAX} = (T_{jmax} - T_A) / J_A$  または「絶対最大定格」で示される値のうち、いずれか低い方の値です。通常動作時のこのデバイスの消費電力は、接合部温度が上昇して問題が発生する消費電力よりずっと低い値です。上記の最大許容消費電力の値にまで上がる場合は、ADC1173 が何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

**Note 5:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通じて各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。

**Note 6:** その他の表面実装法については、アプリケーション・ノート AN-450 「スモール・アウトライン (SO) パッケージ表面実装と製品信頼性上における効果」またはナショナル・セミコンダクターの最新版データブックの「表面実装」の項を参照ください。

**Note 7:** アナログ入力は、以下に示すように保護されています。入力電圧が 6.5V 以下または GND の 500mV 以下の電圧まで振幅する場合にはデバイスが損傷を受けることはありません。しかし、入力電圧が  $AV_{DD} + 50mV$  以上または  $GND - 50mV$  以下になる場合には変換結果に誤差が生じる可能性があります。例えば、 $AV_{DD} = 2.7V_{DC}$  の場合、変換精度を確保するには入力電圧は  $2.75V_{DC}$  以下にする必要があります。



**Note 8:** 精度を保証するために、 $AV_{DD}$  および  $DV_{DD}$  電源ピンにはそれぞれ別個のバイパス・コンデンサを設けて同一電源に接続します。

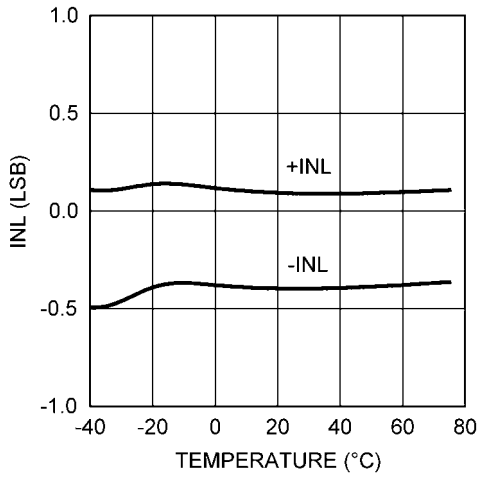
**Note 9:** 代表値 (Typical) は、 $T_J = T_A = +25$  で得られる最も標準的な数値です。テスト・リミット値はナショナル・セミコンダクターの平均出荷品質レベル AOQL (Average Outgoing Quality Level) に基づき保証されます。

**Note 10:** 電源投入直後 (パワーアップ直後) には、リファレンス・ラダー電流の過度電流による消費電力の増加を避けるため少なくとも 2 クロック・サイクルのクロック信号のストローブ動作を行ってください。詳細に関しては 4.0 章を参照してください。

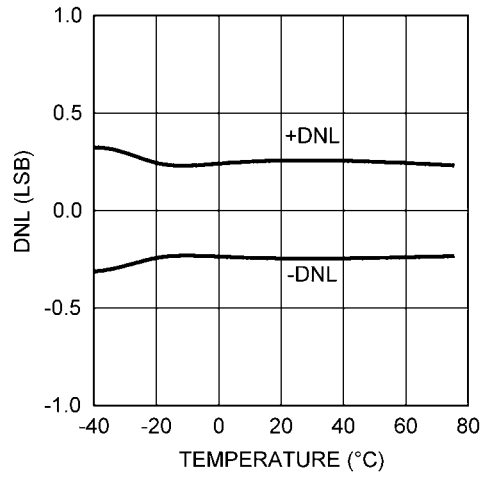


代表的な性能特性

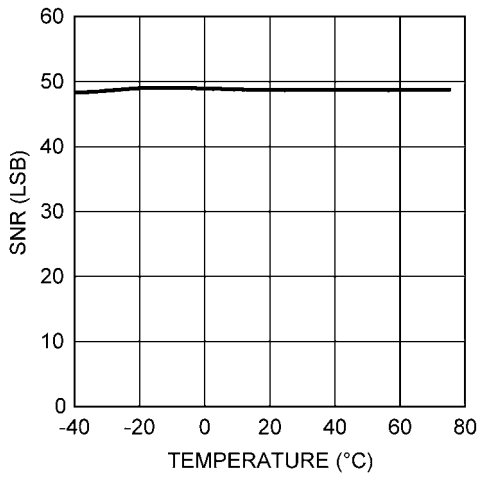
INL vs Temperature



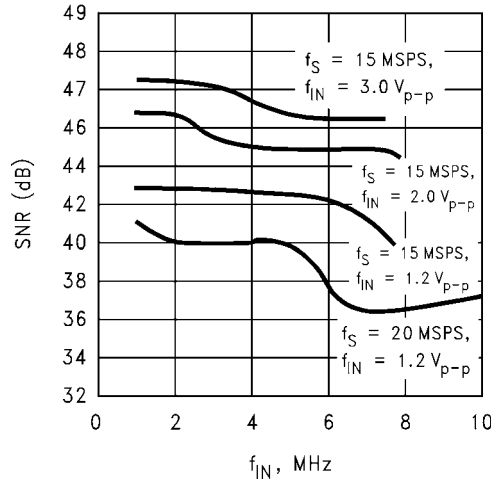
DNL vs Temperature



SNR vs Temperature

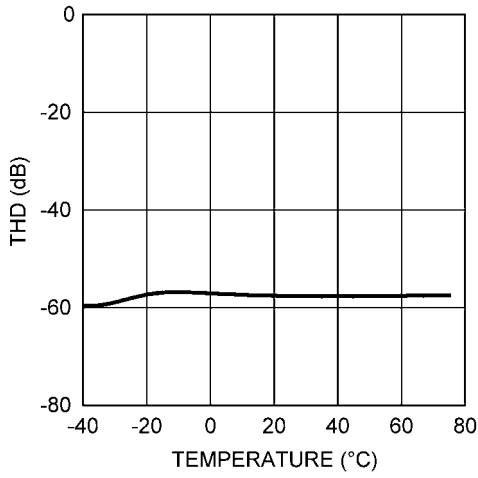


SNR vs  $f_{IN}$

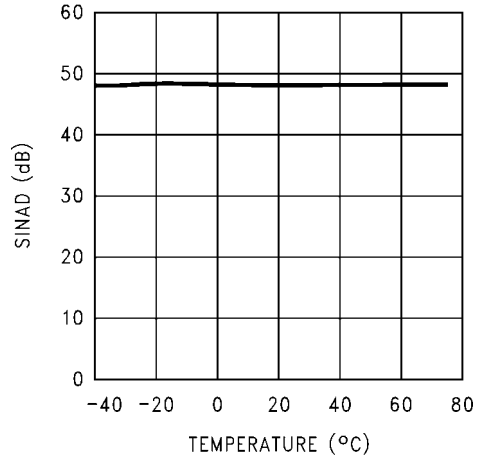


代表的な性能特性 (つづき)

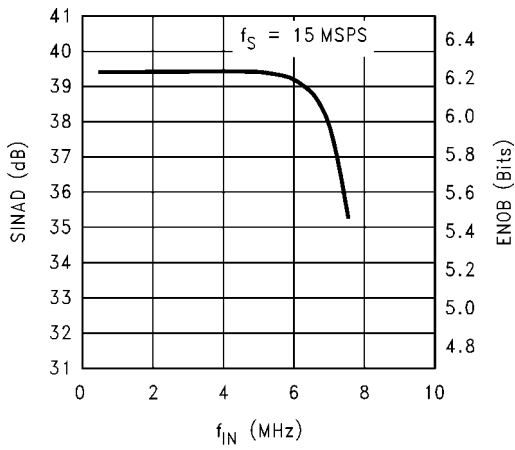
THD vs Temperature



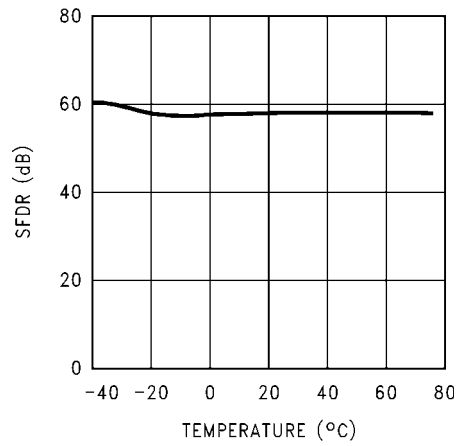
SINAD vs Temperature



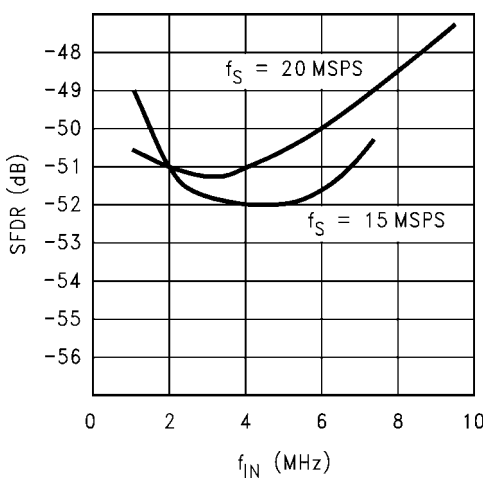
SINAD vs  $f_{IN}$



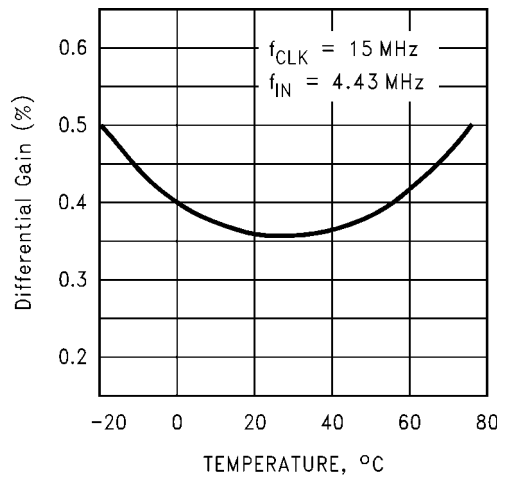
SFDR vs Temperature



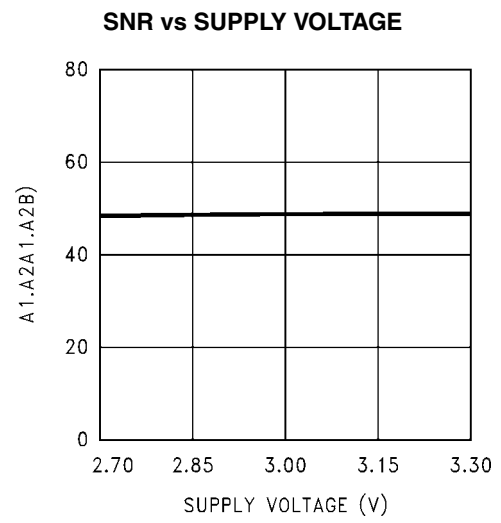
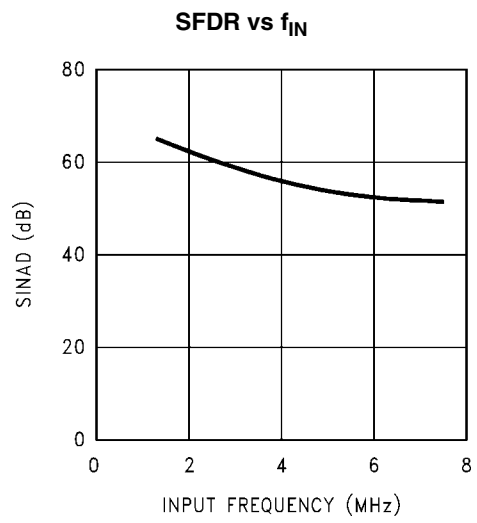
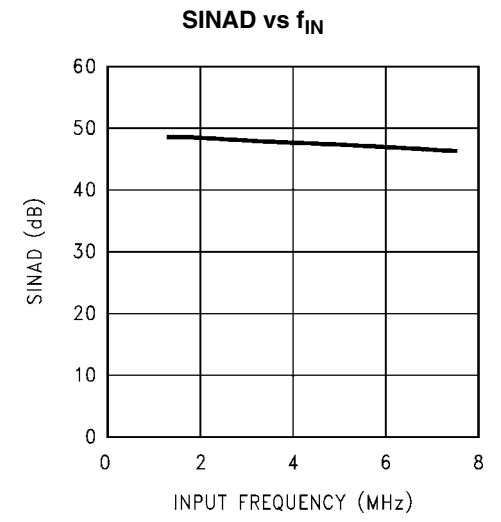
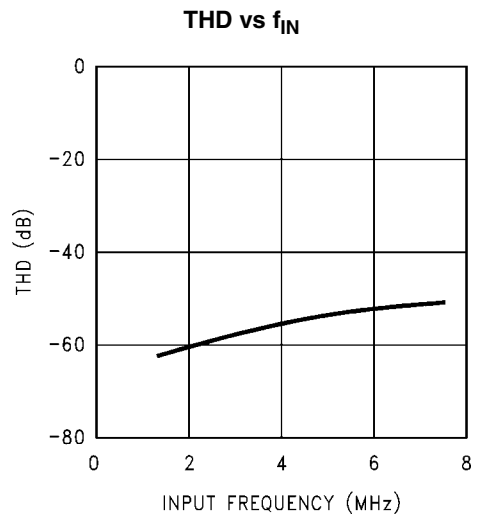
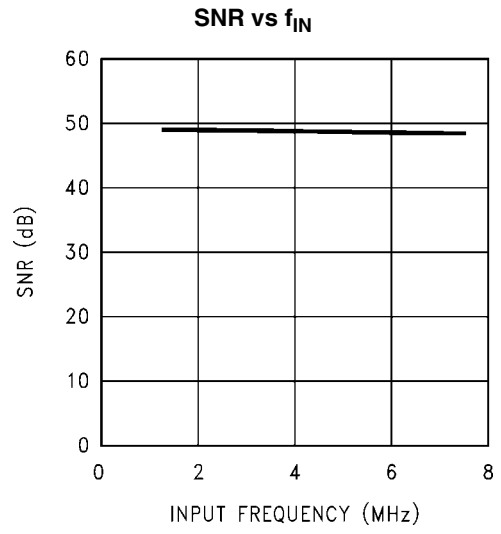
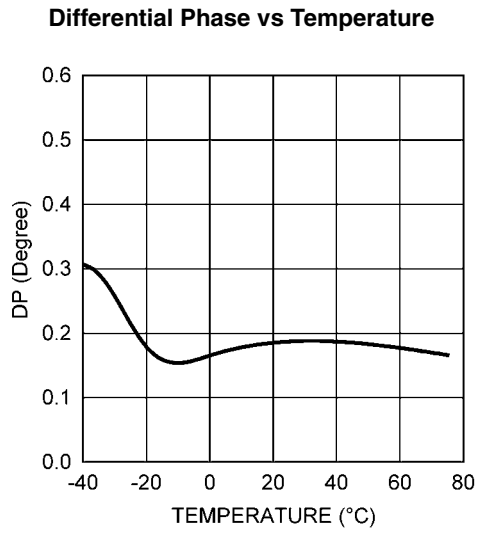
SFDR vs  $f_{IN}$



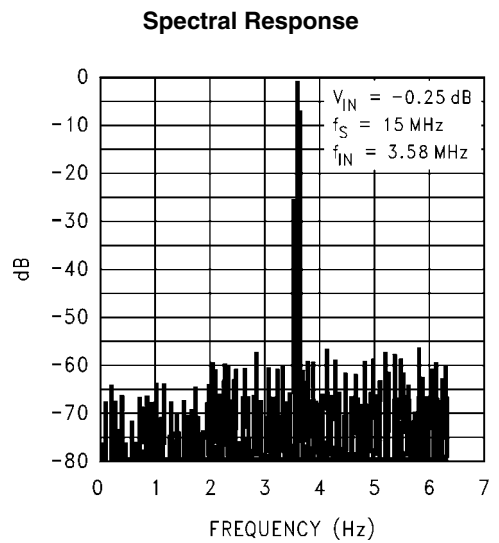
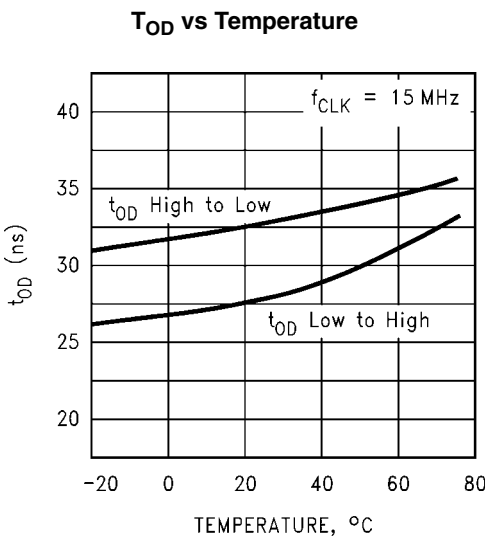
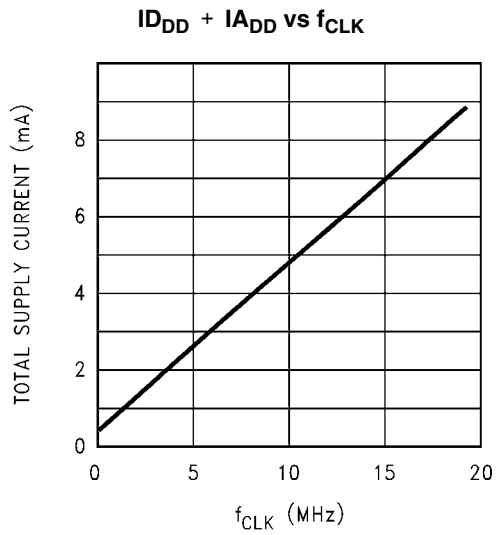
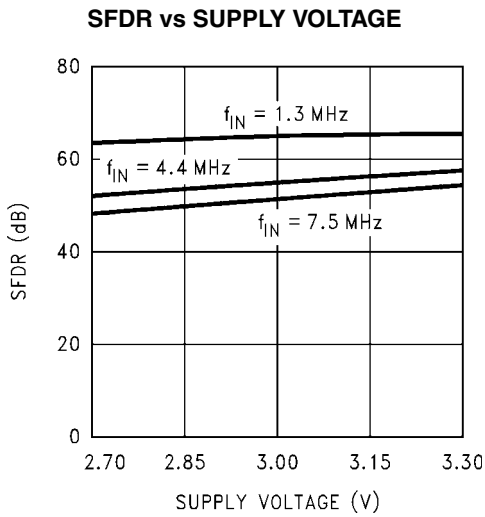
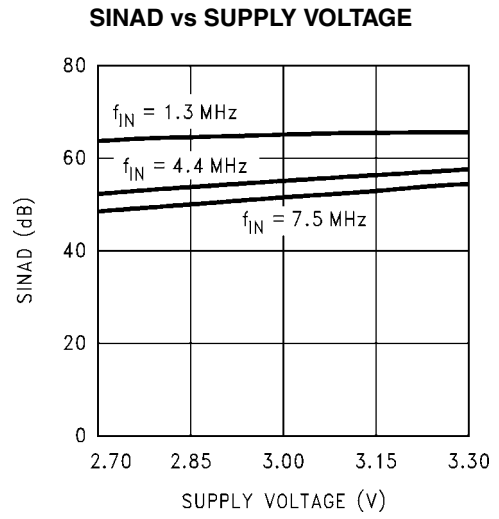
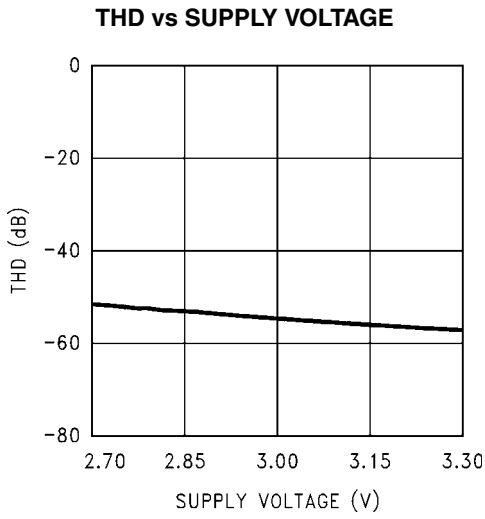
Differential Gain vs Temperature



代表的な性能特性 (つづき)



代表的な性能特性 (つづき)



## 用語の定義

アナログ入力帯域 (**ANALOG INPUT BANDWIDTH**) は、フルスケール入力に対して再現される出力基本周波数特性で、低周波数帯域に対して 3dB 落ちる周波数として測定されます。このテストは、 $f_{IN} = (100\text{kHz} + Nf_{CLK})$  の入力に対して実行されます。低周波信号入力時の出力に比較して出力が -3dB 落ちる時点の入力信号周波数は、フルパワー帯域幅として表されます。

アパーチャ・ジッタ (**APERTURE JITTER**) は、サンプリングされる点の不確定時間 ( $t_{DS}$ ) または、サンプリング・ディレイのばらつき期間を示します。

ボトム・オフセット (**BOTTOM OFFSET**) は、出力コードが最初のコード遷移を起こすときの入力電圧と負の基準電圧 (ボトムリファレンス電圧:  $V_{RB}$ ) との電圧差。ボトム・オフセットは、 $E_{OB} = V_{ZT} - V_{RB}$  として定義されます。ここで、 $V_{ZT}$  は最初のコード遷移が起こるときの入力電圧。これは、通常のゼロスケール・エラーとは異なることに注意してください。

微分利得誤差 (**DIFFERENTIAL GAIN ERROR**) は、異なった 2 つの DC レベルの入力に対して再現される高周波サイン波の出力差をパーセンテージで表したものです。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。

微分位相誤差 (**DIFFERENTIAL PHASE ERROR**) は、異なった 2 つの DC レベルの小信号サイン波入力に対して再現される出力の位相差として表されます。

有効ビット (**EFFECTIVE NUMBER OF BITS: ENOB**) は、信号/(ノイズ+歪み)比または SINAD の別の規定方法です。ENOB は  $(\text{SINAD} - 1.76)/6.02$  として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、ゼロスケール (最初のコード遷移の 1/2LSB 下) から正のフルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。エンド・ポイント・テスト法が用いられます。

出力ディレイ (**OUTPUT DELAY**) は、クロック入力の立ち上がりエッジから出力ピンにアップデートされたデータが現われるまでのディレイ時間。

出力ホールド時間 (**OUTPUT HOLD TIME**) は、クロック入力の立ち上がりエッジから出力データの読み出しが有効な期間を示します。

パイプライン・ディレイ (**PIPELINE DELAY: LATENCY**) は、変換開始からその変換結果が出力バスに有効になるまでの期間をクロック数で表したものです。新しいデータはすべてのブロック・サイクルで有効になりますが、データ変換にはパイプライン・ディレイによる遅延が生じます。

サンプリング・ディレイ (**SAMPLING (APERTURE) DELAY**) は、クロックの立ち上がりエッジから (内部サンプル・ホールド回路の) サンプリング・スイッチが開くまでに要する時間を表します。クロック入力の立ち上がりエッジの後、サンプル / ホールド回路は入力信号のキャプチャを停止し、「ホールド」モード  $t_{DS}$  に移行します。

信号 / ノイズ比 (**SIGNAL TO NOISE RATIO: SNR**) は、クロック信号の 1/2 以下の周波数における歪みと DC 成分を除いた、その他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

信号 / (ノイズ + 歪み) 比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) or SINAD**) は、クロック信号の 1/2 以下の周波数における歪みを含め DC 成分を除いた、その他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアスフリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE: SFDR**) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入力に現われるものではありません。

トップ・オフセット (**TOP OFFSET**) は、出力コードがフルスケール遷移を起こすときの入力電圧と正の基準電圧 (トップ・リファレンス電圧:  $V_{RT}$ ) との電圧差。ボトム・オフセットは、 $E_{OT} = V_{FT} - V_{RT}$  として定義されます。 $V_{FT}$  はフルスケール遷移が起こるときの入力電圧。これは、通常のフルスケール誤差とは異なることに注意してください。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、最初から第 6 番目までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で示されます。

タイミング図

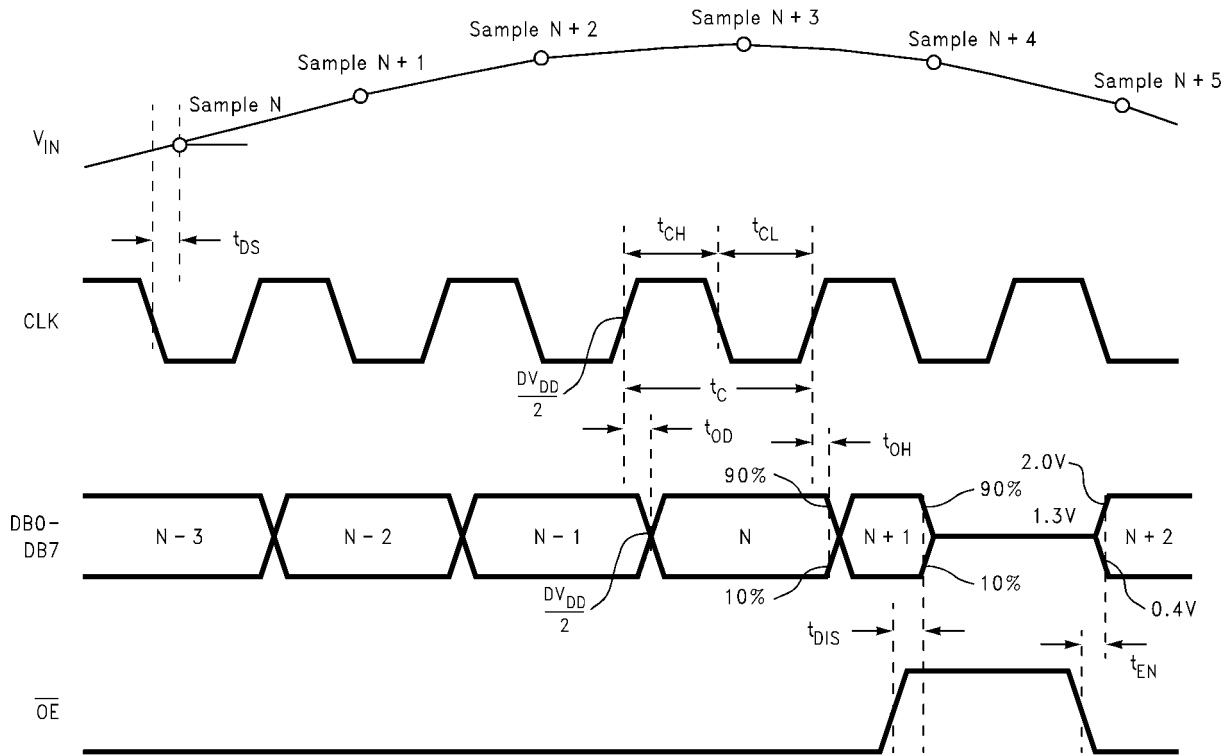
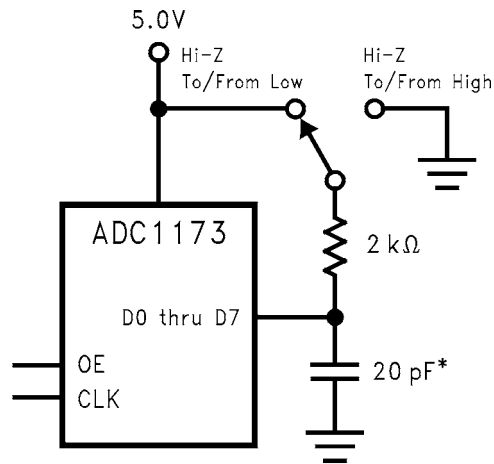


FIGURE 1. Timing Diagram



\* Includes stray and distributed capacitance

FIGURE 2.  $t_{EN}$ ,  $t_{DIS}$  Test Circuit

## 機能説明

ADC1173 は、新しい独特のアーキテクチャを採用により、クロック周波数の 1/2 の入力周波数 (ナイキスト周波数) で 7.4 ビットの有効ビットを実現すると同時に、この周波数まで優れたダイナミック特性を維持します。

$V_{IN}$  へのアナログ入力信号は、 $V_{RT}$  と  $V_{RB}$  で設定される電圧範囲内で最大 20MSPS までのクロック・レートで 8 ビットの 2 値コードにデジタル化されます。 $V_{RB}$  以下の入力電圧は、すべてが 0 からなる出力コードに変換されます。 $V_{RT}$  以上の入力電圧は、すべてが 1 からなる出力コードに変換されます。 $V_{RT}$  は、1.0V からアナログ電源電圧  $AV_{DD}$  までの範囲をもち、一方  $V_{RB}$  は、0 ~ 2.0V の範囲を持ちます。精度を維持するために  $V_{RT}$  は、常に少なくとも  $V_{RB}$  より 1.0V 以上の電圧に設定してください。

$V_{RT}$  と  $V_{RTS}$  が互いに接続され、 $V_{RB}$  と  $V_{RBS}$  が互いに接続される場合は、 $V_{RT}$ 、 $V_{RB}$  の公称値はそれぞれ 1.56V および 0.36V になります。 $V_{RT}$  と  $V_{RTS}$  が互いに接続され、 $V_{RB}$  が GND に接続される場合は、 $V_{RT}$  の公称値は 1.38V になります。

データはクロックの立ち下がりエッジで取り込まれ、このデータに対応するデジタル・パイプライン・ディレイは (2.5 クロック・サイクル +  $t_{OD}$ ) 後にデジタル出力ピンで有効になります。ADC1173 は、12 番ピンにクロックが入力される限り変換をします。出力イネーブル・ピン  $\overline{OE}$  は、Low の時にデジタル出力ピンをイネーブルします ( $\overline{OE}$  はアクティブ Low ピン)。  $\overline{OE}$  が High の場合は、デジタル出力ピンは高インピーダンス状態になります。

## アプリケーション情報

### 1.0 アナログ入力

ADC1173 のアナログ入力回路は、積分器に続くスイッチになっています。入力容量は、クロックのレベルに応じて変わり、クロックが Low の場合には 4pF になり、クロックが High の場合には 11pF になります。一般的に、ダイナミック・キャパシタンスは、一定のキャパシタンスより先ドライブするのが困難なので、このタイプのキャパシタンスをドライブすることの可能なオペアンプを選択する必要があります。LMH6702、LMH6609、LM6152、LM6154、LM6181、

LM6182 は、ADC1173 のアナログ入力をドライブするのに最適なデバイスです。電源電圧以上の入力をドライブしないでください。

Figure 3 に、LM6181 を使用した入力回路の例を示します。この回路では、ゲインおよびオフセットの調整がなされます。これらの調整を行わない場合には、各システム・コンポーネントの公称許容値に依存する ADC1173 出力のクリッピングを回避するために、信号振幅を減少する必要があります。調整されない場合のアンプ・フィードバック抵抗の公称値は 510  $\Omega$  であり、反転入力における 5.1k  $\Omega$  の抵抗を 860  $\Omega$  に変え、オフセット調整分圧器ではなく +3V に接続します。

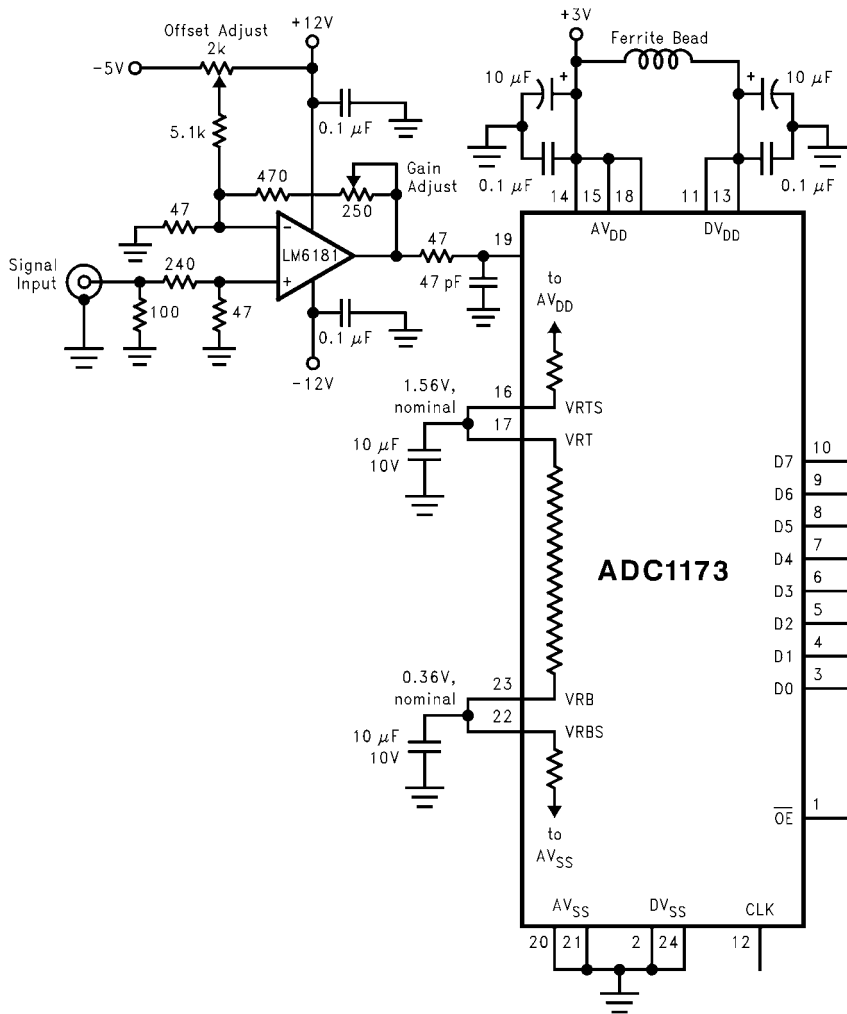
最大 2.8V<sub>P-P</sub> の入力信号でアナログ入力をドライブすると、 $V_{RT}$  を超える電圧が FFh のコード、 $V_{RB}$  を下回る入力電圧が出力コードゼロになる通常動作になります。入力信号が 2.8V<sub>P-P</sub> を超えると、動作が不安定になり、入力が  $V_{RT}$  を超えても、出力コードが FFh ではなくなります。

### 2.0 リファレンス入力

リファレンス入力  $V_{RT}$  および  $V_{RB}$  は、リファレンス・ラダーのトップとボトムです。これらの 2 ピン間の範囲の入力信号が 8 ビットのコードにデジタル化されます。これらのリファレンス入力ピンに外部電圧を印加する場合には、動作定格で規定されている範囲内 ( $V_{RT}$  は 1.0V ~  $AV_{DD}$ 、 $V_{RB}$  は 0 ~ ( $AV_{DD}$  - 1.0V) の範囲) に抑えてください。このとき使われるデバイスは、 $V_{RT}$  へのソース電流および  $V_{RB}$  からのシンク電流を十分にドライブできるものを選択してください。

リファレンス・ラダーは、 $V_{CC} = AV_{DD} = 3.0V$  の電源電圧で  $V_{RT}$  と  $V_{RTS}$  を接続し、 $V_{RB}$  と  $V_{RBS}$  を接続することでそれぞれ約 1.56V と 0.36V のトップおよびボトムのリファレンス電圧にセルフバイアスが可能です。この接続図を Figure 3 に示します。 $V_{RT}$  と  $V_{RTS}$  を互いに接続し、 $V_{RB}$  を GND に接続する場合には、約 1.38V のリファレンス・トップ電圧が生成されます。リファレンスのトップとボトムは、リファレンス・ピンのできる限り近くに配置された 10  $\mu$ F のタンタル・コンデンサによってそれぞれバイパスしてください。

アプリケーション情報 (つづき)



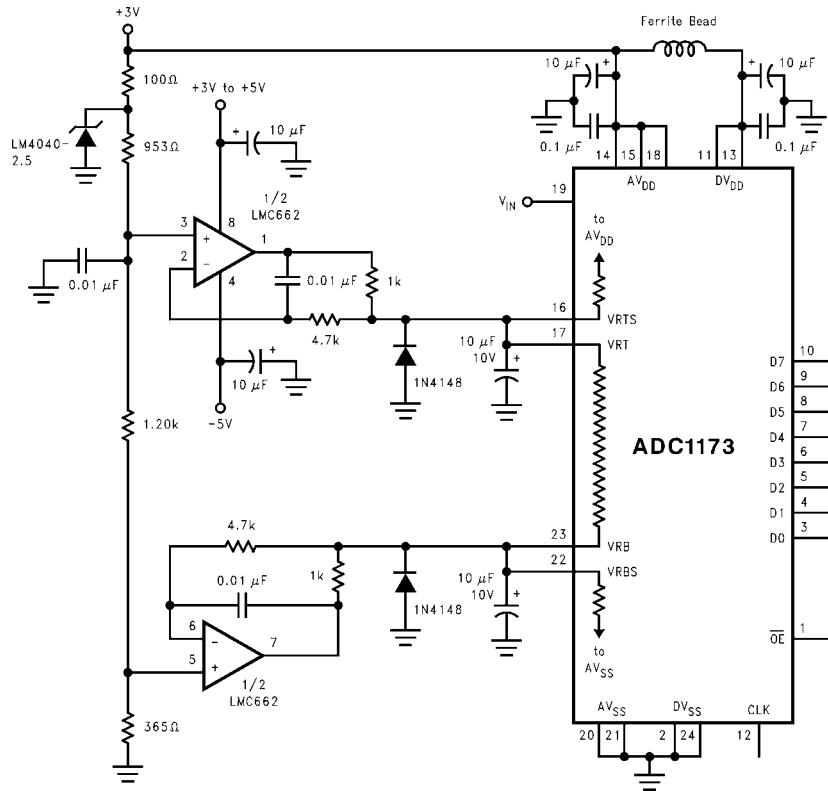
**FIGURE 3. Simple, Low Component Count, Self-Bias Reference application. Because of resistor tolerances, the reference voltages can vary by as much as 6%. Choose an amplifier that can drive a dynamic capacitance (see text).**

Figure 3 のリファレンス・セルフ・バイアス回路は、非常に単純でさまざまなアプリケーションで最適な性能を実現します。一般的には、低インピーダンスのソースでそれぞれのリファレンス・ピンをドライブすると、より優れた性能を実現できます。ここで、トータル・リファレンス電圧 ( $V_{RT} - V_{RTS}$ ) は、ちょうど 1.2V になることに注意してください。この低いリファレンス電圧では、より高いリファレンス電圧で得られるのと同じダイナミック特性を得ることはできません。

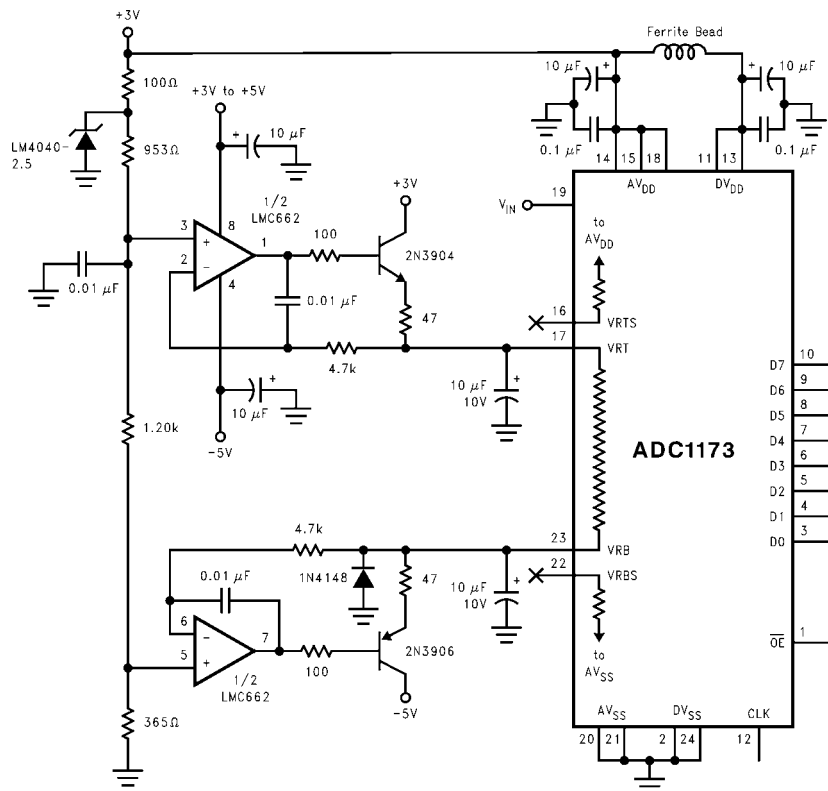
Figure 4 に示されるようにリファレンス・ラダーのトップとボトムで若干の電流を流し込んだり、流し出すと、トップ・リファレンスおよびボトム・リファレンスそれぞれの電圧をトリミングできます。アンプの入力に抵抗分圧器を設ければ、ポテンショメータとの代替が可能です。図に示されている LMC662 は低オフセット電圧かつ低コストのオプ・アンプとしてこの用途に選択されています。必要なリファレンス電圧をトリミングするのに (シンクさせるのに) アンプの出力は若干負の方向にドライブする必要があるため、これらのアンプには負電源が必要になることに注意してください。



アプリケーション情報 (つぎ)



**FIGURE 4. Better defining the ADC Reference Voltage. Self-bias is still used, but the reference voltages are trimmed by providing a small trim current with the operational amplifiers.**



**FIGURE 5. Driving the reference to force desired values requires driving with a low impedance source, provided by the transistors. Note that pins 16 and 22 are not connected.**

## アプリケーション情報 (つづき)

リファレンス電圧が、セルフバイアス電圧より数十 mV 以上異なった電圧値の設定が必要な場合は、Figure 5 の回路により所望のレベルにリファレンス電圧をトリミングできます。トランジスタのソース・インピーダンスが低いいため、この回路は最高の性能を得られます。 $V_{RTS}$  と  $V_{RBS}$  は未接続の電氣的に浮かした状態にしてください。

$V_{RT}$  は、 $V_{RB} + 1.0V$  からアナログ電源電圧の間の任意の電圧に設定でき、 $V_{RB}$  は、グラウンドから  $V_{RT} - 1.0V$  の間の任意の電圧に設定できます。ノイズの影響を最小限に抑えて変換精度を維持するために、リファレンス電圧範囲 ( $V_{RT} - V_{RB}$ ) は、 $1.0V$  (最小) から  $AV_{DD}$  (最大) の範囲に設定してください。 $V_{RT} = 1.56V$  および  $V_{RB} = 0.36V$  の条件で最高の性能が実現できます。 $V_{RB}$  をおよそ  $+700mV$  以下にする必要がない場合は、Figure 5 の  $-5V$  の点はグラウンドに接続し、負電源を省略することができます。

### 3.0 電源構成の考慮事項

たいいていの A/D コンバータは、適切なバイパスがされていないとデバイス自身の電源により、性能を劣化させる非常に大きなランジェント電流が流れます。A/D コンバータの電源ピンのできる限り近くに配置された  $0.1\mu F$  のセラミック・コンデンサとともに、 $10\mu F$  のタンタル・コンデンサまたはアルミニウム電解コンデンサを A/D コンバータの電源ピンから 1 インチ (約 2.5 センチ) 以内に配置してください。リードレス・チップ・コンデンサは、低リード・インダクタンスなので望ましい選択です。

ADC1173 のアナログ電源、デジタル電源には単一の電源から供給してください。これらの電源ピンは、いかなるデジタル・ノイズもアナログ電源ピンにカップリングされないようにそれぞれのピンを十分にアイソレートしてください。Figure 3 ~ 5 に示すように、アナログ電源ピンの近くに配置したセラミック・コンデンサとともに、アナログ電源ラインとデジタル電源ラインの間に 47 の抵抗を用いることを推奨します。アナログ電源ラインにインダクタンスの使用は避けてください。

コンバータのデジタル電源は、基板の上の別のデジタル回路に使われている電源から供給しないでください。A/D コンバータのアナログ電源に使われている同一の電源から供給してください。

あらゆる高速の A/D コンバータを使用する場合に言えますが、ADC1173 は若干の電源変動を持つと予想されます。特に、 $V_{RT}$  と  $V_{RTS}$  を互いに接続するセルフバイアスを行う場合です。

いかなるピンもトランジエントによる変動時でも、電源電圧以上やグラウンド以下になる電圧が印加されないようにしてください。これは回路に供給する電源アプリケーションに依存する問題です。CLK 入力、OE 入力、アナログ入力、リファレンス入力が ADC1173 の電源ピンの電圧が立ち上がるより先速く立ち上がらない回路に設計されているかを確認してください。

ピン 11 とピン 13 にはいずれも  $DV_{DD}$  と記載されています。ピン 11 は A/D コンバータのデジタル・コアの電源ピンであり、ピン 13 は A/D コンバータの出力ドライバへの電力供給用のみ使用します。そのため、ピン 11 は  $AV_{DD}$  および  $DV_{DD}$  に使用する  $+5V$  未満の電源に接続し、低電圧のデバイスと容易にインタフェースがとれます。ピン 11 は、ピン 13 の電位を  $0.5V$  以上超えてはなりません。 $t_{OD}$  はピン 11 の電圧を低くすると長くなります。

### 4.0 ADC1173 のクロック

ADC1173 は、 $15MHz$  のクロックでのみテストされかつ性能が保証されていますが、 $1MHz \sim 20MHz$  の範囲のクロック周波数で動作します。

連続的な変換が必要ない場合には、ADC1173 を使用しない期間クロックをロジック Low の状態に止めると多少の消費電力を低減できます。これにより、 $2.3mA$  の代表値から約  $100\mu A$  まで ADC1173 のデジタル回路の電流ドレインを低減します。

パワーアップ時には、リファレンス・ラダーでの電流が通常の約  $170\%$  にまで増加するために、クロックを止めた状態で ADC1173 をパワーアップすると、この期間の消費電力は下がらないことに注意してください。場合によっては、これによりラダー電流が規定のリミット値より先増加する場合があります。ただし、この瞬間的なラダー電流の増加に伴ってデバイスの破損はありません。パワーアップ時に  $1MHz$  以上のクロックを 2 クロック・サイクル分ストロープし、Low に戻せば過度のラダー電流をなくすることができます。

別の消費電力を低減する手法として、クロックをアクティブの状態では ADC1173 をパワーアップさせ、2 クロック・サイクル後クロックを Low の状態に停止する方法があります。クロックを High の状態に停止するのは電力を低減する手法としては推奨できません。

### 5.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。グラウンド・プレーンをアナログとデジタルに分けて ADC1173 の下で接続することもできますが、EMI の観点では単一のグラウンド・プレーンとするのが最良の方法です。ただし、アナログ信号ラインをデジタル信号ラインから分離すること、電源電流から分離することは重要です。後者の要件では、電源プレーンの分離と配置に注意が必要となります。容量が集中すると高い周波数が適切にフィルタリングされないため、電源プレーンの代わりに電源トレースを使用するのは推奨しません。高周波ノイズをフィルタするには、電源プレーンとグラウンド・プレーンの間に十分な容量が必要です。

アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを分ける場合は、アナログ・グラウンドとデジタル・グラウンドを同じ層に配置しますが、互いに分離する必要があります。アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを分ける場合は、決して重なり合わないようにします。

ノイズの多いデジタル・グラウンド・プレーンとノイズに敏感なアナログ回路との間の容量性のカップリングにより、アイソレートや回復するには不可能な乏しい性能につながります。この解決方法は、アナログ回路をデジタル回路やデジタル・グラウンド・プレーンから十分に分離させたレイアウトを行うことです。

デジタル回路は非常に大きな電源トランジエントやグラウンド・トランジエントを生じます。このようなロジック・ノイズがシステムのノイズ特性に大きく影響を及ぼします。A/D コンバータを備えたシステムに使用するのに最適なロジック・ファミリは、74HC (T) や 74AC (T) Q ファミリのようなノン・サチュレーション・トランジスタ (不飽和トランジスタ) を採用しているか低ノイズ特性のものです。最も良くないノイズの発生源は、74F や 74AC (T) ファミリのクロック時や信号エッジでの電源電流トランジエントが大きなファミリです。一般的に、74LS や 74HC (T) のような遅いロジック・ファミリは、高速ロジック・ファミリが発生する高周波ノイズより先少ないです。

デジタル・スイッチング・トランジエント (デジタル回路の瞬時的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはあまり影響がありません。これは、薄膜効果によるためです。グラウンド・プレーンの量より先総表面積の方がより重要です。

効果的にグラウンド・ノイズを制御する 1 つの方法は、単一のグラウンド・プレーンを使用し、電源プレーンをアナログ領域とデジタル領域に分割し、電源プレーンとグラウンド・プレーンを隣接する基板層に配置することです。基板の電源層とグラウンド・プレーンの中には配線パターンを形成しません。アナログ電源プレーンとデジタル電源プレーンは同じ基板層に配置し、互いに重なり合わないようにします。アナログ電源プレーンとデジタル電源プレーンが、基板のアナログ領域とデジタル領域の範囲を規定します。

## アプリケーション情報 (つづき)

一般的な配線テクニックとして、アナログ信号ラインとデジタル信号ラインは、アナログ信号経路にデジタル・ノイズがのらないように90°で互いに交差させます。しかし、ビデオ (高周波) システムでは、アナログ信号ラインとデジタル信号ラインの互いが交差する配線は避けなければなりません。クロック・ラインは、アナログ信号ラインやデジタル信号ラインなどすべてのその他のラインからアイソレートしてください。一般的に受け入れられている90°でアナログ/デジタル信号ラインを互いに交差させる方法でさえ、高周波でのちょっとしたカップリングによって問題が起こる可能性があるのを避けるべきです。高周波/高分解能で最大限の性能は、まっすぐの信号経路に配線すれば得られます。

インダクタのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、たとえそれぞれの個体の大きさが小さくても並べたり、近い配置にせず、互いを離れた状態で使用してください。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力、ノイズの多い信号経路から十分にアイソレートしてください。コンバータの入力とアナログ・グラウンドとの間に接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の非常にクリーンな点に接続してください。

### 6.0 ダイナミック特性

ADC1173 は AC テストされており、ダイナミック特性が保証されています。規定されている特性値を満足するために、CLK 入力をドライブするクロック信号源はジッタのないものでなければなりません。最高の AC 特性を得るために、Figure 6 に示されるような適当なバッファを用いてクロック・ツリーを構成し、A/D のクロック信号をその他のデジタル回路からアイソレートしなければなりません。

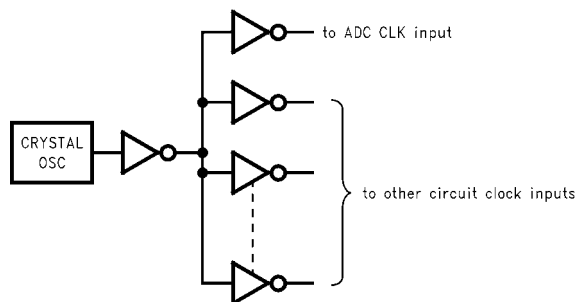


FIGURE 6. Isolating the ADC clock from Digital Circuitry.

A/D クロック・ラインをできる限り短かつその他の任意の信号から十分に離して置くことは、良い手段です。他の信号によってクロック信号にジッタが発生する可能性があります。

### 7.0 アプリケーション共通の注意事項

電源範囲をこえてアナログまたはデジタル入力をドライブしないこと  
適当な動作を行うために、すべての入力は、グラウンド・ピンより50mV以下または、電源ピンより50mV以上にならないようにしてください。トランジェントによる場合でもこれらのリミット値を超えると、

システムにとって良くない状態や誤差を招く可能性があります。グラウンド以下に1V以上もアンダーシュートを起こす高速デジタル回路 (例えば、74F や 74AC などのファミリ・デバイス) は、一般的ではありません。A/D コンバータのデジタル入力に50Ωの直列抵抗を挿入すれば、通常この問題は取り除けます。

ADC1173 の入力をオーバー・ドライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと  
デジタル出力ドライバ回路が各変換毎に充電する容量性負荷が大きくなればなるほど、 $DV_{DD}$  や  $DV_{SS}$  からより大きな瞬間的なデジタル電流が必要となります。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。ドライブされるデータ・バスが非常に重い負荷の場合には、デジタル・データ出力を (例えば、74ACQ541 で) バッファリングすることが必要になります。また、各デジタル出力に47Ω~100Ωの直列抵抗を加えると、コンバータの出力に戻ってくるカップリング信号のエネルギーを低減し、ダイナミック特性を改善できます。

不適当なアンプを使ってアナログ入力をドライブしないこと  
1.0 章に説明されているように、アナログ入力は、等価的にクロック・レベルに応じて4pF~11pFの間で変化するキャパシタンス (コンデンサ) に見えます。このダイナミック・キャパシタンスは、一定のキャパシタンスをドライブするより先困難で、ドライブするデバイスの選択を考慮する必要があります。LMH6702、LM6152、LM6154、LM6181、LM6182 は ADC1173 の入力をドライブするのに優れたデバイスです。

リファレンス・ラダー回路に必要な電流のソースおよびシンクができないデバイスで  $V_{RT}$  または  $V_{RB}$  をドライブしないこと  
2.0 章で述べたように、 $V_{RT}$  ピンへのソース電流および  $V_{RB}$  ピンからのシンク電流を十分にドライブできるデバイスであることを確認しなければなりません。これらのピンが、必要な電流を制御できるデバイスでドライブしない場合には、これらのリファレンス・ピンは安定せず、結果としてダイナミック特性の劣化を招きます。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと  
この場合には、サンプリング間隔が変化し、過度の出力ノイズを発生し、かつ SN 比の劣化を招きます。RC によるタイミング回路を用いた単純なゲート回路は、一般的にクロック信号源としては適切ではありません。

入力テスト信号は、ダイナミック SN 比の測定で干渉対象になる高調波を含ませないこと  
高調波やその他の干渉信号は、信号入力にフィルタを挿入すれば、取り除けます。Figure 7、8 に適当なフィルタ回路を示します。Figure 7 の回路は、約 5.5MHz のカットオフ周波数を持ち、1MHz~5MHz の入力周波数に対して最適です。Figure 8 の回路は、約 11MHz のカットオフ周波数を持ち、5MHz~10MHz の入力周波数に対して最適です。これらのフィルタは 75Ωの信号源抵抗を備えた信号発生器でドライブし、75Ωの抵抗で終端してください。

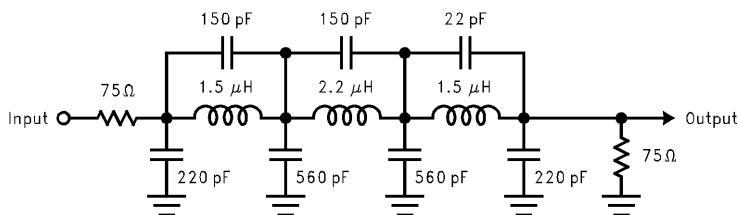
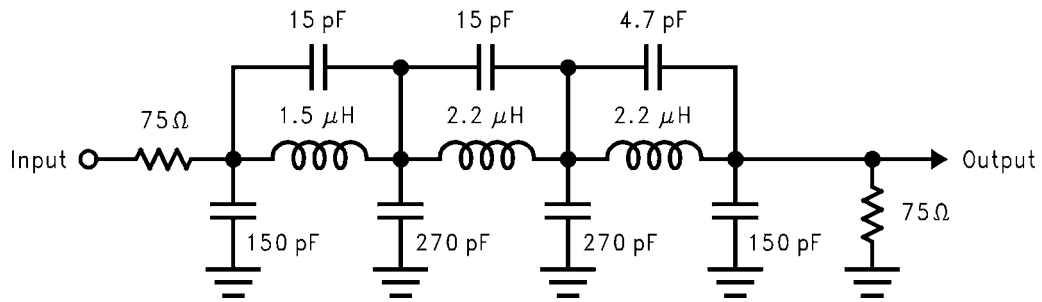


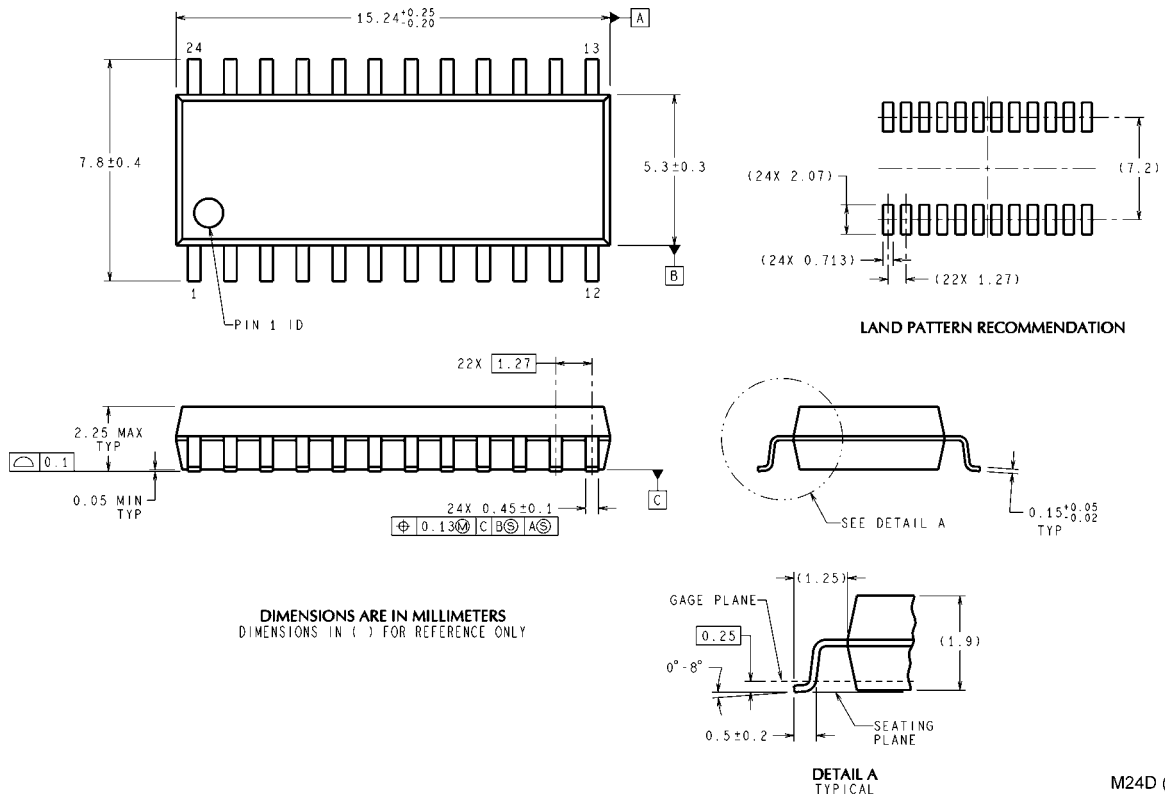
FIGURE 7. 5.5 MHz Low Pass Filter to Eliminate Harmonics at the Signal Input.

## アプリケーション情報 (つづき)



**FIGURE 8. 11 MHz Low Pass filter to eliminate harmonics at the signal input.  
Use at input frequencies of 5 MHz to 10 MHz**

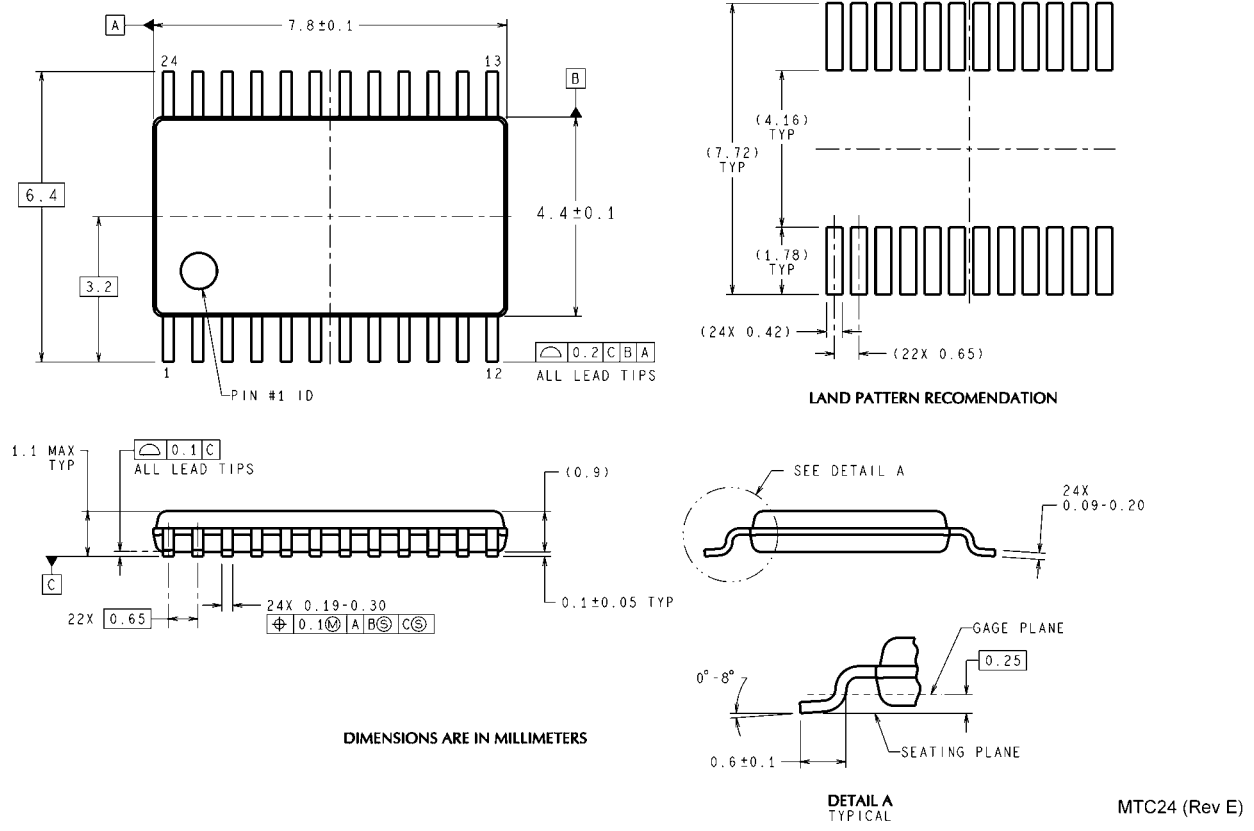
外形寸法図 単位は millimeters



24-Lead Package JM  
Ordering Number ADC1173CIJM  
NS Package Number M24D

M24D (Rev B)

外形寸法図 単位は millimeters (つぎ)



**24-Lead Package TC**  
**Ordering Number ADC1173CIMTC**  
**NS Package Number MTC24**

MTC24 (Rev E)

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

**生命維持装置への使用について**

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation  
 製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

**ナショナル セミコンダクター ジャパン株式会社**

本社 / 〒 135-0042 東京都江東区木場 2-17-16      TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。      [www.national.com/jpn/](http://www.national.com/jpn/)

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上