

DS90LV110T

DS90LV110T 1 to 10 LVDS Data/Clock Distributor



Literature Number: JAJ708

1:10 LVDS データ/クロック分配器

概要

DS90LV110 は、LVDS (Low Voltage Differential Signaling) 技術を採用した、低電力で高速動作の 1:10 データ/クロック分配器です。データ・パスは、ノイズの発生とパルス幅歪みを抑えるために、入力から出力まですべて差動回路で構成されています。このような設計により、1 つの入力ビットから 10 個の出力ビットすべてへの接続が可能です。また、LVDS による入出力により、一対一接続で高速なデータ転送が可能になります。このデバイスは、高速の差動 1:10 信号分配 / ファンアウトとして使用でき、信号品質の向上した高速リンク用にマルチドロップ・バス・アプリケーションを置き換えられます。また、最高 400MHz のクロック分配にも使用できます。

DS90LV110 は、LVDS レベルまたは LVPECL レベルであれば直接入力でき、また PECL レベルの信号はアッテネータを介することでインタフェース可能です。

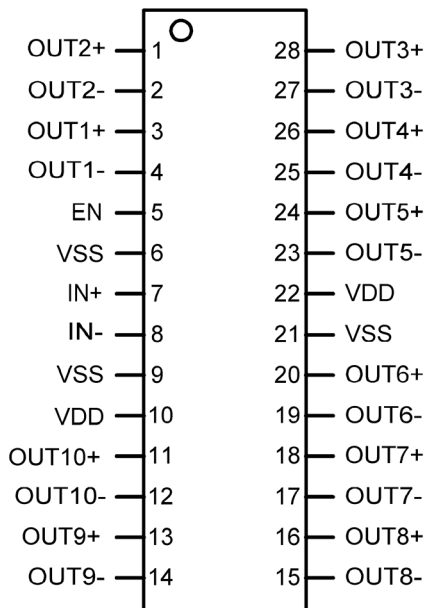
さらに、LVDS 出力は、イネーブル・ピンを用いて TRI-STATE[®] 状態にできます。

詳細は「アプリケーション情報」を参照してください。

特長

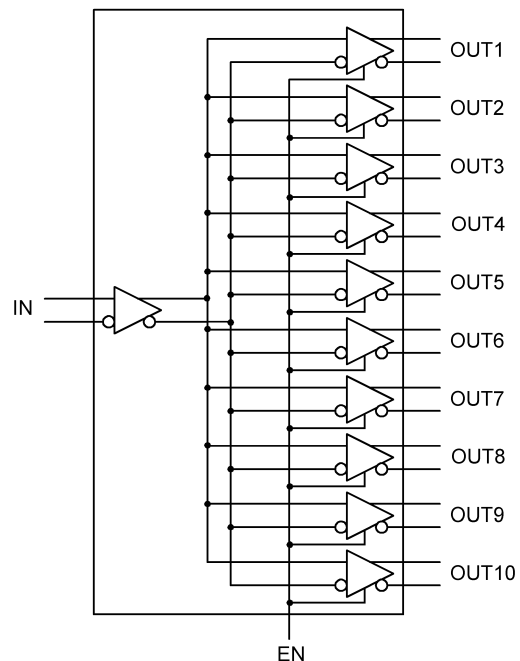
- 800Mbps の低ジッタ完全差動データ・パス
- 800Mbps における疑似ランダム・ビット列 PRBS = $2^{23} - 1$ データ・パターンでのピーク・ツー・ピーク・ジッタ 145ps (typ)
- + 3.3V 単一電源
- 消費電力 413mW (typ) 以下
- 平衡出力インピーダンス
- 出力チャンネル間スキュー 35ps (typ)
- 差動出力電圧 (V_{OD}) は終端負荷 100Ω で 320mV (typ)
- LVPECL 信号入力可能な LVDS レシーバ
- 2.8ns (typ) の高速な伝搬遅延時間
- $\pm 100\text{mV}$ 以下のレシーバ入力スレッショルド
- 28 ピン TSSOP パッケージ
- ANSI/TIA/EIA-644 の LVDS 規格に適合

ピン配置図



Order Number DS90LV110ATMT
See NS Package Number MTC28

ブロック図



絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 ($V_{DD} - V_{SS}$)	- 0.3V ~ + 4V
LVCMOS/LVTTL 入力電圧 (EN)	- 0.3V ~ ($V_{CC} + 0.3V$)
LVDS レシーバ入力電圧 (IN +, IN -)	- 0.3V ~ + 4V
LVDS ドライバ出力電圧 (OUT +, OUT -)	- 0.3V ~ + 4V
最大接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C
リード温度	
(ハンダ付け 4 秒)	+ 260 °C
最大パッケージ消費電力 (25 °C)	
28L TSSOP	2.115W

パッケージ・デレーティング

28L TSSOP 16.9mW/°C
(+ 25 °Cを超えた場合)

θ_{JA} (4 層 2 オンス銅箔、JEDEC)

28L TSSOP 59.1 °C/Watt

ESD 耐圧

(HBM、1.5k Ω 、100pF) > 4kV

(EIAJ、0 Ω 、200pF) > 250V

推奨動作条件

	最小値	標準値	最大値	単位
電源電圧 ($V_{DD} - V_{SS}$)	3.0	3.3	3.6	V
レシーバ入力電圧	0		V_{DD}	V
動作周囲温度	- 40	+ 25	+ 85	°C

電気的特性

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
LVCMOS/LVTTL DC SPECIFICATIONS (EN)						
V_{IH}	High Level Input Voltage		2.0		V_{DD}	V
V_{IL}	Low Level Input Voltage		V_{SS}		0.8	V
I_{IH}	High Level Input Current	$V_{IN} = 3.6V$ or $2.0V$; $V_{DD} = 3.6V$		± 7	± 20	μA
I_{IL}	Low Level Input Current	$V_{IN} = 0V$ or $0.8V$; $V_{DD} = 3.6V$		± 7	± 20	μA
V_{CL}	Input Clamp Voltage	$I_{CL} = -18$ mA		-0.8	-1.5	V
LVDS OUTPUT DC SPECIFICATIONS (OUT1, OUT2, OUT3, OUT4, OUT5, OUT6, OUT7, OUT8, OUT9, OUT10)						
V_{OD}	Differential Output Voltage	$R_L = 100\Omega$	250	320	450	mV
		$R_L = 100\Omega$, $V_{DD} = 3.3V$, $T_A = 25^\circ C$	260	320	425	mV
ΔV_{OD}	Change in V_{OD} between Complimentary Output States				35	ImVl
V_{OS}	Offset Voltage (Note 3)		1.125	1.25	1.375	V
ΔV_{OS}	Change in V_{OS} between Complimentary Output States				35	ImVl
I_{OZ}	Output TRI-STATE Current	EN = 0V, $V_{OUT} = V_{DD}$ or GND		± 1	± 10	μA
I_{OFF}	Power-Off Leakage Current	$V_{DD} = 0V$; $V_{OUT} = 3.6V$ or GND		± 1	± 10	μA
I_{SA}, I_{SB}	Output Short Circuit Current	V_{OUT+} OR $V_{OUT-} = 0V$ or V_{DD}		12	24	ImAl
I_{SAB}	Both Outputs Shorted (Note 4)	$V_{OUT+} = V_{OUT-}$		6	12	ImAl
LVDS RECEIVER DC SPECIFICATIONS (IN)						
V_{TH}	Differential Input High Threshold	$V_{CM} = +0.05V$ or $+1.2V$ or $+3.25V$,		0	+100	mV
V_{TL}	Differential Input Low Threshold	$V_{DD} = 3.3V$	-100	0		mV
V_{CMR}	Common Mode Voltage Range	$V_{ID} = 100mV$, $V_{DD} = 3.3V$	0.05		3.25	V
I_{IN}	Input Current	$V_{IN} = +3.0V$, $V_{DD} = 3.6V$ or $0V$		± 1	± 10	μA
		$V_{IN} = 0V$, $V_{DD} = 3.6V$ or $0V$		± 1	± 10	μA

電気的特性 (つづき)

特記のない限り、推奨動作電源電圧および動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SUPPLY CURRENT						
I _{CCD}	Total Supply Current	R _L = 100Ω, C _L = 5 pF, 400 MHz, EN = High		125	195	mA
		No Load, 400 MHz, EN = High		80	125	mA
I _{CCZ}	TRI-STATE Supply Current	EN = Low		15	29	mA

Note 1: 「絶対最大定格」とは、この値を超えるとデバイスの安全を保証できない値のことです。デバイスをこのリミット値で動作させることを意図しているわけではありません。デバイスの実際の動作条件は「電気的特性」の表に規定されています。

Note 2: すべての "typ" 値は、特記のない限り V_{CC} = + 3.3V、T_A = + 25 °C のときです。

Note 3: V_{OS} は (V_{OH} + V_{OL})/2 と定義されます。

Note 4: 一度に複数の出力を短絡しないでください。パッケージの絶対最大定格を超えてはいけません。

AC 電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T _{LHT}	Output Low-to-High Transition Time, 20% to 80%, <i>Figure 4</i> (Note 5)			390	550	ps
T _{HLT}	Output High-to-Low Transition Time, 80% to 20%, <i>Figure 4</i> (Note 5)			390	550	ps
T _{DJ}	LVDS Data Jitter, Deterministic (Peak-to-Peak)(Note 6)	V _{ID} = 300mV; PRBS=2 ²³ -1 data; V _{CM} = 1.2V at 800 Mbps (NRZ)		145		ps
T _{RJ}	LVDS Clock Jitter, Random (Note 6)	V _{ID} = 300mV; V _{CM} = 1.2V at 400 MHz clock		2.8		ps
T _{PLHD}	Propagation Low to High Delay, <i>Figure 5</i>		2.2	2.8	3.6	ns
T _{PHLD}	Propagation High to Low Delay, <i>Figure 5</i>		2.2	2.8	3.6	ns
T _{SKEW}	Pulse Skew T _{PLHD} - T _{PHLD} (Note 5)			20	340	ps
T _{CCS}	Output Channel-to-Channel Skew, <i>Figure 6</i> (Note 5)			35	91	ps
T _{PHZ}	Disable Time (Active to TRI-STATE) High to Z, <i>Figure 1</i>			3.0	6.0	ns
T _{PLZ}	Disable Time (Active to TRI-STATE) Low to Z, <i>Figure 1</i>			1.8	6.0	ns
T _{PZH}	Enable Time (TRI-STATE to Active) Z to High, <i>Figure 1</i>			10.0	23.0	ns
T _{PZL}	Enable Time (TRI-STATE to Active) Z to Low, <i>Figure 1</i>			7.0	23.0	ns

Note 5: パラメータは設計によって保証されています。リミット値は、デバイス性能のばらつき範囲 (処理、電圧、温度) を含めた統計解析に基づいています。

Note 6: 測定に使用する機器は、HP8133A (パターン / パルス・ジェネレータ)、5 フィートの RG-142 ケーブルと被測定デバイスのテスト・ボード、HP83480A (デジタル・オシロスコープ・メインフレーム) と HP83484A (50GHz スコープ・モジュール) です。HP8133A に RG-142 ケーブルを接続した場合、T_{DJ} = 26ps、T_{RJ} = 1.3ps です。

AC タイミング図

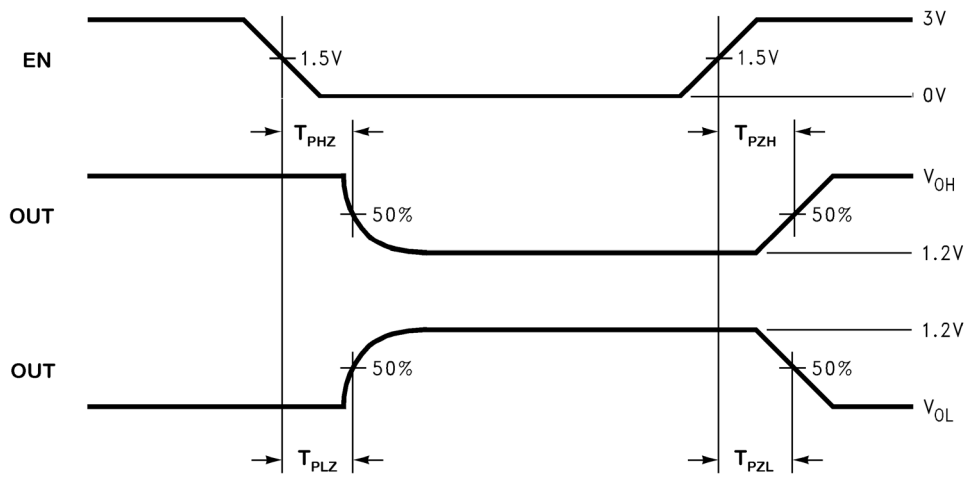


FIGURE 1. Output active to TRI-STATE and TRI-STATE to active output time

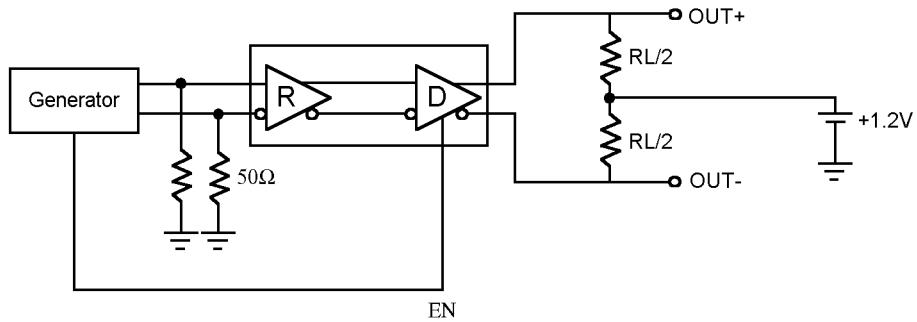


FIGURE 2. LVDS Driver TRI-STATE Circuit

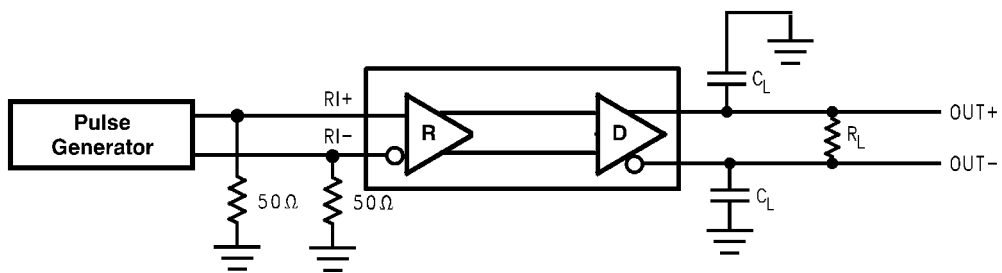


FIGURE 3. LVDS Output Load

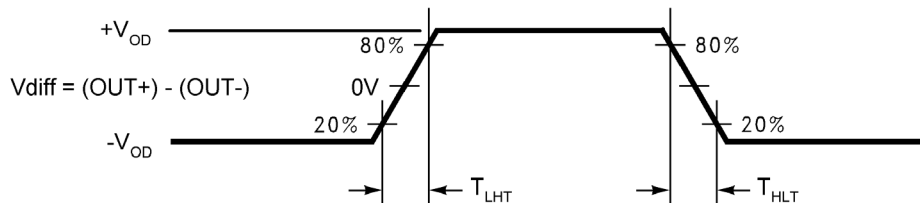


FIGURE 4. LVDS Output Transition Time

AC タイミング図 (つづき)

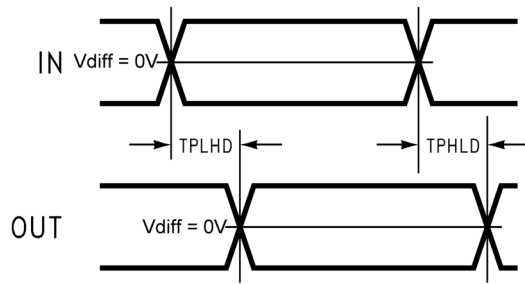


FIGURE 5. Propagation Delay Low-to-High and High-to-Low

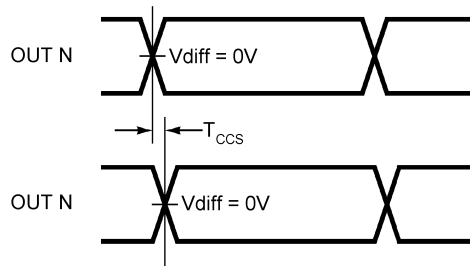


FIGURE 6. Output 1 to 10 Channel-to-Channel Skew

DS90LV110 ピン説明

ピン名	ピン番号	入出力	説明
IN +	1	I	非反転 LVDS 入力
IN -	1	I	反転 LVDS 入力
OUT +	10	O	非反転 LVDS 出力
OUT -	10	O	反転 LVDS 出力
EN	1	I	開放の場合、このピンには内蔵プルダウン抵抗があります。このイネーブル・ピンを論理 Low にすると、LVDS 出力はすべて TRI-STATE となり、消費電流が小さくなります。
V _{SS}	3	P	グラウンド (すべてのグラウンド・ピンは同じ電源に接続する必要があります)
V _{DD}	2	P	電源 (すべての電源ピンは同じ電源に接続する必要があります)

アプリケーション情報

入力フェイルセーフ

DS90LV110 のレシーバ入力は、内部にフェイルセーフ・バイアス回路を持ちません。一対一、またはドライブ源が単一のマルチドロップ・アプリケーションでは、フェイルセーフ・バイアスは必ずしも必要ではありません。ドライバがオフの時、リンクはインアクティブとなります。フェイルセーフ・バイアスが必要な時は、外付けの抵抗で実現できます。IN + を V_{CC} に 10k Ω でプルアップし、IN - を 10k Ω でグラウンドに接続します。この方法はリンクに対して若干の正の差動バイアスを与えることにより、リンクを "High" レベルに確定でき、波形に対する影響もわずかです。詳細についてはアプリケーション・ノート AN-1194 を参照してください。

LVDS 入力終端

LVDS レシーバ入力については、可能な限り入力ピンの近くに 100 Ω の終端抵抗を配置する必要があります。

使用しない制御ピン

EN の制御入力ピンはプルダウン回路を内蔵しています。開放にした場合、10 の出力デフォルトは TRI-STATE となります。

出力ポート数の拡張

出力ポート数を拡張するには複数の DS90LV110 を用います。最大の拡張数は、複数のデバイス内で信号が通る際の伝搬遅延時間の合計を考慮して決定します。デバイスを追加すると、各パスにより出力ジッタが増えます。

プリント基板のレイアウトと電源のバイパス

DS90LV110 を搭載するプリント基板は、デバイスに対してノイズのない電源を供給するように、レイアウトと層構成を設計しなければなりません。優れたレイアウトでは、不必要にノイズを捨ったり帰還や干渉を最小にするために、高い周波数の信号や高

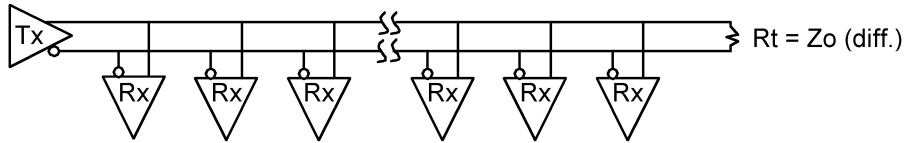
レベルの入出力信号の分離を行います。また、4 ~ 10 ミル程度の薄い誘電体材料を電源層とグラウンド層の間に挟むと、電源系の性能を大きく改善できる場合があります。つまり、この方式によりプリント基板の電源層の容量が増えるため、特に高周波の電源ノイズに対するフィルタ特性を改善する効果があり、併せて外付けバイパス・コンデンサの容量や配置に対する条件を緩やかにします。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を用いてください。高周波セラミック・コンデンサの値は、0.01 μ F ~ 0.1 μ F の範囲を使用します。また、タンタル・コンデンサの値は、2.2 μ F ~ 10 μ F の範囲です。タンタル・コンデンサの電圧定格は、使用する電源電圧の 5 倍以上にします。DS90LV110 の各電源ピンと高周波バイパス・コンデンサのハンダ・パターンには、2 つのビア (スルーホール) を設けることを推奨します。ビアを 2 つにすると、電源またはグラウンドに対するインダクタンス成分が最大で 1/2 に低減されるため、バイパス・コンデンサの実効周波数が向上します。

プリント基板の外層 (表面層) はグラウンド・パターンで満たしてください。そのような外層にすると、信号間の分離とシールド特性が改善され、電源層間の容量も増えます。効果を上げるためには当然のこととして、外層のグラウンド・パターンをグラウンド層に対して多くのスルーホールで接続する必要があります。まんべんなく設けたスルーホールにより、電流リターン・パスが短くなるため信号歪みが減少し、伝送ラインのシグナル・インテグリティ (信号品質) が改善されます。外層では、グラウンド・パターンは信号またはハンダ・パッドに対して、最も幅広の配線パターンの幅か信号層と電源層またはグラウンド層との層間距離の、大きい方の間隔を空けなければなりません。これにより、伝送ラインのインピーダンス効果を最小限に抑え、部品のハンダ・パッド近くでの好ましくない寄生容量を低減します。

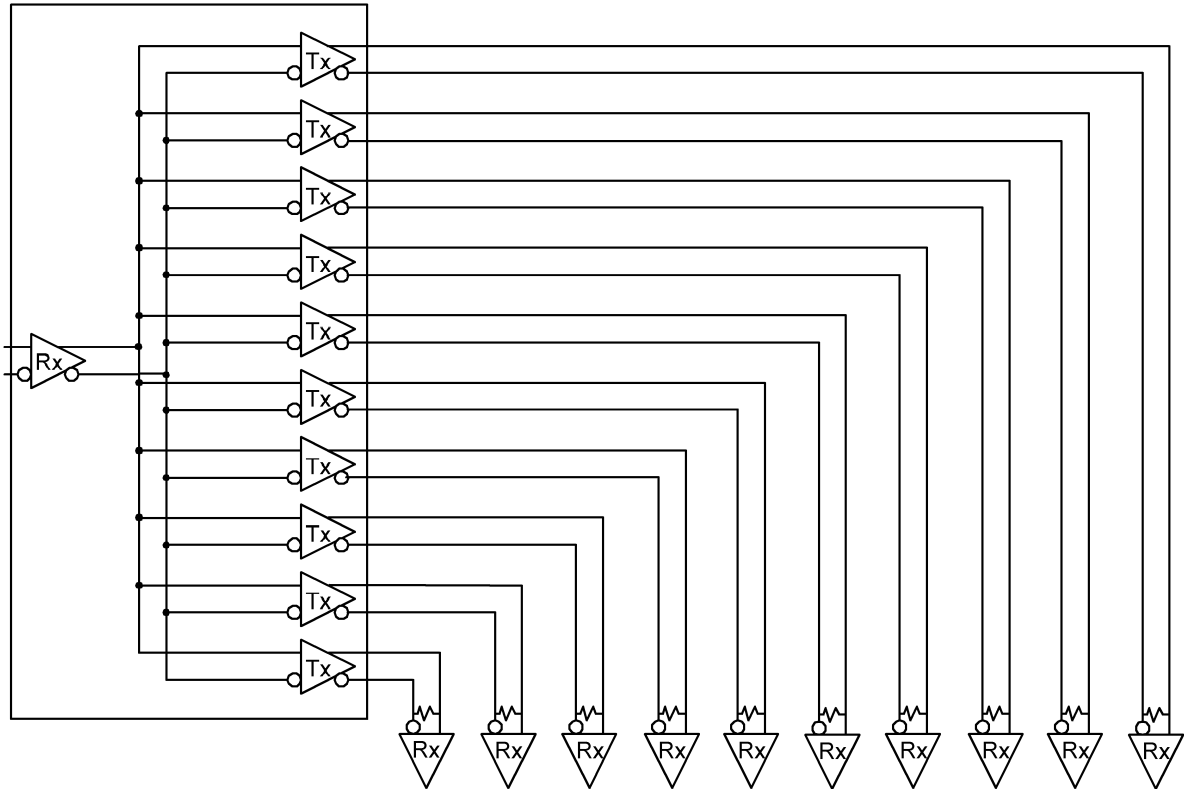
またほかにも、LVDS 用のプリント基板を設計するときに従わなければならないガイドラインがあります。それらの情報については、アプリケーション・ノート AN-1108 を参照してください。

アプリケーション情報 (つづき)

マルチドロップ・アプリケーション



一対一分配のアプリケーション



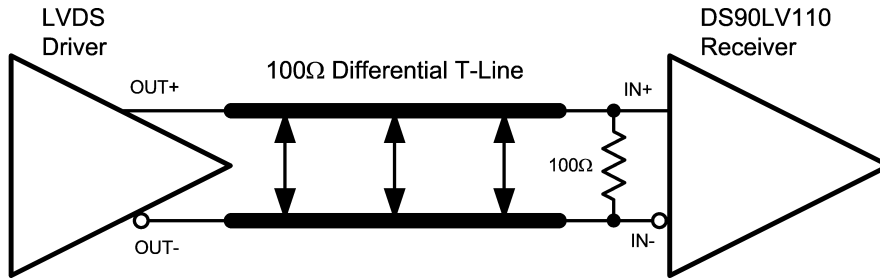
400Mbps を超えるデータ・レートでアプリケーションを動作させるときは、一対一分配を使用する必要があります。それによって、スタブのないプリント基板配線負荷により、マルチドロップ・アプリケーションよりも信号品質が向上します。唯一の負荷は、

伝送ラインの離れた終端にあるレシーバのみです。一対一分配のアプリケーションでは LVDS バス・ラインが広くなりますが、信号品質が向上するため、データ・レートが 400Mbps をはるかに上回るようになります。

入力インターフェース

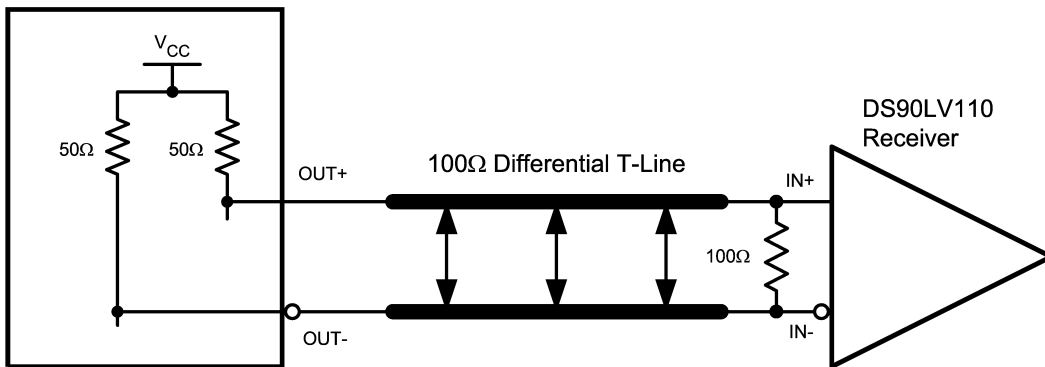
DS90LV110 は差動入力信号を使用でき、AC 結合または DC 結合が簡単です。DS90LV110 は入力コモンモードが広範囲の

ため、あらゆる一般的な差動ドライバ (LVPECL、LVDS、CML) と DC 結合できます。次の 3 つの図は一般的な差動ドライバとの DC 結合の代表例を示しています。

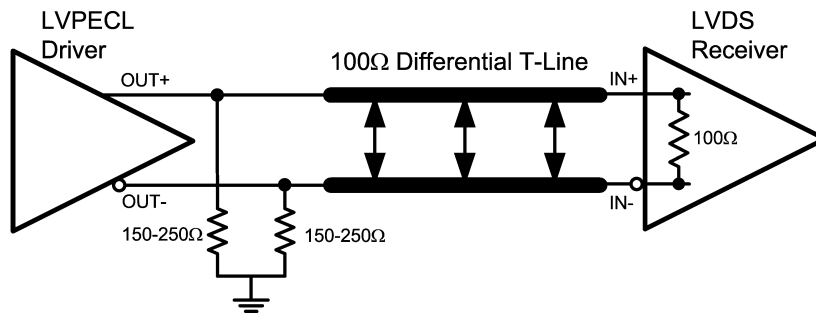


Typical LVDS Driver DC-Coupled Interface to DS90LV110 Input

CML3.3V or CML2.5V Driver



Typical CML Driver DC-Coupled Interface to DS90LV110 Input

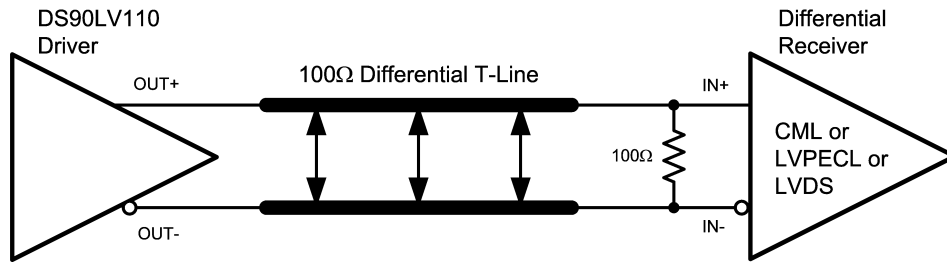


Typical LVPECL Driver DC-Coupled Interface to DS90LV110 Input

出力インターフェース

DS90LV110 は LVDS 規格に準拠した信号を出力します。この出力は一般的なほとんどの差動レシーバに DC 結合できます。次の図は、一般的な差動ドライバとの DC 結合の代表例を示しています。ここではレシーバの入力インピーダンスが大きいと想

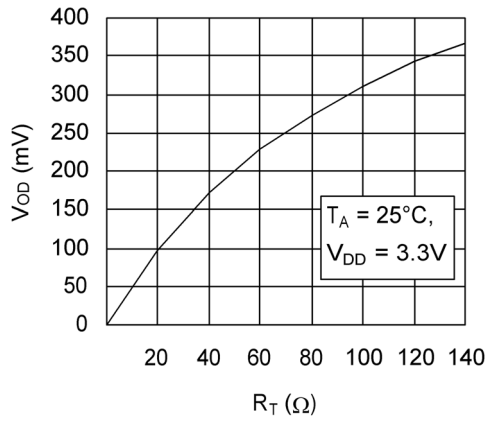
定しています。ほとんどの差動ドライバのコモンモード入力範囲は LVDS 規格に準拠した入力信号に対応できますが、推奨のインターフェースを導入する前に、個々のレシーバのデータシートをチェックするようにしてください。



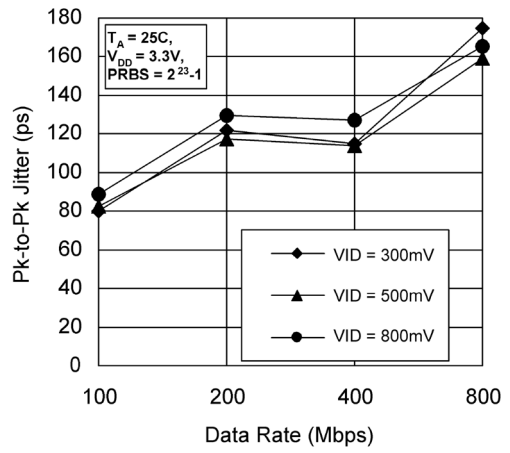
Typical DS90LV110 Output DC-Coupled Interface to an LVDS, CML or LVPECL Receiver

代表的な性能特性

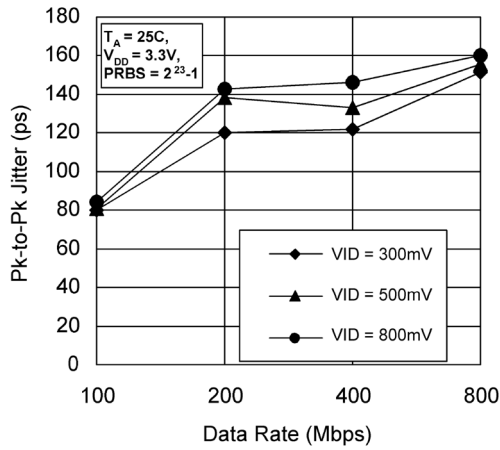
Output Voltage (V_{OD}) vs. Resistive Load (R_L)



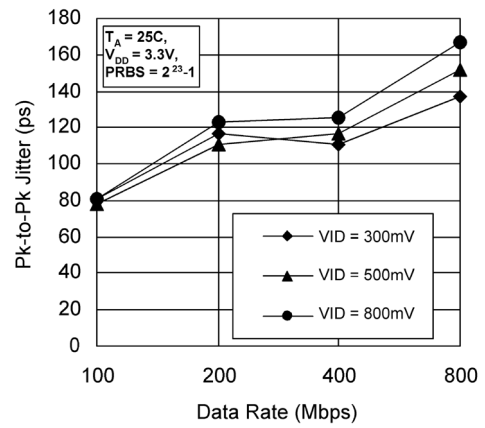
Peak-to-Peak Output Jitter at $V_{CM} = +0.4V$ vs. VID



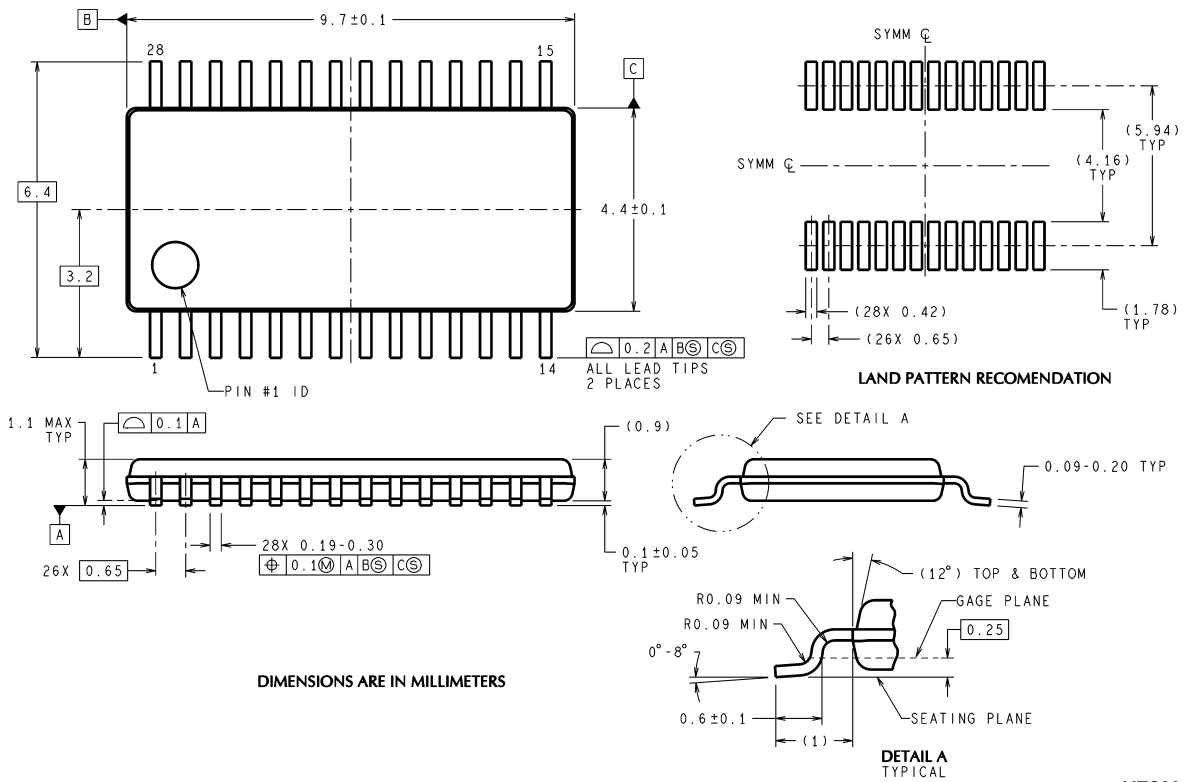
Peak-to-Peak Output Jitter at $V_{CM} = +1.2V$ vs. VID



Peak-to-Peak Output Jitter at $V_{CM} = +2.9V$ vs. VID



外形寸法図 特記のない限り inches (millimeters)



MTC28 (Rev D)

Order Number DS90LV110TMTC
See NS Package Number MTC28

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上