

- 低電源電圧範囲 : 1.8 V ~ 3.6 V
- 超低消費電力 :
  - アクティブ・モード : 200  $\mu$ A (1 MHz, 2.2 V)
  - スタンバイ・モード : 0.7  $\mu$ A
  - オフ・モード (RAM データ保持) : 0.1  $\mu$ A
- 5 つのパワー・セーブ・モード
- スタンバイ・モードからのウェークアップは 6  $\mu$ s 以下
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- 基本クロック・モジュール構成
  - 色々な内部抵抗
  - 1 つの外部抵抗
  - 32 kHz クリスタル
  - 高周波数クリスタル
  - レジネータ
  - 外部クロック源
- 16 ビット タイマ<sub>A</sub> (3 つのキャプチャ/コンペア・レジスタ付き)
- 10 ビット 200 ksps A/D コンバータ  
(内部基準電圧、サンプル&ホールド、オートスキャン、データ送信コントローラ付き)
- シリアル・コミュニケーション・インタフェース (USART0)、ソフトウェアにより非同期 UART 又は同期 SPI を選択可能 (MSP430x12x2 のみ)
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- 電源電圧ブラウンアウト検出
- MSP430x11x2 ファミリ製品 :
  - MSP430F1122 : 4KB + 256B フラッシュ・メモリ、256B RAM
  - MSP430F1132 : 8KB + 256B フラッシュ・メモリ、256B RAM
 20 ピン プラスチック SOWB、20 ピン プラスチック TSSOP、及び 32 ピン QFN パッケージ
- MSP430x12x2 ファミリ製品 :
  - MSP430F1222 : 4KB + 256B フラッシュ・メモリ、256B RAM
  - MSP430F1232 : 8KB + 256B フラッシュ・メモリ、256B RAM
 28 ピン プラスチック SOWB、28 ピン プラスチック TSSOP、及び 32 ピン QFN パッケージ
- モジュールの詳細は、MSP430x1xx ファミリ ユーザーズ・ガイド 資料番号 SLAU135 (日本語版)、SLAU049 (英語版) を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリーは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5 つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6  $\mu$ s 以内で行われます。

MSP430x11x2 及び MSP430x12x2 シリーズは、16 ビット タイマ、基準電圧及びデータ送信コントローラ (DTC) 及び 14 又は 22 個の I/O 端子を内蔵した 10 ビット A/D コンバータを持つ超低消費電力ミックスト・シグナル・マイクロコントローラです。さらに、MSP430x12x2 シリーズ マイクロコントローラは、非同期 (UART) 及び同期 (SPI) プロトコルを使用した通信が可能です。

16 ビット RISC の性能を持ったデジタル・シグナル・プロセッシングにより、信号解析 (波形デジタル・フィルタ・アルゴリズムを含む) を用いたガラスの割れ検出のような効果的なシステム・ソリューションを可能にします。その他の分野のアプリケーションは、スタンド・アロン RF センサです。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切な ESD 保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。



テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なお注意がこのデータシートの終わりに掲載されていますので、ご参照下さい。

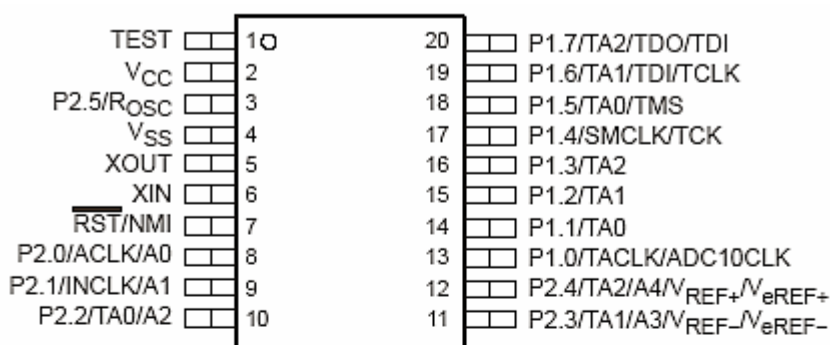
この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

製品オプション

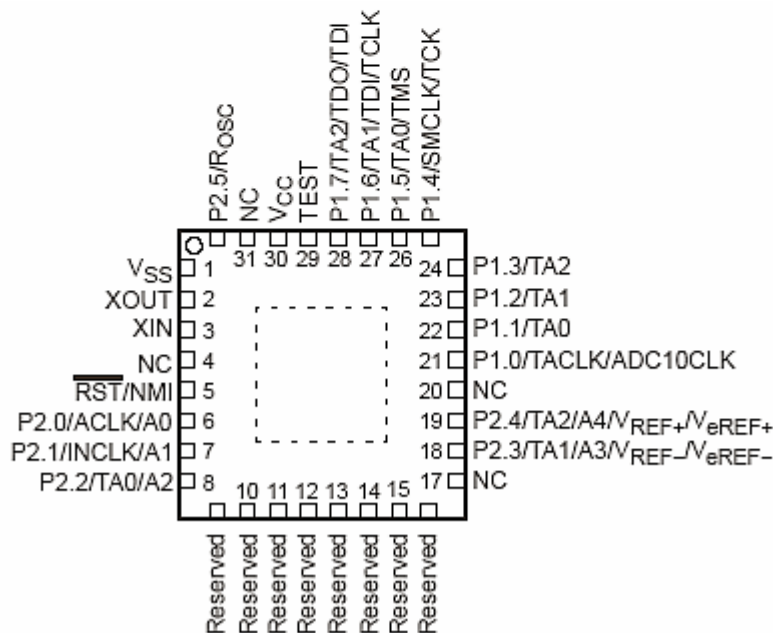
T <sub>A</sub>	PACKAGED DEVICES				
	プラスチック 20 ピン SOWB (DW)	プラスチック 20 ピン TSSOP (PW)	プラスチック 28 ピン SOWB (DW)	プラスチック 28 ピン TSSOP (PW)	プラスチック 32 ピン QFN (RHB)
-40°C ~ 85°C	MSP430F1122IDW MSP430F1132IDW	MSP430F1122IPW MSP430F1132IPW	MSP430F1222IDW MSP430F1232IDW	MSP430F1222IPW MSP430F1232IPW	MSP430F1122IRHB MSP430F1132IRHB MSP430F1222IRHB MSP430F1232IRHB

ピン配置 MSP430x11x2 (注 1、2、3)

DW 又は PW パッケージ  
(上面図)



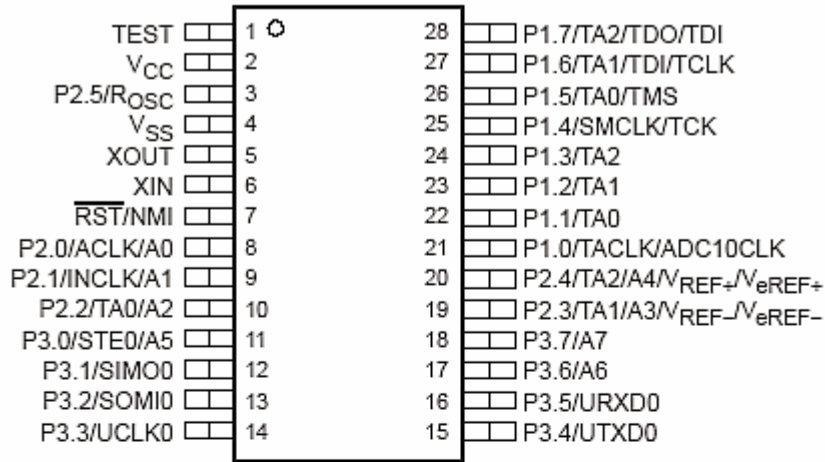
RHB パッケージ  
(上面図)



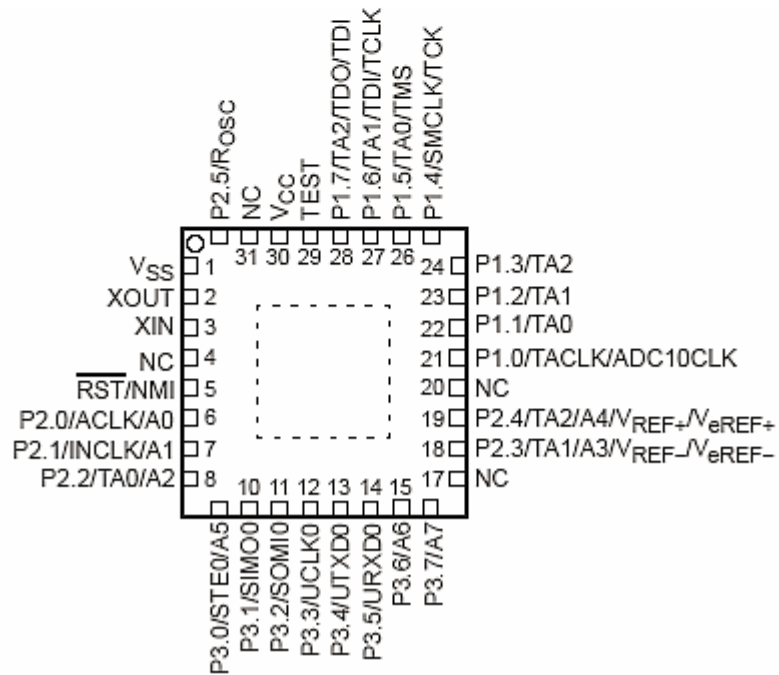
- (注 1) NC 端子は内部で接続されていません。V<sub>SS</sub> に接続することを推奨します。
- (注 2) 「Reserved」のラベルを付けられたすべての端子は、フローティングにならないように V<sub>SS</sub> に接続することを推奨します。さもなければ、消費電流が増加することがあります。
- (注 3) 放熱パッドは V<sub>SS</sub> に接続することを推奨します。

ピン配置 MSP430x12x2 (注 1、2)

DW 又は PW パッケージ  
 (上面図)



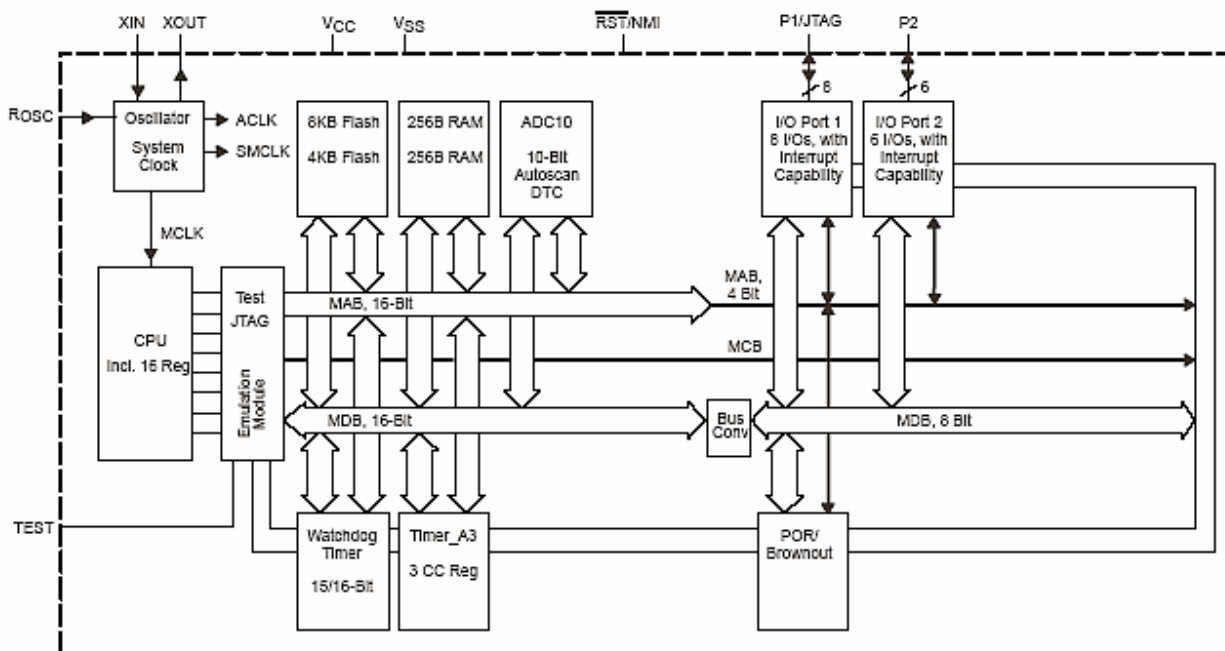
RHB パッケージ  
 (上面図)



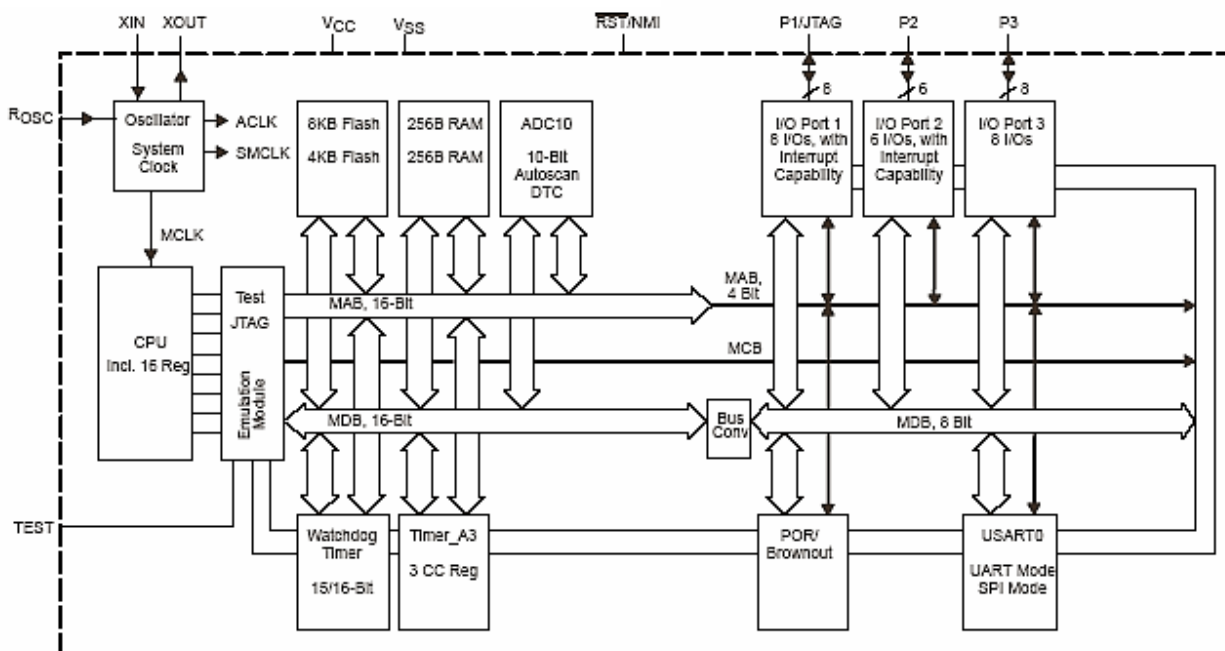
- (注 1) NC 端子は内部で接続されていません。V<sub>SS</sub> に接続することを推奨します。
- (注 2) 放熱パッドは V<sub>SS</sub> に接続することを推奨します。

MSP430x11x2、MSP430x12x2  
 ミックスド・シグナル・マイクロコントローラ  
 SLAS444 - 2005年4月

MSP430x11x2 機能ブロック図



MSP430x12x2 機能ブロック図



MSP430x11x2 端子機能表

端 子			I/O	機 能
名 前	DW & PW	RHB		
P1.0/TACLK/ ADC10CLK	13	21	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力 / 変換クロック - 10 ビット ADC
P1.1/TA0	14	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	15	23	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	16	24	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK/TCK	17	25	I/O	汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力
P1.5/TA0/TMS	18	26	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力
P1.6/TA1/TDI/TCLK	19	27	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力
P1.7/TA2/TDO/TDI †	20	28	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力
P2.0/ACLK/A0	8	6	I/O	汎用デジタル I/O / ACLK 出力 / 10 ビット ADC 入力 A0 へのアナログ入力
P2.1/INCLK/A1	9	7	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号 / 10 ビット ADC 入力 A1 へのアナログ入力
P2.2/TA0/A2	10	8	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力、コンペア: Out0 出力 / 10 ビット ADC 入力 A2 へのアナログ入力 / BSL 受信
P2.3/TA1/A3/V <sub>REF-</sub> / V <sub>eREF-</sub>	11	18	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1B 入力、コンペア: Out1 出力 / 10 ビット ADC 入力 A3 へのアナログ入力 / 負基準電圧端子
P2.4/TA2/A4/V <sub>REF+</sub> / V <sub>eREF+</sub>	12	19	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / 10 ビット ADC 入力 A4 へのアナログ入力 / 正基準電圧 I/O 端子
P2.5/R <sub>osc</sub>	3	32	I/O	汎用デジタル I/O / DCO 公称周波数を決定する外部抵抗入力
RST/NMI	7	5	I	リセット又はマスク不可能な割り込み入力
TEST	1	29	I	P1.x JTAG 端子のテスト・モードの選択入力
V <sub>cc</sub>	2	30		電源
V <sub>ss</sub>	4	1		グラウンド基準
XIN	6	3	I	クリスタル・オシレータ入力
XOUT	5	2	O	クリスタル・オシレータ出力
NC	NA	4, 17, 20, 31		内部で接続されていません。V <sub>ss</sub> に接続することを推奨します。
Reserved	NA	9 - 16		予約されています。フローティングにならないように V <sub>ss</sub> に接続することを推奨します。さもなければ、消費電流が増加することがあります。
QFN Pad	NA	Package Pad		QFN パッケージのパッドは V <sub>ss</sub> に接続することを推奨します。

† TDO 又は TDI は JTAG 命令によって選択されます。

## MSP430x12x2 端子機能表

端子 名 前	端 子		I/O	機 能
	DW & PW	RHB		
P1.0/TACLK/ ADC10CLK	21	21	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力 / 変換クロック - 10 ビット ADC
P1.1/TA0	22	22	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	23	23	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	24	24	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK/TCK	25	25	I/O	汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力
P1.5/TA0/TMS	26	26	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力
P1.6/TA1/TDI/TCLK	27	27	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力
P1.7/TA2/TDO/TDI †	28	28	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力
P2.0/ACLK/A0	8	6	I/O	汎用デジタル I/O / ACLK 出力 / 10 ビット ADC 入力 A0 へのアナログ入力
P2.1/INCLK/A1	9	7	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号 / 10 ビット ADC 入力 A1 へのアナログ入力
P2.2/TA0/A2	10	8	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力、コンペア: Out0 出力 / 10 ビット ADC 入力 A2 へのアナログ入力 / BSL 受信
P2.3/TA1/A3/V <sub>REF-</sub> / V <sub>REF-</sub>	19	18	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1B 入力、コンペア: Out1 出力 / 10 ビット ADC 入力 A3 へのアナログ入力 / 負基準電圧端子
P2.4/TA2/A4/V <sub>REF+</sub> / V <sub>REF+</sub>	20	19	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / 10 ビット ADC 入力 A4 へのアナログ入力 / 正基準電圧 I/O 端子
P2.5/R <sub>OSC</sub>	3	32	I/O	汎用デジタル I/O / DCO 公称周波数を決める外部抵抗入力
P3.0/STE0/A5	11	9	I/O	汎用デジタル I/O / スレープ送信イネーブル - USART0/SPI モード / 10 ビット ADC 入力 A5 へのアナログ入力
P3.1/SIM00	12	10	I/O	汎用デジタル I/O / スレープ入力 / USART0/SPI モードのマスタ出力
P3.2/SOMIO	13	11	I/O	汎用デジタル I/O / スレープ出力 / USART0/SPI モードのマスタ入力
P3.3/UCLK0	14	12	I/O	汎用デジタル I/O / 外部クロック入力 - USART0/UART 又は SPI モード、クロック出力 - USART0/SPI モード・クロック入力
P3.4/UTXD0	15	13	I/O	汎用デジタル I/O / 送信データ出力 - USART0/UART モード
P3.5/URXD0	16	14	I/O	汎用デジタル I/O / 受信データ入力 - USART0/UART モード
P3.6/A6	17	15	I/O	汎用デジタル I/O / 10 ビット ADC 入力 A6 へのアナログ入力
P3.7/A7	18	16	I/O	汎用デジタル I/O / 10 ビット ADC 入力 A7 へのアナログ入力
RST/NMI	7	5	I	リセット又はマスク不可能な割り込み入力
TEST	1	29	I	P1.x JTAG 端子のテスト・モードの選択入力
V <sub>CC</sub>	2	30		電源
V <sub>SS</sub>	4	1		グラウンド基準
XIN	6	3	I	クリスタル・オシレータ入力
XOUT	5	2	O	クリスタル・オシレータ出力
NC	NA	4, 17, 20, 31		内部で接続されていません。V <sub>SS</sub> に接続することを推奨します。
QFN Pad	NA			QFN パッケージのパッドは V <sub>SS</sub> に接続することを推奨します。

† TDO 又は TDI は JTAG 命令によって選択されます。

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7つのアドレッシング・モード及びデスティネーション・オペランドのための 4つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。各々の命令は、ワード及びバイト・データに基づいて実行することができます。表 1 に命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X (Rn), Y (Rm)	MOV 2 (R5), 6 (R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y (Rm)	MOV @R10, Tab (R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

## 動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェークアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ;
  - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ;
  - CPU はディスエーブル  
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ;
  - CPU はディスエーブル  
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル  
アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2) ;
  - CPU はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はイネーブルのまま  
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ;
  - CPU はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はディスエーブル  
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ;
  - CPU はディスエーブル  
ACLK はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はディスエーブル  
クリスタル・オシレータは停止



## 割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFFh ~ 0FFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ	WDTIFG (注 1) KEYV (注 1)	リセット	0FFFEh	15 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG (注 1, 4) OFIFG (注 1, 4) ACCVIFG (注 1, 4)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	14
			0FFFAh	13
			0FFF8h	12
			0FFF6h	11
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	10
タイマ_A3	TACCRO CCIFG (注 2)	マスク可能	0FFF2h	9
タイマ_A3	TACCR1 及び TACCR2 CCIFGx、TAIFG (注 1, 2)	マスク可能	0FFF0h	8
USARTO 受信 (注 5)	URXIFGO	マスク可能	0FFEEh	7
USARTO 送信 (注 5)	UTXIFGO	マスク可能	0FFECCh	6
ADC10	ADC10IFG	マスク可能	0FFEAh	5
		マスク可能	0FFE8h	4
I/O ポート P2 (8 つのフラグ) (注 3)	P2IFG.0 ~ P2IFG.7 (注 1, 2)	マスク可能	0FFE6h	3
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 1, 2)	マスク可能	0FFE4h	2
			0FFE2h	1
			0FFE0h	0 (最下位)

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) 8 つのポート P2 割り込みフラグがありますが、11x2 及び 12x2 デバイスには 6 つのポート P2 I/O 端子 (P2.0 ~ 5) しかありません。

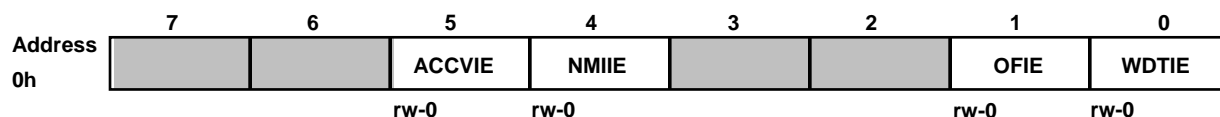
(注 4) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注 5) USARTO は MSP430x12x2 デバイスのみに内蔵されています。

スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタ・ビットは、実際のデバイスにも内蔵されておりません。これによって容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1、2

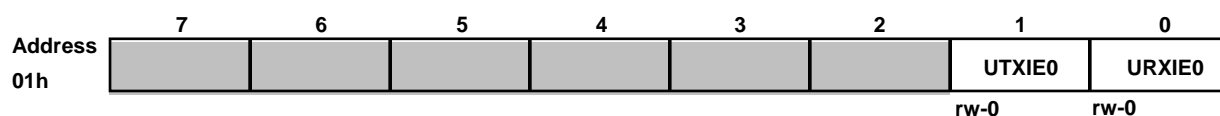


WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

OFIE : オシレータ障害イネーブル

NMIIE : マスク可能な（不可能な）割り込みイネーブル

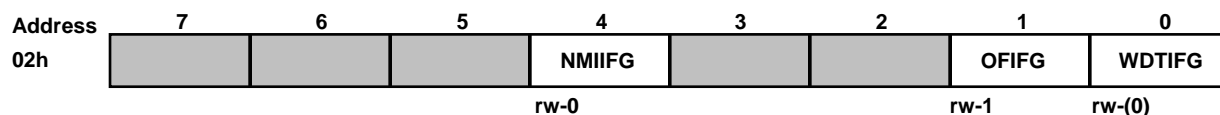
ACCVIE : フラッシュ・アクセス違反割り込みイネーブル



URXIE0 : USART0 : UART 及び SPI 受信割り込みイネーブル (MSP430x12x2 デバイスのみ)

UTXIE0 : USART0 : UART 及び SPI 送信割り込みイネーブル (MSP430x12x2 デバイスのみ)

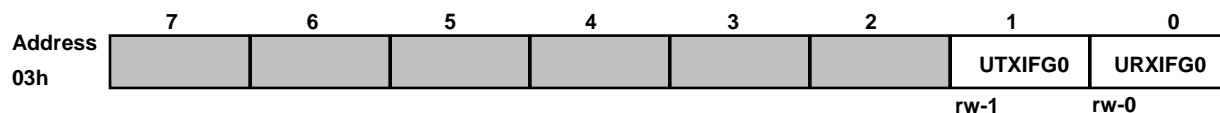
割り込みフラグ・レジスタ 1、2



WDTIFG : ウォッチドッグ・タイマ・オーバーフロー又はセキュリティ・キー違反でセットされます。 $V_{CC}$  パワー・オン又はリセット・モードでの  $\overline{RST}/NMI$  端子のリセット条件でリセットされます。

OFIFG : オシレータの異常でフラグがセットされます。

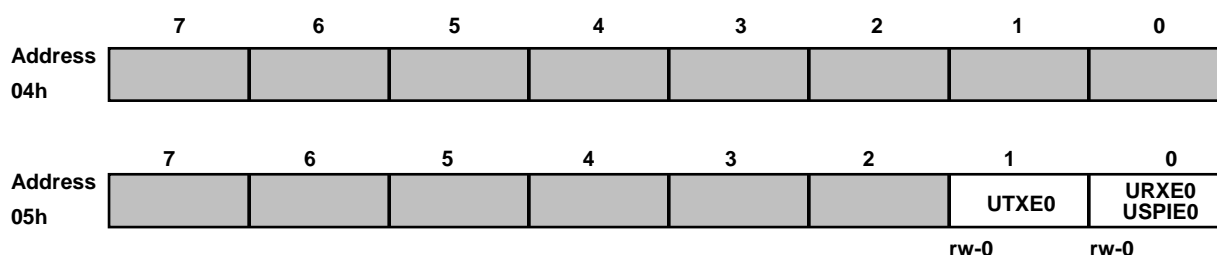
NMIIFG :  $\overline{RST}/NMI$  端子によってセットされます。



URXIFG0 : USART0 : UART 及び SPI 受信フラグ (MSP430x12x2 デバイスのみ)

UTXIFG0 : USART0 : UART 及び SPI 送信フラグ (MSP430x12x2 デバイスのみ)

モジュール・イネーブル・レジスタ 1、2



URXE0 : USART0 : UART モード受信イネーブル (MSP430x12x2 デバイスのみ)  
 UTXE0 : USART0 : UART モード送信イネーブル (MSP430x12x2 デバイスのみ)  
 USPIE0 : USART0 : SPI モード送信及び受信イネーブル (MSP430x12x2 デバイスのみ)

説明 rw : ビットは、読み出し及び書き込みをすることができます。  
 rw-0, 1 : ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセ  
 ットされます。  
 rw-(0, 1) : ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセ  
 ットされます。

■ デバイスには、SFR ビットが存在しません。

メモリ構成

		MSP430F1122	MSP430F1132	MSP430F1222	MSP430F1232
メモリ	サイズ	4KB フラッシュ	8KB フラッシュ	4KB フラッシュ	8KB フラッシュ
メイン: 割り込みベクタ	フラッシュ	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h	0FFFFh - 0FFE0h
メイン: コード・メモリ	フラッシュ	0FFFFh - 0F000h	0FFFFh - 0E000h	0FFFFh - 0F000h	0FFFFh - 0E000h
情報メモリ	サイズ	256 バイト	256 バイト	256 バイト	256 バイト
	フラッシュ	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h
起動メモリ	サイズ	1KB	1KB	1KB	1KB
	ROM	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h
RAM	サイズ	256 バイト	256 バイト	256 バイト	256 バイト
		02FFh - 0200h	02FFh - 0200h	02FFh - 0200h	02FFh - 0200h
パリティ	16 ビット	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h
	8 ビット	0FFh - 010h	0FFh - 010h	0FFh - 010h	0FFh - 010h
	8 ビット SFR	0Fh - 00h	0Fh - 00h	0Fh - 00h	0Fh - 00h

ブートストラップ・ローダ (BSL)

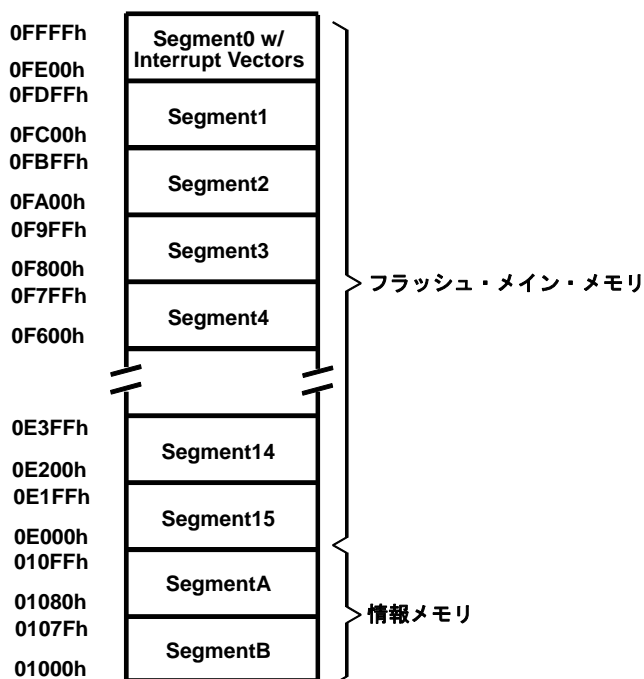
MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴 "Features of the MSP430 Bootstrap Loader"* (資料番号 SLAA089) を参照して下さい。

BSL 機能	MSP430x11x2 DW & PW パッケージ (20 ピン)	MSP430x12x2 DW & PW パッケージ (28 ピン)	MSP430x11x2/12x2 RHB パッケージ (32 ピン)
データ送信	14 - P1.1	22 - P1.1	22 - P1.1
データ受信	10 - P2.2	10 - P2.2	8 - P2.2

## フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 つのセグメントのそれぞれ 128 バイトの情報メモリ (A と B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A と B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A と B は、情報メモリとも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。



(注) すべてのデバイスにすべてのセグメントが内蔵されている訳ではありません。

## ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x1xx ファミリ ユーザーズ・ガイド* SLAU135（日本語版）、SLAU049（英語版）を参照して下さい。

## オシレータ及びシステム・クロック

MSP430x11x2 及び MSP430x12x2 デバイスのクロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータを含む基本クロック・モジュールで構成されています。基本クロック・モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6  $\mu$ s 以内に安定します。基本クロック・モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK) : 32768 Hz の時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック (MCLK) : CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK) : ペリフェラル・モジュールによって使用されるサブ・システム・クロック

## デジタル I/O

3 つの 8 ビット I/O ポート内蔵：ポート P1、P2、P3（外部端子には 6 つのポート P2 I/O 信号のみが使用できます。ポート P3 は、x12x2 デバイスのみに内蔵されています。）

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 のすべての 8 ビット及びポート P2 の 6 ビットはエッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

## ブラウンアウト

ブラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するために内蔵されています。

## ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が不要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生することができます。

## USART0 (MSP430x12x2 のみ)

MSP430x12x2 デバイスは、シリアル・データ通信のために使用される 1 つのハードウェア USART ペリフェラル・モジュールを持っています。USART は、同期式 SPI（3 又は 4 ピン）及び、非同期 UART 通信プロトコルに使用でき、二重バッファ送信及び受信チャネルを使用します。

## ADC10

ADC10 モジュールは、高速 10 ビット A/D 変換をサポートします。モジュールは、10 ビット SAR コア、サンプル選択制御、基準電圧発生回路、及び自動で変換結果の処理を行うデータ送信コントローラ (DTC) を内蔵し、ADC サンプルが CPU の仲介なしで変換され、蓄積されることを可能にします。

## タイマ\_A3

タイマ\_A3 は、3つのキャプチャ/コンペア・レジスタ付きの16ビット・タイマ/カウンタです。タイマ\_A3により、複数のキャプチャ/コンペア、PWM出力、及びインターバル・タイミングを利用することができます。タイマ\_A3にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続										
入力端子番号			デバイス 入力信号	モジュール 入力名	モジュール ブロック	モジュール 出力信号	出力端子番号			
DW、PW		RHB					DW、PW		RHB	
11x2 20ピン	12x2 28ピン	11x2/12x2 32ピン				11x2 20ピン	12x2 28ピン	11x2/12x2 32ピン		
13 - P1.0	21 - P1.0	21 - P1.0	TACLK	TACLK	Timer	NA				
			ACLK	ACLK						
			SMCLK	SMCLK						
9 - P2.1	9 - P2.1	7 - P2.1	INCLK	INCLK	CCR0	TA0				
14 - P1.1	22 - P1.1	22 - P1.1	TA0	CCIOA			14 - P1.1	22 - P1.1	22 - P1.1	
10 - P2.2	10 - P2.2	8 - P2.2	TA0	CCIOB			18 - P1.5	26 - P1.5	26 - P1.5	
			DV <sub>SS</sub>	GND			10 - P2.2	10 - P2.2	8 - P2.2	
			DV <sub>CC</sub>	V <sub>CC</sub>	ADC10 内部					
15 - P1.2	23 - P1.2	23 - P1.2	TA1	CCI1A	CCR1	TA1	15 - P1.2	23 - P1.2	23 - P1.2	
11 - P2.3	19 - P2.3	18 - P2.3	TA1	CCI1B			19 - P1.6	27 - P1.6	27 - P1.6	
			DV <sub>SS</sub>	GND			11 - P2.3	19 - P2.3	18 - P2.3	
			DV <sub>CC</sub>	V <sub>CC</sub>			ADC10 内部			
16 - P1.3	24 - P1.3	24 - P1.3	TA2	CCI2A	CCR2	TA2	16 - P1.3	24 - P1.3	24 - P1.3	
			ACLK(内部)	CCI2B			20 - P1.7	28 - P1.7	28 - P1.7	
			DV <sub>SS</sub>	GND			12 - P2.4	20 - P2.4	19 - P2.4	
			DV <sub>CC</sub>	V <sub>CC</sub>			ADC10 内部			

ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル			
ADC10	ADC データ送信開始アドレス ADC メモリ ADC 制御レジスタ 1 ADC 制御レジスタ 0 ADC アナログ・イネーブル ADC データ送信制御レジスタ 1 ADC データ送信制御レジスタ 0	ADC10SA ADC10MEM ADC10CTL1 ADC10CTL0 ADC10AE ADC10DTC1 ADC10DTC0	1BCh 1B4h 1B2h 1B0h 04Ah 049h 048h
タイマ_A	予約されています 予約されています 予約されています 予約されています キャプチャ/コンペア・レジスタ キャプチャ/コンペア・レジスタ キャプチャ/コンペア・レジスタ タイマ_A レジスタ 予約されています 予約されています 予約されています 予約されています キャプチャ/コンペア制御 キャプチャ/コンペア制御 キャプチャ/コンペア制御 タイマ_A 制御 タイマ_A 割り込みベクタ	TACCR2 TACCR1 TACCRO TAR  TACCTL2 TACCTL1 TACCTL0 TACTL TAIV	017Eh 017Ch 017Ah 0178h 0176h 0174h 0172h 0170h 016Eh 016Ch 016Ah 0168h 0166h 0164h 0162h 0160h 012Eh
フラッシュ・メモリ	フラッシュ制御 3 フラッシュ制御 2 フラッシュ制御 1	FCTL3 FCTL2 FCTL1	012Ch 012Ah 0128h
ウォッチドッグ	ウォッチドッグ・タイマ制御	WDCTL	0120h
バイト・アクセスによるペリフェラル			
USART0 (MSP430x12x2 のみ)	送信バッファ 受信バッファ ボー・レート ボー・レート 変調制御 受信制御 送信制御 USART 制御	U0TXBUF U0RXBUF U0BR1 U0BR0 U0MCTL U0RCTL U0TCTL U0CTL	077h 076h 075h 074h 073h 072h 071h 070h
Basic Clock	Basic clock システム制御 2 Basic clock システム制御 1 DCO クロック周波数制御	BCSCTL2 BCSCTL1 DCOCTL	058h 057h 056h
ポート P2	ポート P2 選択 ポート P2 割り込みイネーブル ポート P2 割り込みエッジ選択 ポート P2 割り込みフラグ ポート P2 方向 ポート P2 出力 ポート P2 入力	P2SEL P2IE P2IES P2IFG P2DIR P2OUT P2IN	02Eh 02Dh 02Ch 02Bh 02Ah 029h 028h
ポート P1	ポート P1 選択 ポート P1 割り込みイネーブル ポート P1 割り込みエッジ選択 ポート P1 割り込みフラグ ポート P1 方向 ポート P1 出力 ポート P1 入力	P1SEL P1IE P1IES P1IFG P1DIR P1OUT P1IN	026h 025h 024h 023h 022h 021h 020h

## ペリフェラル・ファイル・マップ (続き)

バイト・アクセスによるペリフェラル (続き)			
ポート P3 (MSP430x12x2 のみ)	ポート P3 選択	P3SEL	01Bh
	ポート P3 方向	P3DIR	01Ah
	ポート P3 出力	P3OUT	019h
	ポート P3 入力	P3IN	018h
スペシャル・ ファンクション	モジュール・イネーブル 2	ME2	005h
	モジュール・イネーブル 1	ME1	004h
	SFR 割り込みフラグ 2	IFG2	003h
	SFR 割り込みフラグ 1	IFG1	002h
	SFR 割り込みイネーブル 2	IE2	001h
	SFR 割り込みイネーブル 1	IE1	000h

## 動作温度範囲における絶対最大定格 (特記無き場合) †

印加電圧 ( $V_{CC} \sim V_{SS}$ 間)		-0.3 ~ 4.1	V
印加電圧 (全端子) (注)		-0.3 ~ $V_{CC} + 0.3$	V
ダイオード電流 (全端子)		$\pm 2$	mA
保存温度範囲	未プログラムのデバイス	$T_{stg}$	-55 ~ 150
	プログラム済みデバイス		-40 ~ 85

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(注) すべての電圧は  $V_{SS}$  を基準とします。JTAG ヒューズ切断電圧  $V_{FB}$  は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TEST 端子に電圧が印加されます。

## 推奨動作条件

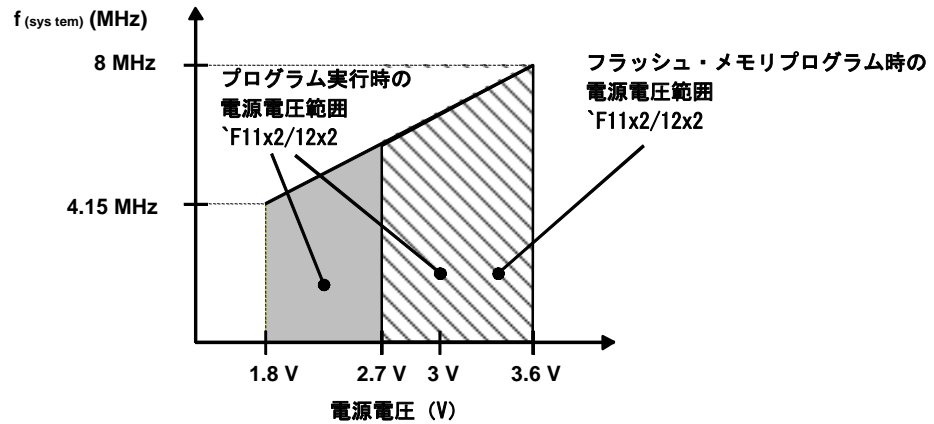
		最小	標準	最大	単位
電源電圧 (プログラム実行時)、 $V_{CC}$ (注 1)		MSP430F11x2	1.8	3.6	V
電源電圧 (フラッシュ・メモリ プログラム/消去時)、 $V_{CC}$		MSP430F12x2	2.7	3.6	V
電源電圧、 $V_{SS}$			0		V
動作温度範囲、 $T_A$		MSP430F11x2 MSP430F12x2	-40	85	°C
LFXT1 クリスタル周波数、 $f_{(LFXT1)}$ (注 1、2)	LF モード選択時、 XTS = 0	時計用クリスタル	32768		Hz
	XT1 モード選択時、 XTS = 1	セラミック発振子	450	8000	kHz
クリスタル		1000	8000		
プロセッサ周波数 $f_{(system)}$ (MCLK 信号)	$V_{CC} = 1.8$ V、 MSP430F11x2 MSP430F12x2	dc	4.15		MHz
	$V_{CC} = 3.6$ V、 MSP430F11x2 MSP430F12x2	dc	8		

(注 1) LF モードでは、 $V_{CC} < 2.5$  V の時 LFXT1 オシレータには  $XOUT \sim V_{SS}$  間に 5.1 M $\Omega$  の抵抗が必要です。  
XT1 モードでは、 $V_{CC} \geq 2.2$  V の時 LFXT1 オシレータにはセラミック発振子又は 4 MHz のクリスタルが使用できます。  
XT1 モードでは、 $V_{CC} \geq 2.8$  V の時 LFXT1 オシレータにはセラミック発振子又は 8 MHz のクリスタルが使用できます。

(注 2) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。  
XT1 モードでは、LFXT1 オシレータにはセラミック発振子又はクリスタルが使用できます。



推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合)



(注) 最小プロセッサ周波数は、システム・クロックにより決まります。フラッシュ・メモリのプログラム又は消去には 2.7 V の最小  $V_{CC}$  が必要です。

図 1. 電源電圧対周波数

電源電流 ( $V_{CC}$ ) (外部電流を除く)

項目	測定条件	最小	標準	最大	単位
$I_{(AM)}$ アクティブ・モード	$f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、フラッシュ・メモリのプログラム実行時	$V_{CC} = 2.2 \text{ V}$	200	250	$\mu\text{A}$
		$V_{CC} = 3 \text{ V}$	300	350	
	$f_{(MCLK)} = f_{(SMCLK)} = f_{(ACLK)} = 4096 \text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時	$V_{CC} = 2.2 \text{ V}$	3	5	$\mu\text{A}$
		$V_{CC} = 3 \text{ V}$	11	18	
$I_{(CPU0ff)}$ ロー・パワー・モード (LPM0)	$f_{(MCLK)} = 0 \text{ Hz}$ 、 $f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$	$V_{CC} = 2.2 \text{ V}$	32	45	$\mu\text{A}$
		$V_{CC} = 3 \text{ V}$	55	70	
$I_{(LPM2)}$ ロー・パワー・モード (LPM2)	$f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCG0 = 0$	$V_{CC} = 2.2 \text{ V}$	11	14	$\mu\text{A}$
		$V_{CC} = 3 \text{ V}$	17	22	
$I_{(LPM3)}$ ロー・パワー・モード (LPM3)	$T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	$V_{CC} = 2.2 \text{ V}$	0.8	1.2	$\mu\text{A}$
			0.7	1	
	$T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$ $T_A = 85^\circ\text{C}$	$V_{CC} = 3 \text{ V}$	1.8	2.2	
			1.6	1.9	
$I_{(LPM4)}$ ロー・パワー・モード (LPM4)	$T_A = -40^\circ\text{C}$ $T_A = 25^\circ\text{C}$	$V_{CC} = 2.2 \text{ V} / 3 \text{ V}$	0.1	0.5	$\mu\text{A}$
			0.1	0.5	
	$T_A = 85^\circ\text{C}$		0.8	1.9	
			0.8	1.9	

(注 1) すべての入力は、0 V 又は  $V_{CC}$  に接続します。出力にはソース電流、シンク電流を流しません。

アクティブ・モードのシステム周波数対消費電流

$$I_{(AM)} = I_{(AM) [1 \text{ MHz}]} \times f_{(system) [\text{MHz}]}$$

アクティブ・モードの電源電圧対消費電流

$$I_{(AM)} = I_{(AM) [3 \text{ V}]} + 120 \mu\text{A/V} \times (V_{CC} - 3 \text{ V})$$

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

シュミット・トリガ入力ポート P1 ~ P3; P1.0 ~ P1.7, P2.0 ~ P2.5, P3.0 ~ P3.7

項目	測定条件	最小	標準	最大	単位
V <sub>IT+</sub> 立ち上がり入力スレッショルド電圧	V <sub>CC</sub> = 2.2 V	1.1		1.5	V
	V <sub>CC</sub> = 3 V	1.5		1.9	
V <sub>IT-</sub> 立ち下がり入力スレッショルド電圧	V <sub>CC</sub> = 2.2 V	0.4		0.9	V
	V <sub>CC</sub> = 3 V	0.9		1.3	
V <sub>hys</sub> 入力電圧ヒステリシス (V <sub>IT+</sub> - V <sub>IT-</sub> )	V <sub>CC</sub> = 2.2 V	0.3		1.1	V
	V <sub>CC</sub> = 3 V	0.5		1	

標準入力 - RST/NMI、TEST; JTAG: TCK、TMS、TDI/TCLK

項目	測定条件	最小	標準	最大	単位
V <sub>IL</sub> ロー・レベル入力電圧	V <sub>CC</sub> = 2.2 V/3 V	V <sub>SS</sub>		V <sub>SS</sub> + 0.6	V
V <sub>IH</sub> ハイ・レベル入力電圧		0.8 x V <sub>CC</sub>		V <sub>CC</sub>	V

入力 Px.x、TAx

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
t <sub>(int)</sub> 外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、 割り込みフラグ用外部トリガ信号 (注 1)	2.2 V/3 V	1.5			cycle
		2.2 V	62			ns
		3 V	50			
t <sub>(cap)</sub> タイマ_A、キャプチャ・タイミング	TA0、TA1、TA2	2.2 V	62			ns
		3 V	50			
f <sub>(TAext)</sub> タイマ_A、外部から端子に印加する クロック周波数	TACLK、INCLK t <sub>(H)</sub> = t <sub>(L)</sub>	2.2 V			8	MHz
		3 V			10	
f <sub>(TAint)</sub> タイマ_A、クロック周波数	SMCLK 又は ACLK 信号選択時	2.2 V			8	MHz
		3 V			10	

(注 1) 外部信号は、最小 t<sub>(int)</sub> サイクル及び時間のパラメータが適合するたびに毎に割り込みフラグをセットします。トリガ信号が t<sub>(int)</sub> より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクルとタイミング仕様の両方を満足しなければなりません。t<sub>(int)</sub> は MCLK サイクルで測定されます。

リーク電流

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
I <sub>lkg(Px.x)</sub> ハイ・インピーダンス リーク電流	ポート P1: P1.x, 0 ≤ x ≤ 7 (注 1、2)	2.2 V/3 V			±50	nA
	ポート P2: P2.x, 0 ≤ x ≤ 5 (注 1、2)	2.2 V/3 V			±50	

(注 1) 特記無き場合、リーク電流は対応する端子に V<sub>SS</sub> 又は V<sub>CC</sub> を印加して測定します。

(注 2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ又はプルダウン抵抗がない状態とします。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

出力ポート 1 ~ 3; P1.0 ~ P1.7, P2.0 ~ P2.5, P3.0 ~ P3.7

項 目		測定条件			最小	標準	最大	単位
$V_{OH}$	ハイ・レベル出力電圧	$I_{(OHmax)} = -1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	$V_{CC} - 0.25$		$V_{CC}$	V
		$I_{(OHmax)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$		$V_{CC}$	
		$I_{(OHmax)} = -1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	$V_{CC} - 0.25$		$V_{CC}$	
		$I_{(OHmax)} = -6 \text{ mA}$		(注 2)	$V_{CC} - 0.6$		$V_{CC}$	
$V_{OL}$	ロー・レベル出力電圧	$I_{(OLmax)} = 1.5 \text{ mA}$	$V_{CC} = 2.2 \text{ V}$	(注 1)	$V_{SS}$		$V_{SS} + 0.25$	V
		$I_{(OLmax)} = 6 \text{ mA}$		(注 2)	$V_{SS}$		$V_{SS} + 0.6$	
		$I_{(OLmax)} = 1.5 \text{ mA}$	$V_{CC} = 3 \text{ V}$	(注 1)	$V_{SS}$		$V_{SS} + 0.25$	
		$I_{(OLmax)} = 6 \text{ mA}$		(注 2)	$V_{SS}$		$V_{SS} + 0.6$	

(注 1) 全出力の最大電流  $I_{OH(max)}$  と  $I_{OL(max)}$  の合計は、規定の最大電圧降下を保持するため  $\pm 12 \text{ mA}$  を越えてはいけません。

(注 2) 全出力の最大電流  $I_{OH(max)}$  と  $I_{OL(max)}$  の合計は、規定の最大電圧降下を保持するため  $\pm 48 \text{ mA}$  を越えてはいけません。

出力 P1.x, P2.x, P3.x,  $TAx$

項 目		測定条件		$V_{CC}$	最小	標準	最大	単位
$f_{(P20)}$	出力周波数	P2.0/ACLK, $C_L = 20 \text{ pF}$		2.2 V/3 V			$f_{System}$	MHz
$f_{(TAx)}$		TA0, TA1, TA2, $C_L = 20 \text{ pF}$ , 内部クロック・ソース, SMCLK 信号印加 (注 1)		2.2 V/3 V	dc		$f_{System}$	
$t_{(Xdc)}$	出力周波数デューティ比	P1.4/SMCLK, $C_L = 20 \text{ pF}$	$f_{SMCLK} = f_{LFXT1} = f_{XT1}$	2.2 V/3 V	40%		60%	
			$f_{SMCLK} = f_{LFXT1} = f_{LF}$		35%		65%	
			$f_{SMCLK} = f_{LFXT1/n}$	50% - 15 ns	50%	50% + 15 ns		
		$f_{SMCLK} = f_{DCOCLK}$	2.2 V/3 V	50% - 15 ns	50%	50% + 15 ns		
$t_{(TAdc)}$		P2.0/ACLK, $C_L = 20 \text{ pF}$	$f_{P20} = f_{LFXT1} = f_{XT1}$	2.2 V/3 V	40%		60%	ns
			$f_{P20} = f_{LFXT1} = f_{LF}$		30%		70%	
			$f_{P20} = f_{LFXT1/n}$	50%				
$t_{(TAdc)}$		TA0, TA1, TA2, $C_L = 20 \text{ pF}$ , デューティ比 = 50%		2.2 V/3 V		0	$\pm 50$	ns

(注 1) システム・クロック MCLK の規格に適合しなければなりません。MCLK と SMCLK は異なる周波数にすることができます。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 - ポート P1、P2、P3 (注)

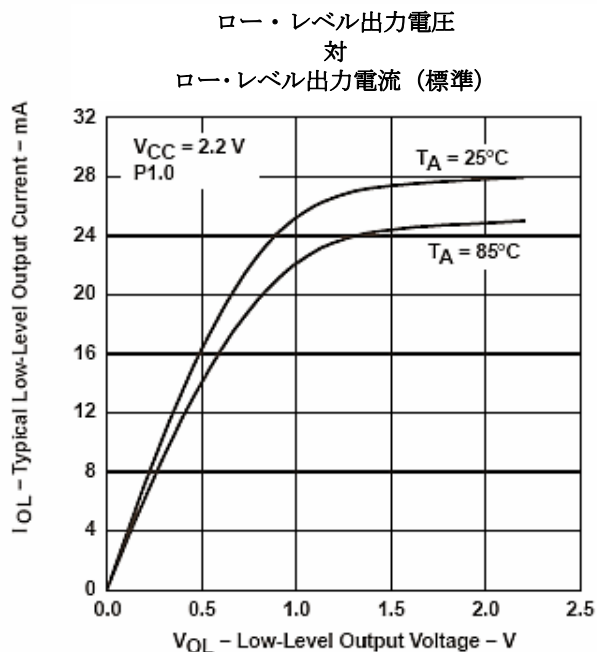


図 2

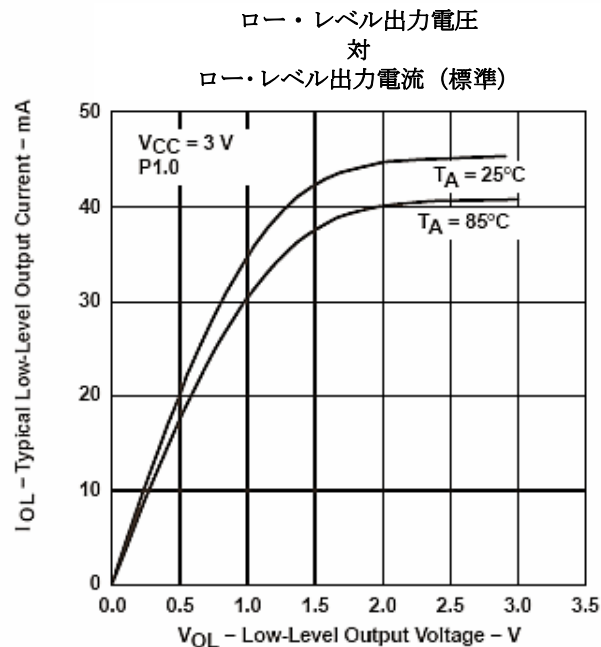


図 3

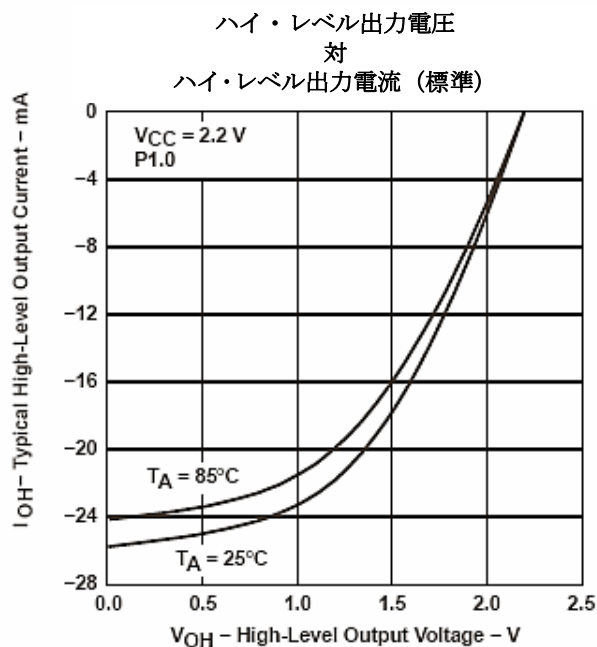


図 4

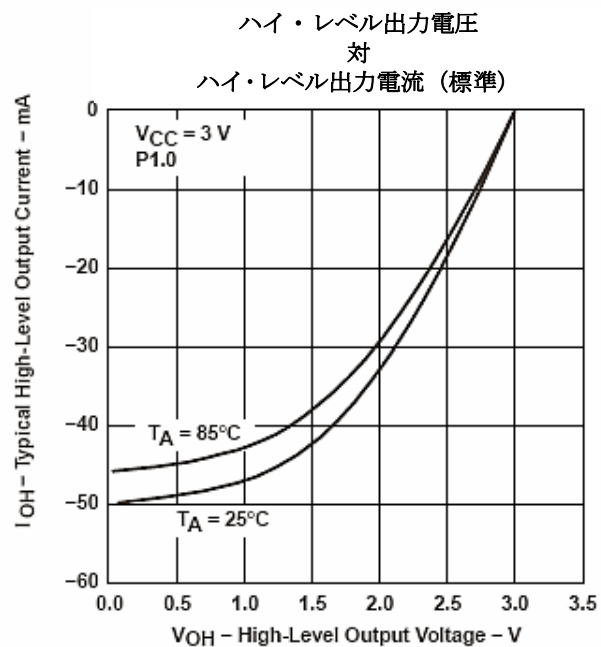


図 5

(注) 同時に 1 出力のみ負荷をかけます。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

ロー・パワー・モードからのウェーク・アップ (LPMx)

項 目	測定条件	最小	標準	最大	単位
$t_{(LPM0)}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	100			ns
$t_{(LPM2)}$	$V_{CC} = 2.2 \text{ V}/3 \text{ V}$	100			
$t_{(LPM3)}$	遅延時間 (注 1)	$f_{(MCLK)} = 1 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6		$\mu\text{s}$
		$f_{(MCLK)} = 2 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6		
		$f_{(MCLK)} = 3 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6		
$t_{(LPM4)}$		$f_{(MCLK)} = 1 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6		$\mu\text{s}$
		$f_{(MCLK)} = 2 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6		
		$f_{(MCLK)} = 3 \text{ MHz}, V_{CC} = 2.2 \text{ V}/3 \text{ V}$	6		

(注 1) このパラメータは、DCOCLK が MCLK として使用される場合のみに適用します。

USART (注 1)

項 目	測定条件	最小	標準	最大	単位
$t_{(\tau)}$ USART: デグリッチ時間	$V_{CC} = 2.2 \text{ V}$	200	430	800	ns
	$V_{CC} = 3 \text{ V}$	150	280	500	

(注 1) USART 受信信号/端子 (URXD) に印加される信号は、URXS フリップ・フロップが確実にセットされるために  $t_{(\tau)}$  のタイミングの要求に適合しなければなりません。URXS フリップ・フロップは、 $t_{(\tau)}$  の最小タイミング条件に適合した立ち下がりパルスでセットされます。フラグをセットするための動作条件は、このタイミング条件とは独立に適合しなければなりません。デグリッチ回路は、URXD ラインの立ち下がり遷移でのみアクティブになります。

RAM

項 目	最小	標準	最大	単位
$V_{(RAMb)}$ CPU 停止 (HALT) 時 (注 1)	1.6			V

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

POR/ブラウンアウト、リセット (注 1、2)

項 目	測定条件	最小	標準	最大	単位
$t_{d(BOR)}$		2000			$\mu\text{s}$
$V_{CC(start)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$	$0.7 \times V_{(B\_IT-)}$			V
$V_{(B\_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$	1.71			V
$V_{hys(B\_IT-)}$	$dV_{CC}/dt \leq 3 \text{ V/s}$	70	130	180	mV
$t_{(reset)}$	内部でリセットを受け付けるための $\overline{\text{RST}}/\text{NMI}$ 入力パルス幅、 $V_{CC} = 2.2 \text{ V}/3 \text{ V}$	2			$\mu\text{s}$

(注 1) ブラウンアウト・モジュールの消費電流は、 $I_{CC}$  に含まれています。

(注 2) パワーアップ時は、CPU は  $V_{CC} = V_{(B\_IT-)} + V_{hys(B\_IT-)}$  となった後  $t_{d(BOR)}$  経過後にコードの実行を開始します。デフォルトの DCO の設定は、 $V_{CC} \geq V_{CC(min)}$  となるまで変えてはいけません。 $V_{CC(min)}$  は、使用する動作周波数における最小電源電圧を表します。ブラウンアウト回路の詳細は、MSP430x1xx ファミリー ユーザーズ・ガイド SLAU135 (日本語版)、SLAU049 (英語版) を参照して下さい。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

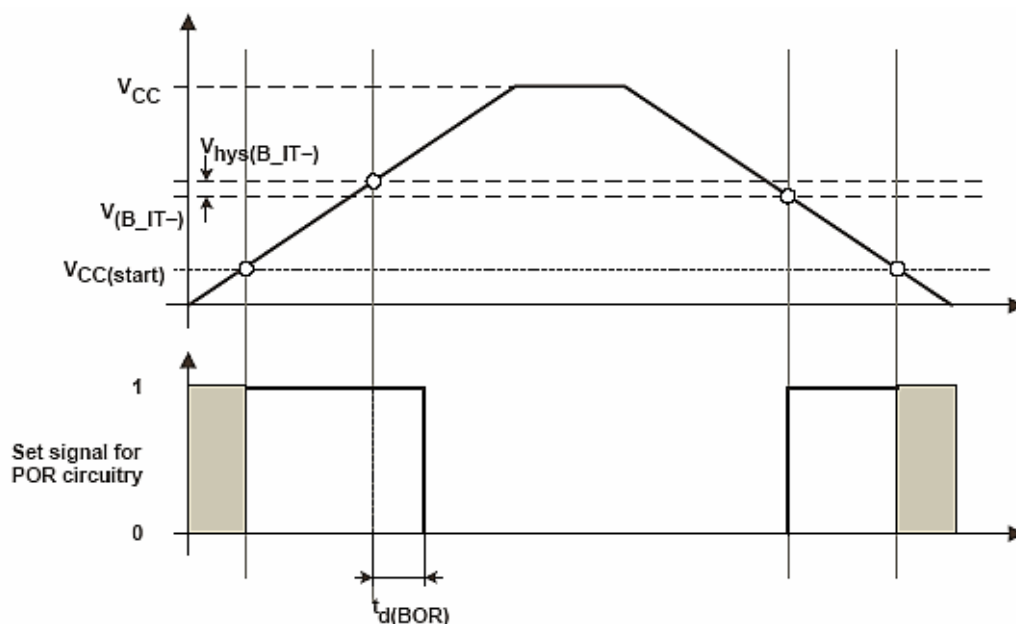


図 6. 電源電圧 対 POR / ブラウンアウト・リセット (BOR)

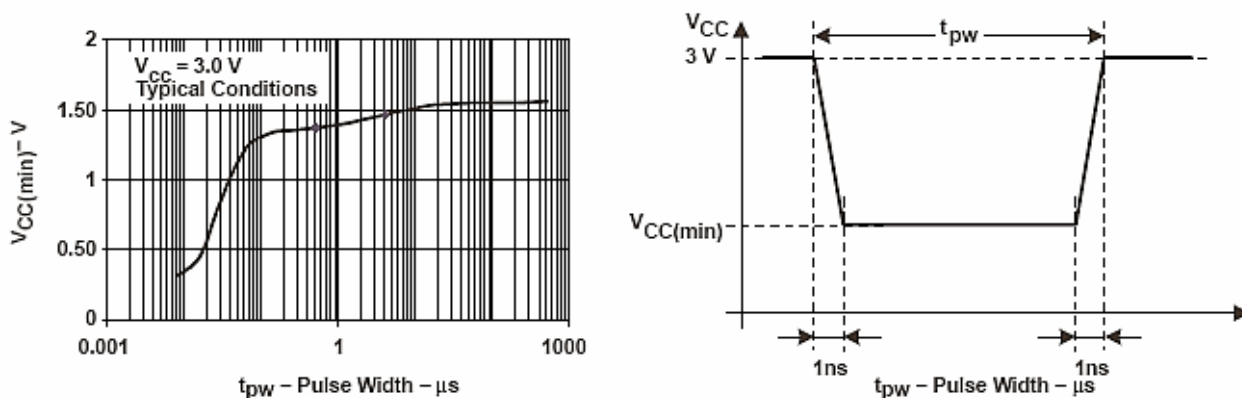


図 7. POR / ブラウンアウト信号を生成するための  $V_{CC(min)}$  レベル (矩形波電圧降下)

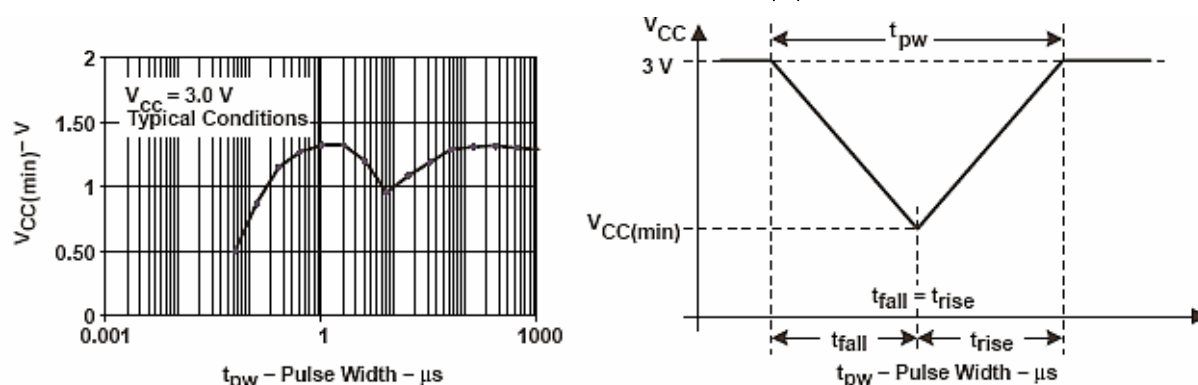


図 8. POR / ブラウンアウト信号を生成するための  $V_{CC(min)}$  レベル (三角波電圧降下)

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

DCO

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
f <sub>(DC003)</sub>	R <sub>sel</sub> = 0、DCO = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	0.08	0.12	0.15	MHz
		3 V	0.08	0.13	0.16	
f <sub>(DC013)</sub>	R <sub>sel</sub> = 1、DCO = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	0.14	0.19	0.23	MHz
		3 V	0.14	0.18	0.22	
f <sub>(DC023)</sub>	R <sub>sel</sub> = 2、DCO = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	0.22	0.3	0.36	MHz
		3 V	0.22	0.28	0.34	
f <sub>(DC033)</sub>	R <sub>sel</sub> = 3、DCO = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	0.37	0.49	0.59	MHz
		3 V	0.37	0.47	0.56	
f <sub>(DC043)</sub>	R <sub>sel</sub> = 4、DCO = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	0.61	0.77	0.93	MHz
		3 V	0.61	0.75	0.9	
f <sub>(DC053)</sub>	R <sub>sel</sub> = 5、DCO = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	1	1.2	1.5	MHz
		3 V	1	1.3	1.5	
f <sub>(DC063)</sub>	R <sub>sel</sub> = 6、DCO = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	1.6	1.9	2.2	MHz
		3 V	1.69	2	2.29	
f <sub>(DC073)</sub>	R <sub>sel</sub> = 7、DCO = 3、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	2.4	2.9	3.4	MHz
		3 V	2.7	3.2	3.65	
f <sub>(DC077)</sub>	R <sub>sel</sub> = 7、DCO = 7、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V	4	4.5	4.9	MHz
		3 V	4.4	4.9	5.4	
f <sub>(DC047)</sub>	R <sub>sel</sub> = 4、DCO = 7、MOD = 0、DCOR = 0、T <sub>A</sub> = 25°C	2.2 V/3 V	f <sub>DC040</sub> x 1.7	f <sub>DC040</sub> x 2.1	f <sub>DC040</sub> x 2.5	MHz
S <sub>(Rsel)</sub>	S <sub>R</sub> = f <sub>Rsel+1</sub> /f <sub>Rsel</sub>	2.2 V/3 V	1.35	1.65	2	ratio
S <sub>(DC0)</sub>	S <sub>DC0</sub> = f <sub>DC0+1</sub> /f <sub>DC0</sub>	2.2 V/3 V	1.07	1.12	1.16	
D <sub>t</sub>	温度ドリフト、R <sub>sel</sub> = 4、DCO = 3、MOD = 0 (注 1)	2.2 V	-0.31	-0.36	-0.4	%/°C
		3 V	-0.33	-0.38	-0.43	
D <sub>v</sub>	V <sub>CC</sub> 変動によるドリフト、R <sub>sel</sub> = 4、DCO = 3、MOD = 0 (注 1)	2.2 V/3 V				±5 %/V

(注 1) これらのパラメータは、量産テストは実施していません。

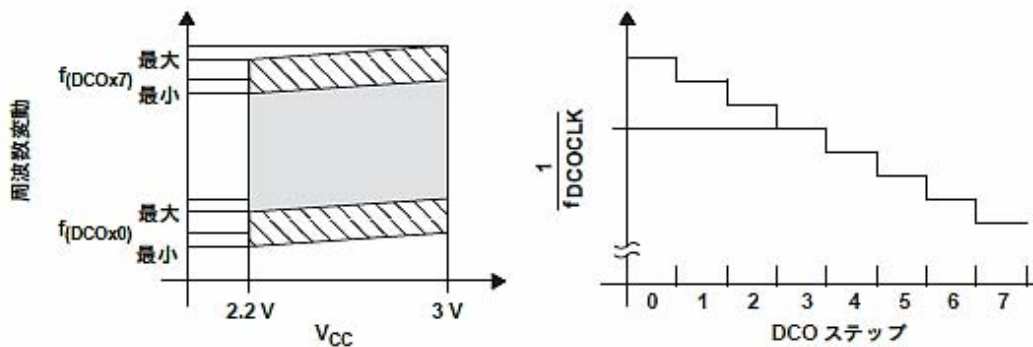


図 9. DCO 特性

## 推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

## 主要 DC0 特性

- 個々のデバイスには、最小及び最大動作周波数があります。  $f_{(DC0x0)} \sim f_{(DC0x7)}$  の指定されたパラメータは、すべてのデバイスに適用されます。
- Rsel(n) によって選択されるすべての範囲は、Rsel(n+1) と重なります: Rsel0 は Rsel1 と重なります、... Rsel16 は Rsel17 と重なります。

$$f_{average} = \frac{32 \times f_{(DC0)} \times f_{(DC0+1)}}{MOD \times f_{(DC0)} + (32 - MOD) \times f_{(DC0+1)}}$$

- DC0 コントロール・ビット DC00、DC01 及び DC02 は、パラメータ  $S_{DC0}$  によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD0 ~ MOD4 は、32 DC0CLK サイクルの期間で  $f_{(DC0+1)}$  が使用される頻度を選択します。周波数  $f_{(DC0)}$  は、残りのサイクルのために使用されます。平均の周波数は:

R<sub>osc</sub> 使用時の DC0 (注 1)

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
f <sub>DC0</sub> , DC0 出力周波数	R <sub>sel</sub> = 4, DC0 = 3, MOD = 0, DCOR = 1, T <sub>A</sub> = 25°C	2.2 V	1.8±15%			MHz
		3 V	1.95±15%			
D <sub>t</sub> , 温度ドリフト	R <sub>sel</sub> = 4, DC0 = 3, MOD = 0, DCOR = 1	2.2 V / 3 V	±0.1			%/°C
D <sub>v</sub> , V <sub>CC</sub> 変動によるドリフト	R <sub>sel</sub> = 4, DC0 = 3, MOD = 0, DCOR = 1	2.2 V / 3 V	10			%/V

(注 1) R<sub>osc</sub> = 100 kΩ、金属皮膜抵抗、タイプ 0257、0.6 W、1% 誤差、T<sub>x</sub> = ±50 ppm/°C

## クリスタル・オシレータ、LFXT1

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
C <sub>XIN</sub>	XTS = 0; LF モード選択時	2.2 V / 3 V	12			pF
	XTS = 1; XT1 モード選択時 (注 1)	2.2 V / 3 V	2			
C <sub>XOUT</sub>	XTS = 0; LF モード選択時	2.2 V / 3 V	12			pF
	XTS = 1; XT1 モード選択時 (注 1)	2.2 V / 3 V	2			
V <sub>IL</sub>	XIN 入力レベル (注 2)	2.2 V / 3 V	V <sub>SS</sub>		0.2 x V <sub>CC</sub>	V
V <sub>IH</sub>			0.8 x V <sub>CC</sub>		V <sub>CC</sub>	V

(注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

(注 2) 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はセラミック発振子を使用する場合は適用されません。



推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

10 ビット ADC 電源及び入力範囲条件 (注 1)

項目	測定条件	最小	標準	最大	単位		
$V_{CC}$	アナログ電源電圧	$V_{SS} = 0 \text{ V}$		2.2	3.6	V	
$V_{(P6.x/Ax)}$	アナログ入力電圧範囲 (注 2)	全 Ax 端子、ADC10AE レジスタのアナログ入力を選択、PxSel.x = 1、 $V_{SS} \leq V_{P6.x/Ax} \leq V_{CC}$		0	$V_{CC}$	V	
$I_{ADC10}$	動作電源電流 ( $V_{CC}$ ) (注 3)	$f_{ADC10CLK} = 5 \text{ MHz}$ 、 ADC100N = 1、REFON = 0、 ADC10SHT0 = 1、ADC10SHT1 = 0、 ADC10DIV = 0	$V_{CC} = 2.2 \text{ V}$	0.52	1.05	mA	
			$V_{CC} = 3 \text{ V}$	0.6	1.2		
$I_{REF+}$	基準電圧動作電流、 基準電圧バッファはディスエーブル (注 4)	$f_{ADC10CLK} = 5 \text{ MHz}$ 、 ADC100N = 0、REFON = 1、 REF2_5V = x; REFOUT = 0	$V_{CC} = 2.2 \text{ V}/3$	0.25	0.4	mA	
$I_{REFB}$	基準電圧バッファ動作電流 (注 4)	$f_{ADC10CLK} = 5 \text{ MHz}$ 、 ADC100N = 0、REFON = 1、 REF2_5V = 0、REFOUT = 1	ADC10SR = 0	1.1	1.4	mA	
			ADC10SR = 1	0.46	0.55		
$C_I \dagger$	入力容量	1 度に 1 端子のみ選択可能、 Px.x/Ax	$V_{CC} = 2.2 \text{ V}$			27	pF
$R_I \dagger$	入力 MUX オン抵抗	$0 \text{ V} \leq V_{Ax} \leq V_{CC}$	$V_{CC} = 3 \text{ V}$			2000	$\Omega$

† これらのパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) リーク電流は、Px.x/Ax パラメータのリーク電流の表で規定されています。

(注 2) アナログ入力電圧範囲は、有効な変換結果を得るために、選択された基準電圧範囲  $V_{R+} \sim V_{R-}$  の範囲内でなければなりません。

(注 3) 内部基準電圧電流は、消費電流パラメータ  $I_{ADC10}$  に含まれていません。

(注 4) 内部基準電圧電流は、 $V_{CC}$  端子を経由して供給されます。変換がアクティブでない場合、消費電流は ADC100N コントローラ・ビットとは無関係です。REFON ビットにより、A/D 変換を始める前に、内部基準電圧の設定を行うことができます。

10 ビット ADC 外部基準電圧 (注 1)

項目	測定条件	$V_{CC}$	最小	標準	最大	単位
$V_{eREF+}$	正外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 2)	1.4		$V_{CC}$	V
$V_{REF-}/V_{eREF-}$	負外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 3)	0		1.2	V
$(V_{eREF+} - V_{REF-}/V_{eREF-})$	差動外部基準電圧入力	$V_{eREF+} > V_{REF-}/V_{eREF-}$ (注 4)	1.4		$V_{CC}$	V
$I_{VeREF+}$	静止入力電流	$0 \text{ V} \leq V_{eREF+} \leq V_{CC}$	2.2 V/3 V		$\pm 1$	$\mu\text{A}$
$I_{VREF-}/V_{eREF-}$	静止入力電流	$0 \text{ V} \leq V_{eREF-} \leq V_{CC}$	2.2 V/3 V		$\pm 1$	$\mu\text{A}$

(注 1) 外部基準電圧は変換動作の間、キャパシタンス・アレイの充/放電を行うために使用されます。入力容量  $C_I$  も変換動作中の外部基準電圧の動的負荷になります。基準電圧の動的インピーダンスは、10 ビットの精度を出すために推奨のアナログ・ソース・インピーダンスに適合しなければなりません。

(注 2) 最小値は精度で決まります。要求精度が低い場合は、これより低い基準電圧を印加しても差し支えありません。

(注 3) 最大値は精度で決まります。要求精度が低い場合は、これより高い基準電圧を印加しても差し支えありません。

(注 4) 最小値は精度で決まります。要求精度が低い場合は、これより低い差動基準電圧を印加しても差し支えありません。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

## 10 ビット ADC 内部基準電圧

項目	測定条件		最小	標準	最大	単位	
$V_{REF+}$	正内部基準電圧出力	2.5 V 内部基準電圧の場合 REF2_5V = 1、 $I_{VREF+} \leq I_{VREF+,max}$	$V_{CC} = 3 V$	2.35	2.5	2.65	V
		1.5 V 内部基準電圧の場合 REF2_5V = 0、 $I_{VREF+} \leq I_{VREF+,max}$	$V_{CC} = 2.2 V/3 V$	1.41	1.5	1.59	
$V_{CC(min)}$	正内部基準電圧がアクティブとなる最小アナログ電源電圧	REF2_5V = 0、 $I_{VREF+} \leq 1 mA$		2.2			V
		REF2_5V = 1、 $I_{VREF+} \leq 0.5 mA$		$V_{REF+} + 0.15$			
		REF2_5V = 1、 $I_{VREF+} \leq 1 mA$		$V_{REF+} + 0.15$			
$I_{VREF+}$	$V_{REF+}$ 端子負荷電流		$V_{CC} = 2.2 V$		$\pm 0.5$	mA	
			$V_{CC} = 3 V$		$\pm 1$		
$I_{L(VREF)+}$ †	$V_{REF+}$ 端子負荷電流レギュレーション	$I_{VREF+} = 500 \mu A \pm 100 \mu A$ 、 アナログ入力電圧 $\sim 0.75 V$ ; REF2_5V = 0	$V_{CC} = 2.2 V$		$\pm 2$	LSB	
		$I_{VREF+} = 500 \mu A \pm 100 \mu A$ アナログ入力電圧 $\sim 1.25 V$ ; REF2_5V = 1	$V_{CC} = 3 V$		$\pm 2$		
$t_{DL(VREF)+}$ ‡	$V_{REF+}$ 端子負荷電流レギュレーション	$I_{VREF+} = 100 \mu A \rightarrow 900 \mu A$ 、 $V_{CC} = 3 V$ 、 $A_x \sim 0.5 \times V_{REF+}$ 、 変換結果誤差 $\leq 1 LSB$	ADC10SR = 0		400	ns	
			ADC10SR = 1		2000		
$C_{VREF+}$	$V_{REF+}$ 端子容量 (注 1)	REFON = 1、 $I_{VREF+} \leq \pm 1 mA$	$V_{CC} = 2.2 V/3 V$		100	pF	
$T_{REF+}$ †	内部基準電圧の温度係数	$I_{VREF+}$ は $0 mA \leq I_{VREF+} \leq 1 mA$ の範囲内で一定	$V_{CC} = 2.2 V/3 V$		$\pm 100$	ppm/ $^{\circ}C$	
$t_{REPON}$ †	$V_{REF+}$ 内部基準電圧セトリング時間 (注 2)	$I_{VREF+} = 0.5 mA$ 、 $V_{REF+} = 1.5 V$ 、 $V_{CC} = 3.6 V$ 、REFON = 0 $\rightarrow$ 1			30	$\mu s$	
			$I_{VREF+} = 0.5 mA$ 、 $V_{REF+} = 1.5 V$ 、 $V_{CC} = 2.2 V$ 、REFON = 1	ADC10SR = 0	0.8		
			$I_{VREF+} = 0.5 mA$ 、 $V_{REF+} = 1.5 V$ 、 $V_{CC} = 2.2 V$ 、REFON = 1	ADC10SR = 1	2.5		

† これらのパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ これらのパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) 内部バッファ・オペアンプに接続される容量で、端子 P2.4/TA2/A4/ $V_{REF+}$ / $V_{eREF+}$  (REFOUT = 1) に切り換える場合は、この値に制限しなければなりません。さもなければ、基準電圧バッファが不安定になることがあります。(注 2) この条件は、 $t_{REPON}$  後に開始した変換の誤差が  $\pm 0.5 LSB$  以内となる事です。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

10 ビット ADC タイミング

項目	測定条件	最小	標準	最大	単位	
f <sub>ADC10CLK</sub>	ADC10 の直線性パラメータの 規定に適合するため	ADC10SR = 0		0.45	6.3	MHz
		ADC10SR = 1		0.45	1.5	
f <sub>ADC10OSC</sub>	内部 ADC オシレータ ADC10DIV = 0、 f <sub>ADC10CLK</sub> = f <sub>ADC10OSC</sub>	V <sub>CC</sub> = 2.2 V/ 3V		3.7	6.3	MHz
t <sub>CONVERT</sub>	変換時間 内部オシレータ、 f <sub>ADC10OSC</sub> = 3.7 MHz ~ 6.3 MHz ACLK、MCLK 又は SMCLK からの外部 f <sub>ADC10CLK</sub> : ADC10SSEL ≠ 0	V <sub>CC</sub> = 2.2 V/ 3 V		2.06	3.51	μs
		13 x ADC10DIV x 1/f <sub>ADC10CLK</sub>				
t <sub>ADC10ON</sub> †	ADC ターン・オン セトリング時間	(注 1)			100	ns
t <sub>Sample</sub> †	サンプリング時間 R <sub>S</sub> = 400 Ω、R <sub>I</sub> = 2000 Ω、 C <sub>I</sub> = 20 pF (注 2)	V <sub>CC</sub> = 3 V		1400		ns
		V <sub>CC</sub> = 2.2 V		1400		

† これらのパラメータは特性評価によって決められたもので、量産テストは実施していません。

‡ これらのパラメータは設計によって検証されたもので、量産テストは実施していません。

(注 1) この条件は、t<sub>ADC10ON</sub> 後に開始した変換誤差が ±0.5 LSB 以内となる事です。基準電圧及び入力信号は、既に安定状態です。

(注 2) 誤差を ±0.5 LSB 以内とするためには、約 8 タウ (τ) が必要です。

t<sub>Sample</sub> = ln(2<sup>n+1</sup>) x (R<sub>S</sub> + R<sub>I</sub>) x C<sub>I</sub> + 800 ns 但し、ADC10SR = 0、n = ADC 分解能 = 10、R<sub>S</sub> = 外部信号源抵抗

t<sub>Sample</sub> = ln(2<sup>n+1</sup>) x (R<sub>S</sub> + R<sub>I</sub>) x C<sub>I</sub> + 2.5 μs 但し、ADC10SR = 1、n = ADC 分解能 = 10、R<sub>S</sub> = 外部信号源抵抗

10 ビット ADC 直線性

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
E <sub>I</sub>	積分直線性誤差	2.2 V/3 V	1.4 V ≤ (V <sub>eREF+</sub> - V <sub>REF-/V<sub>eREF-</sub></sub> ) min ≤ 1.6 V		±1	LSB
			1.6 V < (V <sub>eREF+</sub> - V <sub>REF-/V<sub>eREF-</sub></sub> ) min ≤ [V <sub>CC</sub> ]		±1	
E <sub>D</sub>	微分直線性誤差	2.2 V/3 V			±1	LSB
E <sub>O</sub>	オフセット誤差	2.2 V/3 V		±2	±4	LSB
E <sub>G</sub>	ゲイン誤差	2.2 V/3 V		±1.1	±2	LSB
E <sub>T</sub>	全無調整誤差	2.2 V/3 V		±2	±5	LSB

## 推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

10 ビット ADC 温度センサ及び内部  $V_{MID}$ 

項目	測定条件	$V_{CC}$	最小	標準	最大	単位
$I_{SENSOR}$	動作電源電流 ( $V_{CC}$ ) (注 1)	REFON = 0、INCH = 0Ah、 ADC100N = NA、 $T_A = 25^\circ\text{C}$	2.2 V	40	120	$\mu\text{A}$
			3 V	60	160	
$V_{SENSOR}$ †	センサ電圧	ADC100N = 1、INCH = 0Ah、 $T_A = 0^\circ\text{C}$	2.2 V	986	986±5%	mV
			3 V	986	986±5%	
$TC_{SENSOR}$ †	センサ電圧温度係数	ADC100N = 1、INCH = 0Ah	2.2 V	3.55	3.55±3%	mV/°C
			3 V	3.55	3.55±3%	
$t_{SENSOR(sample)}$ †	チャンネル 10 が選択された場合に必要 なサンプル時間 (注 2)	ADC100N = 1、INCH = 0Ah、 変換結果誤差 $\leq 1$ LSB	2.2 V	30		$\mu\text{s}$
			3 V	30		
$I_{VMID}$	チャンネル 11 のディバイダに流れ込 む電流 (注 3)	ADC100N = 1、INCH = 0Bh	2.2 V		NA	$\mu\text{A}$
			3 V		NA	
$V_{MID}$	チャンネル 11 のディバイダ $V_{CC}$ 電圧	ADC100N = 1、INCH = 0Bh、 $V_{MID} \sim 0.5 \times V_{CC}$	2.2 V	1.1	1.1±0.04	V
			3 V	1.5	1.5±0.04	
$t_{VMID(sample)}$	チャンネル 11 が選択された場合に必 要なサンプル時間 (注 4)	ADC100N = 1、INCH = 0Bh、 変換結果誤差 $\leq 1$ LSB	2.2 V	1400		ns
			3 V	1220		

† これらのパラメータは特性評価によって決められたもので、量産テストは実施していません。

(注 1) センサ電流  $I_{SENSOR}$  は、ADC100N = 1 で REFON = 1 の場合、又は ADC100N = 1 で INCH = 0Ah、及びサンプル信号がハイ・レベルの場合に消費されます。REFON = 1 の場合、 $I_{SENSOR}$  は  $I_{REF+}$  に含まれます。REFON = 0 の場合、 $I_{SENSOR}$  は 温度センサ入力の変換時に適用します (INCH = 0Ah)。

(注 2) センサの標準的な等価インピーダンスは 51 k $\Omega$  です。必要とされるサンプル時間は、センサ・オン時間  $t_{SENSOR(on)}$  を含みます。

(注 3) 追加の電流は必要ありません。 $V_{MID}$  はサンプリングの間に使用されます。

(注 4) オン時間  $t_{VMID(on)}$  は、サンプリング時間の  $t_{VMID(sample)}$  に含まれます。追加のオン時間は必要ありません。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

項 目		測定条件	V <sub>CC</sub>	最小	標準	最大	単位
V <sub>CC(PGM/ERASE)</sub>	プログラム及び消去時電源電圧			2.7		3.6	V
f <sub>FTG</sub>	フラッシュ・タイミング発生器周波数			257		476	kHz
I <sub>PGM</sub>	プログラム時消費電流 (V <sub>CC</sub> )		2.7 V/3.6 V		3	5	mA
I <sub>ERASE</sub>	消去時消費電流 (V <sub>CC</sub> )		2.7 V/3.6 V		3	7	mA
t <sub>CPT</sub>	累積プログラム時間	(注 1)	2.7 V/3.6 V			4	ms
t <sub>CM_Erase</sub>	累積一括消去時間	(注 2)	2.7 V/3.6 V	200			ms
	プログラム/消去回数			10 <sup>4</sup>	10 <sup>5</sup>		cycles
t <sub>Retention</sub>	データ保持期間	T <sub>J</sub> = 25°C		100			years
t <sub>Word</sub>	ワード又はバイト・プログラム時間				35		t <sub>FTG</sub>
t <sub>Block_0</sub>	先頭バイト又はワードのブロック・プログラム時間	(注 3)			30		
t <sub>Block_1-63</sub>	各後続バイト又はワードのブロック・プログラム時間				21		
t <sub>Block_End</sub>	ブロック・プログラム終了シーケンスのウェイト時間				6		
t <sub>Mass_Erase</sub>	一括消去時間				5297		
t <sub>Seg_Erase</sub>	セグメント消去時間				4819		

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f<sub>FTG</sub>, max = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。(ワースト・ケースで最小 19 サイクル必要です。)

(注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t<sub>FTG</sub> = 1/f<sub>FTG</sub>)

JTAG インタフェース

項 目		測定条件	V <sub>CC</sub>	最小	標準	最大	単位
f <sub>TCK</sub>	TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
			3 V	0		10	
R <sub>Internal</sub>	内部プルダウン抵抗 (TEST)	(注 2)	2.2 V/3 V	25	60	90	kΩ

(注 1) f<sub>TCK</sub> は、選択されたモジュールのタイミング条件に適合するように制限されます。

(注 2) TEST プルダウン抵抗は、すべてのフラッシュ・バージョンに内蔵されています。

JTAG ヒューズ (注 1)

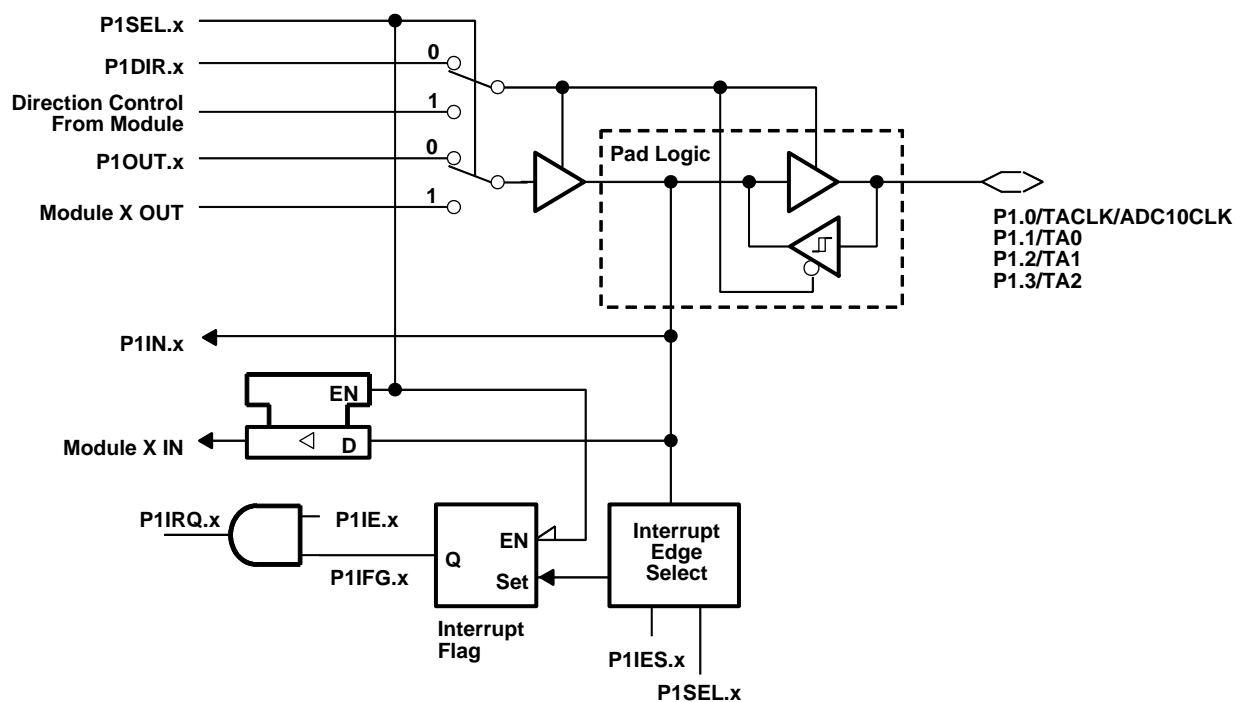
項 目		測定条件	V <sub>CC</sub>	最小	標準	最大	単位
V <sub>CC(FB)</sub>	ヒューズ切断時の電源電圧	T <sub>A</sub> = 25°C		2.5			V
V <sub>FB</sub>	ヒューズ切断電圧 (TEST)			6		7	V
I <sub>FB</sub>	ヒューズ切断時の消費電流 (TEST)					100	mA
t <sub>FB</sub>	ヒューズ切断時間					1	ms

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG /テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力/出力図

ポート P1、P1.0 ~ P1.3、シュミット・トリガ入力/出力



NOTE: x = Bit/identifier, 0 to 3 for port P1

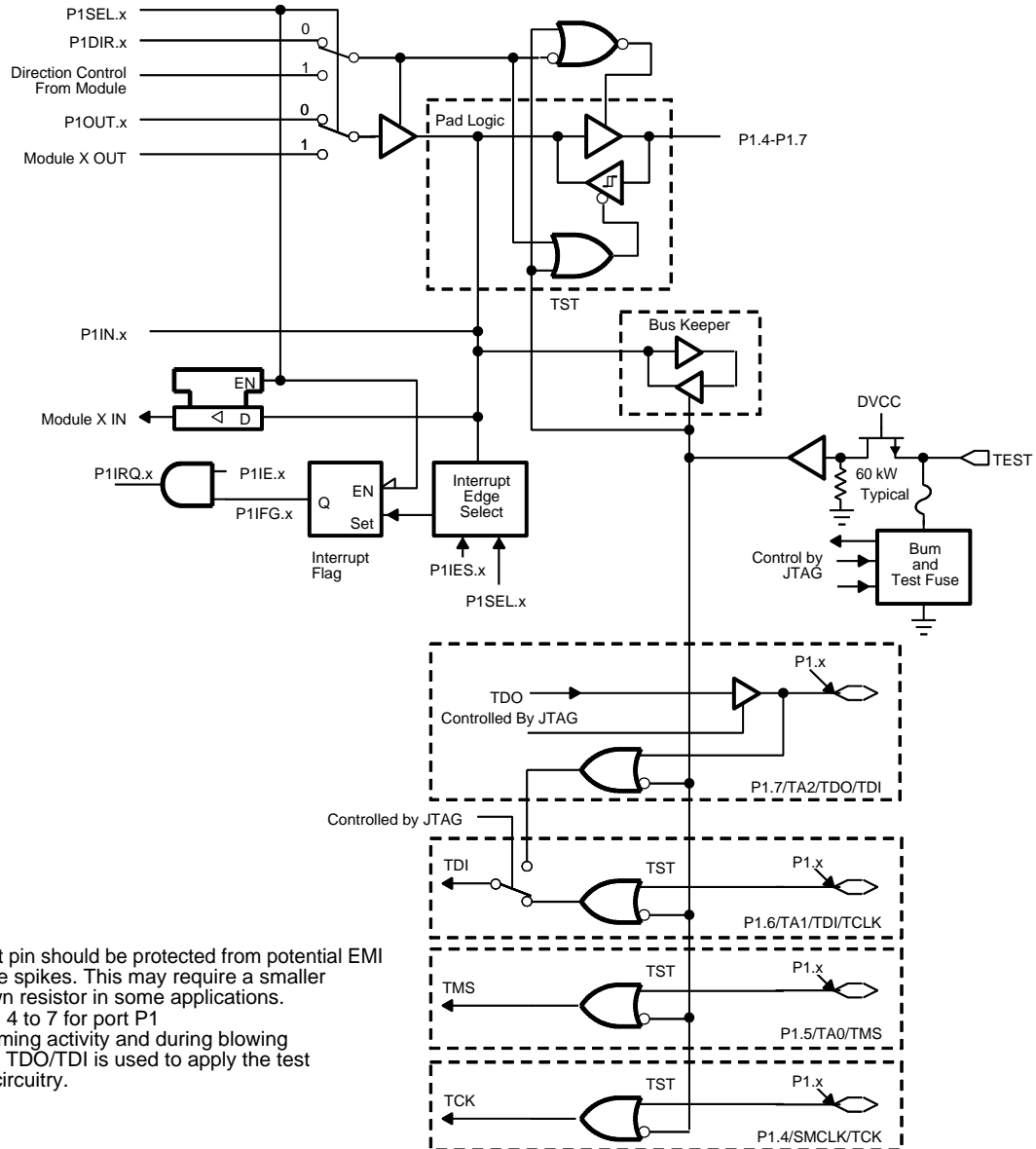
PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN	PnIE. x	PnIFG. x	PnIES. x
P1Sel. 0	P1DIR. 0	P1DIR. 0	P1OUT. 0	ADC10CLK	P1IN. 0	TACLK †	P1IE. 0	P1IFG. 0	P1IES. 0
P1Sel. 1	P1DIR. 1	P1DIR. 1	P1OUT. 1	Out0 signal †	P1IN. 1	CCI0A †	P1IE. 1	P1IFG. 1	P1IES. 1
P1Sel. 2	P1DIR. 2	P1DIR. 2	P1OUT. 2	Out1 signal †	P1IN. 2	CCI1A †	P1IE. 2	P1IFG. 2	P1IES. 2
P1Sel. 3	P1DIR. 3	P1DIR. 3	P1OUT. 3	Out2 signal †	P1IN. 3	CCI2A †	P1IE. 3	P1IFG. 3	P1IES. 3

† タイマ\_A からの (又はへの) 信号

アプリケーション情報

入力/出力図

ポート P1、P1.4 ~ P1.7、シュミット・トリガ入力/出力及びイン・システム アクセス機能



NOTE: The test pin should be protected from potential EMI and ESD voltage spikes. This may require a smaller external pulldown resistor in some applications.  
 x = Bit identifier, 4 to 7 for port P1  
 During programming activity and during blowing the fuse, the pin TDO/TDI is used to apply the test input for JTAG circuitry.

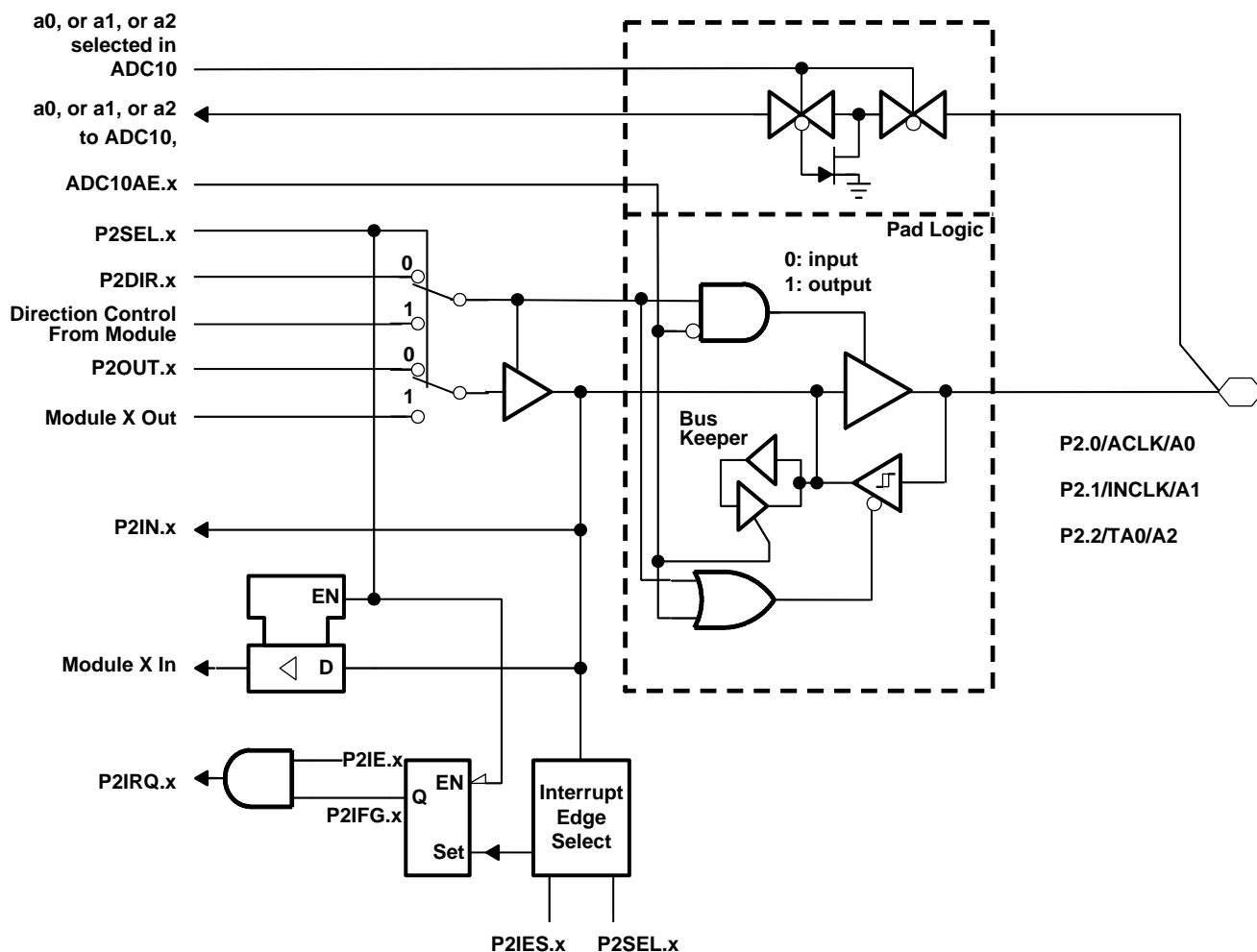
PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN	PnIE. x	PnIFG. x	PnIES. x
P1Sel. 4	P1DIR. 4	P1DIR. 4	P1OUT. 4	SMCLK	P1IN. 4	unused	P1IE. 4	P1IFG. 4	P1IES. 4
P1Sel. 5	P1DIR. 5	P1DIR. 5	P1OUT. 5	Out0 signal †	P1IN. 5	unused	P1IE. 5	P1IFG. 5	P1IES. 5
P1Sel. 6	P1DIR. 6	P1DIR. 6	P1OUT. 6	Out1 signal †	P1IN. 6	unused	P1IE. 6	P1IFG. 6	P1IES. 6
P1Sel. 7	P1DIR. 7	P1DIR. 7	P1OUT. 7	Out2 signal †	P1IN. 7	unused	P1IE. 7	P1IFG. 7	P1IES. 7

† タイマ\_A からの (又はへの) 信号

アプリケーション情報

入力/出力図 (続き)

ポート P2, P2.0 ~ P2.2, シュミット・トリガ入力/出力



PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN	PnIE. x	PnIFG. x	PnIES. x
P2Sel. 0	P2DIR. 0	P2DIR. 0	P2OUT. 0	ACLK †	P2IN. 0	unused	P2IE. 0	P2IFG. 0	P1IES. 0
P2Sel. 1	P2DIR. 1	P2DIR. 1	P2OUT. 1	V <sub>SS</sub>	P2IN. 1	INCLK †	P2IE. 1	P2IFG. 1	P1IES. 1
P2Sel. 2	P2DIR. 2	P2DIR. 2	P2OUT. 2	OUT0 signal †	P2IN. 2	CCIOB †	P2IE. 2	P2IFG. 2	P1IES. 2

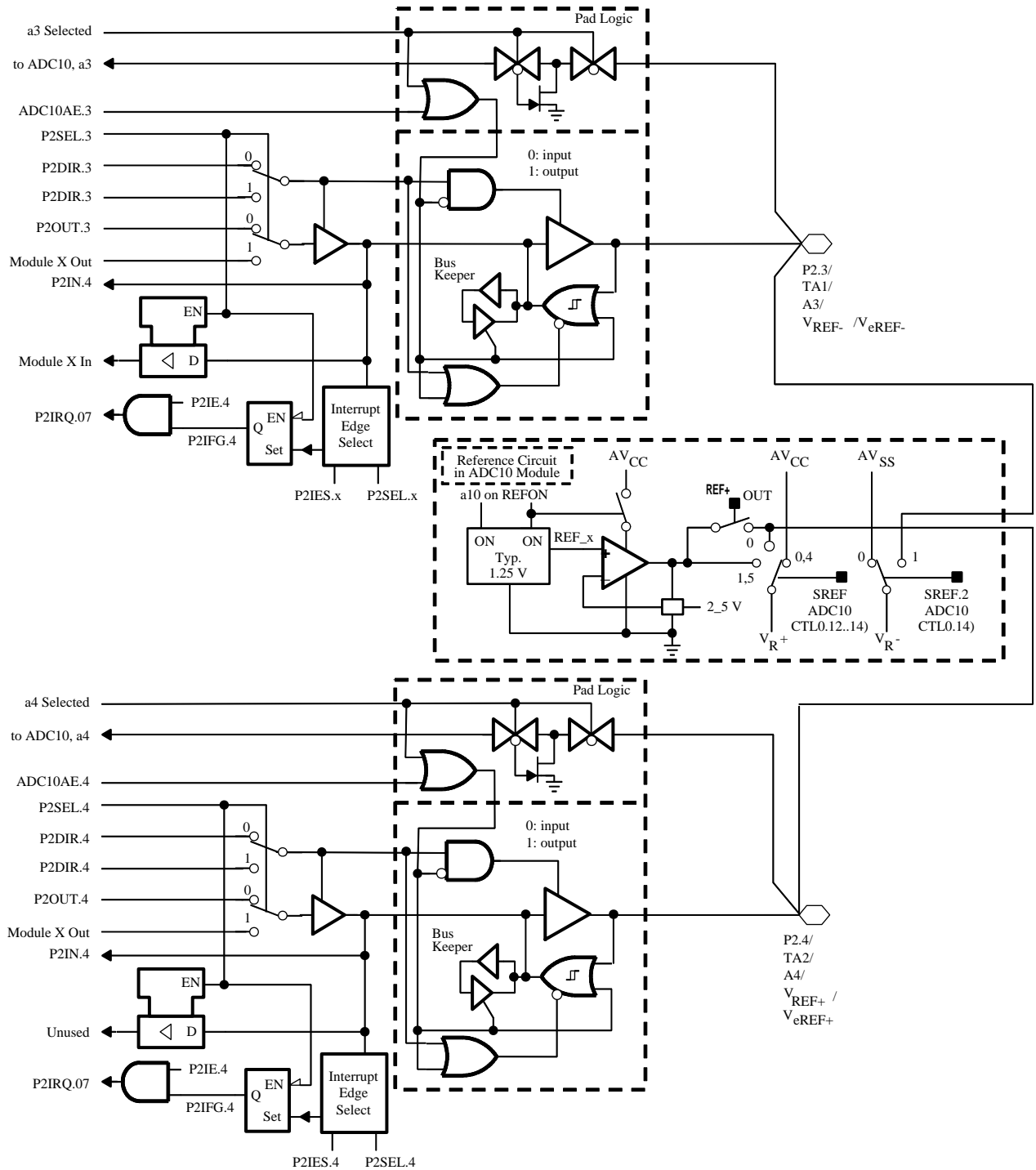
† タイマ\_A



アプリケーション情報

入力/出力図 (続き)

ポート P2、P2.3 ~ P2.4、シュミット・トリガ入力/出力

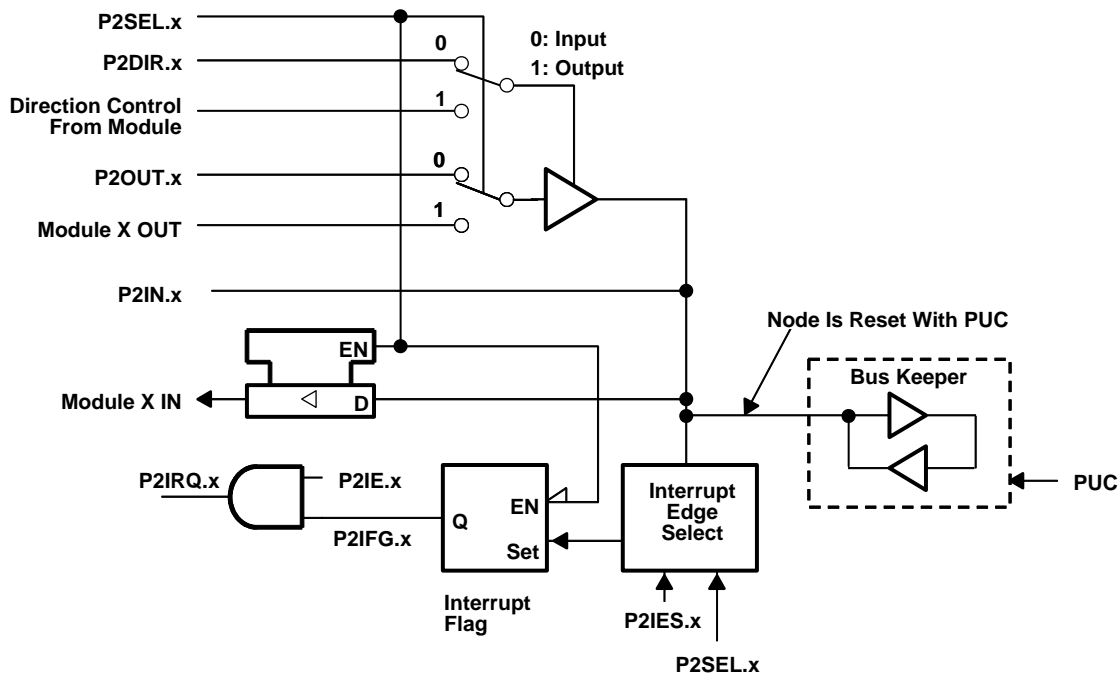




アプリケーション情報

入力/出力図 (続き)

ポート P2、ボンドされていないビット P2.6、P2.7



NOTE: x = Bit/identifier, 6 to 7 for port P2 without external pins

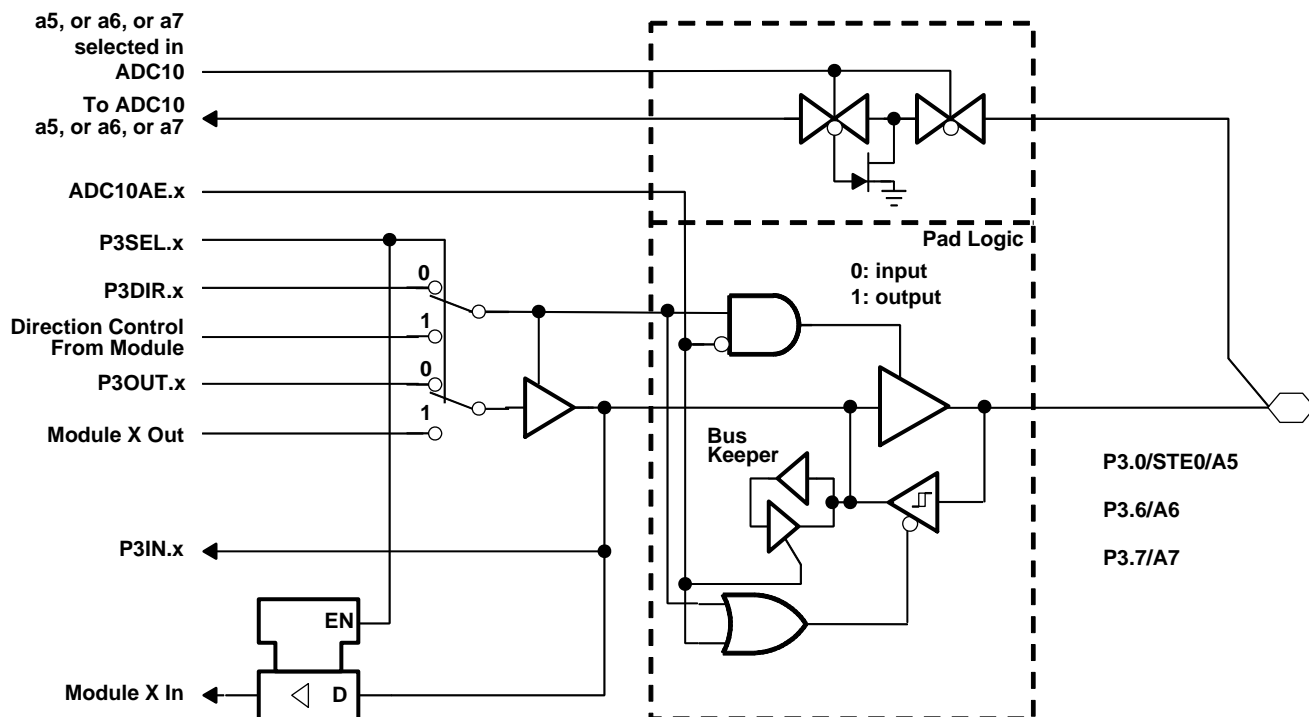
P2Sel. x	P2DIR. x	DIRECTION CONTROL FROM MODULE	P2OUT. x	MODULE X OUT	P2IN. x	MODULE X IN	P2IE. x	P2IFG. x	P2IES. x
P2Sel. 6	P2DIR. 6	P2DIR. 6	P2OUT. 6	V <sub>SS</sub>	P2IN. 6	unused	P2IE. 6	P2IFG. 6	P2IES. 6
P2Sel. 7	P2DIR. 7	P2DIR. 7	P2OUT. 7	V <sub>SS</sub>	P2IN. 7	unused	P2IE. 7	P2IFG. 7	P2IES. 7

(注) ポート P2 のボンドされていないビット 6 及び 7 は、割り込みフラグとして使用することができます。それらの割り込みフラグは、ソフトウェアのみで制御することができ、ソフトウェア割り込みとして機能します。

アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.0、P3.6、P3.7 シュミット・トリガ入力/出力



NOTE: x (0,6,7)

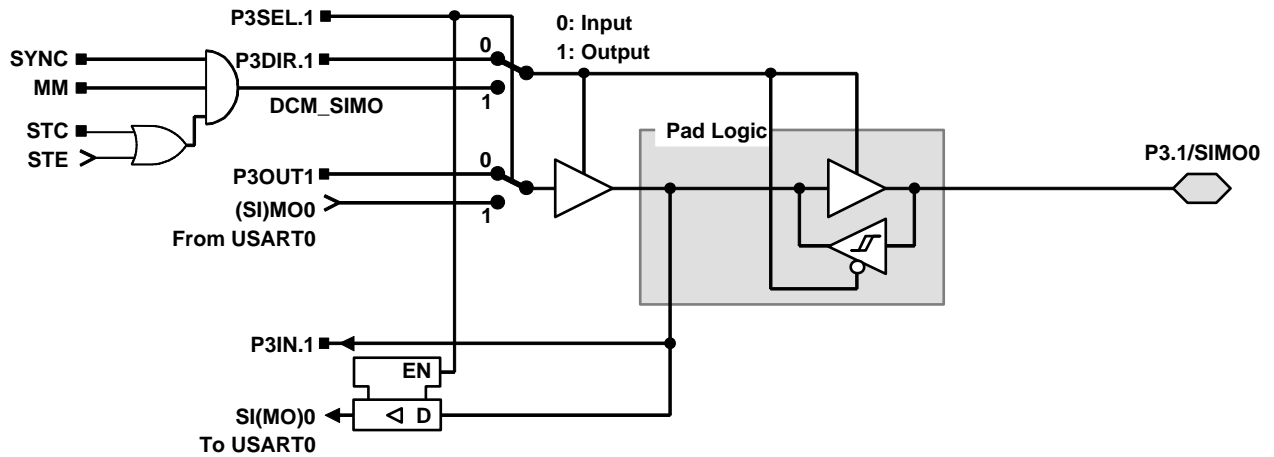
PnSel. x	PnDIR. x	Direction Control From Module	PnOUT. x	Module X OUT	PnIN. x	Module X IN
P3Sel. 0	P3DIR. 0	V <sub>SS</sub>	P3OUT. 0	V <sub>SS</sub>	P3IN. 0	STE0 †
P3Sel. 6	P3DIR. 1	P3DIR. 6	P3OUT. 6	V <sub>SS</sub>	P3IN. 6	Unused
P3Sel. 7	P3DIR. 2	P3DIR. 7	P3OUT. 7	V <sub>SS</sub>	P3IN. 7	Unused

† USART0

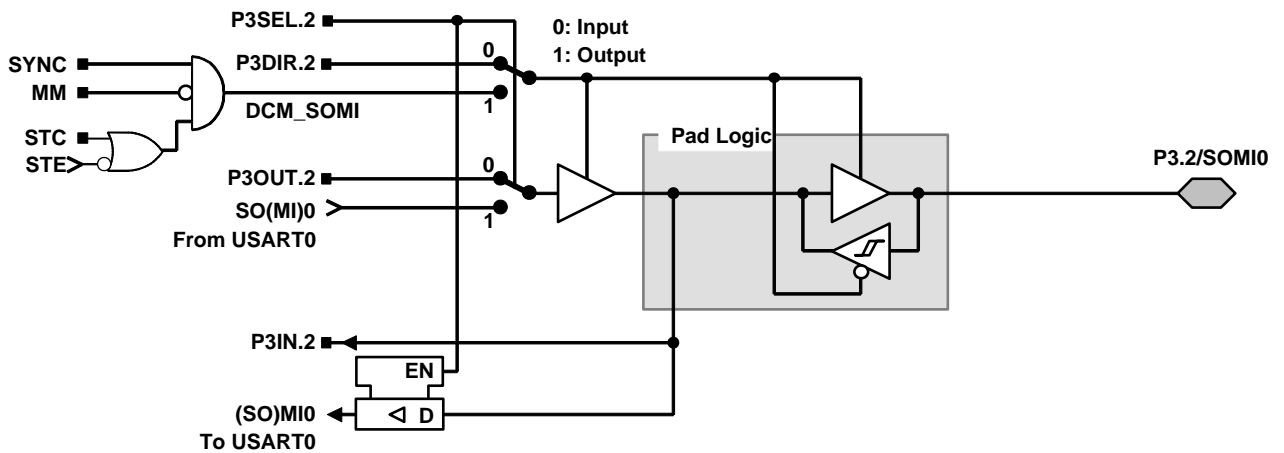
アプリケーション情報

入力/出力図 (続き)

ポート P3、P3.1 シュミット・トリガ入力/出力



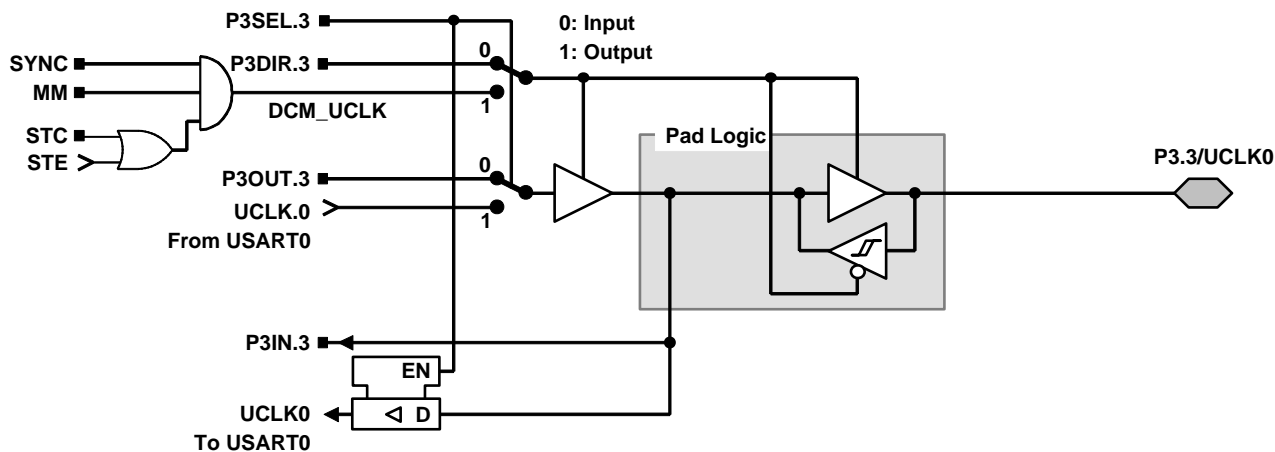
ポート P3、P3.2、シュミット・トリガ入力/出力



アプリケーション情報

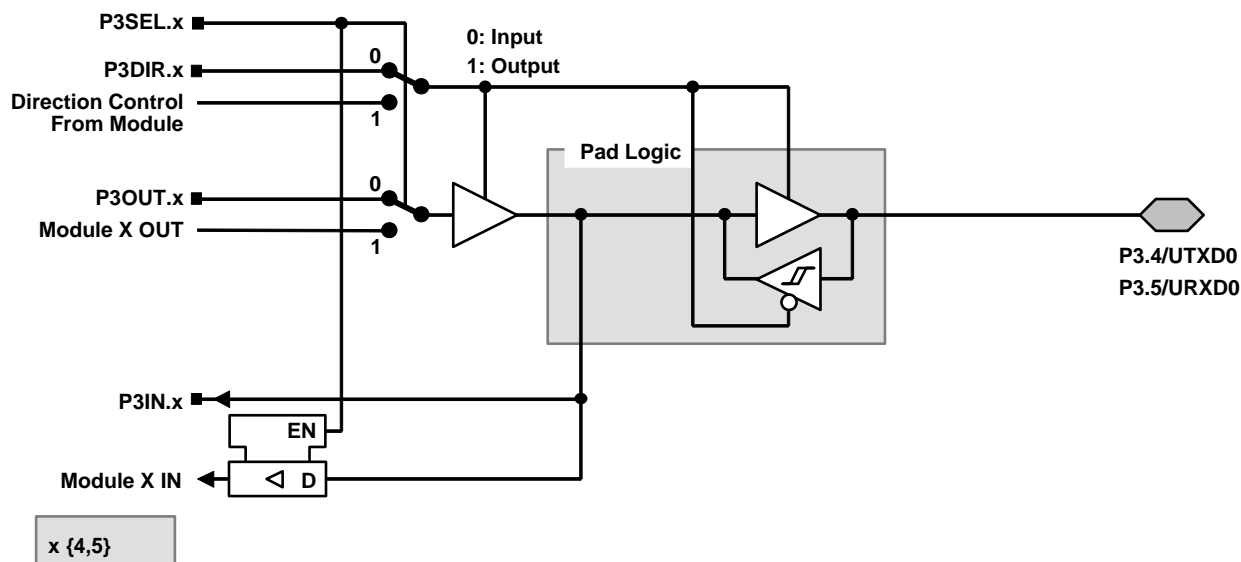
入力/出力図 (続き)

ポート P3、P3.3、シュミット・トリガ入力/出力



- (注) UART モード: UART クロックのみ入力することができます。UART モード及び UART 機能が選択された場合は、P3.3/UCLK0 は常に入力です。
- SPI、スレーブ・モード: UCLK0 に印加される印加されるクロックは、データをシフト・イン及びシフト・アウトするために使用されます。
- SPI、マスタ・モード: データをシフト・イン及びシフト・アウトするためのクロックが接続されたデバイスの P3.3/UCLK0 端子に供給されます。(スレーブ・モード)

ポート P3、P3.4、P3.5 シュミット・トリガ入力/出力



PnSel. x	PnDIR. x	DIRECTION CONTROL FROM MODULE	PnOUT. x	MODULE X OUT	PnIN. x	MODULE X IN
P3Sel. 4	P3DIR. 4	V <sub>CC</sub>	P3OUT. 4	UTXD0 †	P3IN. 4	Unused
P3Sel. 5	P3DIR. 5	V <sub>SS</sub>	P3OUT. 5	V <sub>SS</sub>	P3IN. 5	URXD0 ‡

† USART0 モジュールからの出力  
 ‡ USART0 モジュールへの入力

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TEST 端子上にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の  $I_{TF}$  チェック電流が TEST 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

テスト又はプログラミング・セッションの後、TEST 端子が再びロー・レベルになると、ヒューズ・チェック・モード及び検出電流が終了します。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 10 参照) の時に発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

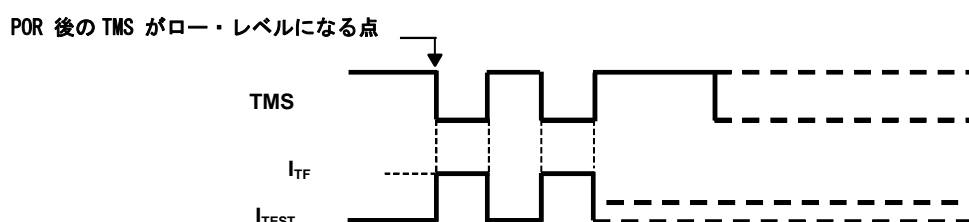


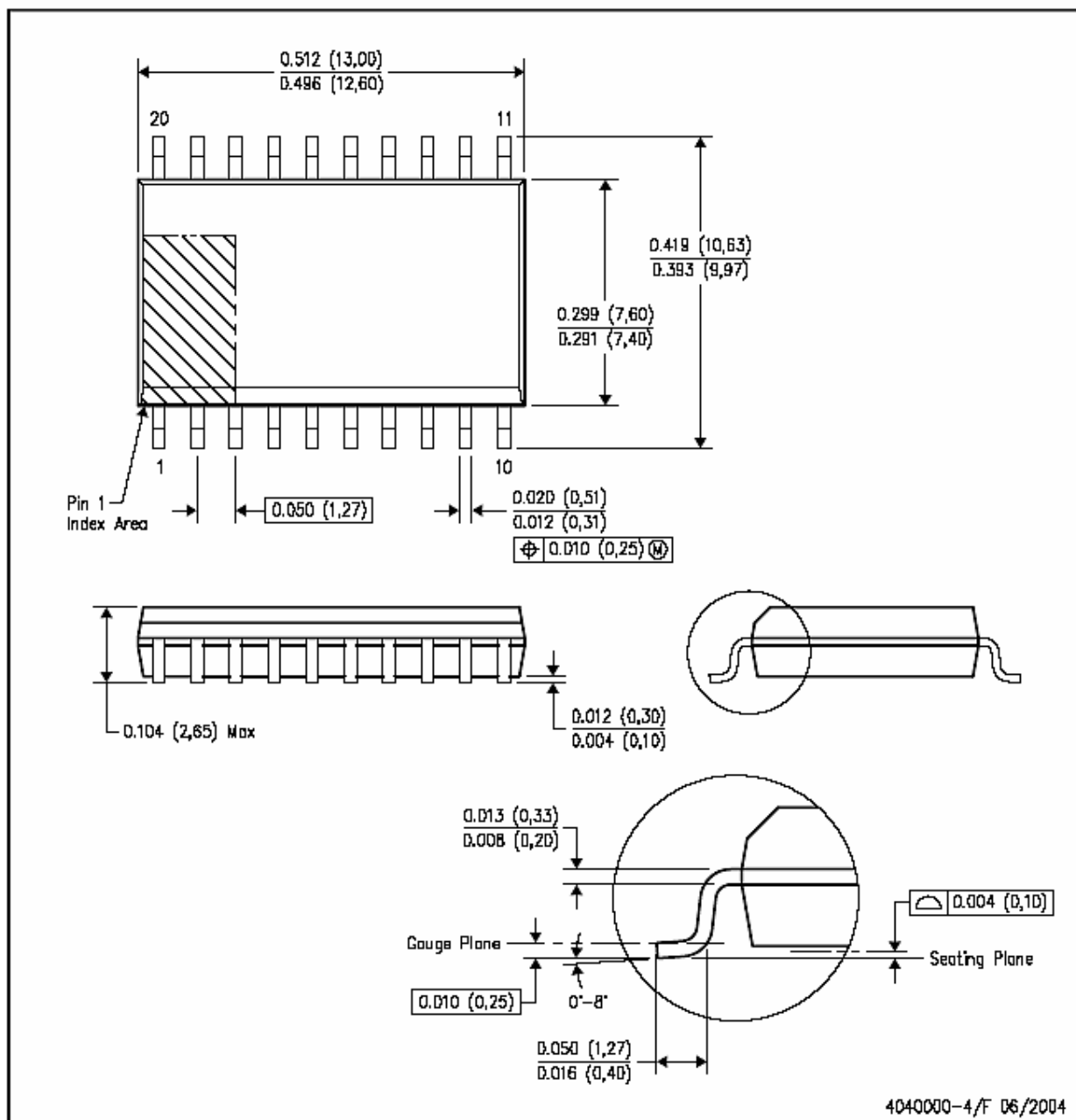
図 10. ヒューズ・チェック・モード電流、MSP430F11x2、MSP430F12x2

(注)

JTAG ヒューズが切断され、256 ビットのブートローダ・アクセス・キーが使用された場合、コード及び RAM データ保護が保証されます。詳細は、ブートストラップ・ローダのセクションを参照して下さい。

DW (R-PDSO-G20)

PLASTIC SMALL-OUTLINE PACKAGE

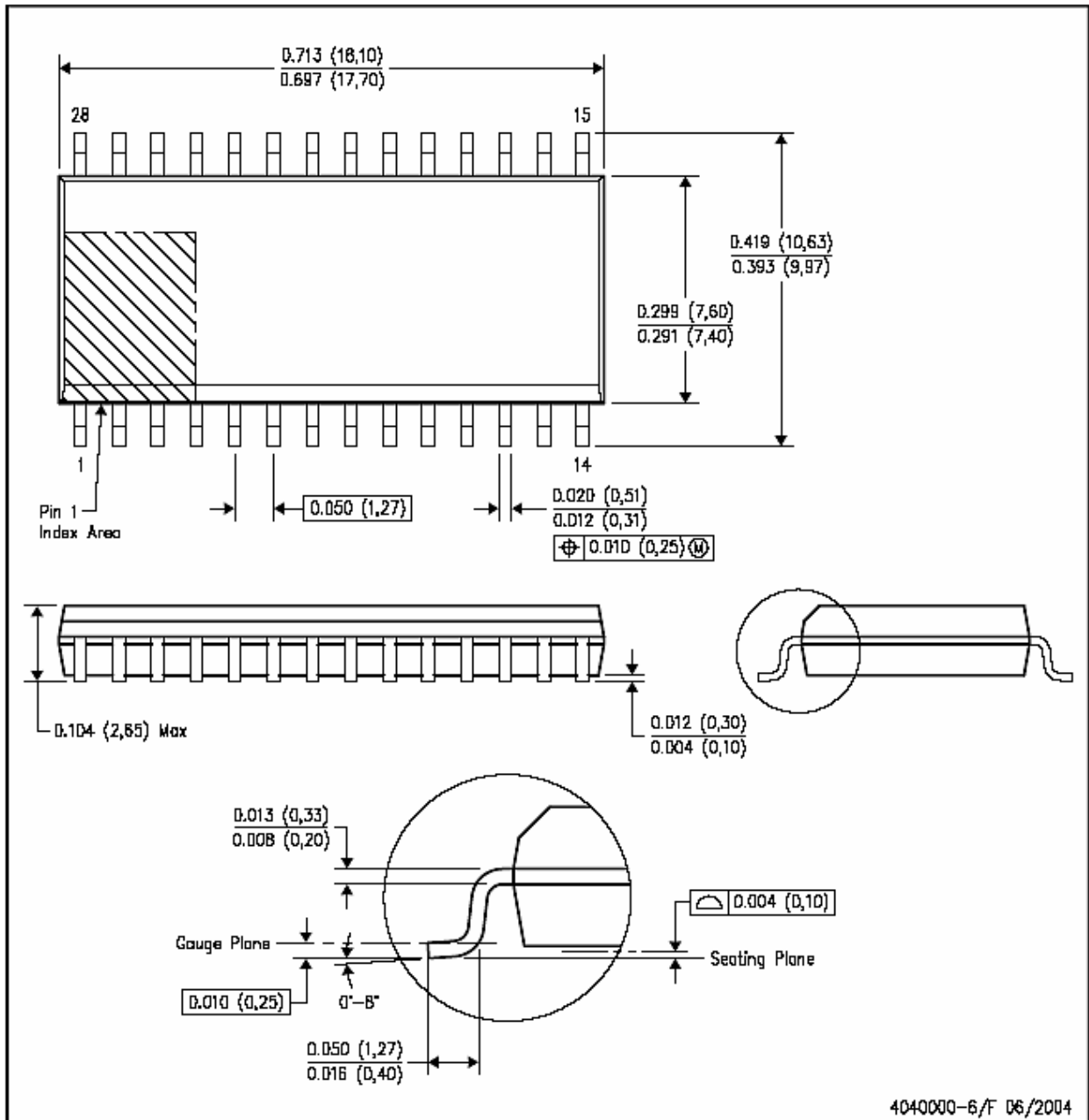


- (注 A) すべての寸法の単位はインチ (mm) とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) ボディ寸法は 0.006 (0, 15) 以下のモールド・フラッシュ又は突起を含みません。
- (注 D) JEDEC MS-013 variation AC に相当します。



DW (R-PDSO-G28)

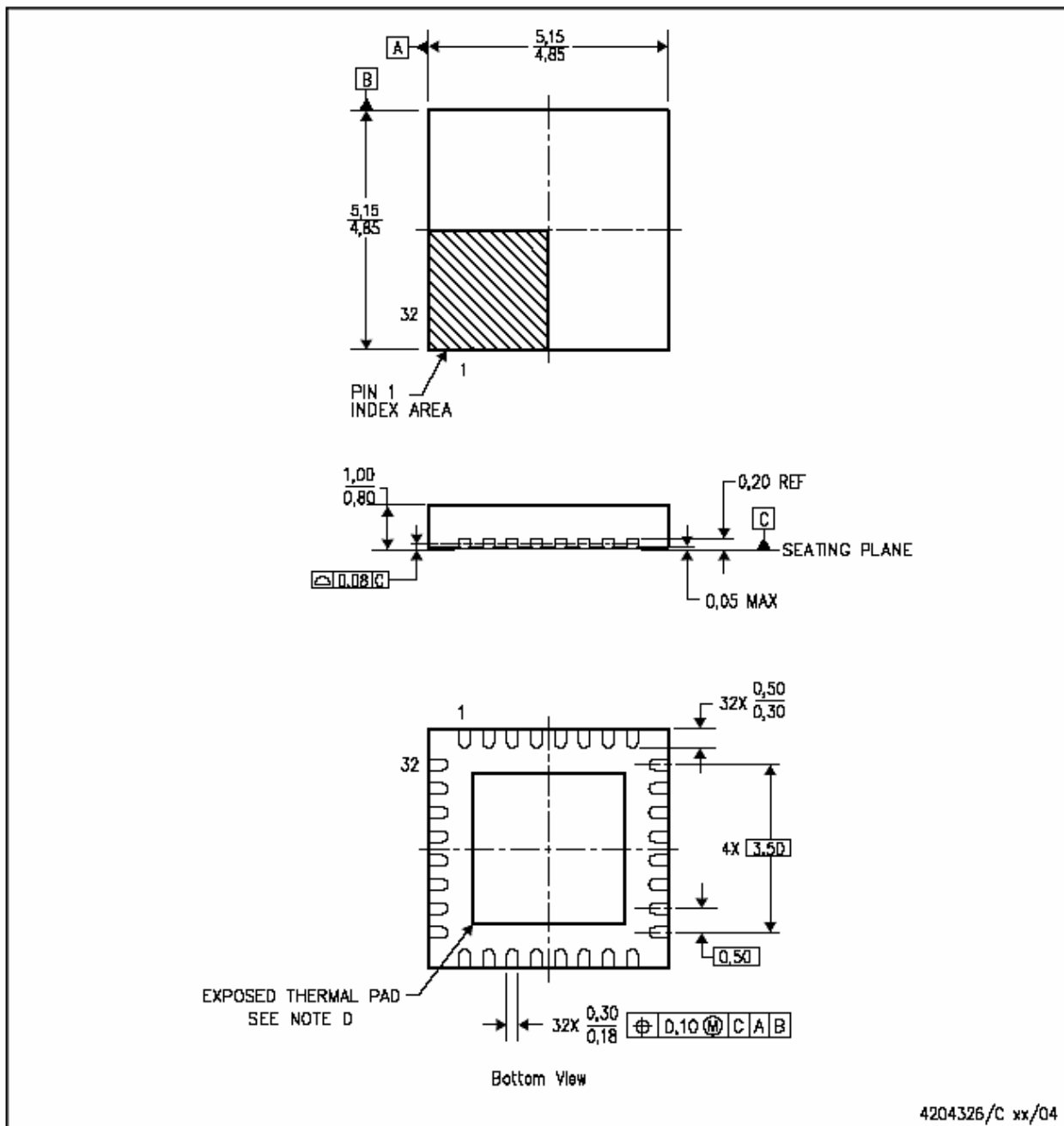
PLASTIC SMALL-OUTLINE PACKAGE



- (注 A) すべての寸法の単位はインチ (mm) とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。
- (注 D) JEDEC MS-013 variation AE に相当します。

RHB (S-PQFP-N32)

PLASTIC QUAD FLATPACK

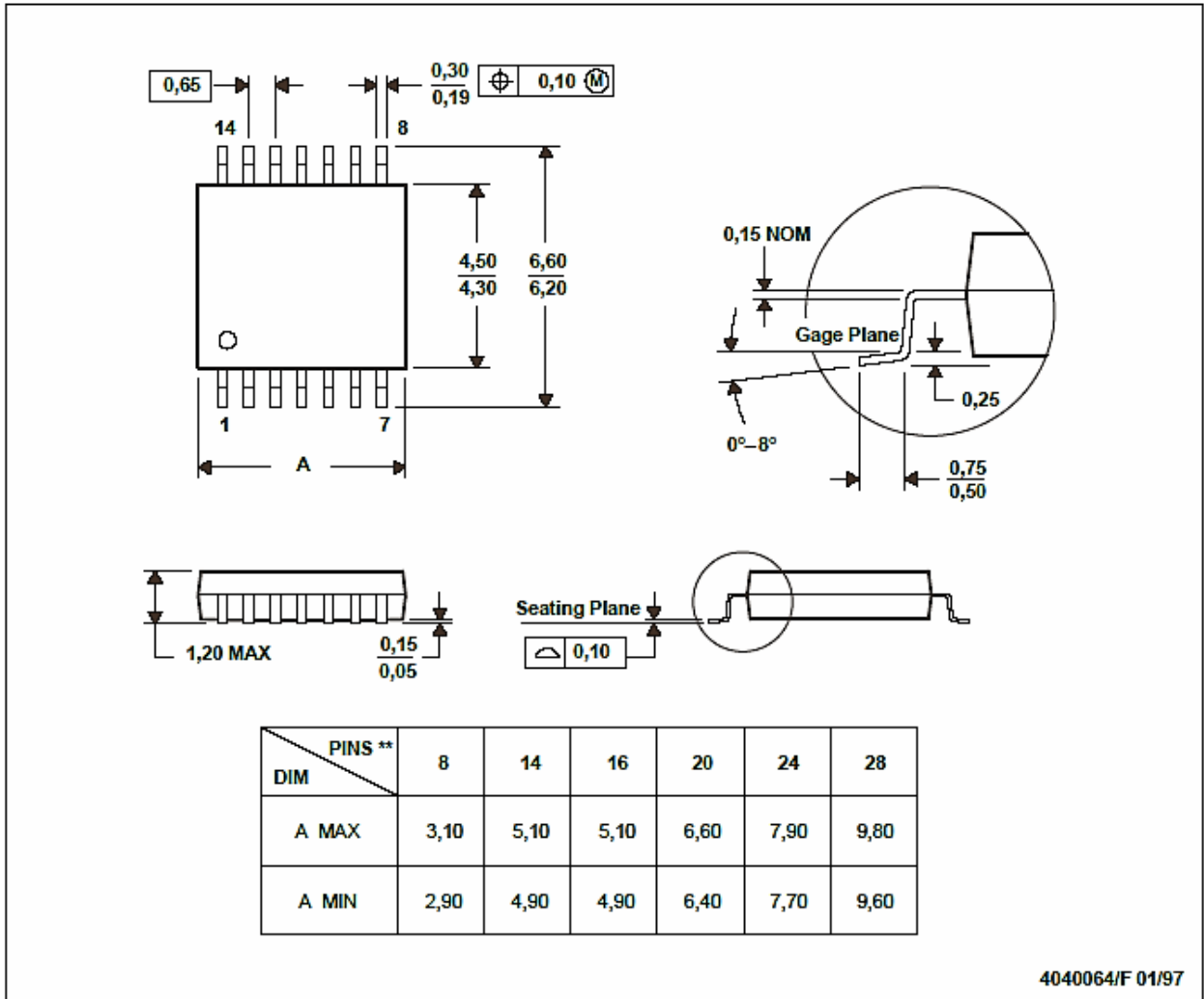


- (注 A) すべての寸法の単位は mm とします。  
 (注 B) この図面は予告なく変更されることがあります。  
 (注 C) QFN (Quad Flatpack No-Lead) パッケージ構造  
 (注 D) パッケージの放熱パッドは、熱的及び機械的性能のためにプリント基板に半田付けしなければなりません。  
 露出した放熱パッドの寸法に関する詳細は、製品のデータ・シートを参照して下さい。  
 (注 E) JEDEC MO-220 に相当します。

PW (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



- (注 A) すべての寸法の単位は mm とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) ボディ寸法は 0,15 以下のモールド・フラッシュ又は突起を含みません。
- (注 D) JEDEC MO-153 に相当します。

(SLAS361D - JANUARY 2002 - REVISED AUGUST 2004)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上