

フォト・フラッシュ・チャージャー/IGBT ドライバ

特長

- 部品点数を削減可能にする高集積化ソリューション
- 基準電圧内蔵
- 50V のパワー・スイッチを集積
- IGBT ドライバ内蔵
- 高効率
- トランス1次側のピーク電流を0.9A~1.8Aにプログラム可能
- 入力バッテリー電圧: 1.6V~12V
- スwitchング動作を最適化することによって高速充電を実現
- 1次側からの出力電圧フィードバック
- 16ピンQFN パッケージ
- 保護機能
 - 最大オン時間
 - 最大オフ時間

- SWピンでの V_{DS} のモニタによる過電流シャットダウン (OV_{DS})
- 過熱時のディスエーブル

アプリケーション

- デジタル・スチル・カメラ
- 銀塩カメラ
- カメラ付き携帯電話
- カメラ付きPDA

概要

このデバイスはバッテリー入力からフォト・フラッシュ・コンデンサを充電する機能と、キセノン・フラッシュ管を発光させる機能を提供します。このデバイスは基準電圧、パワー・スイッチ、IGBTドライバ、およびコントロール・ロジック・ブロックを内蔵し、充電アプリケーションと IGBT ドライブ・アプリケーション

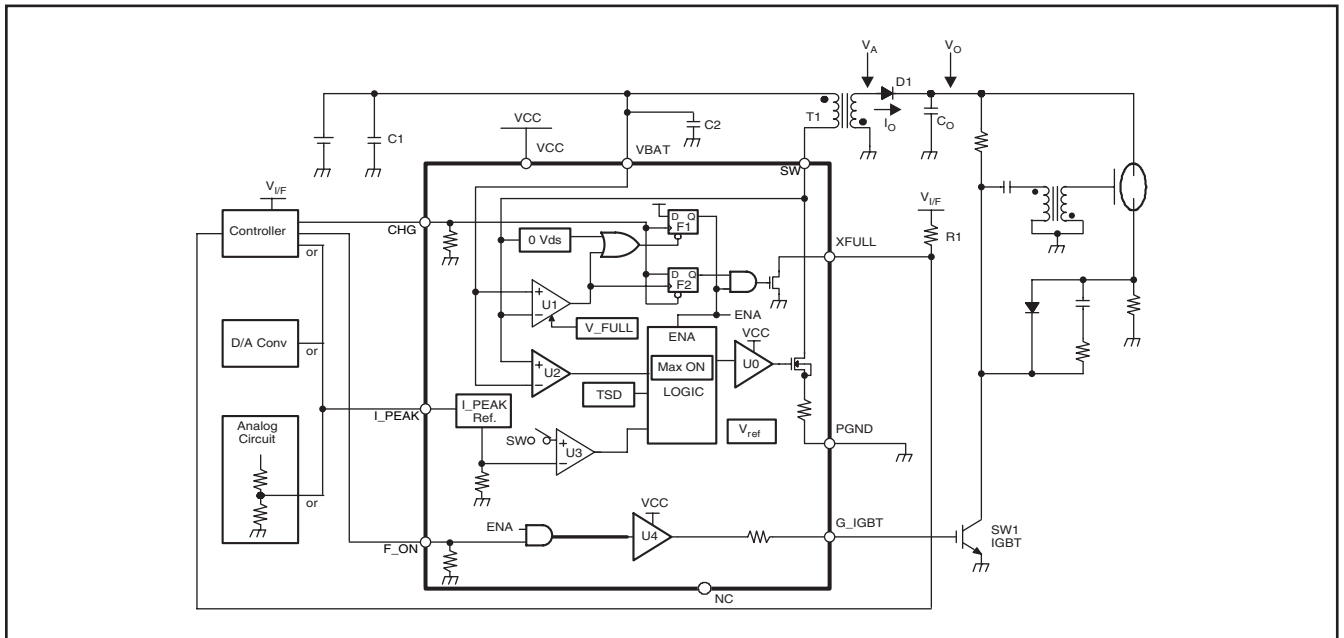


図 1. 代表的なアプリケーション回路

PowerPADは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。

に適しています。ディスクリット構成と比較して、このデバイスは部品点数を削減することによって、トータルの面積を削減するだけでなく、キセノン管アプリケーションの設計を容易にします。その他の利点としては、最適化されたPWMコントロール・アルゴリズムによって高速充電と高効率を実現できます。

このデバイスにはその他の機能として、1次側からの出力電圧のセンス、プログラム可能なピーク電流、過熱シャットダウン、充電完了を知らせる出力ピン、および充電イネーブルとフラッシュ・イネーブルを制御する入力ピンがあります。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ご発注の手引き

T _A	PACKAGE MARKING	PACKAGE ⁽¹⁾	PART NUMBER
-35°C to 85°C	BPR	16-pin QFN	TPS65560RGT

(1) 最新のパッケージ情報と発注情報については、このドキュメントの末尾にある「付録: パッケージ・オプション」を参照するか、TIのWebサイト (www.ti.com) を参照してください。

絶対最大定格

特に指定がない限り、自由通気的全温度範囲に適用⁽¹⁾

			UNIT
V _{SS}	Supply voltage	VCC	-0.6 V to 6 V
		VBAT	-0.6 V to 13 V
V _(SW)	Switch terminal voltage		-0.6 V to 50 V
I _(SW)	Switch current between SW and PGND, ISW		3 A
V _I	Input voltage of CHG, I_PEAK, F_ON		-0.3 V to V _{CC}
T _{stg}	Storage temperature		-40°C to 150°C
T _J	Maximum junction temperature		125°C
	ESD rating	HBM (Human Body Model) JEDEC JES22-A114	1 kV

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

推奨動作条件

		MIN	NOM	MAX	UNIT
V _{SS}	Supply voltage, VCC	2.7		4	V
	Supply voltage, VBAT	1.6		12	V
V _(SW)	Switch terminal voltage,	-0.3		45	V
I _(SW)	Switch current between SW and PGND			2	A
	Operating free-air temperature range	-35		85	°C
V _{IH}	High-level digital input voltage at CHG and F_ON	2			V
V _{IL}	Low-level digital input voltage at CHG and F_ON			0.5	V

損失定格

PACKAGE	R _{θJA} ⁽¹⁾	POWER RATING T _A < 25°C	POWER RATING T _A = 70°C	POWER RATING T _A = 85°C
QFN	47.4 °C/W	2.11 W	1.16 W	844 mW

(1) 熱抵抗 R_{θJA} は、サーマル・ビアを用いた 2S2P JEDEC ボード上にはんだ付けした PowerPAD™ に基づいています。

電気的特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BAT}} = 4.2\text{ V}$ 、 $V_{\text{CC}} = 3\text{ V}$ 、 $V_{(\text{SW})} = 4.2\text{ V}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
$R_{(\text{ONL})}$	ON resistance of XFULL		1.5	3	k Ω	
$V_{(\text{PKH})}^{(1)}$	Upper threshold voltage of I_PEAK	$V_{\text{CC}} = 3\text{ V}$	2.4		V	
$V_{(\text{PKL})}^{(1)}$	Lower threshold voltage of I_PEAK	$V_{\text{CC}} = 3\text{ V}$		0.6	V	
I_{CC1}	Supply current from VBAT	CHG = H, $V_{(\text{SW})} = 0\text{ V}$ (free run by t_{MAX})	17	50	μA	
I_{CC2}	Supply current from VCC	CHG = H, $V_{(\text{SW})} = 0\text{ V}$ (free run by t_{MAX})	1.3	3	mA	
I_{CC3}	Supply current from VCC and VBAT	CHG = L		1	μA	
I_{kg1}	Leakage current of SW terminal			2	μA	
I_{kg2}	Leakage current of XFULL terminal	$V_{(\text{XFULL})} = 5\text{ V}$		1	μA	
$I_{(\text{sink})}$	Sink current at I_PEAK	$V_{(\text{I_PEAK})} = 3\text{ V}$, CHG: High		2	μA	
		$V_{(\text{I_PEAK})} = 3\text{ V}$, CHG: Low		0.1		
$R_{(\text{ONSW})}$	SW ON resistance between SW and PGND	$I_{(\text{SW})} = 1\text{ A}$, $V_{\text{CC}} = 3\text{ V}$	0.4	0.9	Ω	
$R_{(\text{IGBT1})}$	G_IGBT pullup resistance	$V_{(\text{G_IGBT})} = 0\text{ V}$, $V_{\text{CC}} = 3\text{ V}$	8	12	19.4	Ω
$R_{(\text{IGBT2})}$	G_IGBT pulldown resistance	$V_{(\text{G_IGBT})} = 3\text{ V}$, $V_{\text{CC}} = 3\text{ V}$	36	53	70	Ω
$I_{(\text{PEAK1})}$	Upper peak of $I_{(\text{SW})}$	$V_{(\text{I_IPEAK})} = 3\text{ V}$	1.58	1.68	1.78	A
$I_{(\text{PEAK2})}$	Lower peak of $I_{(\text{SW})}$	$V_{(\text{I_IPEAK})} = 0\text{ V}$	0.7	0.8	0.9	A
$V_{(\text{FULL})}$	Charge completion detect voltage at $V_{(\text{SW})}$	$V_{\text{BAT}} = 1.6\text{ V}$, $V_{\text{CC}} = 3\text{ V}$	28	28.7	29.4	V
		$V_{\text{CC}} = 3\text{ V}$	28.6	29	29.4	
$V_{(\text{ZERO})}$	Zero current detection at $V_{(\text{SW})}$		1	20	60	mV
$T_{(\text{SD})}^{(1)}$	Thermal shutdown temperature		150	160	170	$^\circ\text{C}$
	Over V_{DS} detection at $V_{(\text{SW})}$		0.95	1.2	1.45	V
t_{MIN}	MAX OFF time		25	50	80	μs
t_{MAX}	MAX ON time		50	100	160	μs
$R_{(\text{INPD})}$	Pulldown resistance of CHG, F_ON	$V_{\text{CHG}} = V_{(\text{F_ON})} = 4.2\text{ V}$		100		k Ω

(1) 設計により規定されています。

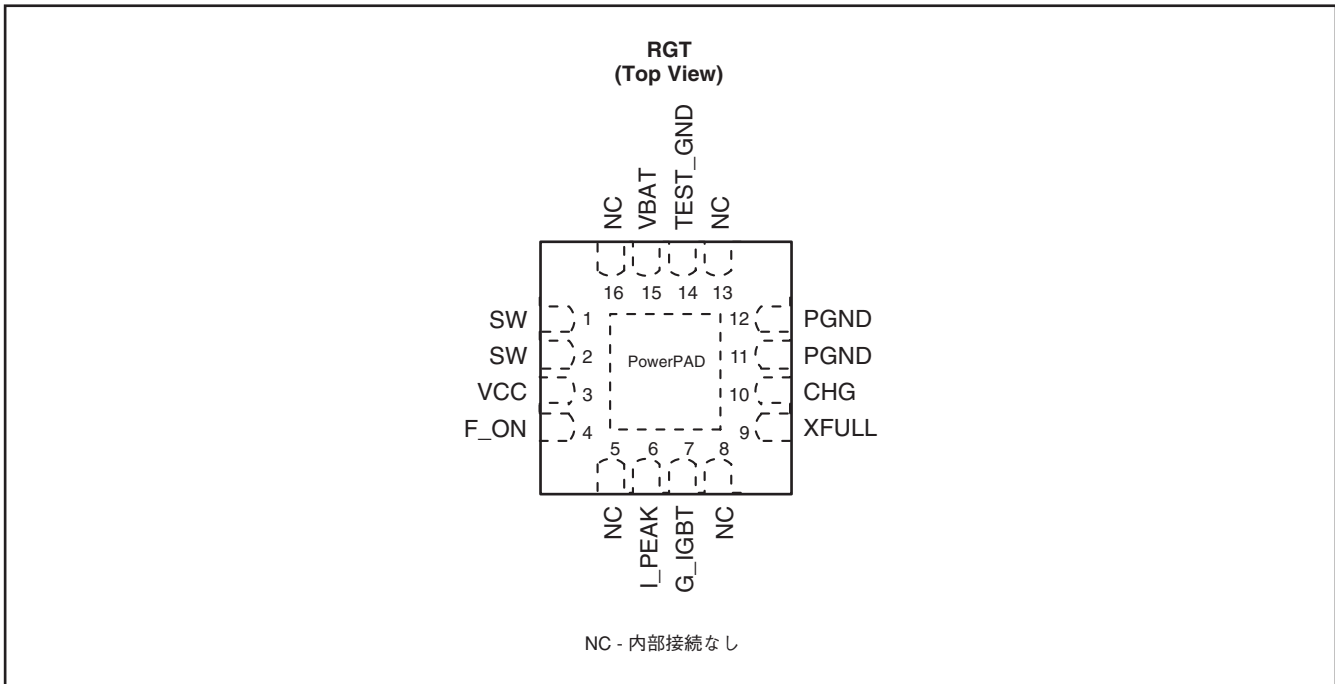
スイッチング特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{BAT}} = 4.2\text{ V}$ 、 $V_{\text{CC}} = 3\text{ V}$ 、 $V_{(\text{SW})} = 4.2\text{ V}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{\text{PD}}^{(1)}$	F_ON \uparrow - G_IGBT \uparrow		50		ns
	SW ON after $V_{(\text{SW})}$ dips from $V_{(\text{ZERO})}$		45		ns
	SW OFF after $I_{(\text{SW})}$ exceeds $I_{(\text{PEAK})}$		270		ns
	XFULL \downarrow after $V_{(\text{SW})}$ exceeds $V_{(\text{FULL})}$		400		ns
	SW ON after CHG \uparrow		12		μs
	SW OFF after CHG \downarrow		20		ns

(1) 設計により規定されています。

ピン構成



端子機能

PIN NUMBER	SIGNAL	I/O	DESCRIPTION
1, 2	SW	O	Primary side switch. Connect SW to the switched side of the transformer
3	VCC	I	Power supply input. Connect VCC to an input supply from 2.7 V to 4 V. Bypass VCC to GND with a 1- μ F ceramic capacitor as close as possible to the IC.
4	F_ON	I	G_IGBT control input. Drives F_ON with the flash discharge signal. A logic high on F_ON drives G_IGBT high when CHG is Low. See the <i>IGBT Driver Control</i> section for details.
5, 8, 13, 16	NC		No internal connection
6	I_PEAK	I	Primary side peak current control input. The voltage at I_PEAK sets the peak current into SW. See the <i>Programming Peak Current</i> section for details on selecting $V_{(I_PEAK)}$.
7	G_IGBT	O	IGBT gate driver output. G_IGBT swings from PGND to VCC to drive external IGBT devices.
9	XFULL	O	Charge completion indicator output. XFULL is an open-drain output that pulls low once the output is fully charged. XFULL is high impedance during charging and all fault conditions. XFULL is reseted when CHG turns Low from High. See the <i>Indicating Charging Status</i> section for details.
10	CHG	I	Charge control input. Drive CHG high to initiate charging of the output. Drive CHG low to terminate charging.
11, 12	PGND		Power ground. Connect to the ground plane.
14	TEST_GND		Used by TI, should be connected to PGND and ground plane.
15	VBAT	I	Battery voltage monitor input. Connect VBAT to an input supply from 1.6 V to 12 V. Bypass VBAT to GND with a 10- μ F ceramic capacitor (C1 in Figure 1, as close as possible to the battery) and a 1- μ F ceramic capacitor (C2 in Figure 1, as close as possible to the IC).

機能ブロック図

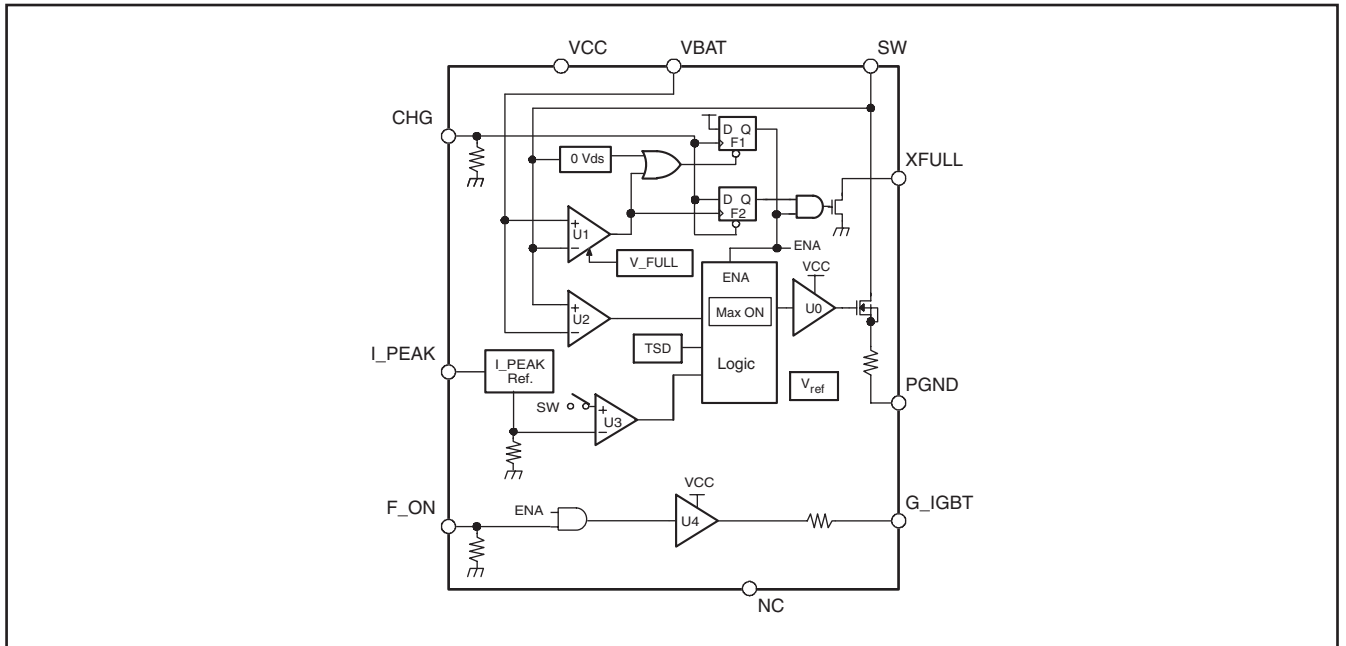


図 2. 機能ブロック図

I/O 等価回路

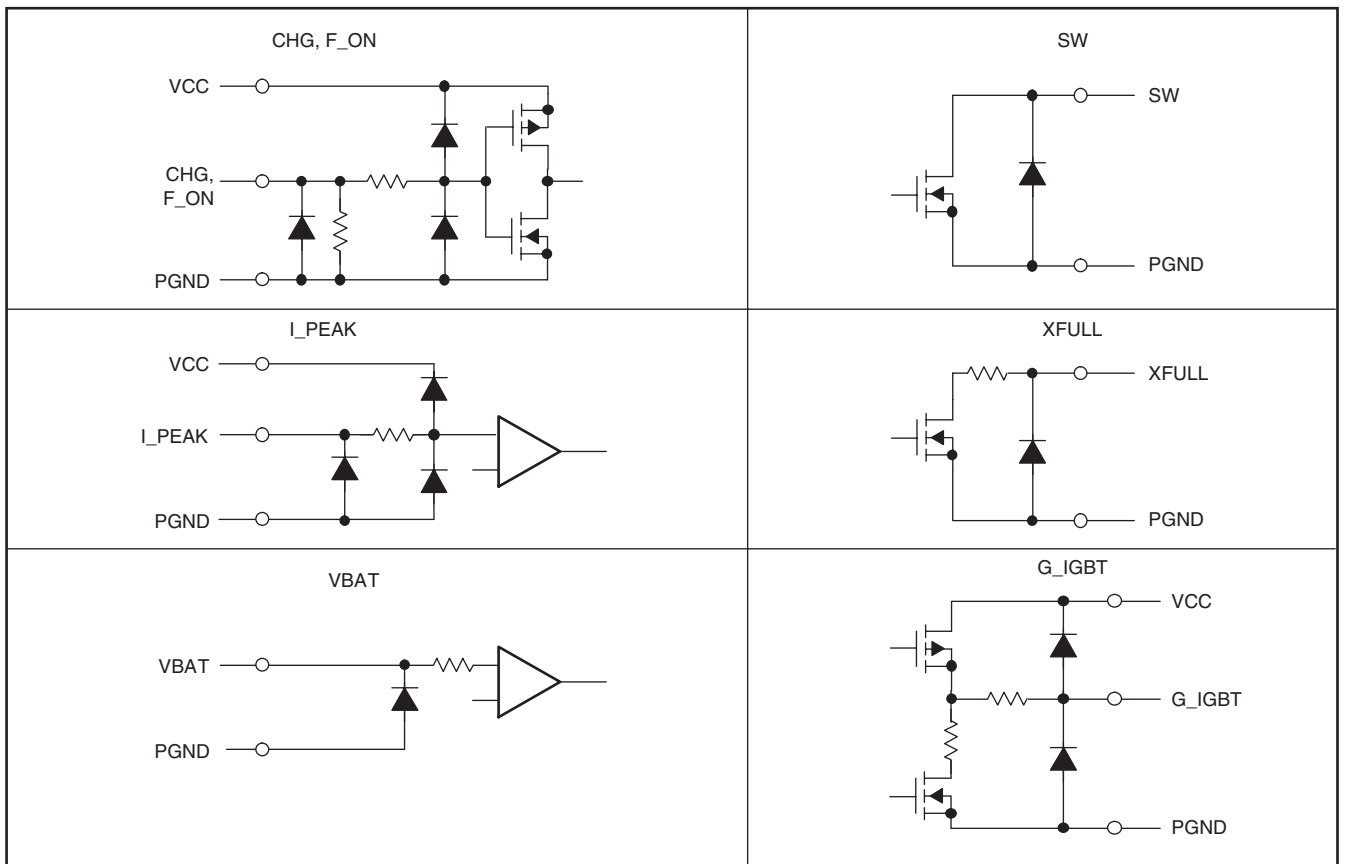


図 3. I/O 等価回路

動作原理

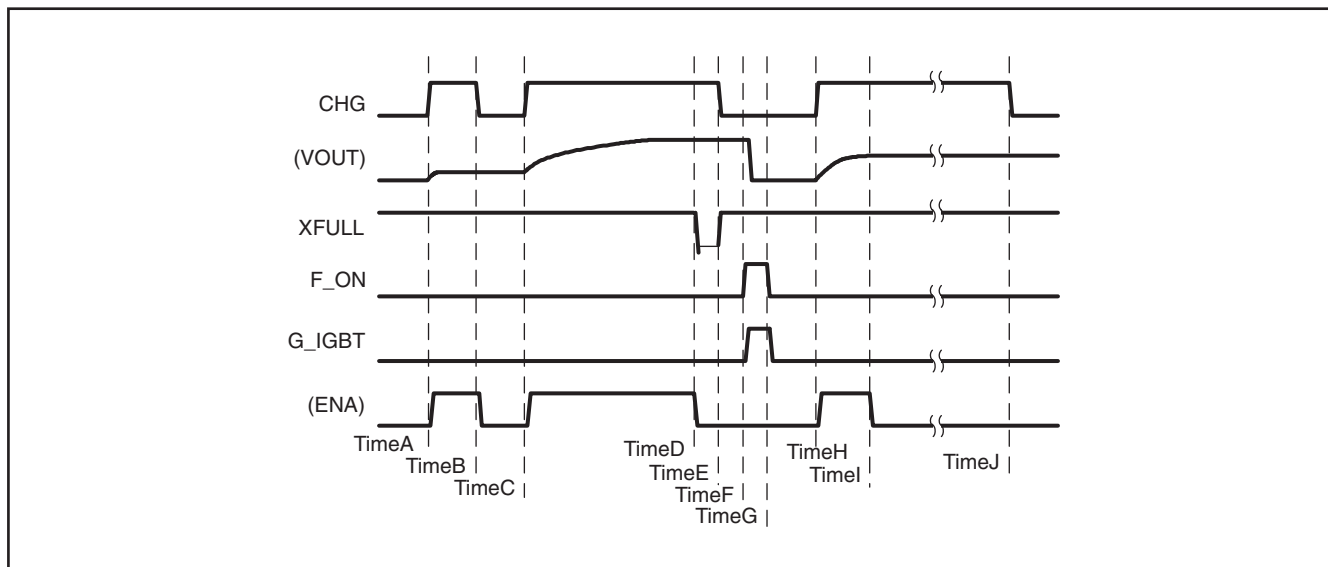


図 4. 全体的な動作シーケンス・チャート

充電の開始/終了

TPS65560 は、イネーブル・ラッチ F1 を内蔵しています。これは、デバイスの充電イネーブル (ON/OFF の状態) を保持します。図 2 を参照してください。

充電を開始する唯一の方法は、CHG ↑ を入力 (立ち上がりエッジトリガ) することです (図 4 の Time A/C/H を参照)。CHG ↑ を印加するたびに、TPS65560 は充電を開始します。

充電を停止するには、3 つのトリガ・イベントがあります。

1. コントローラから CHG = “L” レベルが入力されることによる強制停止 (図 4 の Time B 参照)
2. 充電完了を検出することによる自動停止。VOUT が目標値に到達 (図 4 の Time D 参照)。
3. 保護による中止。これは、SW ピンでの過電流検出機能 (OV_{DS}) トリガによるものです (図 4 の Time I を参照)。

充電状態の表示

充電動作が完了した時点で、TPS65560 は充電完了インジケータ・ピンである XFULL を GND レベルに引き下げます。XFULL がプルアップ抵抗 $R1$ に接続されている場合、コントローラはデバイスのこの状態を論理信号として検出できます (図 1 を参照)。

XFULL 出力は、コントローラが デバイスの OV_{DS} による保護状態にある事を検出する事にも使用されます。 OV_{DS} による保護が発生した場合、CHG = “H” レベルである間、XFULL が “L” レベルになることはありません。したがって、コントローラは CHG が “H” レベルになった時点から XFULL が “L” レベルになる時点までの時間を測定する方法で、 OV_{DS} による保護を検出します。XFULL が “L” レベルになるまでの時間が、設計された最大充電時間より長い場合は、 OV_{DS} による保護が発生したと判断できます。

デバイスは time H の時点で充電を開始し、 OV_{DS} による保護は Time I の時点で発生します (図 4 を参照)。Time I の時点で、XFULL は “H” レベルを保持します。コントローラは Time J の時点で、タイマが時間切れになって終了したという結果によって OV_{DS} による保護が発生したことを検出し、次に CHG を “L” レベルに設定して動作を終了させます。

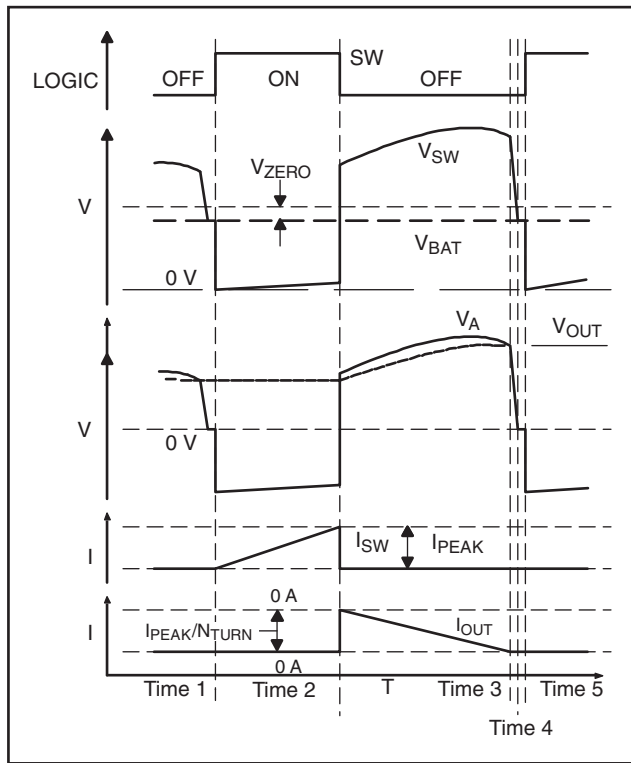


図 5. 1スイッチ・サイクルのタイミング図

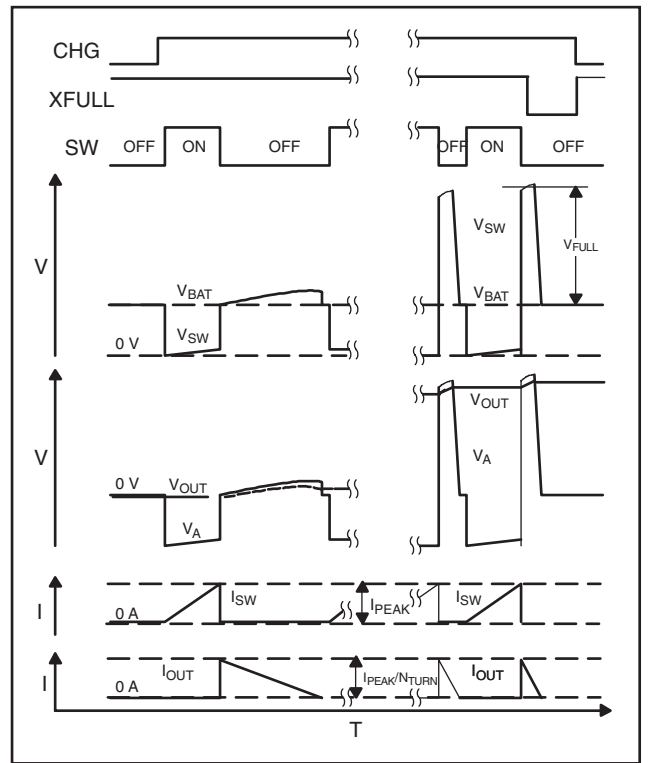


図 6. 開始/終了時のタイミング図

充電コントロール

TPS65560は充電をコントロールするために3つのコンパレータを備えています。図2にTPS65560のブロック図を、図5に1スイッチ・サイクルのタイミング図を示します。図5の波形のうち、Time1とTime3を強調していることに注意してください。

SWがオンである間(図5のTime1からTime2)、U3はSWからPGNDに流れる電流(I_{SW})をモニタしてIC内部のパワー・スイッチをオンからオフに切り替えるタイミングを検知します。そのタイミングは、 I_{SW} が I_{PEAK} 端子の電圧で決定される値: I_{PEAK} を越えた時で、そのときFETはオンからオフになります(図5のTime2)。

FETがオフになった時(図5のTime2)、トランスの磁気エネルギーはトランス1次側からトランス2次側に放出され始めます。その間に、U2はSW端子でキックバック電圧をモニタします。エネルギーが放出されている時、SW端子とGNDの間に発生するキックバック電圧はフラッシュ・コンデンサの電圧 V_0 の増加に比例して増加します(図5のTime2からTime3)。ほとんど全てのエネルギーが放出された時、システムはダイオードによる整流を続けることはできず、トランス2次側の電流(I_0)はゼロになります(図5のTime3)。整流作用が停止した後、トランスに残っていた少量のエネルギーが寄生パスを介して開放され、キックバック電圧はゼロに達します(図5のTime3からTime4)。このとき、U2はFETをオフからオンに切り替えるタ

イミングを検知します。実際には、SW端子電圧 V_{SW} と V_{BAT} 端子電圧の差分をモニタし、その差分が V_{ZERO} と規定されている閾値よりも下回ったときにFETをオフからオンに切り替えます(図5のTime5)。実際の回路では、図5のTime4とTime5の間は認識できないほど短い時間です。

U1はキックバック電圧をモニタして充電完了のタイミングをモニタしています。 $(V_{SW} - V_{BAT})$ が V_{FULL} で規定される電圧値を越えた時、TPS65560は充電を停止します(図6参照)。

図5と図6において、オン時間は理想状態において出力電圧に依存せず、常に同じ時間です。オン時間は式1で計算されます。 L と I_{PEAK} は、 t_{ON} が最大オン時間(t_{MAX})を超えないように選択します。

$$t_{ON} = L \frac{I_{PEAK}}{V_{BAT}} \quad (1)$$

オフ時間は出力電圧に依存します。出力電圧が高くなるにつれ、オフ時間は短くなります(式2参照)。

$$t_{OFF} = N_{TURN} \times L \frac{I_{PEAK}}{V_{OUT}} \quad (2)$$

ピーク電流のプログラミング

TPS65560には、I_PEAK ピンに対して印加される電圧を使用して、1次側のピーク電流をプログラム (調整) する機能があります。図7に、I_(PEAK) をプログラムする方法を示します。

I_PEAK入力は、V_(PKL) (0.6V) 未満のとき、およびV_(PKH) (2.4V) を上回っているときは、論理入力として扱われます。V_(PKL)とV_(PKH)の間である場合、I_PEAK入力はアナログ入力として扱われます。この特性を使用して、ロジック信号またはアナログ入力により、I_(PEAK)を設定できます。

この機能の代表的な使用法は、次のとおりです。

1. バッテリーの電圧に基づいて、ピーク充電電流を設定します。完全に充電されたバッテリーの場合は大きなI_(PEAK)、放電の進んだバッテリーの場合は小さなI_(PEAK)です。

2. ズーム・レンズ・モーターなどが動作しているときは、I_(PEAK)を減らします。この結果、バッテリーから大電流が流れたことが原因で、予期せぬシャットダウンが発生することを防止できます。

図1では、I_PEAKに対する3つの接続例を図示しています。

1. I_PEAKを論理入力ピンとして扱うには、コントローラを使用します。この例は最も簡単です。
2. I_(PEAK)をバッテリー電圧の様なアナログ信号に追従させるには、D/Aコンバータを使用します。
3. D/Aコンバータと同じ結果を達成するために、アナログ回路を使用することもできます。

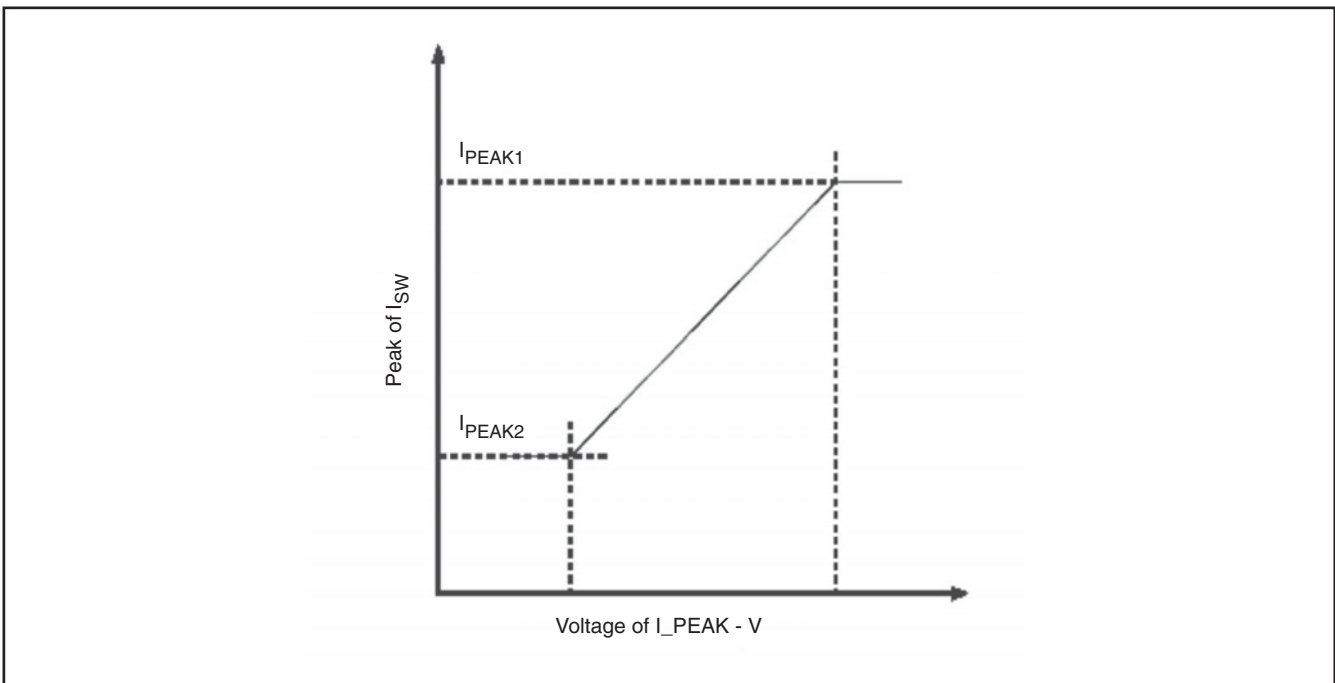


図 7. I_{PEAK} - I_(SW)

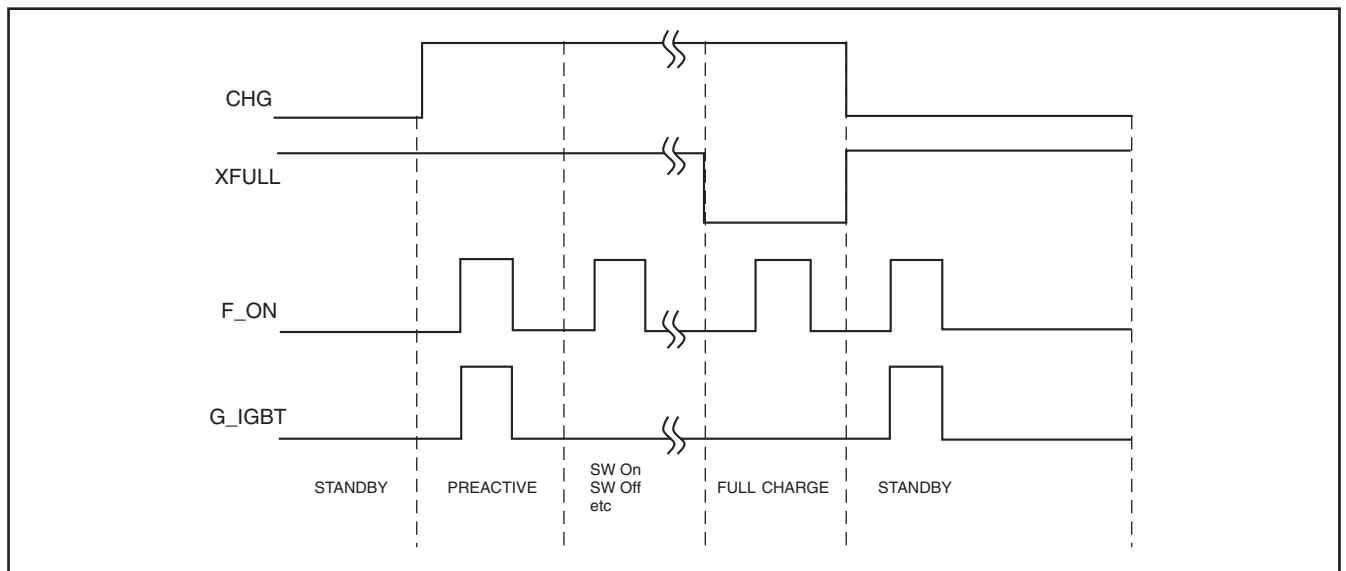


図 8. IGBT のタイミング図

IGBT ドライバ・コントロール

TPS65560は、IGBTドライバを内蔵しています。ドライバの電圧は、VCCに依存します。TPS65560には、図8のようなマスク・フィルタもあります。このマスクには、ヒステリシスがありません。したがって、FULL CHARGE (完全充電) が達成された後、CHGを強制的に“L”レベルに設定してから、F_ONが“H”レベルになるまでの待ち時間はありません。

保護機能

TPS65560には、4つの保護機構が内蔵されています。最大オン時間、最大オフ時間、過熱時のディスエーブル、および過電流シャットダウンです。

最大オン時間

不適切な電力供給源(つまり、ほとんど空のバッテリー)から電流を取り出すことを防止し、決してピーク電流に達しないことを保証するために、TPS65560には最大オン時間を指定する機能があります。このオン時間が t_{MAX} を上回った場合は、 $I_{(PEAK)}$ を検出したかどうかに関わらず、TPS65560は強制的にオフになります。

最大オフ時間

内蔵FETがオフのときにSWピンでの電圧が上昇しないなどの事態を防止するために、TPS65560には最大オフ時間を指定

する機能があります。このオフ時間が t_{MIN} を上回った場合は、 $V_{(ZERO)}$ を検出したかどうかに関わらず、TPS65560は強制的にオンになります。

過熱時のディスエーブル

TPS65560のダイ温度が 160°C に達した時点で、すべての機能が停止します。過熱状態が続いている間、CHGが継続して“H”レベルであった場合、ダイ温度が 160°C 未満に低下した時点でTPS65560は充電を再開します。

SWピンでのVDSのモニタによる過電流シャットダウン (OV_{DS})

TPS65560には、SWピンでの過電圧モニタ機能があります。スイッチがオン時間になっている間にSWピンでの電圧が OV_{DS} を上回った場合、TPS65560は強制的にオフにされます(図4とその説明を参照)。

この機能により、トランス1次側の短絡保護を実現できます。1次側の短絡は、バッテリーの電圧をGNDに短絡させることを意味します。この短絡が保護されていない場合、SWピンが原因でデバイスが破損する可能性があります。

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS65560RGTR	ACTIVE	QFN	RGT	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS65560RGTRG4	ACTIVE	QFN	RGT	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS65560RGTT	ACTIVE	QFN	RGT	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS65560RGTTG4	ACTIVE	QFN	RGT	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

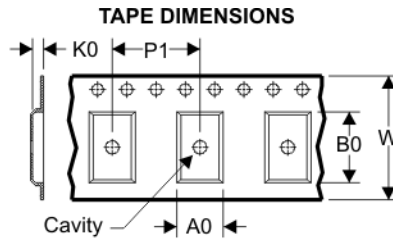
Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

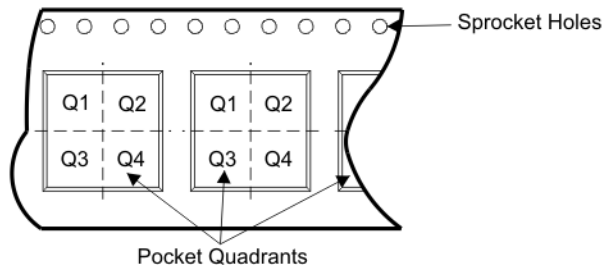
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL BOX INFORMATION



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS65560RGTR	RGT	16	SITE 41	330	12	3.3	3.3	1.1	8	12	Q2
TPS65560RGTT	RGT	16	SITE 41	180	12	3.3	3.3	1.1	8	12	Q2

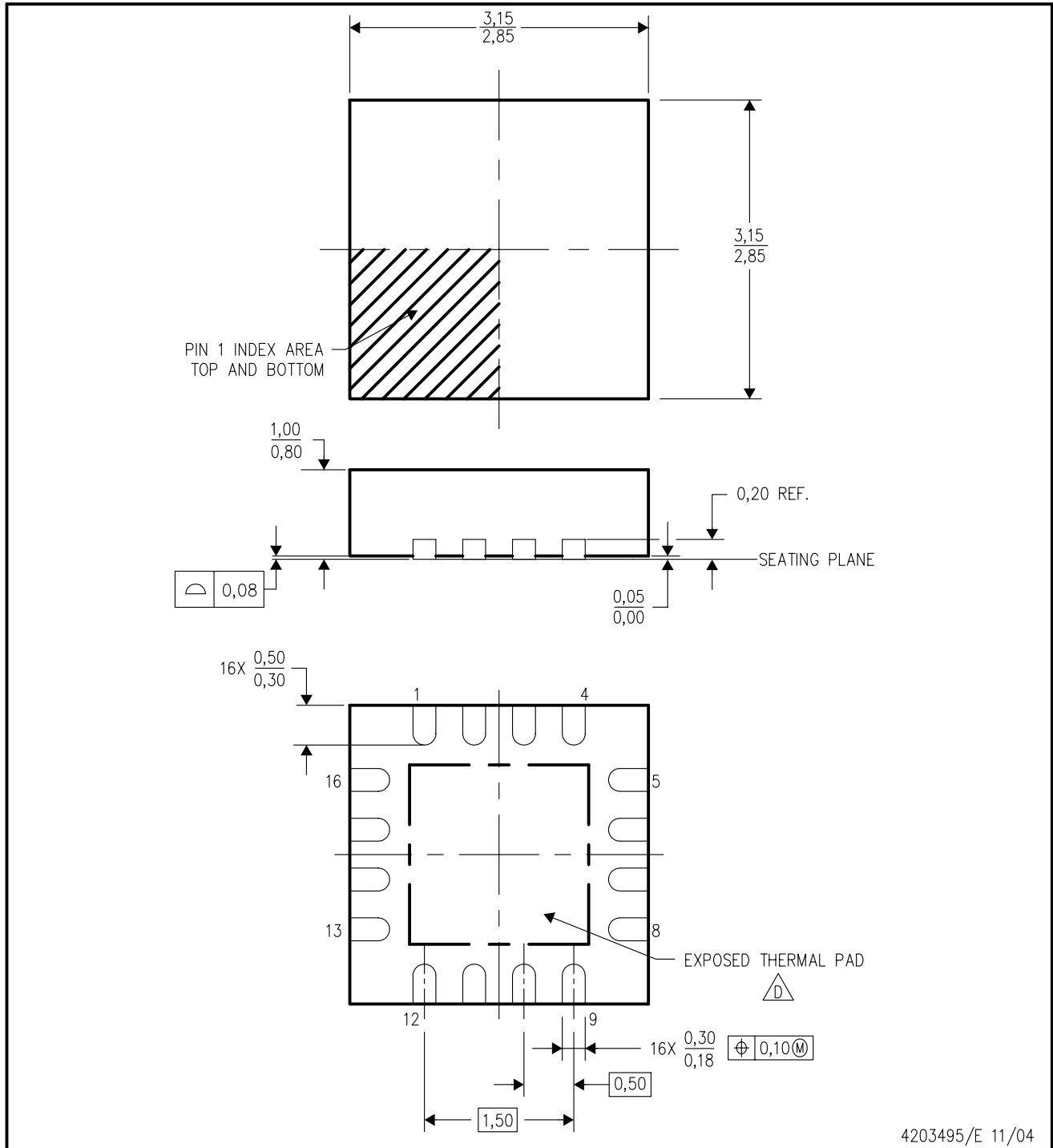
TAPE AND REEL BOX DIMENSIONS



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
TPS65560RGTR	RGT	16	SITE 41	346.0	346.0	29.0
TPS65560RGTT	RGT	16	SITE 41	190.5	212.7	31.75

RGT (S-PQFP-N16)

PLASTIC QUAD FLATPACK



4203495/E 11/04

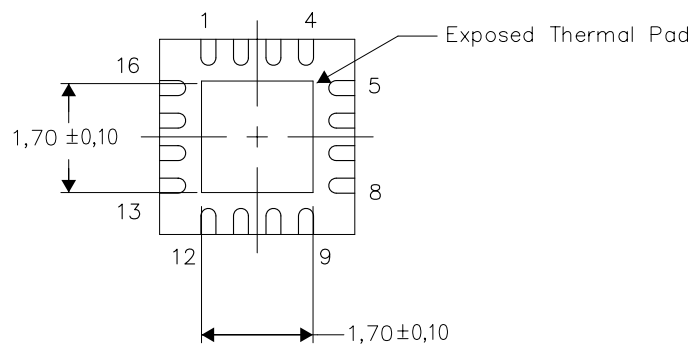
- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Quad Flatpack, No-leads (QFN) package configuration.
 - $\triangle D$ The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
 - E. Falls within JEDEC MO-220.

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, Quad Flatpack No-Lead Logic Packages, Texas Instruments Literature No. SCBA017. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

NOTE: All linear dimensions are in millimeters

Exposed Thermal Pad Dimensions

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated