

可変入力電流制限機能、1.5A小型昇圧コンバータ

特長

- 入力電流制限値を抵抗で設定可能
 - 500mA時、 $\pm 20\%$ の電流精度（全温度範囲）
 - 100mAから最大1500mAまで設定可能
- 最大効率：92%
- 入力電圧範囲：2.3V～6.0V
- 適切な出力電圧レベルを示すパワー・グッド
- 可変出力電圧：最大6.5V
- 100%デューティサイクルモード（ $V_{IN} > V_{OUT}$ 時）
- 負荷遮断および逆電流保護
- 出力短絡保護
- 標準動作周波数：3.25MHz
- 2 × 2mmのQFN-8パッケージで供給

アプリケーション

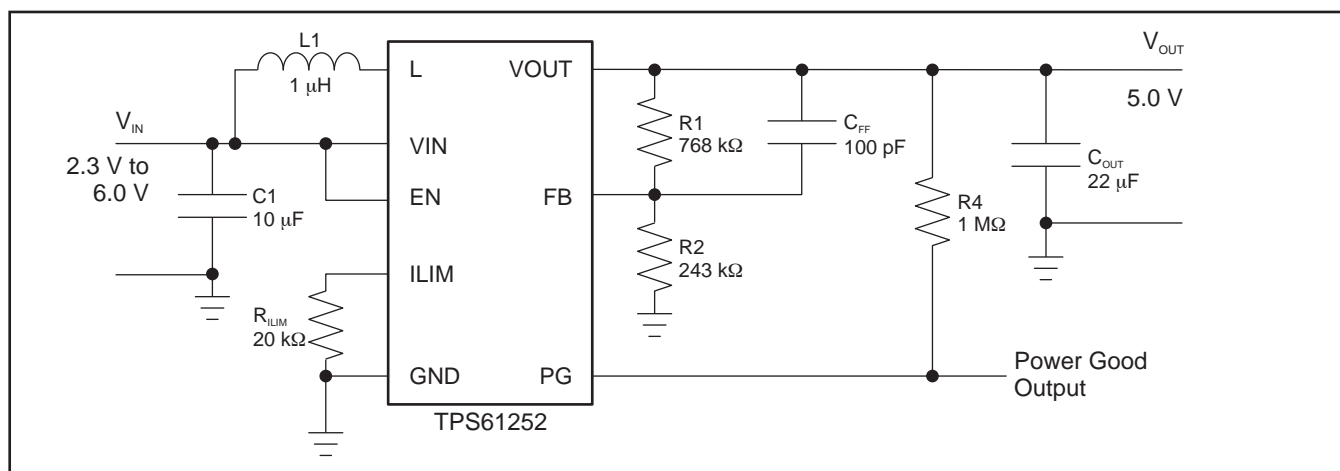
- 1セル・Li-ION電池からのUSBホスト電源
- 供給電流に制限のあるアプリケーション
- Li-ION電池供給の電源
- オーディオ・アプリケーション
- RF-PAバッファ

概要

TPS61252デバイスは、3セルのアルカリ、NiCd、NiMH電池、または1セルのLiイオン、Liポリマー電池で駆動される製品に対して、電源ソリューションを提供します。幅広い入力電圧範囲により、携帯電話やコンピュータのペリフェラルなどのポータブル・アプリケーションへの電源供給に最適です。本製品は外部抵抗（ R_{ILIM} ）を使用して入力電流制限値を設定できるので、様々なアプリケーションに幅広く適合します。

軽負荷状態では本製品は自動的にスキップモード(PFM)に移行し、電池から30 μ Aの電流を消費するだけで、コンバータは出力電圧を維持する事が出来ます。これにより、最小の静止時自己消費電流により最大の効率が得られます。

TPS61252では、小型のインダクタおよび入力コンデンサを使用して、省スペースのソリューションを実現できます。外部設定抵抗により電流制限値を下げる事が出来るので、定格電流は小さいが物理的に小型のインダクタを使用して、電源回路の総ソリューションサイズをさらに小さく設計する事ができる可能性が有ります。シャットダウン時は、負荷がバッテリーから完全に遮断され、バッテリーおよび充電されたバルク・コンデンサからは放電されません。TPS61252は、2 × 2mmの8ピンQFNパッケージ (DSG) で供給されます。



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

供給オプション

T _A	出力電圧 ⁽¹⁾	パッケージ捺印	パッケージ	部品番号 ⁽²⁾
-40°C ~ 85°C	可変	QTI	8-Pin QFN	TPS61252DSG

(1) その他の固定出力電圧オプションについては、TIにお問い合わせください。

(2) 詳細な製品情報については、最新の英文データシートの巻末にある「PACKAGING INFORMATION」を参照してください。

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

		MIN	MAX	単位
Voltage range ⁽²⁾	VIN, VOUT, SW, EN, PG, FB, ILIM	-0.3	7	V
Temperature range	Operating junction, T _J	-40	150	°C
	Storage, T _{stg}	-65	150	°C
ESD rating ⁽³⁾	Human Body Model - (HBM)		2	kV
	Charge Device Model - (CDM)		0.5	kV

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。

絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) すべての電圧値は回路のグランド端子を基準としています。

(3) ESDテストは、該当するJESD22 JEDEC標準に従って実施されています。

熱特性について

THERMAL METRIC ⁽¹⁾		TPS61252	単位
		DSG	
		8 PINS	
θ _{JA}	Junction-to-ambient thermal resistance	80.2	°C/W
θ _{JCtop}	Junction-to-case (top) thermal resistance	93.5	
θ _{JB}	Junction-to-board thermal resistance	54.2	
ψ _{JT}	Junction-to-top characterization parameter	0.9	
ψ _{JB}	Junction-to-board characterization parameter	59.3	
θ _{JCbot}	Junction-to-case (bottom) thermal resistance	20	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

推奨動作条件

	MIN	NOM	MAX	単位
Supply voltage at VIN	2.3		6.0	V
Output voltage at VOUT	3.0		6.5	V
Programmable valley switch current limit set by R _{ILIM}	100		1500	mA
Operating free air temperature range, T _A	-40		85	°C
Operating junction temperature range, T _J	-40		125	°C

電気的特性

推奨温度範囲内、標準値はT_A = 25°Cでの値。特に記述のない限り、仕様はV_{IN} = EN = 3.6V、V_{OUT} = 5.0Vという条件で適用されます。

DC/DC STAGE						
パラメータ		テスト条件	MIN	TYP	MAX	単位
V _{FB}	Feedback voltage		1.182	1.2	1.218	V
	Maximum line regulation			0.5		%
	Maximum load regulation			0.5		%
f	Oscillator frequency			3250		kHz
r _{DS(on)}	High side switch on resistance			200		mΩ
	Low side switch on resistance			130		mΩ
	Reverse leakage current into V _{OUT}	EN = GND			3.5	μA
I _{V(CL)}	Programmable valley switch current limit	ILIM pin set to V _{IN}		1500		mA
		R _{ILIM} = 20 kΩ (500mA)	-20		+20	%
I _Q	Quiescent current	PFM enabled, device is not switching		30		μA
I _{SD}	Shutdown current			0.85	3.5	μA
OVP	Input over voltage protection threshold	Falling		6.4		V
		Rising		6.5		V
CONTROL STAGE						
V _{UVLO}	Under voltage lockout threshold	Falling		2.0	2.1	V
		Hysteresis		0.1		V
V _{IL}	EN input low voltage	2.3 V ≤ V _{IN} ≤ 6.0 V			0.4	V
V _{IH}	EN input high voltage	2.3 V ≤ V _{IN} ≤ 6.0 V	1.0			V
	EN, PG input leakage current	Clamped to GND or V _{IN}			0.5	μA
	Power Good threshold voltage	Rising referred to V _{FB}	92.5	95	97.5	%
		Falling referred to V _{FB}	87.5	90	92.5	%
	Power good delay			10		μs
	Overtemperature protection			140		°C
	Overtemperature hysteresis			20		°C

製品情報

ピン配置

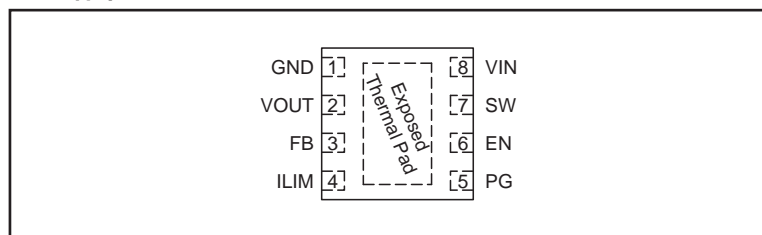
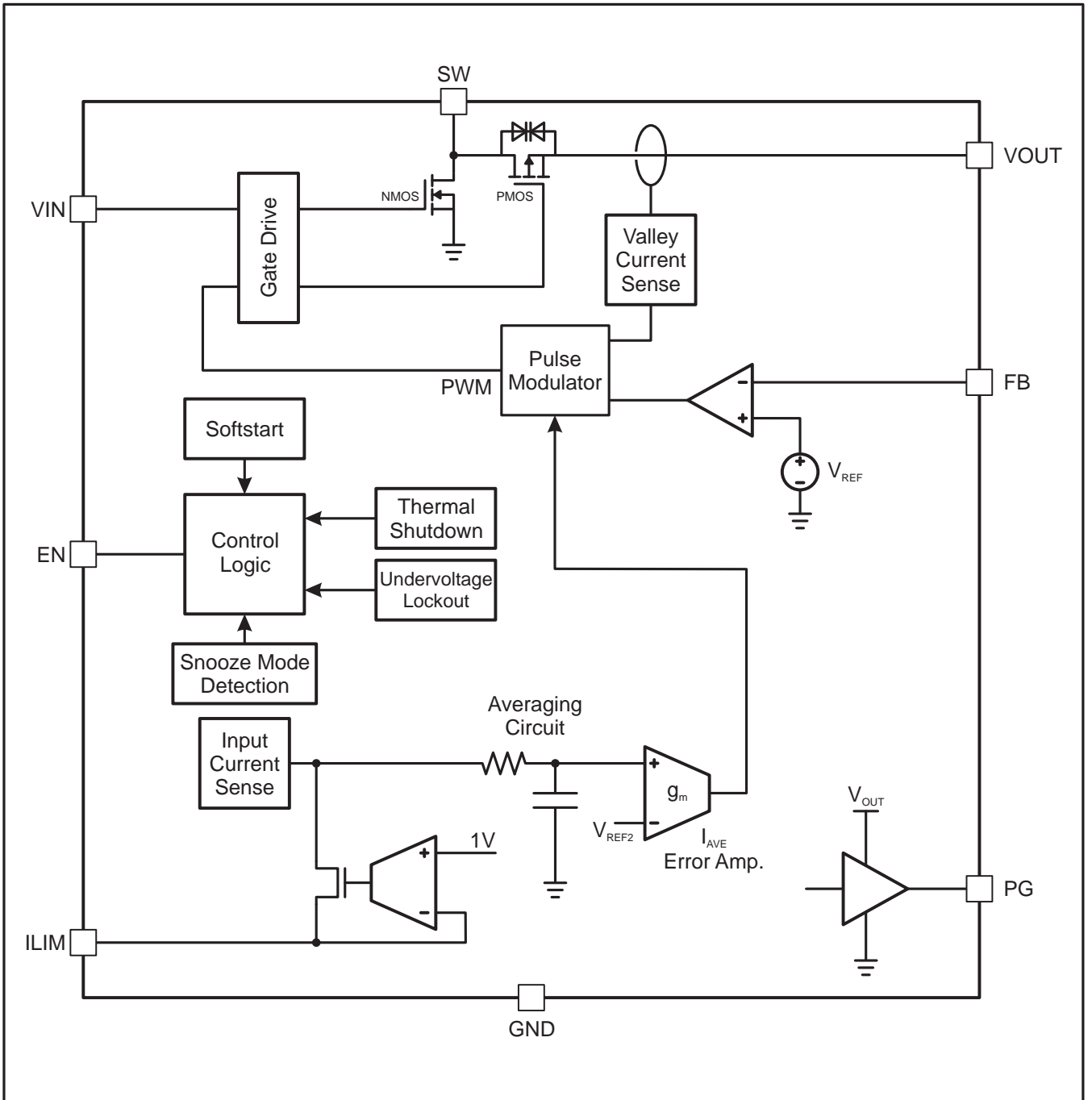


表 2. 端子機能

端子		I/O	説明
名前	番号		
EN	6	I	イネーブル入力(1:イネーブル、0:ディスエーブル)
FB	3	I	電圧帰還ピン
GND	1		グラウンド
ILIM	4	I	入力谷電流制限値設定。VINに接続すると最大値での電流制限になります。
PG	5	O	出力パワー・グッド(1:グッド、0:フェイル、オープン・ドレイン)
SW	7	I	インダクタに接続
VIN	8	I	パワーステージへの電源電圧
VOUT	2	O	ブースト・コンバータ出力
露出した サーマル・パッド			適切な放熱と機械的強度確保のために、半田付けする必要があります。GNDに接続してください。

機能ブロック図(TPS61251)



パラメータ測定情報

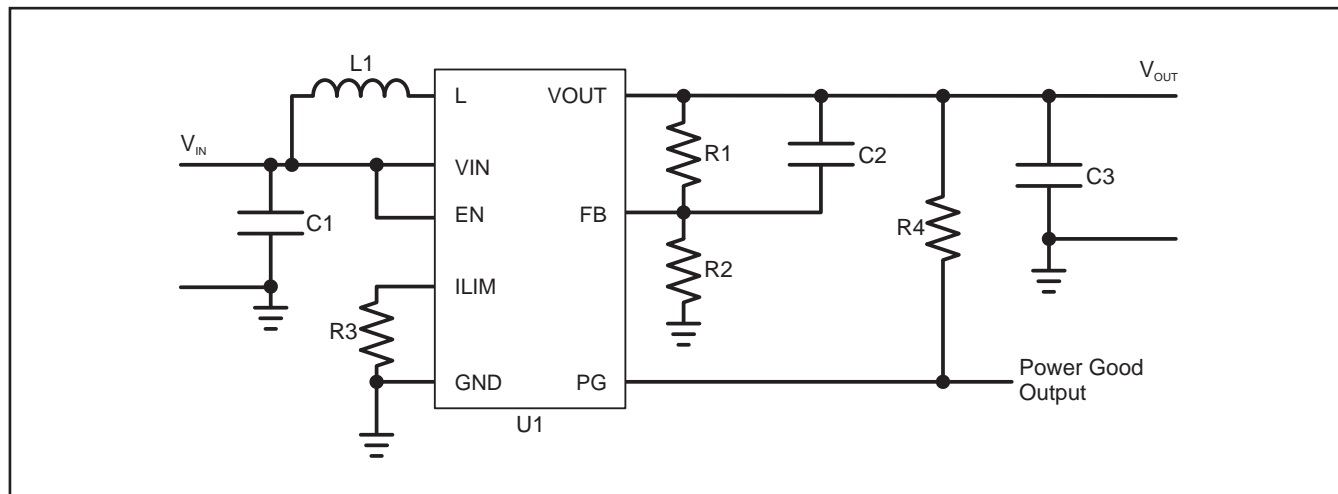


表 2. 部品一覧

記号	説明	メーカー
U1	TPS61252	Texas Instruments
L1	1.0 μ H, 2.1 A, 27 m Ω , 2.8 mm x 2.8 mm x 1.5 mm	DEM2815C, TOKO
C1	1 x 4.7 μ F, 10 V, 0805, X7R セラミック	GRM21BR71A475KA73, Murata
C2	1 x 100 pF, 50 V, 0603, COG セラミック	GRM1885C1H101JA01B, Murata
C3	2 x 22 μ F, 10 V, 0805, X7R セラミック	GRM21BR61A226ME51, Murata
R1	TPS61252の出力電圧に依存、1%(出力電圧5Vでの波形測定には、すべて768k Ω を使用)	
R2	TPS61252の出力電圧に依存、1%(出力電圧5Vでの波形測定には、すべて240k Ω を使用)	
R3	TPS61252の入力電流制限に依存、1%	
R4	1 M Ω , 1%	任意

標準的特性 グラフ一覧

説明		図
効率	対 出力電流 ($V_{OUT} = 5.0V$, $I_{LIM} = 1.5A$)	図1
	対 出力電流、100%デューティサイクルモード ($V_{OUT} = 5.0V$, $I_{LIM} = 1.5A$)	図2
	対 入力電圧 ($V_{OUT} = 5.0V$, $I_{LOAD} = \{10; 100; 500 \text{ mA}\}$, $I_{LIM} = 1.5A$)	図3
最大出力電流	対 入力電圧 (TPS61252, $V_{OUT} = 5.0V$)	図4
出力電圧	対 出力電流 ($V_{OUT} = 5.0V$, $I_{LIM} = 1.5A$)	図5
波形	負荷過渡応答 ($V_{IN} < V_{OUT}$, $I_{LIM} = 500mA$, 負荷変動: 20mAから300mA)	図6
	負荷過渡応答 ($V_{IN} > V_{OUT}$, $I_{LIM} = 1000mA$, 負荷変動: 50mAから550mA)	図7
	イネーブル後のスタートアップ ($V_{OUT} = 5.0V$, $V_{IN} = 3.6V$, $I_{LIM} = 500mA$)	図8
	イネーブル後のスタートアップ ($V_{OUT} = 5.0V$, $V_{IN} = 3.6V$, $I_{LIM} = 1000mA$)	図9
	イネーブル後のスタートアップ、500mA負荷時 ($V_{OUT} = 5.0V$, $V_{IN} = 3.6V$, $I_{LIM} = 1000mA$)	図10

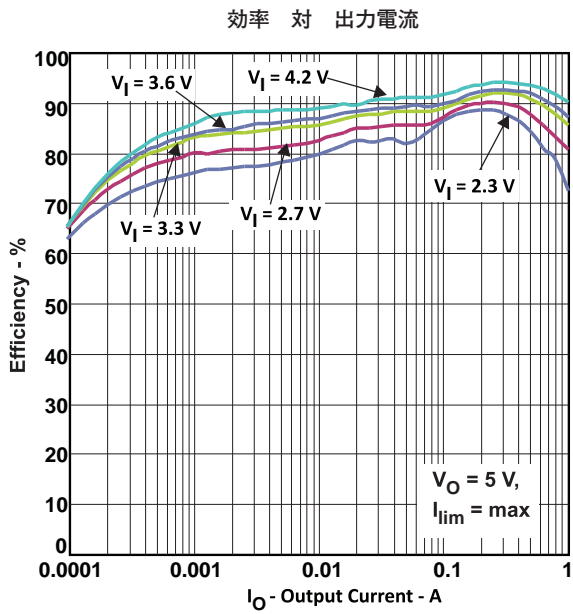


図 1

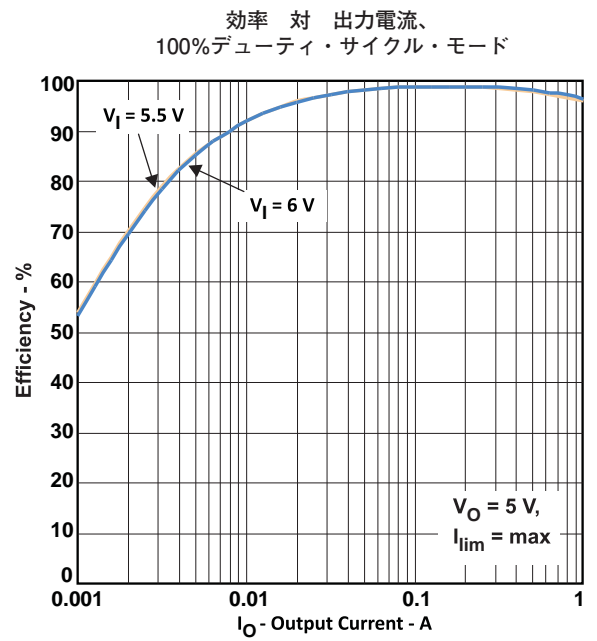


図 2

標準的特性

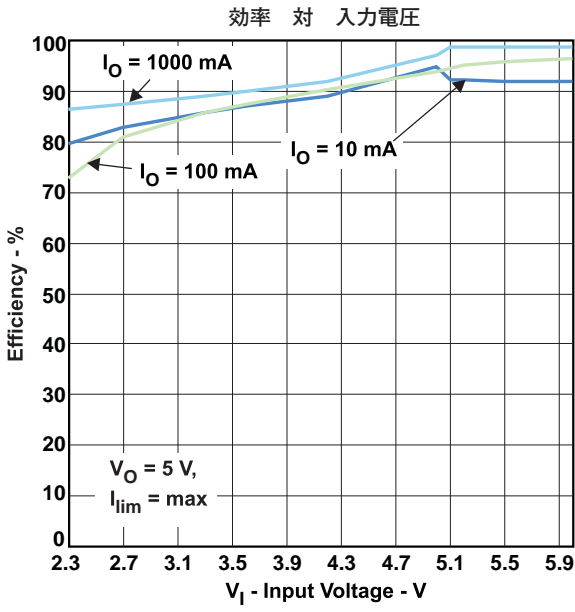


図 3

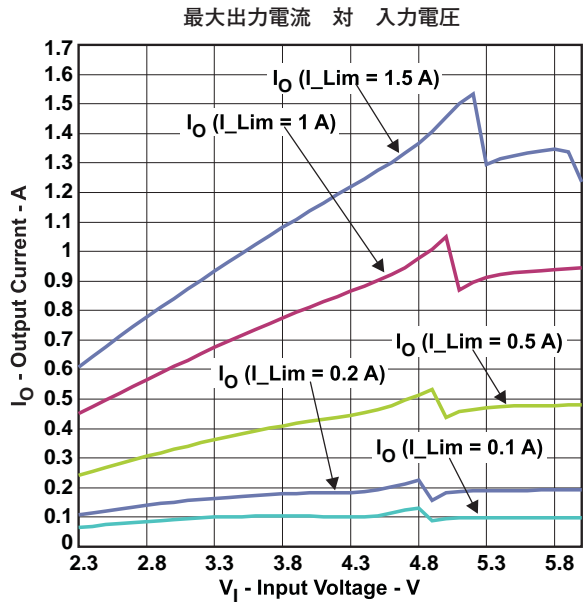


図 4

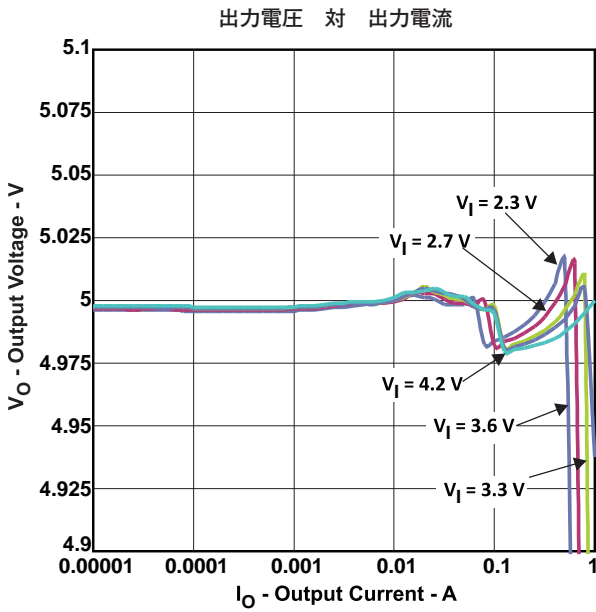


図 5

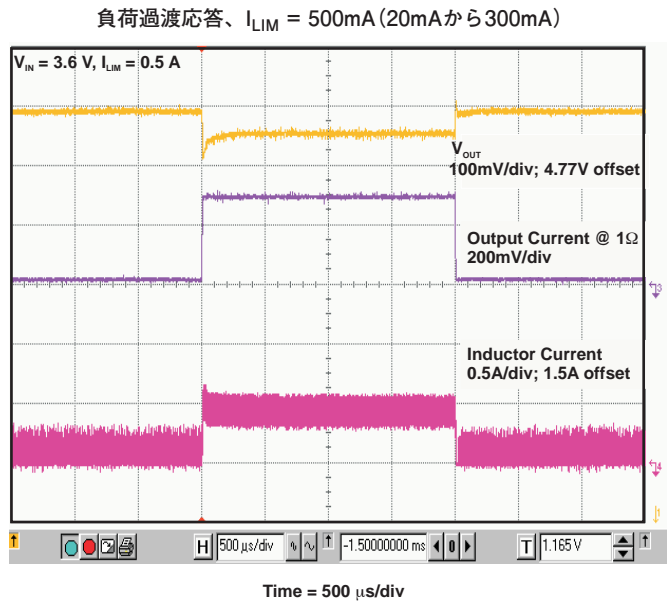


図 6

標準的特性

負荷過渡応答、 $I_{LIM} = 1000\text{mA}$ (50mAから550mA)

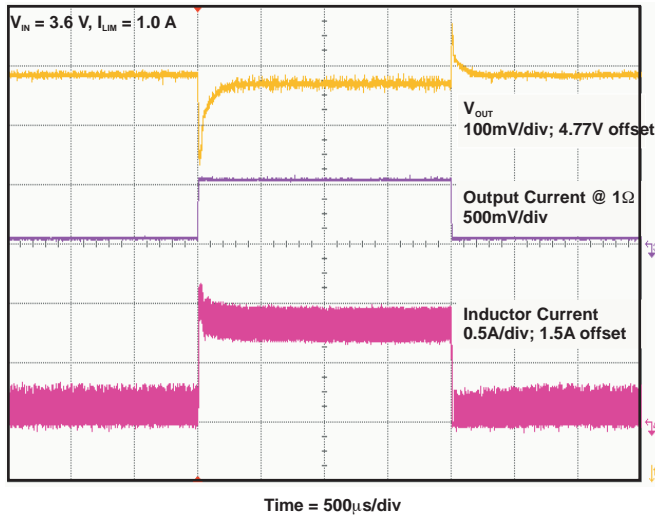


図 7

イネーブル後のスタートアップ、 $I_{LIM} = 500\text{mA}$ 、無負荷

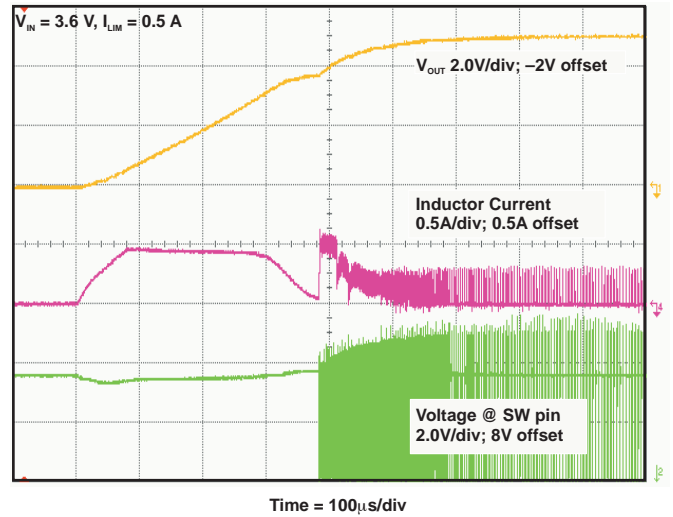


図 8

イネーブル後のスタートアップ、 $I_{LIM} = 1000\text{mA}$ 、無負荷

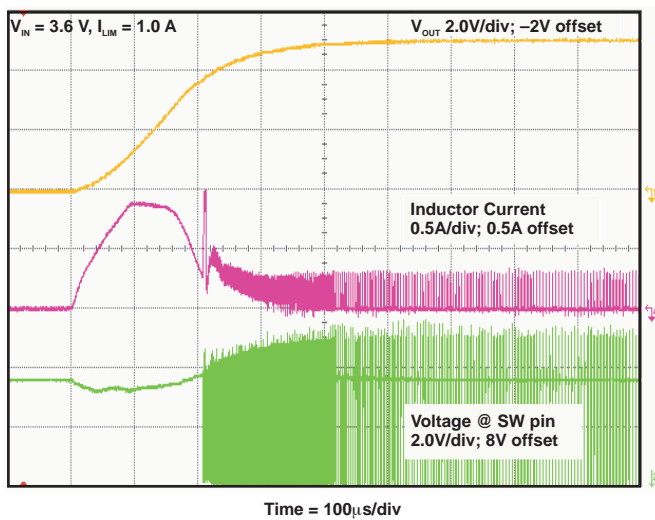


図 9

イネーブル後のスタートアップ、 $I_{LIM} = 1000\text{mA}$ 、500mA負荷時

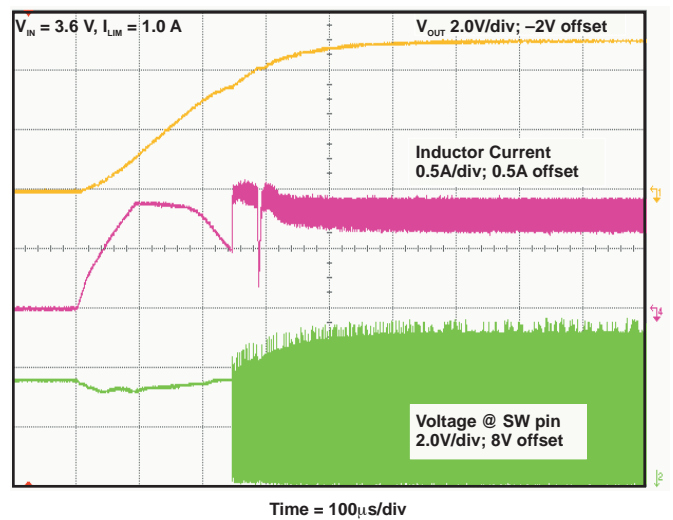


図 10

詳細説明

動作

TPS61252ブースト・コンバータは、擬似定周波数の適応型オン時間コントローラとして動作します。標準的なアプリケーションでは、周波数が3.25MHzとなり、これは入力/出力電圧比に応じて制御され、中～重負荷電流の範囲では変化しません。軽負荷時には、自動的にパワーセーブ・モードになり、PFM(パルス周波数変調)モードで動作します。パルス幅変調(PWM)動作では、応答の高速な独自の擬似定オン時間バレー(谷)電流モード制御方式により、優れたライン・レギュレーションおよび負荷レギュレーションが実現され、入力/出力コンデンサに小容量のセラミックを使用できます。

V_{IN}/V_{OUT} の比に基づき、必要なオン時間がシンプルな回路を使用して予測されます。スイッチング・サイクルが開始されると、ローサイドNMOSスイッチがオンになり、インダクタ電流は、オン時間とインダクタンスによって規定されるピーク電流まで上昇します。第2フェーズでは、ピーク電流に到達した後、電流コンパレータがトリップし、オン・タイマがリセットされてスイッチがオフになります。それにより、インダクタを流れる電流が、内部設定されたバレー(谷)電流制限まで減少します。この状態になると、オン・タイマが設定されて昇圧スイッチが再びオンになり、同じサイクルが繰り返されます。

TPS61252は谷電流での過電流制限をインテリジェントに調整する事によって、平均入力電流の過電流制限に変換する事により入力電流を制御しています。電流制限値は $\pm 20\%$ の精度で設定することができます。

このアーキテクチャと適応型スロープ補償の組み合わせにより、優れた負荷過渡応答が得られ、必要な出力フィルタリングは最小限で済みます。内部ソフト・スタートとループ補償によって、設計手順が簡略化され、外部部品数が最小限に抑えられます。

電流制限動作

電流制限回路は、バレー(谷)電流センス方式を採用しています。電流制限の検出は、オフ時間中に、同期整流回路における電圧降下をセンスすることで行われます。デバイスの電源段が定電流モードで動作している間、出力電圧は低下します。電流制限(CL)動作に入る直前の最大連続出力電流($I_{OUT(CL)}$)は、式(1)で定義できます。

$$I_{OUT(CL)} = (1-D) \cdot (I_{V(CL)} + \frac{1}{2} \Delta I_L) \quad (1)$$

デューティ・サイクル(D)は、次の式(2)で見積もることができます。

$$D = 1 - \frac{V_{IN} \cdot \eta}{V_{OUT}} \quad (2)$$

ピーク・ツー・ピーク・リップル電流(ΔI_L)は式(3)で計算できます。

$$\Delta I_L = \frac{V_{IN} \cdot D}{L \cdot f} \quad (3)$$

出力電流 $I_{OUT(DC)}$ は整流スイッチの電流波形の平均値となります。負荷電流の増加によりインダクタ電流の谷値が過電流制限値を超えるとこの電流値が制限値まで低下するまで、OFF時間が増加して次のON時間の開始が延期されます。過電流制限に達してから更に負荷電流が増加すると出力電圧は低下します。

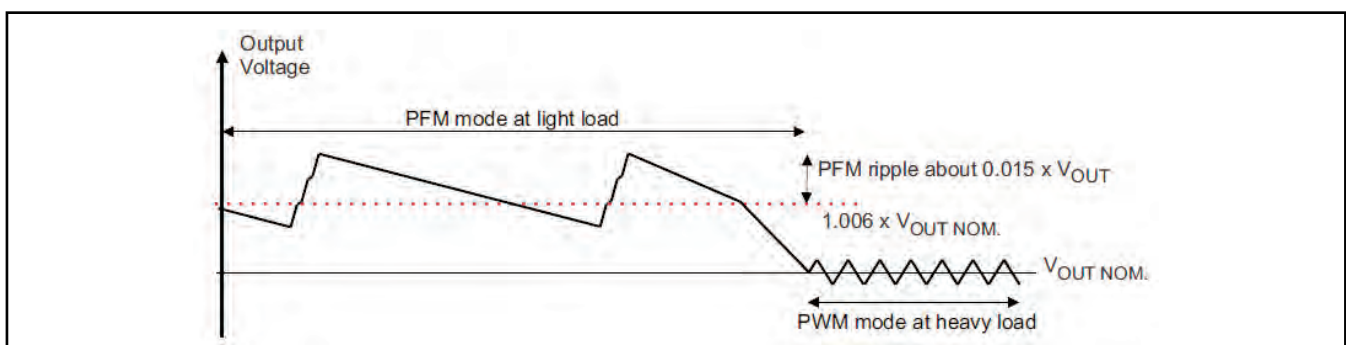
ソフト・スタート

TPS61252では、ソフト・スタート回路が内蔵されており、これが、起動時の電流増加を制御し、設定された電流制限を超える突入電流がコンバータに流れるのを防ぎます。標準で100 μ sの時間をかけて、電流は設定された電流制限値まで上昇します。電流制限スレッシュホールドに達した後は、 $V_{IN} = V_{OUT}$ になるまでその状態が保持されます。その後、コンバータはスイッチングを開始し、電圧を公称出力電圧まで上昇させます。起動時のすべての時間において入力電流が抵抗 R_{ILIM} で設定された電流制限値を超える事はありません。

パワーセーブ・モード

TPS61252には、軽負荷時の効率を向上させるためのパワーセーブ・モードが用意されています。パワーセーブ・モードでは、コンバータは出力電圧が設定されたスレッシュホールド電圧を下回ったときのみ動作します。いくつかのパルスで出力電圧を上昇させた後、出力電圧が設定スレッシュホールド値を超えた時点で、パワーセーブ・モードに入ります。パワーセーブ動作中は、出力電圧が設定スレッシュホールドを上回ると、コンバータは一部の内部回路をオフにして自己消費エネルギーを節約します。

出力電流がPFMモードでサポートできなくなった場合、PFMモードからPWMモードに移行します。



100%デューティサイクルモード

$V_{IN} > V_{OUT}$ の状態では、TPS61252では、100%デューティサイクルモードを使用して、電流制限動作を維持しながら、入力/出力間の電圧差を可能な限り小さく保ちます。このモードでは、PMOSスイッチは常にオンになっています。この状態での動作中、出力電圧は入力電圧に追従しますが、入力電圧が V_{OUT} を下回る状態になっても、出力電圧が設定値より低下することはありません。100%モード中の出力電圧の低下は、負荷電流と入力電圧に依存し、結果の出力電圧は次の式で求められます。

$$V_{OUT} = V_{IN} - (DCR + r_{DS(on)}) \cdot I_{OUT} \quad (4)$$

ここで

DCR = インダクタのDC抵抗

$r_{DS(on)}$ = PMOSスイッチの標準オン抵抗

イネーブル

ENピンを1V以上の電圧に設定することで、デバイスがイネーブルになります。最初に、内部リファレンスがアクティブになり、内部アナログ回路が安定します。その後、ソフトスタート回路により出力電圧が上昇します。出力電圧は、電流制限設定と負荷条件によって許容される範囲で、できる限り速く公称値に達します。

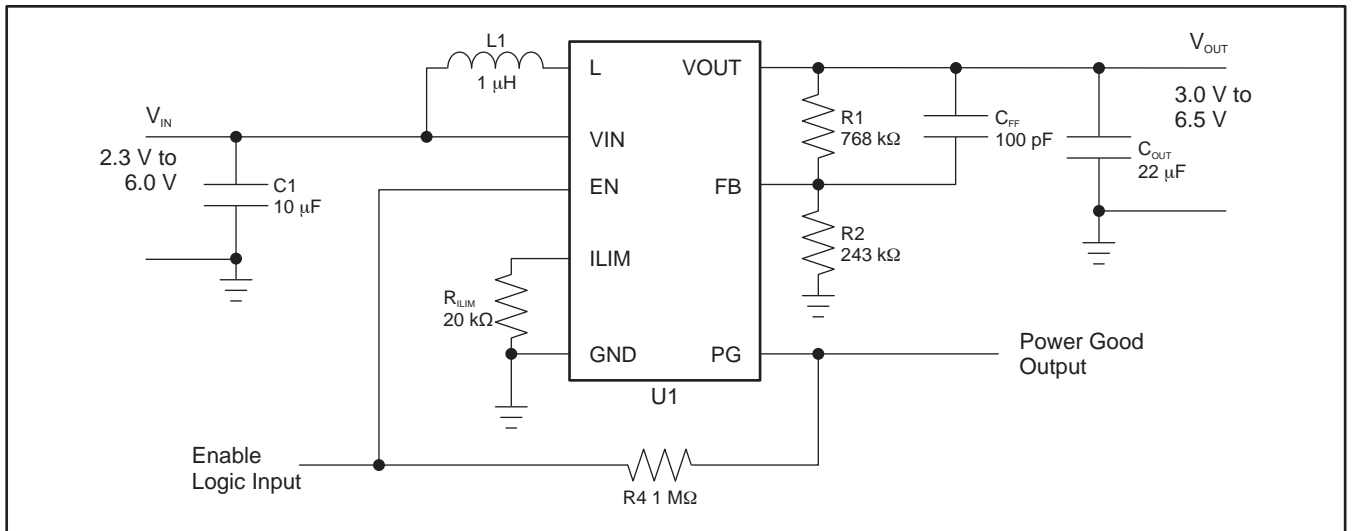
EN入力を使用して、複数のDC/DCコンバータを含むシステムの電源シーケンシングを制御できます。ENピンを別のコンバータの出力に接続することで、ENピンをHighにして、電源レールのシーケンシングを実行できます。EN = GNDの場合、デバイスはシャットダウン・モードに入ります。

低電圧誤動作防止 (UVLO)

低電圧誤動作防止回路により、低入力電圧時のデバイスの誤動作やバッテリーの過放電が防止されます。この回路は、 V_{IN} が低下して低電圧誤動作防止スレッショルド V_{UVLO} (標準2.0V)を下回ったときに、コンバータの出力段をディスエーブルにします。 V_{IN} が上昇して V_{UVLO} スレッショルド+100mVのヒステリシス(標準2.1V)を超えると、デバイスは動作を再開します。

パワー・グッド

デバイスには、出力電圧が適切なレベルに達していることを示す、パワー・グッド機能が内蔵されています。帰還電圧が公称値の95%に達すると、パワー・グッド出力 (PG)がHighになり、公称値の90%以下になるまでその状態を保持します。パワー・グッドはコンバータにVINが供給されており、イネーブルされている間だけ動作します。コンバータのENピンがLowにプルダウンされてディスエーブルになると、PGのオープン・ドレイン出力は高抵抗状態となります。この時のピン電圧はプルアップ抵抗により接続された電圧となる事を意味しています。コンバータが外部からEN信号で制御されており、パワー・グッドが出力のターンオフされたことを示す必要が有る場合は以下のアプリケーション回路とします。



入力過電圧保護

このコンバータには、入力過電圧保護が備えられ、許容された入力電圧を超過するにより、絶対最大定格を超えた電圧が発生することに依る損傷からデバイスを保護します。入力電圧が6.5V(標準)を超えた場合、コンバータは完全にシャットダウンされ、内部回路を保護します。入力電圧が6.4V(標準)を下回ると、デバイスが再度オンになり、通常のスタートアップを行います。

負荷遮断および逆電流保護

一般的な昇圧コンバータは入力電源から負荷を遮断できません、この結果シャットダウンしていても接続されている電池から放電してしまいます。TPS61252の有利な点は、本コンバータはディスエーブルされている時、負荷を供給電源から遮断できる事です。電池が接続されている場合、コンバータがシャットダウンされている間に電池が放電してしまう事を防止できます。

サーマル・レギュレーション

TPS61252には、ダイ温度を監視するサーマル・レギュレーション・ループが用意されています。ダイ温度が110°Cを超えた場合、デバイスは電流を自動的に減少させて、ダイ温度のそれ以上の上昇を防ぎます。ダイ温度がスレッシュホールドよりも10°C低くなると、デバイスは自動的に電流を設定値へと増加させます。この機能は、負荷短絡状態時の電流も低減します。

過熱シャットダウン

接合部温度 T_J が140°C(標準)を超えると、デバイスは過熱シャットダウン状態になります。このモードでは、ハイサイドMOSFETおよびローサイドMOSFETがオフになります。接合部温度が過熱シャットダウンよりも約20°C低くなると、デバイスは動作を続行します。

アプリケーション情報

設計例

以下のアプリケーション情報では、1つの具体的な例を使用して、さまざまな式の定義および計算を行います。

パラメータ	記号	値	単位
入力電圧	V_{IN}	3.6	V
最小入力電圧	$V_{IN(min)}$	2.6	V
出力電圧	V_{OUT}	5.0	V
R_{ILIM} で設定される入力電流制限	I_{LIM}	1000	mA
帰還電圧	V_{FB}	1.2	V
スイッチング周波数	f	3.25	MHz
効率の見積もり	η	90	%
選択するインダクタ値	$L1$	1.0	μ H

出力電圧設定

出力電圧は式 (5) で計算できます。

$$V_{OUT} = V_{FB} \cdot \left(1 + \frac{R_1}{R_2} \right) \quad (5)$$

帰還分圧回路を流れる電流を最小限に抑えるために、 R_2 は180k Ω と360k Ω の間にする必要があります。回路のノイズ耐性を保持するには、 R_1 と R_2 の合計が約1M Ω を超えないようにします。この例では、 R_1 が768k Ω 、 R_2 が240k Ω となります。

負荷過渡応答を最適化するためには、外部フィードフォワード・コンデンサ $C1$ が必要です。 $C1$ の値は100pFとします。FBピンから分圧抵抗までの接続は短くし、インダクタやSWラインなどのノイズ源から離して配置する必要があります。

平均入力電流制限

平均入力電流は、必要な電流制限に対応した適切な外部抵抗値を選択することで設定されます。適切な抵抗値を選択するための目安として、式 (6) を使用できます。

$$R_{ILIM} = \frac{1.0V}{I_{LIM}} \cdot 10,000 \quad (6)$$

1Aの電流制限に対して、抵抗値は10k Ω となります。

最大出力電流

最大出力電流は、 R_{ILIM} および入力/出力電圧比によって設定され、式 (7) で計算できます。

$$I_{OUT(max)} \approx I_{LIM} \cdot \frac{V_{IN} \cdot \eta}{V_{OUT}} \quad (7)$$

この例では、3.6Vの入力電圧で $I_{OUT(max)}$ が648mAとなり、入力電圧が低下するにつれて入力エネルギーの減少により減少します。

インダクタの選択

他のすべてのスイッチング電源と同様に、動作中にエネルギーを蓄積するために2つの主要なパッシブ部品が必要となります。これは、インダクタと出力コンデンサによって行われます。TPS61252デバイスが動作するためには、インダクタをVINピンとSWピンの間に接続する必要があります。インダクタの電流定格は、入力電流制限の設定値およびインダクタでの電流リップルに基づいて、適切に選択します。最大ピーク・インダクタ電流は、式 (8) で見積もることができます。

$$I_{L(\max)} = I_{LIM} + \Delta I_L = I_{LIM} + \frac{V_{IN(\min)} \cdot D}{L \cdot f}$$
$$\text{with } D = 1 - \frac{V_{IN(\min)} \cdot \eta}{V_{OUT}} \quad (8)$$

この例では、電流リップル (ΔI_L) が426mAとなるため、定格電流が約1.5Aのインダクタを使用する必要があります。

TPS61252は、1.0 μ H~2.2 μ Hのインダクタンス値で動作するように設計されています。標準的なアプリケーションでは、1.5 μ Hのインダクタンスが推奨されます。電圧変換係数と、十分な出力電流に対応したインダクタの定格電流の為に、より低いインダクタンス値が求められています。この為に、インダクタンス値は、安定性を損なうことなく、1.0 μ Hまで下げることができます。インダクタンス値が小さくなると、インダクタのピーク電流計算に含める必要のある電流リップルが増加します (式 (8))。一般的なブースト・コンバータを使用する場合、インダクタを流れる最大電流は、コンバータ・スイッチのスイッチ電流制限によって規定されるため、必要な電流値より大きなインダクタを選択する必要があります。TPS61252では、コンバータの最大スイッチ電流制限に関係なく、電流制限をアプリケーションのニーズに合わせて引き下げることが可能です。より低い電流値をプログラミングすることで、飽和に至る心配なしに、小型のインダクタを使用できるようになります。

出力コンデンサ

出力コンデンサには、小型のセラミック・コンデンサをVOUTピンとGNDピンの間にICの直近に配置する事を推奨します。何らかの理由により、アプリケーションが大容量のコンデンサの使用を必要とするが、ICの直近に配置することが出来ない場合、小容量のセラミック・コンデンサを大容量コンデンサに並列接続する事を強く推奨します。小容量のセラミック・コンデンサはコンバータのVOUTピンとGNDピンに最短距離で配置する必要があります。推奨される最小出力容量値は式 (9) を使用して 見積もることが出来ます。

$$C_{MIN} = \frac{I_{OUT} \cdot (V_{OUT} - V_{IN})}{f \cdot \Delta V \cdot V_{OUT}} \quad (9)$$

ここで ΔV は最大許容出力リップル電圧です。

リップル電圧を10mVとした場合、この設計例では最小でも9.6 μ Fの有効容量が必要となります。総リップル電圧値は出力コンデンサのERSにより増加します。この追加部分のリップル電圧は式 (10) により算出されます。

$$V_{ESR} = I_{OUT} \cdot R_{ESR} \quad (10)$$

制御ループの安定性を確保するためには算出された最小出力容量値を2倍にした (例えば22 μ F) コンデンサを選択します。これはセラミック・コンデンサのDCバイアス特性の影響を考慮するためです。最小ESR値に関する追加要求は有りません。大容量のコンデンサを使う事により、出力リップル電圧は小さくなり、過渡応答時の出力電圧の電圧ドロップも小さくなります。しかし、合計出力容量値が約50 μ Fを超えないようにします。

入力コンデンサ

積層セラミック・コンデンサは、ESRが極めて低く、小さな外形寸法で供給されているため、昇圧型コンバータの入力デカップリング用に優れた選択肢となります。入力コンデンサは、できる限りデバイスに近づけて配置してください。ほとんどのアプリケーションでは10 μ Fの入力コンデンサで十分ですが、入力電流リップルを低減するために、さらに大きな値を制限なしで使用できます。低ESRのタンタル・コンデンサも使用できます。

注 DCバイアス特性: 大容量のセラミック・コンデンサにはDCバイアス特性による容量の減少があり、有効な実効容量の値に大きな影響を与えます。したがって、適切な容量値を慎重に選択する必要があります。パッケージ・サイズ、電圧定格、および誘電体材料の組み合わせによって、定格コンデンサ容量と実効容量との間に差が生じます。容量10 μ Fの10V定格0805 (2012) コンデンサの場合、出力電圧5Vでの実効容量は5 μ F以下にまで低下する可能性があります。

ループ安定性のチェック

回路と安定性の評価の第一段階は、定常状態の観点から以下の信号を観測することです。

- ・ スイッチング・ノードSW
- ・ インダクタ電流 I_L
- ・ 出力リップル電圧 $V_{OUT(AC)}$

これらは、スイッチング・コンバータの評価時に測定する必要がある基本的な信号です。スイッチング波形に大きなデューティ・サイクル・ジッタが現れたり、出力電圧またはインダクタ電流に発振が見られたりする場合は、レギュレーション・ループが不安定な可能性があります。これは多くの場合、基板レイアウトおよびL-Cの組み合わせに起因するものです。

レギュレーション・ループの評価における次のステップとして、負荷過渡応答をテストします。負荷過渡状態の発生からPMOSスイッチがオンになるまでの時間、出力コンデンサは負荷に必要な電流をすべて供給する必要があります。 V_{OUT} は、 $\Delta I_{(LOAD)} \times ESR$ に等しい量だけ直ちにシフトされます。ここで、ESRは C_{OUT} の実効直列抵抗です。 $\Delta I_{(LOAD)}$ によって C_{OUT} の充電または放電が開始され、レギュレータが V_{OUT} を定常状態値に戻すために使用する帰還誤差信号が生成されます。この結果は、デバイスがPWMモードで動作しているときに最も簡単に解釈できます。

この復帰時間の間、 V_{OUT} のセトリング・タイム、オーバーシュート、リングングを監視することで、コンバータの安定性を判断する助けとなります。リングングがなければ、ループは通常45度以上の位相マージンを持ちます。回路のダンピング係数には、温度に依存するいくつかの抵抗性パラメータ(MOSFETの $r_{DS(on)}$ など)が直接関係しているため、ループ安定性の分析は、入力電圧範囲、負荷電流範囲、温度範囲のそれぞれ全体にわたって行う必要があります。

レイアウトについての考慮事項

すべてのスイッチング電源において、レイアウトは設計での重要なステップとなります。ピーク電流およびスイッチング電流が高い場合には、特に重要です。レイアウトが注意深く行われていないと、レギュレータではEMI問題だけでなく安定性の問題も生じる場合があります。主要な電流パスおよびパワー・グランドには広く短い配線を使用してください。入力コンデンサ、出力コンデンサ、およびインダクタは、できるだけICピンの近くに配置する必要があります。パワー・グランドには共通のグランド・ノードを使用し、制御グランドには別のノードを使用して、グランド雑音の影響を最小限に抑えます。これらのグランド・ノードは、ICのいずれかのグランド・ピンに近接した任意の場所に接続します。

帰還接続を短くするために、帰還用の分圧抵抗はICに近づけて配置してください。グランドのレイアウトには、短く幅広いパターンを推奨します。これにより、パワー・グランド電流の重畳と帰還分圧回路によって生じる、グランド・シフトの問題を回避できます。

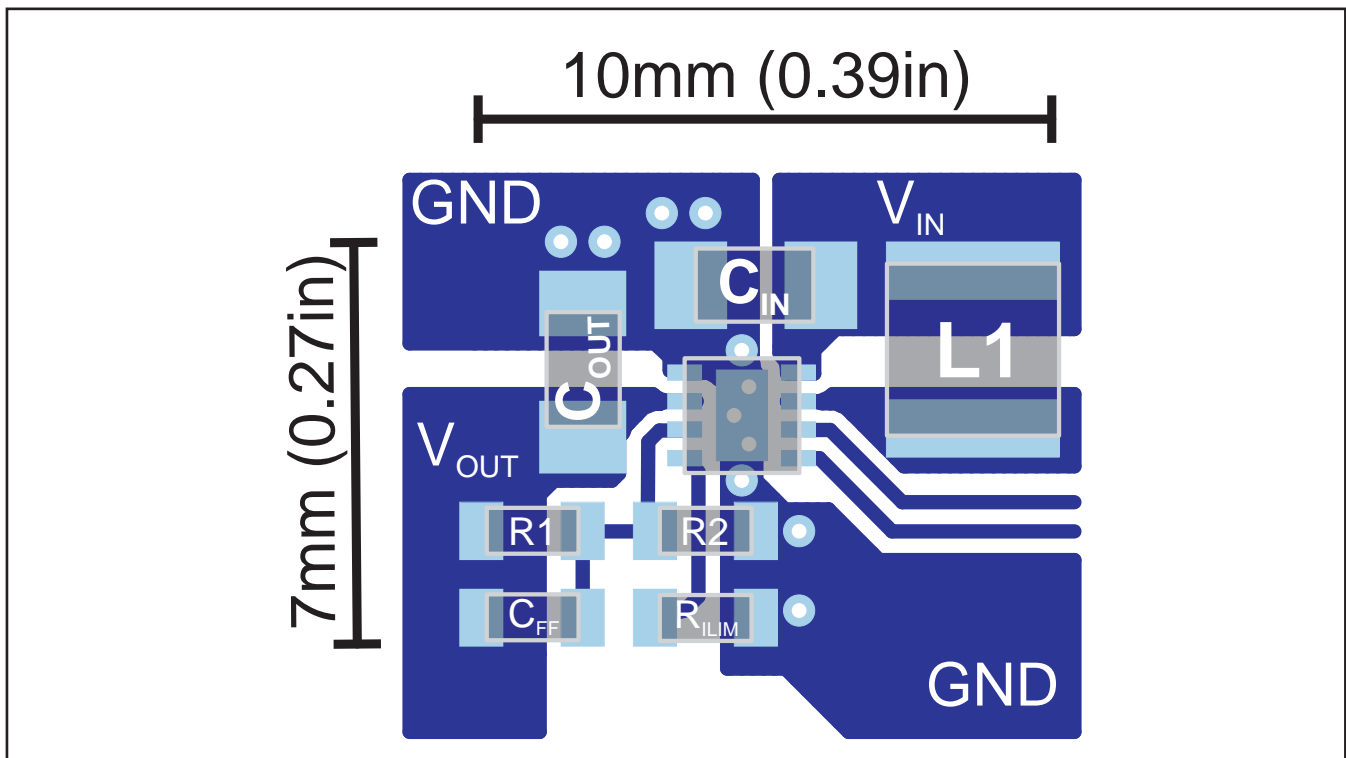


図 11. 推奨レイアウト(上面)

熱特性について

一般に、低背でファイン・ピッチの表面実装パッケージのICを実装する場合は、熱拡散に特別な注意が必要です。熱結合、エアフロー、追加ヒートシンク、対流面、他の放熱部品の存在など、システムに依存する多くの問題により、特定の部品の許容損失が左右されます。

熱特性を向上させるための3つの基本的なアプローチを次に示します。

- PCB設計の熱拡散能力の向上
 - 例えば、露出したサーマル・パッドに接続される最上層のGNDプレーン面積の拡大
 - より厚い銅層の使用
- PCBへの部品の熱結合の改善
- システムへのエアフローの導入

ジャンクション-周囲空間の熱抵抗は、アプリケーションおよび基板レイアウトに大きく依存します。最大消費電力が大きなアプリケーションでは、基板設計において放熱の問題に特別な注意を払う必要があります。TPS61252の最大接合部温度(T_j)は、150°Cです。

パッケージ情報

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)	Op Temp (°C)	Top-Side Markings (4)	Samples
TPS61252DGST	PREVIEW	WSON	DSG	8	250	TBD	Call TI	Call TI	-40 to 85		
TPS61252DSGR	ACTIVE	WSON	DSG	8	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	-40 to 85	QTI	Samples
TPS61252DSGT	ACTIVE	WSON	DSG	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR		QTI	Samples

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける "Lead-Free" または "Pb-Free" (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける "Green" は、"Pb-Free" (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

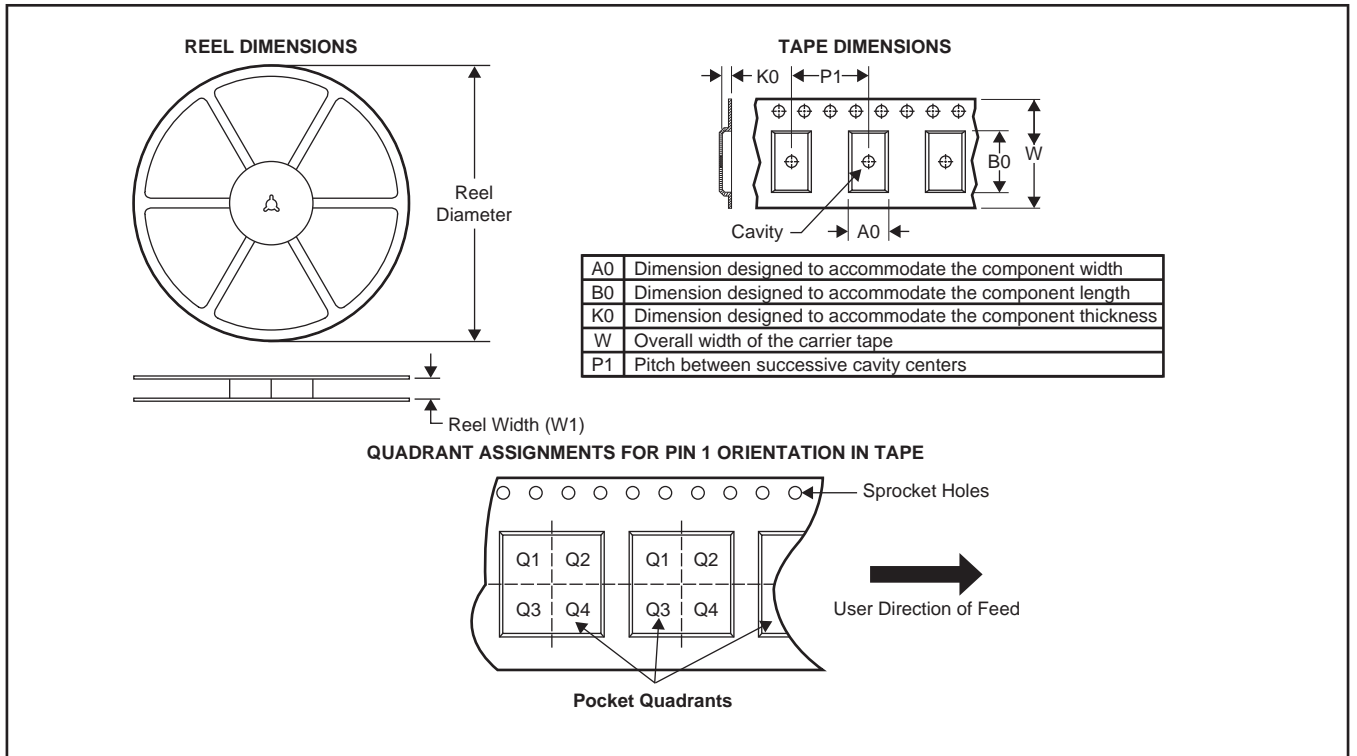
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報

テープおよびリール・ボックス情報

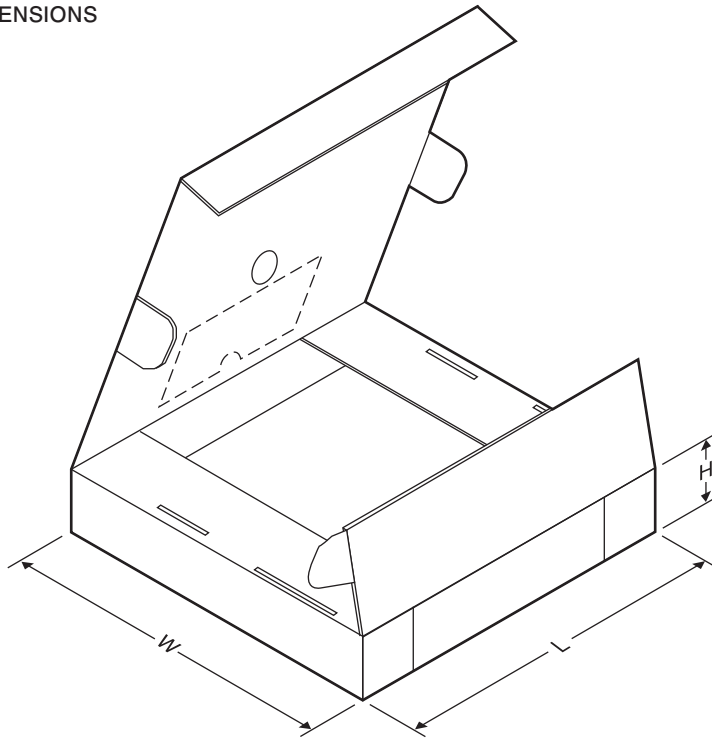


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS61252DSGR	WSON	DSG	8	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS61252DSGT	WSON	DSG	8	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

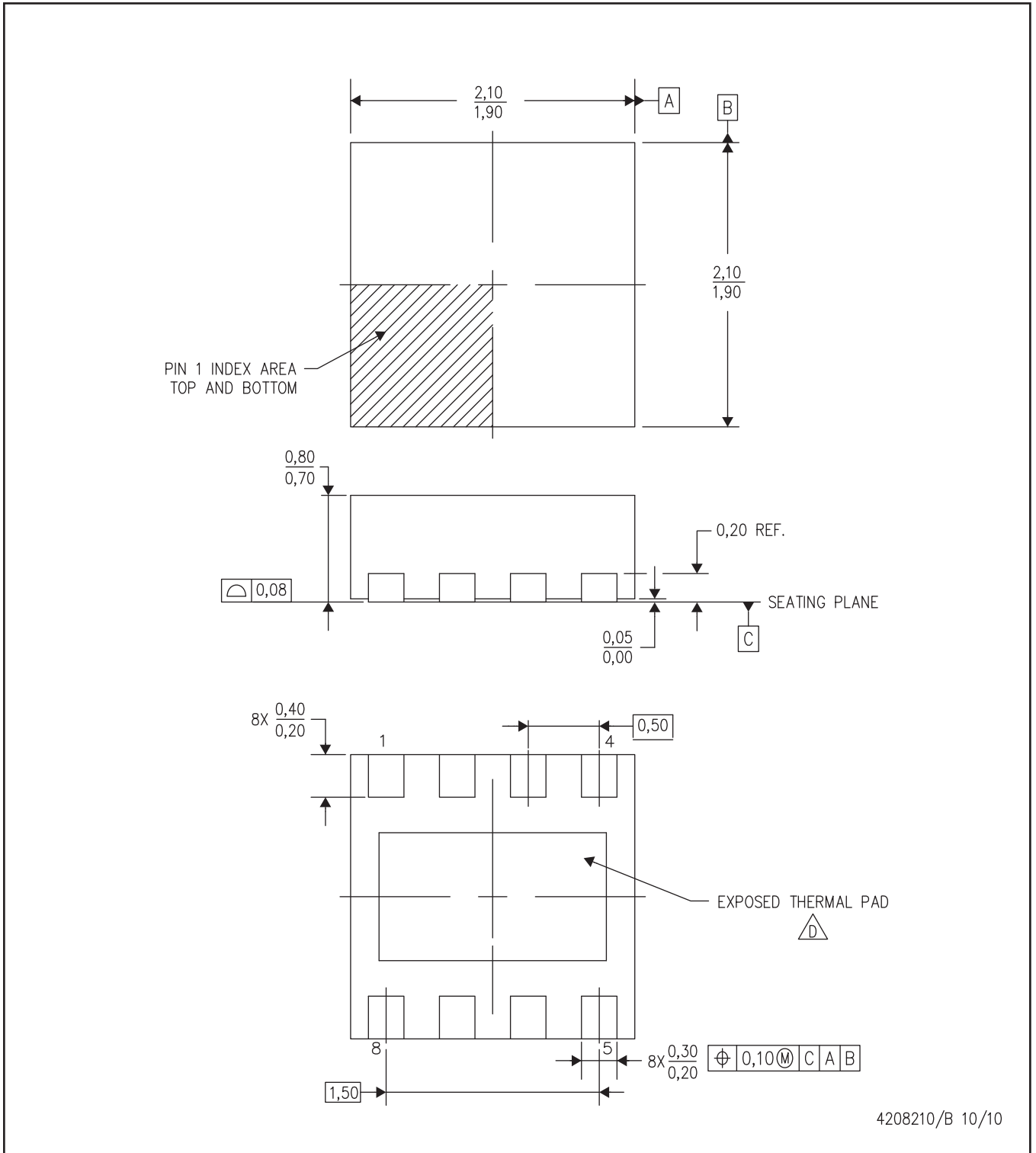
パッケージ・材料情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS61252DSGR	WSON	DSG	8	3000	195.0	200.0	45.0
TPS61252DSGT	WSON	DSG	8	250	195.0	200.0	45.0



注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。

B. 本図は予告なしに変更することがあります。

C. QFN (クワッド・フラットパック・ノーリード) パッケージ構造。

△ パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。

露出サーマルパッドの寸法および形状についての詳細は、データシート内のサーマルパッド・メカニカル・データを参照してください。

E. JEDEC MO-229に準拠します。

サーマルパッド・メカニカル・データ

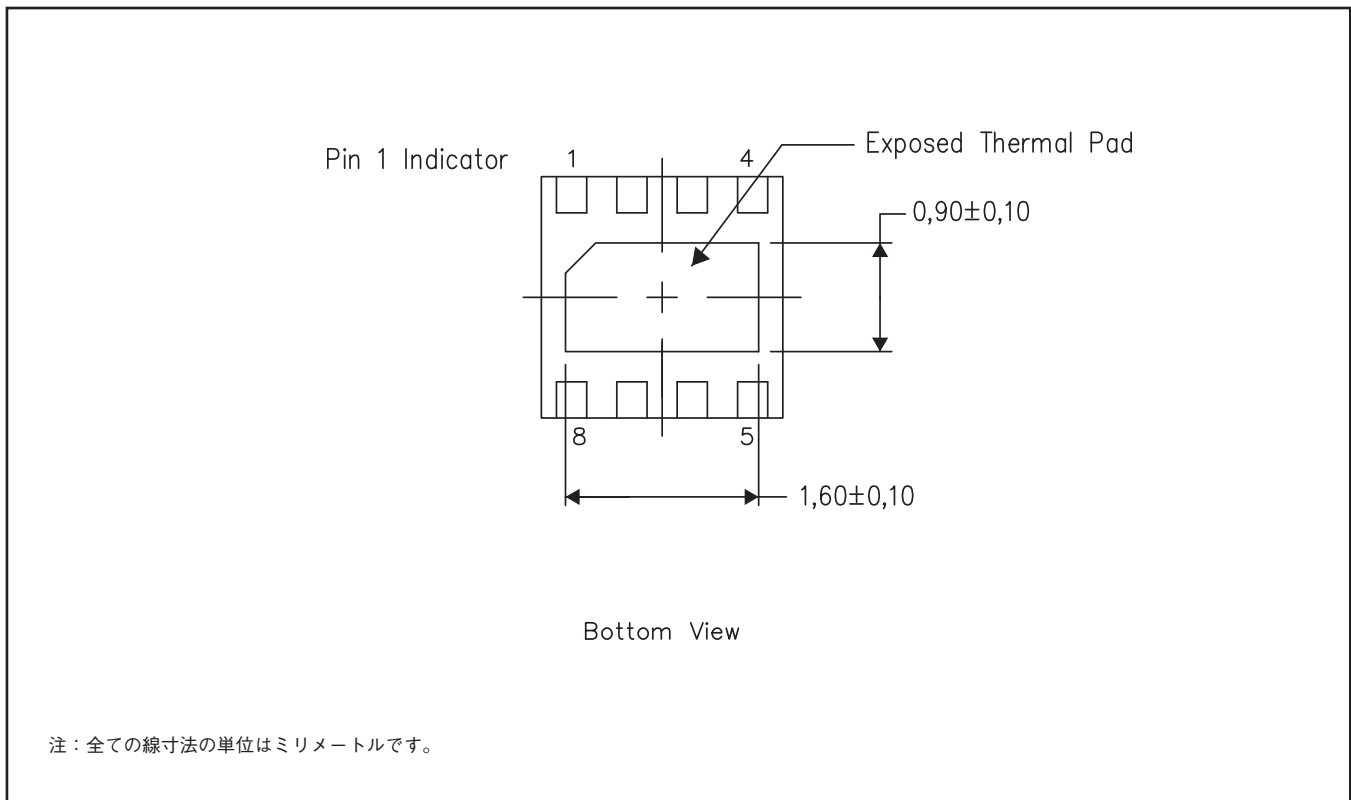
DSG(S-PWSON-N8)

熱的特性に関する資料

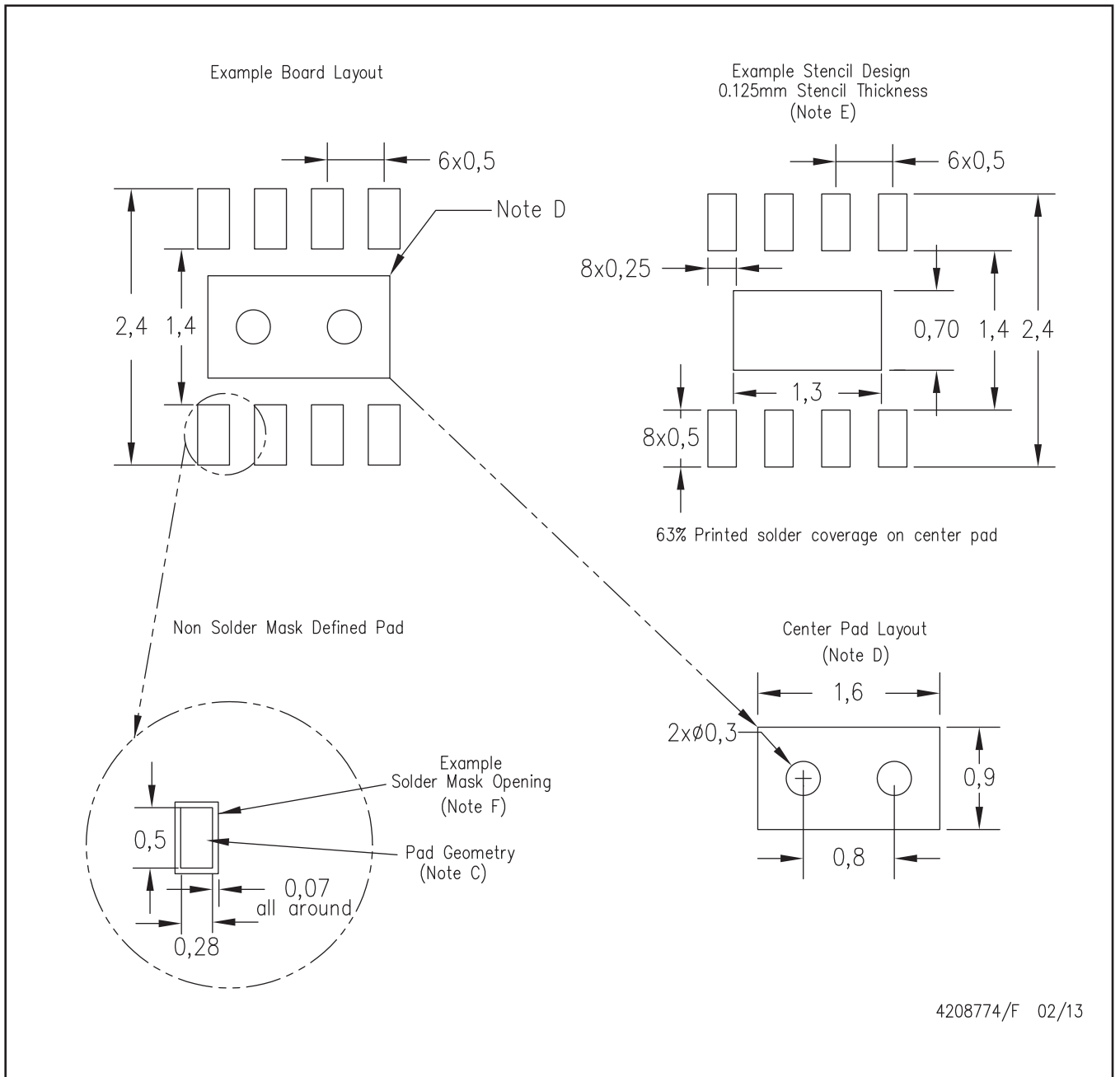
このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマルビアを使用して、サーマルパッドをグランドプレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN(Quad Flatpack No-Lead)パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead SON PCB』(Texas Instruments文献番号SLUA271)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。に設計された、露出したサーマルパッドが装備されています。



サーマルパッド寸法図



4208774/F 02/13

- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計には、IPC-SM-782規格を推奨します。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート「Quad Flat-Pack Packages」(TI文献番号SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85% で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上