

2N7001T 単一ビット、デュアル電源のバッファ付き電圧信号コンバータ

1 特長

- 1.65V～3.6V の昇圧および降圧変換
- 動作温度: -40°C～+125°C
- 最大静止電流 ($I_{CCA} + I_{CCB}$): 14 μ A (最大 125°C)
- 電源電圧の全範囲にわたって最高 100Mbps をサポート
- V_{CC} 絶縁機能
 - いずれかの V_{CC} 入力 が 100mV より低下した場合、出力は高インピーダンスに変化
- I_{off} により部分的パワーダウン モードでの動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
 - 人体モデルで 2000V
 - 荷電デバイス モデルで 1000V

2 アプリケーション

- MCU / FPGA / プロセッサの GPIO 変換
- 通信モジュールからプロセッサへの変換
- プッシュプル I/O のバッファ

3 概要

2N7001T は単一ビットのバッファ付き電圧信号コンバータで、2 つの独立した設定可能な電源レールを使用して、単方向の信号を昇圧または降圧変換します。本デバイスは最低 1.65V、最高 3.60V の V_{CCA} および V_{CCB} の 2 つの電源で動作します。 V_{CCA} は A 入力の入力スレッショルド電圧を定義します。 V_{CCB} は B 出力の出力駆動電圧を定義します。

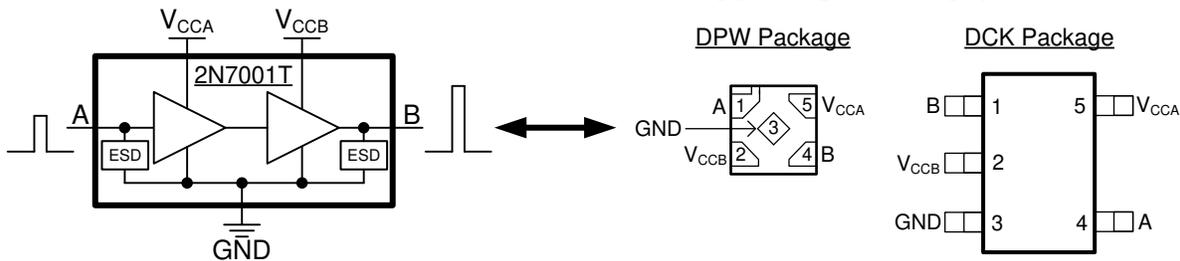
このデバイスは、 I_{off} 電流を使用する部分的パワーダウンアプリケーション用に完全に動作が規定されています。 I_{off} 保護回路により、電源切断時に入力、出力、複合 I/O は指定の電圧にバイアスされ、それらとの間に過剰な電流が流れることはありません。

V_{CC} 絶縁機能により、 V_{CCA} と V_{CCB} のいずれかが 100mV よりも低下した場合、出力ポート (B) は高インピーダンス状態に移行します。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
2N7001TDCK	SC70 (5)	2.00mm × 1.25mm
2N7001TDPW	X2SON (5)	0.80mm × 0.80mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



ブロック図とピン配置



目次

1 特長	1	7.2 機能ブロック図.....	9
2 アプリケーション	1	7.3 機能説明.....	9
3 概要	1	7.4 デバイスの機能モード.....	10
4 ピン構成および機能	3	8 アプリケーションと実装	11
5 仕様	4	8.1 アプリケーション情報.....	11
5.1 絶対最大定格.....	4	8.2 代表的なアプリケーション.....	11
5.2 ESD 定格.....	4	8.3 電源に関する推奨事項.....	13
5.3 推奨動作条件.....	5	8.4 レイアウト.....	13
5.4 熱に関する情報.....	5	9 デバイスおよびドキュメントのサポート	14
5.5 電気的特性.....	6	9.1 ドキュメントのサポート.....	14
5.6 スイッチング特性.....	6	9.2 ドキュメントの更新通知を受け取る方法.....	14
5.7 動作特性.....	6	9.3 サポート・リソース.....	14
5.8 代表的特性.....	7	9.4 商標.....	14
6 パラメータ測定情報	8	9.5 静電気放電に関する注意事項.....	14
6.1 負荷回路および電圧波形.....	8	9.6 用語集.....	14
7 詳細説明	9	10 改訂履歴	14
7.1 概要.....	9	11 メカニカル、パッケージ、および注文情報	15

4 ピン構成および機能

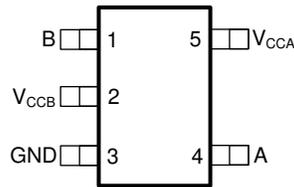


図 4-1. DCK パッケージ 5 ピン SC70 上面図

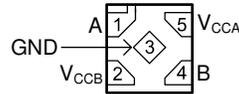


図 4-2. DPW パッケージ 5 ピン X2SON 透過上面図

表 4-1. ピンの機能

名称	ピン		タイプ	説明
	DCK	DPW		
A	4	1	I	データ入力。このピンは V_{CCA} を基準としています。
B	1	4	O	データ出力。このピンは V_{CCB} を基準としています。
V_{CCA}	5	5	—	入力電源電圧。 $1.65V \leq V_{CCA} \leq 3.6V$ 。
V_{CCB}	2	2	—	出力電源電圧。 $1.65V \leq V_{CCB} \leq 3.6V$ 。
GND	3	3	—	グラウンド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位	
V _{CCA}	電源電圧、A ポート	-0.5	4.2	V	
V _{CCB}	電源電圧、B ポート	-0.5	4.2	V	
V _I	入力電圧 ⁽²⁾	-0.5	4.2	V	
V _O	高インピーダンスまたは電源オフ状態で出力に印加される電圧 ⁽²⁾	-0.5	4.2	V	
V _O	High または Low 状態で出力に印加される電圧 ^{(2) (3)}	-0.5	V _{CCB} + 0.2	V	
I _{IK}	入力クランプ電流	V _I < 0		-50	mA
I _{OK}	出力クランプ電流	V _O < 0		-50	mA
I _O	連続出力電流	-50	50	mA	
I _O	V _{CCB} または GND を通過する連続電流	-50	50	mA	
I _O	V _{CCA} を流れる連続電流	-10	10	mA	
T _J	動作時接合部温度	-40	150	°C	
T _{stg}	保管温度	-65	150	°C	

(1) 「絶対最大定格」表を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、このデータシートの「[セクション 5.3](#)」に示された値と等しい、またはそれを超える条件で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

(2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

(3) 出力電流の定格を順守しても、出力の正電圧の定格を最大 4.2V 超過することがあります。

5.2 ESD 定格

		値	単位
V _(ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_{CCA}	電源電圧、 V_{CCA}	1.65	3.6	V
V_{CCB}	電源電圧、 V_{CCB}	1.65	3.6	V
V_{IH}	High レベル入力電圧	$V_{CCA} = 1.65\text{ V} \sim 1.95\text{ V}$	$V_{CCA} \times 0.65$	V
		$V_{CCA} = 2.30\text{ V} \sim 2.70\text{ V}$	1.60	
		$V_{CCA} = 3.00\text{ V} \sim 3.60\text{ V}$	2.00	
V_{IL}	Low レベル入力電圧	$V_{CCA} = 1.65\text{ V} \sim 1.95\text{ V}$	$V_{CCA} \times 0.35$	V
		$V_{CCA} = 2.30\text{ V} \sim 2.70\text{ V}$	0.70	
		$V_{CCA} = 3.00\text{ V} \sim 3.60\text{ V}$	0.80	
V_I	入力電圧	0	3.6	V
V_O	出力電圧	アクティブ状態	0	V_{CCB}
		トリステート	0	3.6
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート		100	ns/V
T_A	自由空気での動作温度	-40	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾	2N7001T		単位	
	DCK (SC70)	DPW (X2SON)		
	5ピン	5ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	253.5	462.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	162.6	227.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	140.6	326.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	69.8	33.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	139.7	325.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CCA}	V _{CCB}	最小値	標準値 ⁽¹⁾	最大値	単位
V _{OH} High レベル出力 電圧	V _I = V _{IH}	I _{OH} = -100 μA	1.65V~3.6V	1.65V~3.6V	V _{CCB} - 0.1		V
		I _{OH} = -8 mA	1.65 V	1.65 V	1.2		
		I _{OH} = -9 mA	2.3 V	2.3 V	1.75		
		I _{OH} = -12 mA	3 V	3 V	2.3		
V _{OL} Low レベル出力 電圧	V _I = V _{IL}	I _{OL} = 100 μA	1.65V~3.6V	1.65V~3.6V	0.1		V
		I _{OL} = 8 mA	1.65 V	1.65 V	0.45		
		I _{OL} = 9 mA	2.3 V	2.3 V	0.55		
		I _{OL} = 12 mA	3 V	3 V	0.7		
I _{off} 部分的 パワーダウン電流	V _I または V _O = 0 V~3.6 V		0 V	0 V~3.6 V	-8	8	μA
			0V~3.6V	0 V	-8	8	
I _{CCA} V _{CCA} の電源電流	V _I = V _{CCA} または GND、I _O = 0mA		1.65V~3.6V	1.65V~3.6V	8		μA
			0 V	3.6 V	-8		
			3.6 V	0 V	8		
I _{CCB} V _{CCB} の電源電流	V _I = V _{CCB} または GND、I _O = 0 mA		1.65V~3.6V	1.65V~3.6V	8		μA
			0 V	3.6 V	8		
			3.6 V	0 V	-8		
I _{CCA} + I _{CCB} 複合電源電流	V _I = V _{CCB} または GND、I _O = 0 mA		1.65V~3.6V	1.65V~3.6V	14		μA
C _I 入力容量	V _I = 1.65V DC + 1MHz -16dBm 正弦波		3.3 V	0 V	2		pF
C _O 出力容量	V _I = 1.65V DC + 1MHz -16dBm 正弦波		0 V	3.3 V	4		pF

(1) 標準値はすべて、T_A = 25°Cにおける値です。

5.6 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位	
t _{pd} 伝搬遅延	V _{CCA} = 1.80 ± 0.15V	V _{CCB} = 1.80 ± 0.15V	0.5	20	ns
		V _{CCB} = 2.50 ± 0.20V	0.5	17	
		V _{CCB} = 3.30 ± 0.30V	0.5	14	
	V _{CCA} = 2.50 ± 0.20V	V _{CCB} = 1.80 ± 0.15V	0.5	18	
		V _{CCB} = 2.50 ± 0.20V	0.5	15	
		V _{CCB} = 3.30 ± 0.30V	0.5	12	
	V _{CCA} = 3.30 ± 0.30V	V _{CCB} = 1.80 ± 0.15V	0.5	16	
		V _{CCB} = 2.50 ± 0.20V	0.5	13	
		V _{CCB} = 3.30 ± 0.30V	0.5	10	

5.7 動作特性

T_A = 25°C

パラメータ	テスト条件	最小値	代表値	最大値	単位
C _{pdA} 電力散逸容量 - ポート A	I _O = 0mA、 C _L = 0pF、 f = 1MHz、 t _r = t _f = 1ns	V _{CCA} = V _{CCB} = 1.8 V	1		pF
		V _{CCA} = V _{CCB} = 2.5 V	1.3		
		V _{CCA} = V _{CCB} = 3.3 V	1.8		
C _{pdB} 電力散逸容量 - ポート B	I _O = 0mA、 C _L = 0pF、 f = 1MHz、 t _r = t _f = 1ns	V _{CCA} = V _{CCB} = 1.8 V	12		pF
		V _{CCA} = V _{CCB} = 2.5 V	15		
		V _{CCA} = V _{CCB} = 3.3 V	18		

5.8 代表的特性

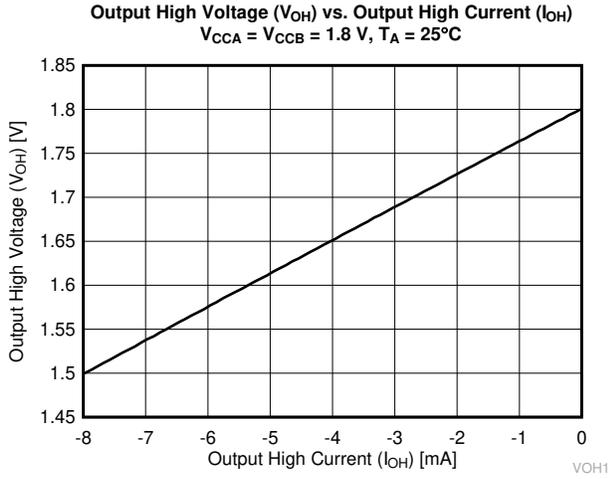


図 5-1. V_{OH} と I_{OH} との関係、1.8V

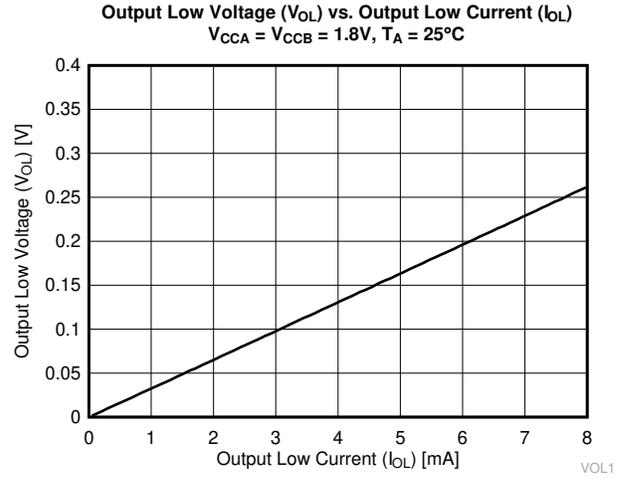


図 5-2. V_{OL} と I_{OL} との関係、1.8V

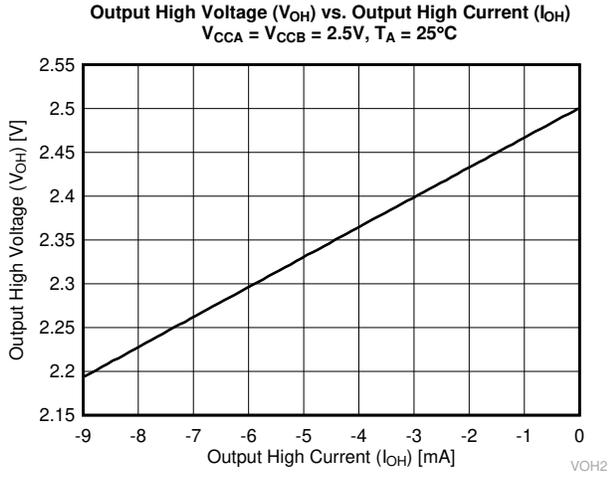


図 5-3. V_{OH} と I_{OH} との関係、2.5V

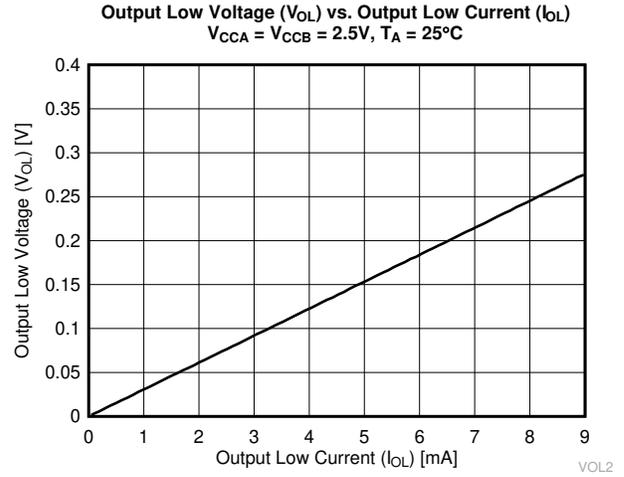


図 5-4. V_{OL} と I_{OL} との関係、2.5V

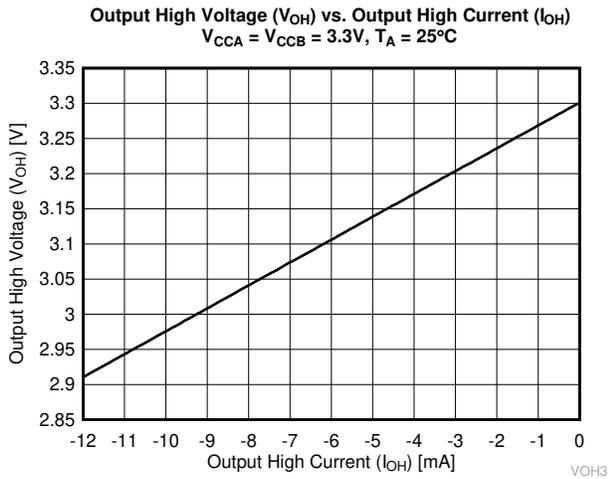


図 5-5. V_{OH} と I_{OH} との関係、3.3V

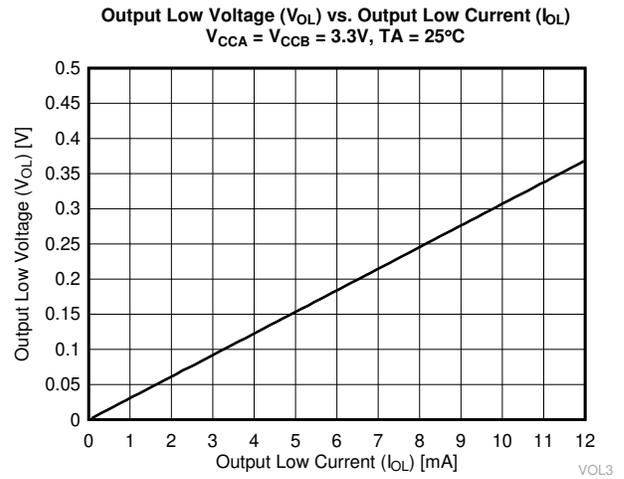


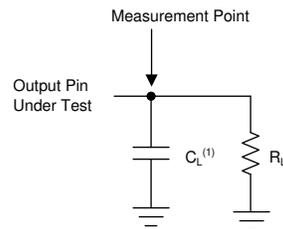
図 5-6. V_{OL} と I_{OL} との関係、3.3V

6 パラメータ測定情報

6.1 負荷回路および電圧波形

特に記述のない限り、すべての入力パルスは、以下の特性を持つジェネレータで生成されます。

- $f = 1 \text{ MHz}$
- $Z_O = 50 \Omega$
- $dv/dt \leq 1 \text{ ns/V}$

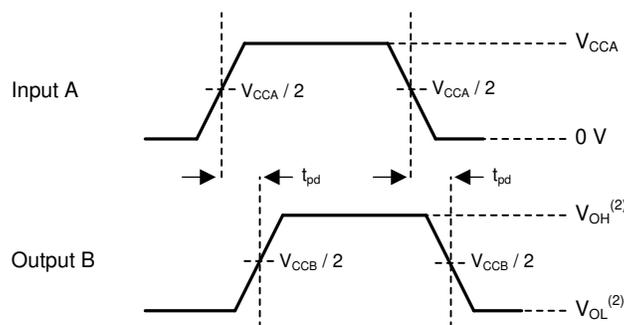


A. C_L にはプローブと治具の容量が含まれます。

図 6-1. 負荷回路

表 6-1. 負荷回路の条件

パラメータ	V_{CC}	R_L	C_L
t_{pd} 伝搬 (遅延) 時間	1.65 V ~ 3.6 V	2k Ω	15pF



- A. V_{CCI} は、入力ポートに関連付けられた電源ピンです。
- B. V_{OH} と V_{OL} は、規定された R_L と C_L で発生する出力電圧レベルの標準値です。

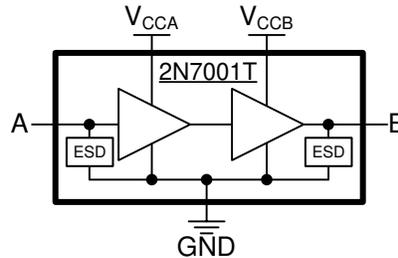
図 6-2. 伝搬遅延

7 詳細説明

7.1 概要

2N7001T は、1 つの単方向信号を昇圧または降圧変換するために使える、1 ビット 2 電源のバッファ付き電圧信号コンバータです。このデバイスは、 V_{CCA} と V_{CCB} 電源の両方が最低 1.65V、最高 3.60V の範囲で動作します。 V_{CCA} は A 入力の入力スレッショルド電圧を定義し、 V_{CCB} は B 出力の出力電圧を定義します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 1.65V~3.60V の昇圧または降圧変換

V_{CCA} ピンと V_{CCB} ピンにはどちらにも 1.65V~3.6V の任意の電圧を供給できます。この電圧範囲のおかげで、本デバイスは任意の電圧ノード間 (1.8V、2.5V、3.3V) での変換に適しています。

7.3.2 平衡化された CMOS プッシュプル出力

バランスのとれた出力により、このデバイスは同程度の電流をシンクおよびソースすることができます。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

7.3.3 標準 CMOS 入力

標準 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算します。

過剰な消費電流と発振を避けるため、入りに印加する信号は、「推奨動作条件」の $\Delta t/\Delta V$ で定義される高速なエッジレートを持つ必要があります。低速またはノイズの多い入力信号が必要な場合は、シュミットトリガ入力を備えたデバイスを使用して、標準 CMOS 入力の前に入力信号をコンディショニングする必要があります。

7.3.4 負のクランプダイオード

このデバイスの入力と出力には、[図 7-1](#) に示すように負のクランプダイオードがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

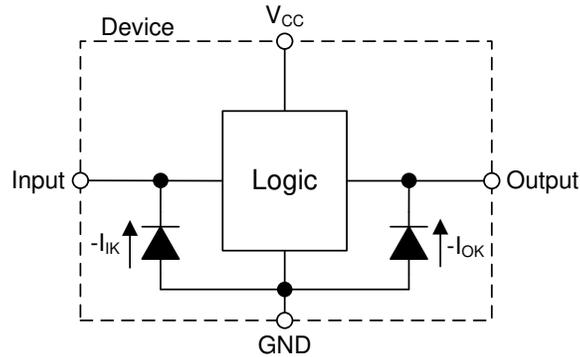


図 7-1. 各入力と出力に対するクランプダイオードの電気的配置

7.3.5 部分的パワーダウン (I_{off})

電源電圧が 0V になると、このデバイスの入力と出力は高インピーダンス状態に入ります。本デバイスの任意の入力ピンまたは出力ピンに対して流れ込むリークまたは流れ出すリークの最大値は、「電気的特性」の I_{off} で規定されています。

7.3.6 過電圧許容入力

このデバイスへの入力信号は、「推奨動作条件」に記載されている最大入力電圧値を下回っている限り、入力電源電圧 (V_{CCA}) 以上で駆動できます。

7.4 デバイスの機能モード

[表 7-1](#) に、2N7001T デバイスの機能モードを示します。

表 7-1. 機能表

入力	出力
L (V_{CCA} を基準とする)	L (V_{CCB} を基準とする)
H (V_{CCA} を基準とする)	H (V_{CCB} を基準とする)

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

2N7001T デバイスは、異なるインターフェイス電圧で動作するデバイスまたはシステム間を接続するためのレベル変換アプリケーションで使用できます。

8.2 代表的なアプリケーション

8.2.1 プロセッサエラーの昇圧変換

図 8-1 に、単方向ロジックレベルシフトアプリケーションで使われている 2N7001T の例を示します。

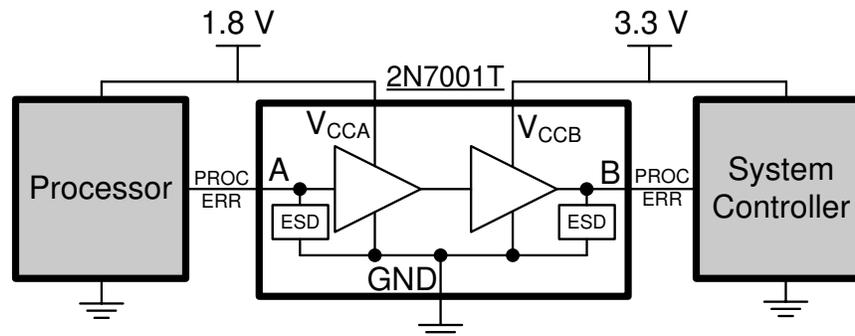


図 8-1. プロセッサエラー昇圧変換アプリケーション

8.2.1.1 設計要件

この設計例では、表 8-1 に示すパラメータを使用します。

表 8-1. 設計パラメータ

設計パラメータ	数値の例
入力電源電圧	1.8 V
出力電源電圧	3.3 V

8.2.1.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力電圧範囲
 - アップストリーム デバイス (入力ピン A を駆動しているデバイス) の電源電圧によって、適切な入力電圧範囲が決まります。有効なロジック High では、値が入力ポートの High レベル入力電圧 (V_{IH}) を超えている必要があります。有効なロジック Low では、値が入力ポートの Low レベル入力電圧 (V_{IL}) 未満である必要があります。
- 出力電圧範囲
 - ダウンストリーム デバイス (出力ピン B が駆動しているデバイス) の電源電圧によって、適切な出力電圧範囲が決まります。

8.2.1.3 アプリケーション曲線

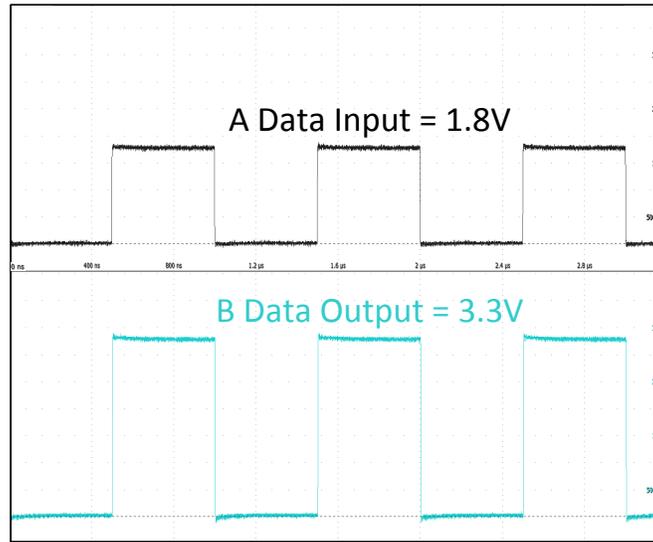
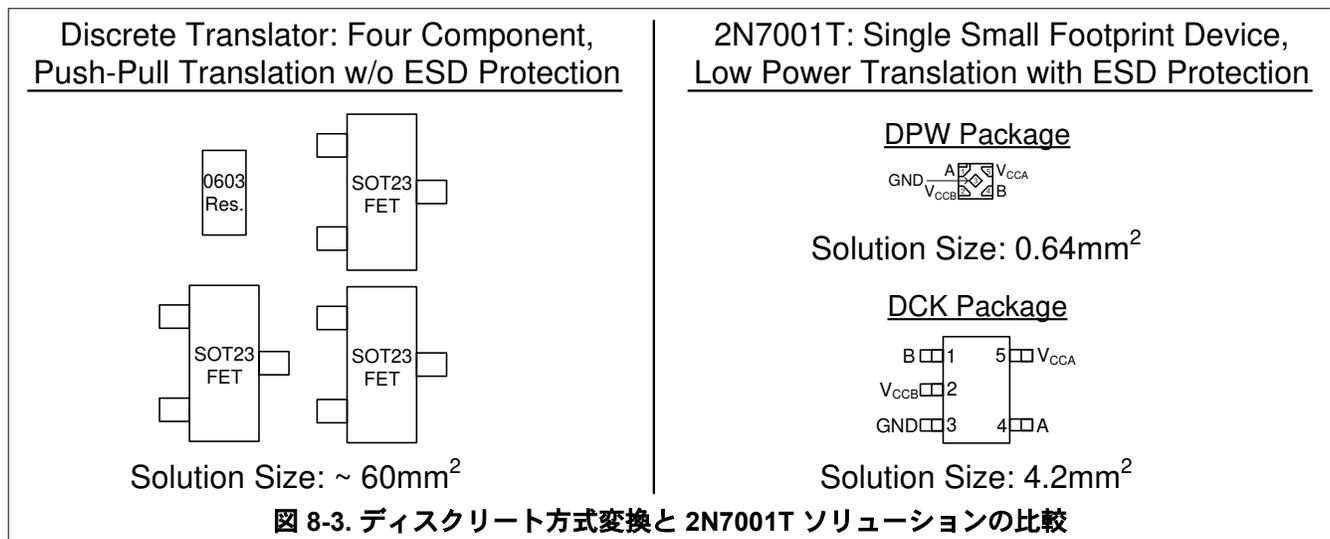


図 8-2. 昇圧変換 (1.8V から 3.3V)、1MHz

8.2.2 ディスクリート FET による変換の代替

図 8-3 に示すように、2N7001T デバイスはディスクリート方式トランスレータの代替として最適な選択肢であり、ディスクリート方式変換による実装に対して次の利点があります。

- 4 つの部品を使うディスクリート方式に対して、1 つのデバイスで対応可能
- 最小化された実装サイズ
- 低消費電力
- V_{CC} 絶縁機能
- データレートの向上
- ESD 保護機能内蔵
- グリッチ性能の向上



8.3 電源に関する推奨事項

2N7001T デバイスは、設定可能な 2 つの独立した電源レール (V_{CCA} および V_{CCB}) を使用しています。 V_{CCA} および V_{CCB} 電源レールには 1.65V から 3.6V の範囲の任意の電源電圧を供給できます。A 入力と B 出力は、それぞれ V_{CCA} と V_{CCB} を基準としており、1.8V、2.5V、3.3V 電圧ノード間の昇圧または降圧変換が可能です。すべての V_{CC} ピンに 0.1 μ F のバイパスコンデンサを接続することを推奨します。

GND ピンには最初に必ずグランドリファレンス電圧を印加してください。しかし、電源シーケンスに追加の要件はありません。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスの信頼性を確保するため、次に示す一般的なプリント回路基板レイアウトのガイドラインに従います。

- 電源にはバイパスコンデンサを使用します。
- 過度の負荷を避けるため、短いパターンを使用します。

図 8-4 に、DPW (X2SON-5) パッケージのレイアウト例を示します。このレイアウト例では、2 つの 0402 (メートル法) コンデンサが使われており、このデータシートの末尾に追加されたパッケージ外形図に記載された測定値が使われています。直径 0.1mm (3.973mil) のビアが本デバイスの中央に直接配置されています。別の基板層を経由してセンターピン接続を引き出すためにこのビアを使うことも、このビアをレイアウトから除外することもできます。

8.4.2 レイアウト例

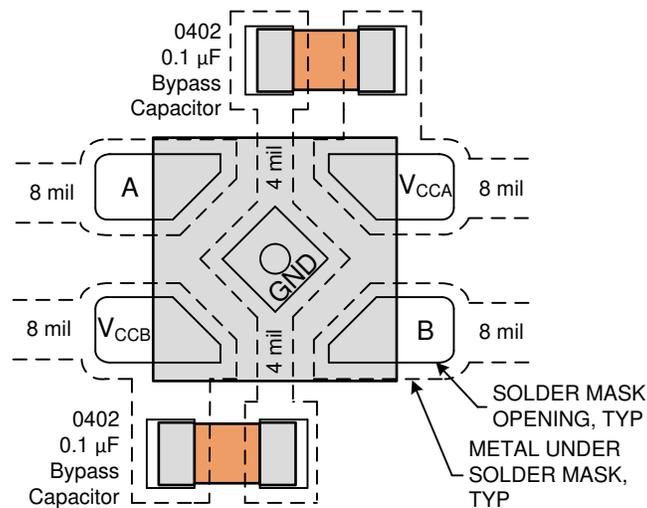


図 8-4. DPW (X2SON-5) パッケージのレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーションレポート SCBA004
- テキサス・インスツルメンツ、『[テキサス・インスツルメンツの X2SON パッケージによる設計と製造](#)』アプリケーションレポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (March 2020) to Revision C (May 2024) Page

- | | |
|--------------------------------------|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |
|--------------------------------------|---|

Changes from Revision A (June 2018) to Revision B (March 2020) Page

- | | |
|---|---|
| • V_{ILMAX} を「 $V_{CCA} \times 0.65$ 」から「 $V_{CCA} \times 0.35$ 」に変更..... | 5 |
|---|---|

Changes from Revision * (May 2018) to Revision A (June 2018) Page

- | | |
|---------------------------|---|
| • 「事前情報」から「量産データ」に変更..... | 1 |
|---------------------------|---|

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションリンクを参照してください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
2N7001TDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	(DQ, DQL)	Samples
2N7001TDPWR	ACTIVE	X2SON	DPW	5	3000	RoHS & Green	NIPDAU NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(D, DP)	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

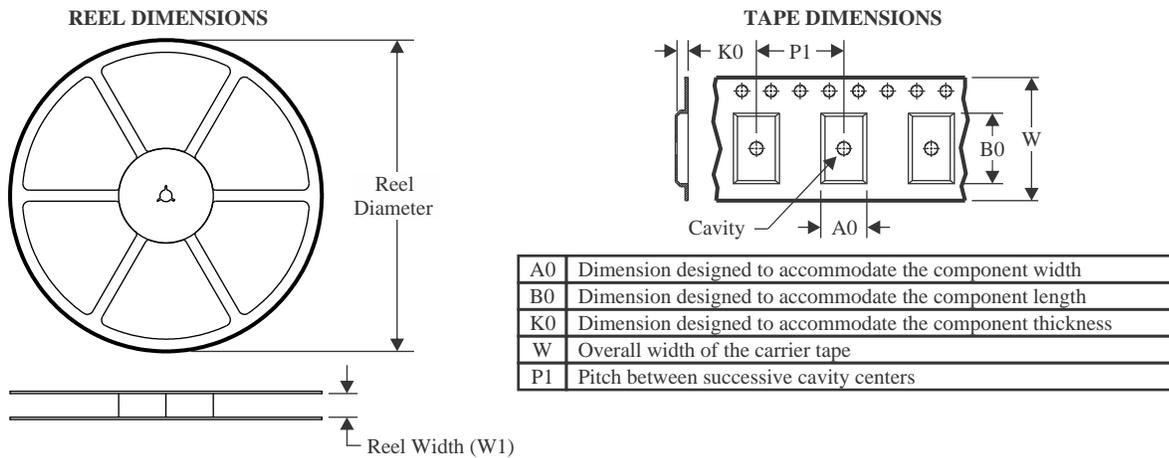
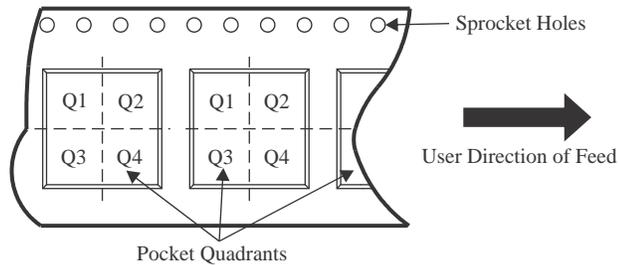
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF 2N7001T :

- Automotive : [2N7001T-Q1](#)

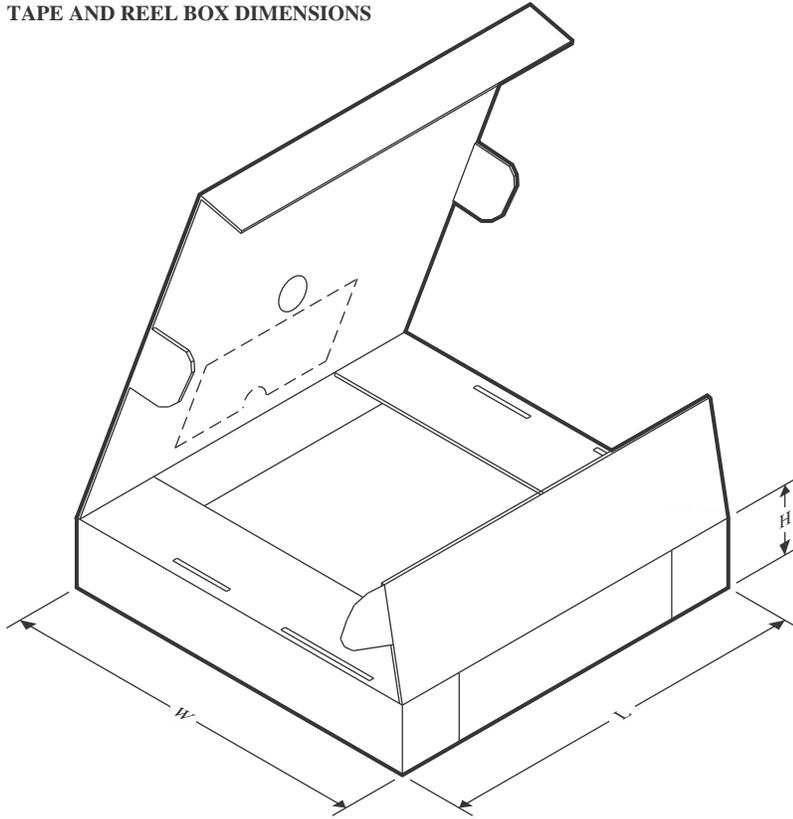
NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
2N7001TDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
2N7001TDPWR	X2SON	DPW	5	3000	180.0	8.4	0.91	0.91	0.5	2.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
2N7001TDCKR	SC70	DCK	5	3000	180.0	180.0	18.0
2N7001TDPWR	X2SON	DPW	5	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

DPW 5

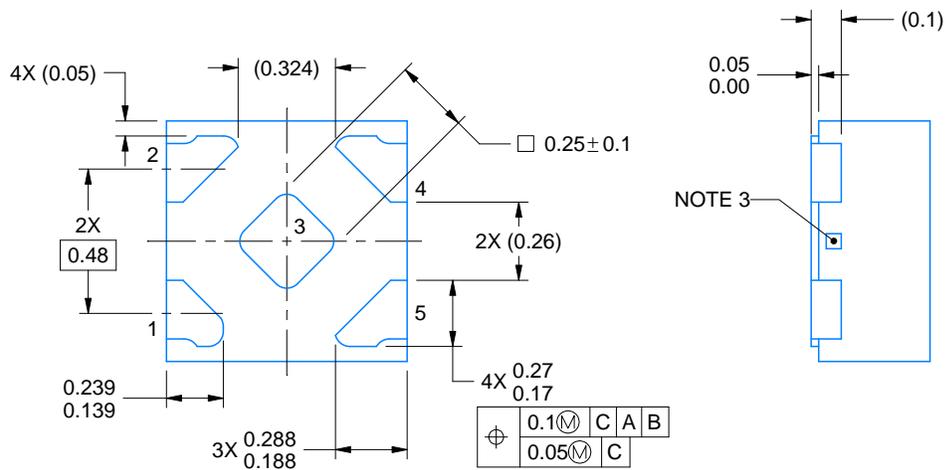
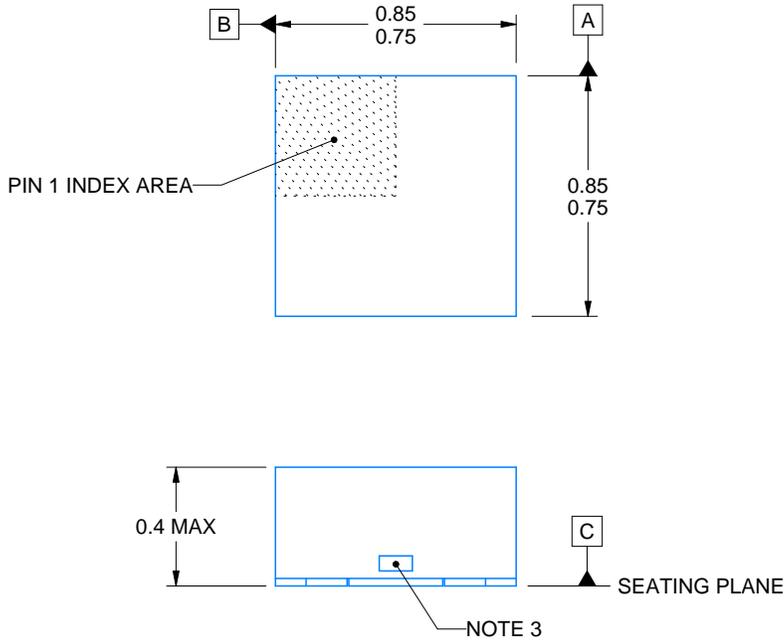
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4211218-3/D



4223102/D 03/2022

NOTES:

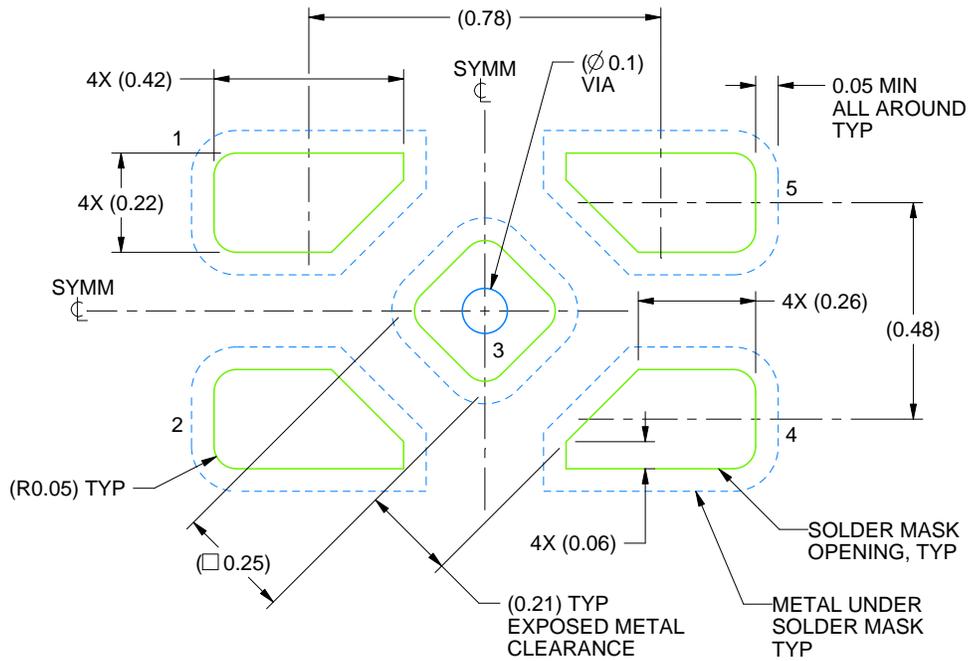
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

EXAMPLE BOARD LAYOUT

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

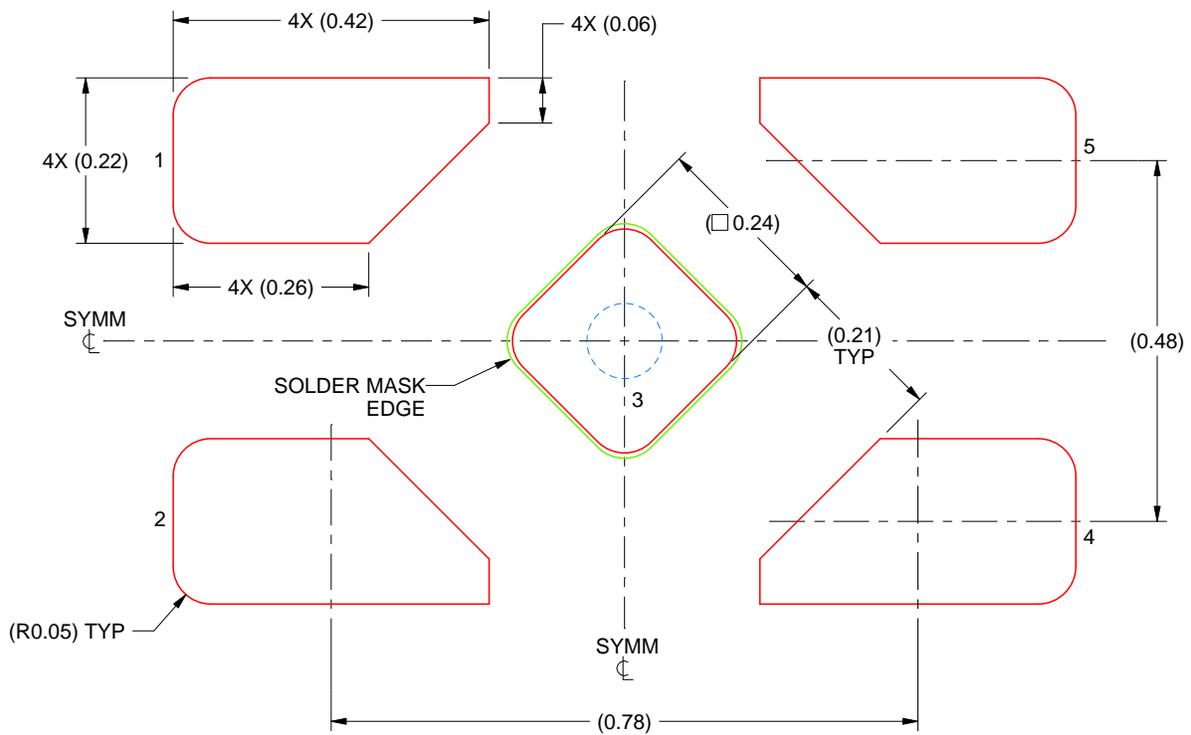
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



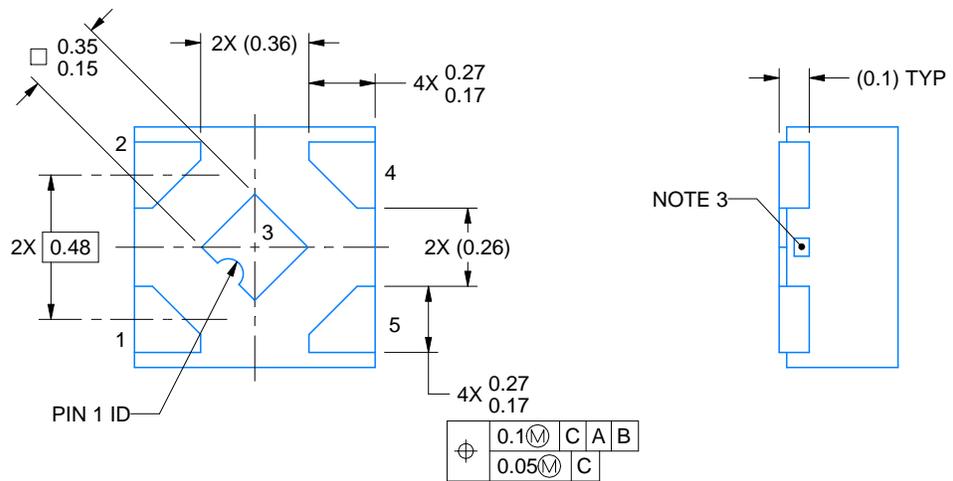
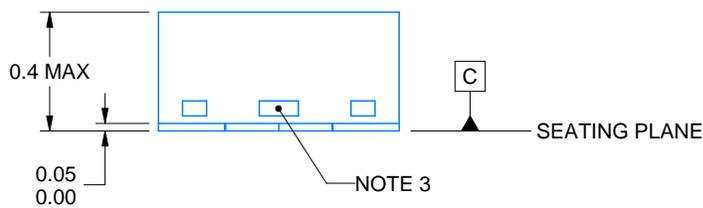
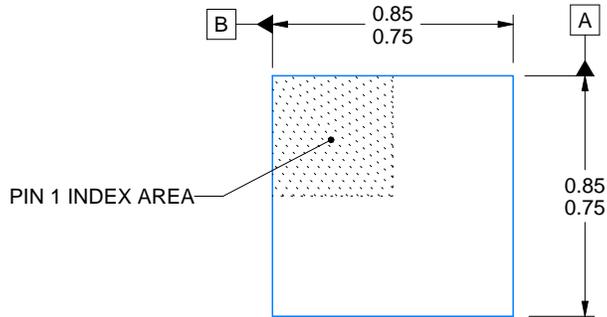
SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4228233/D 09/2023

NOTES:

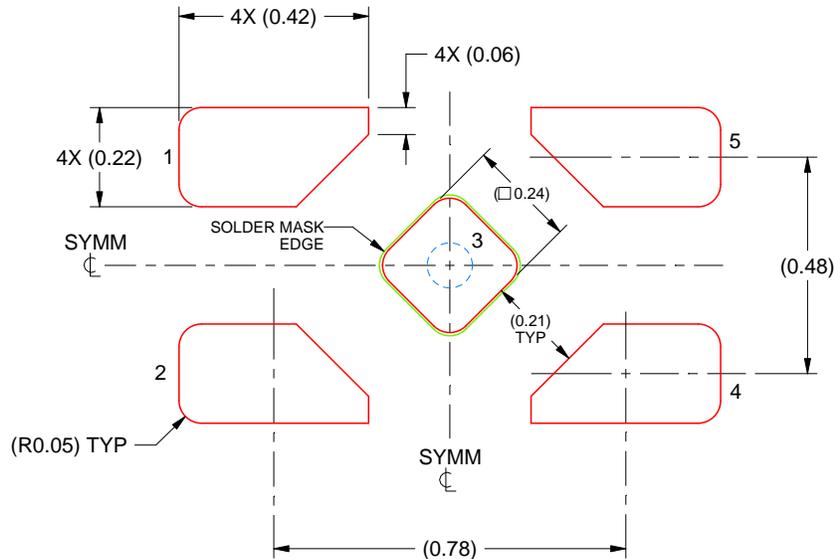
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

EXAMPLE STENCIL DESIGN

DPW0005B

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 5
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

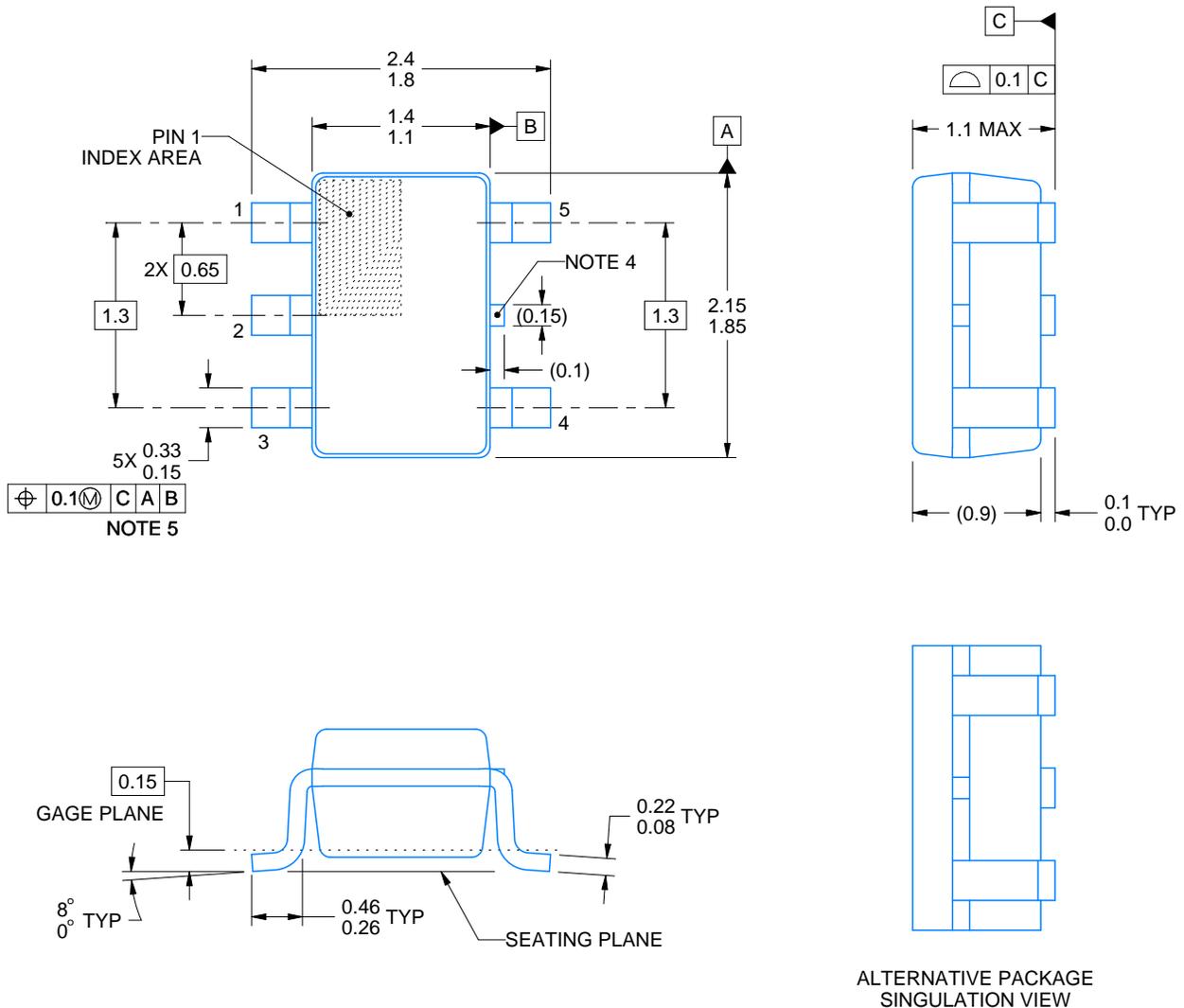
DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/E 06/2024

NOTES:

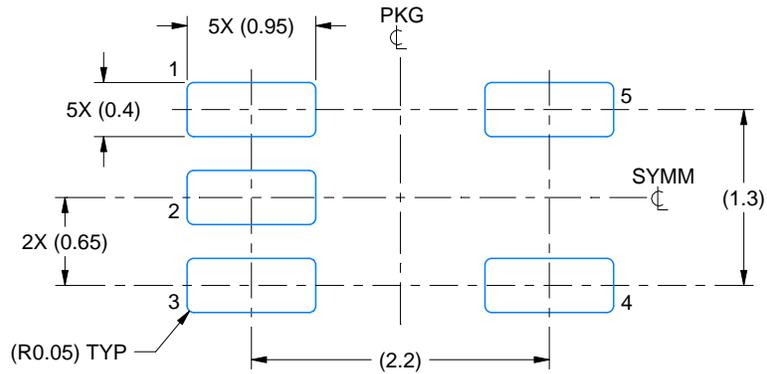
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

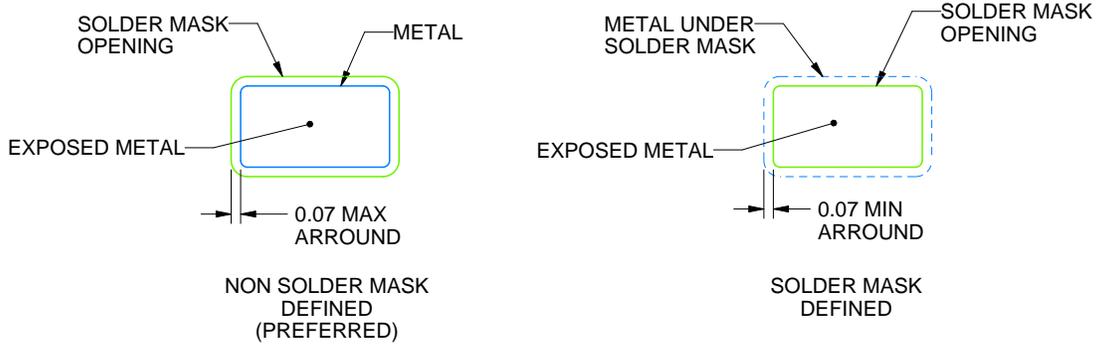
DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/E 06/2024

NOTES: (continued)

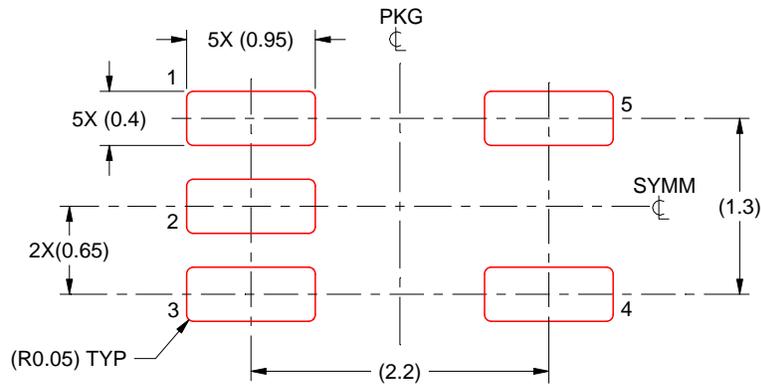
- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE: 18X

4214834/E 06/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated