

INA117 高同相モード電圧、差動アンプ

1 特長

- 同相モード入力範囲: $\pm 200V$ ($V_S = \pm 15V$)
- 保護された入力:
 - $\pm 500V$ 同相
 - $\pm 500V$ 差動
- ユニティゲイン: ゲイン誤差 0.05% (最大値)
- 非線形性: 0.001% (最大値)
- CMRR: 70dB 以上

2 アプリケーション

- 単軸と多軸のサーボドライブ
- 産業用機械と工作機械
- 半導体テストおよび ATE
- 超音波スキャナ

3 概要

INA117 は、非常に高い同相入力電圧範囲を持つ高精度のユニティゲイン差動アンプです。INA117 は、高精度オペアンプと内蔵の薄膜抵抗ネットワークで構成されたシングルモノリシック IC です。このデバイスは、最大 $\pm 200V$ の

同相信号に存在する小さい差動電圧を正確に測定できます。INA117 の入力は、最大 $\pm 500V$ の瞬時同相過負荷または差動過負荷から保護されています。

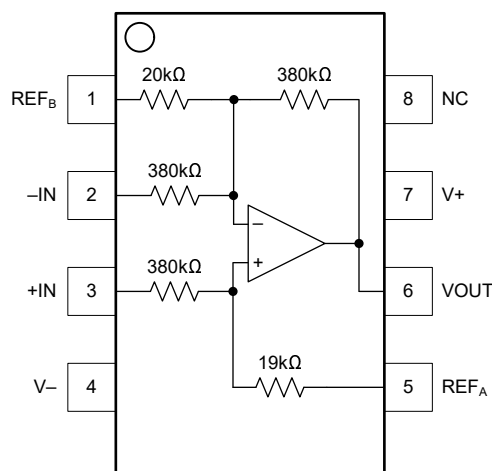
ガルバニック絶縁が必須ではない多くのアプリケーションでは、INA117 を絶縁アンプの代わりに使用できます。この設計により、コストのかかる絶縁型入力側電源や、それに関連するリップル、ノイズ、静止電流をなくすことができます。INA117 は、0.001% の非直線性と 200kHz の帯域幅を備え、従来の絶縁型アンプよりも優れています。

INA117 は 8 ピンのプラスチック DIP および SO-8 表面実装パッケージで供給され、 $-40^{\circ}C \sim 85^{\circ}C$ の温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
INA117P	P (DIP, 8)	6.35mm × 9.81mm
INA117KU	D (SOIC, 8)	3.91mm × 4.9mm
INA117KU/2K5		

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



INA117 D パッケージ (上面図)

Table of Contents

1 特長.....	1	7.1 Application Information.....	7
2 アプリケーション.....	1	8 Device and Documentation Support.....	17
3 概要.....	1	8.1 Documentation Support.....	17
4 Pin Configuration and Functions.....	2	8.2 ドキュメントの更新通知を受け取る方法.....	17
5 Specifications.....	3	8.3 サポート・リソース.....	17
5.1 Absolute Maximum Ratings.....	3	8.4 Trademarks.....	17
5.2 ESD Ratings.....	3	8.5 静電気放電に関する注意事項.....	17
5.3 Recommended Operating Conditions.....	3	8.6 用語集.....	17
5.4 Thermal Information.....	3	9 Revision History.....	18
5.5 Electrical Characteristics.....	4	10 Mechanical, Packaging, and Orderable Information.....	18
6 Typical Characteristics.....	5		
7 Application and Implementation.....	7		

4 Pin Configuration and Functions

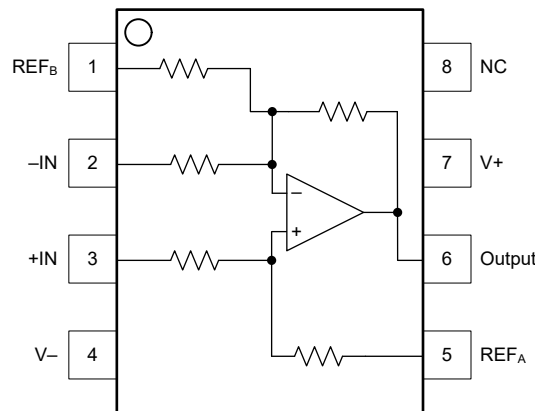


図 4-1. DIP/SO
INA117P, KU
Top View

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
-In	2	I	Inverting input.
+In	3	I	Non-inverting input.
NC	8	–	No internal connection. Can be grounded or disconnected.
Output	6	O	Output of the amplifier.
Ref _A	5	I	Reference A.
Ref _B	1	I	Reference B.
V-	4	P	Negative power supply.
V+	7	P	Positive power supply.

(1) I = Input, O = Output, I/O = Input or Output, G = Ground, P = Power.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _S		Dual supply, V _S = (V+) – (V–)		±22	V
	Signal input pins	Continuous		±200	V
		Peak (0.1s)		±500	V
	Output short-circuit ⁽²⁾		Continuous		
T _A	Operating temperature		–40	85	°C
T _{stg}	Storage temperature		–55	125	°C
	Junction temperature			150	°C
	Lead temperature (soldering, 10s)			300	°C

- (1) Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute Maximum Ratings do not imply functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions. If used outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) Short-circuit to V_S / 2.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±1500	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1000	

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	TYP	MAX	UNIT
V _S	Supply voltage	Single-supply	10	30	36	V
		Dual-supply	±5	±15	±18	
T _A	Specified temperature		–40		85	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		INA117	INA117	UNIT
		D (SOIC)	P (PDIP)	
		8 PINS	8 PINS	
θ _{JA}	Junction-to-ambient thermal resistance	150	80	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application note.

5.5 Electrical Characteristics

at $T_A = 25^\circ\text{C}$, $V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$, $V_{\text{REF}} = 0\text{V}$, $V_{\text{CM}} = V_S/2$, and $G = 1$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS	TEST CONDITIONS	MIN	TYP	MAX	UNIT
INPUT							
V_{OS}	Offset voltage	RTO (P package)			120	1000	μV
		RTO (KU package)			600	2000	μV
	Offset voltage drift	RTO, $T_A = -40^\circ\text{C}$ to 85°C			8.5		$\mu\text{V}/^\circ\text{C}$
	Long term drift				200		$\mu\text{V}/\text{mo}$
PSRR	Power-supply rejection ratio	RTO, $V_S = \pm 5\text{V}$ to $\pm 18\text{V}$		74	90		dB
	Common-mode voltage ⁽¹⁾			-200		200	V
	Differential voltage			-10		10	V
CMRR	Common-mode voltage rejection	DC, $V_{\text{CM}} = -200\text{V}$ to 200V	$T_A = -40^\circ\text{C}$ to 85°C	70	80		dB
			$T_A = -40^\circ\text{C}$ to 85°C		75		
		AC, 60Hz, $V_{\text{CM}} = -200\text{V}$ to 200V		66	80		
	Differential input impedance				800		k Ω
	Common-mode input impedance				200		
NOISE							
e_N	Voltage noise	RTO, $f_B = 0.1\text{Hz}$ to 10Hz			25		μV_{PP}
		RTO, $f = 1\text{kHz}$			550		$\text{nV}/\sqrt{\text{Hz}}$
GAIN							
GE	Gain error				± 0.01	± 0.05	%
	Gain error drift	$T_A = -40^\circ\text{C}$ to 85°C			± 2		$\text{ppm}/^\circ\text{C}$
	Gain nonlinearity ⁽²⁾				± 0.0005	± 0.001	% of FSR
OUTPUT							
	Output voltage	$I_O = 20\text{mA}$, -5mA		10	12		V
	Output impedance				0.01		Ω
C_L	Load capacitance	Stable operation			1		nF
	Short-circuit current	Continuous to $V_S/2$			49, -13		mA
FREQUENCY RESPONSE							
BW	Bandwidth, -3dB				200		kHz
	Full power bandwidth	$V_O = 20\text{V}_{\text{PP}}$		30			kHz
SR	Slew rate			1.7	2.6		$\text{V}/\mu\text{s}$
t_s	Settling time	To 0.1%,	$V_O = 10\text{V}$ step		6.5		μs
			$V_O = 10\text{V}$ step		10		
		To 0.01%	$V_{\text{CM}} = 10\text{V}$ step, $V_{\text{DIFF}} = 0\text{V}$		4.5		
POWER SUPPLY							
I_Q	Quiescent current	$V_{\text{IN}} = 0\text{V}$			1.5	± 2	mA

(1) Input common-mode voltage varies with output voltage; see *Typical Characteristics*.

(2) Specified by wafer test.

6 Typical Characteristics

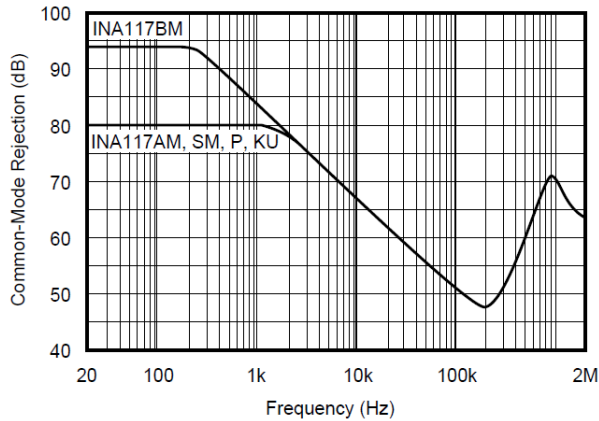


図 6-1. Common-mode Rejection vs Frequency

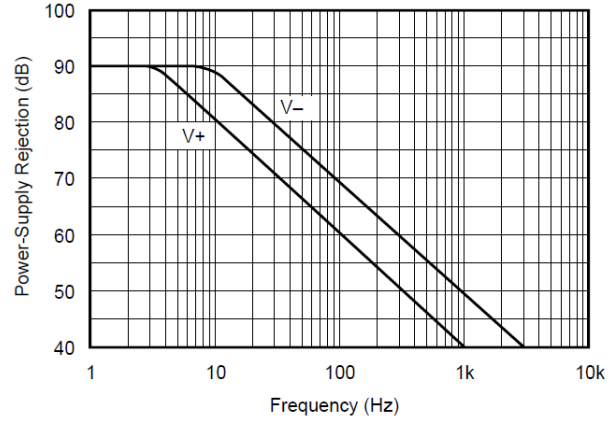


図 6-2. Power-supply Rejection vs Frequency

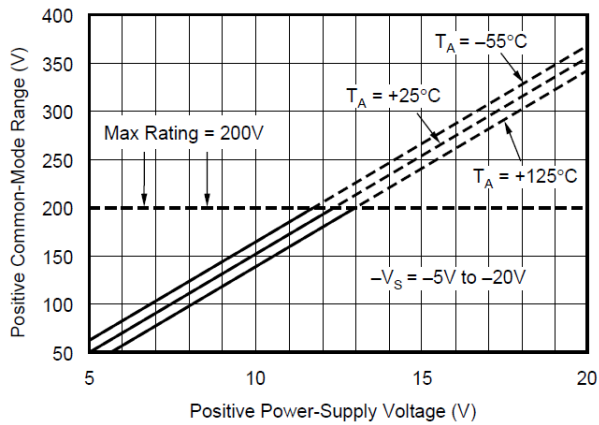


図 6-3. Positive Common-mode Voltage Range vs Positive Power-supply Voltage

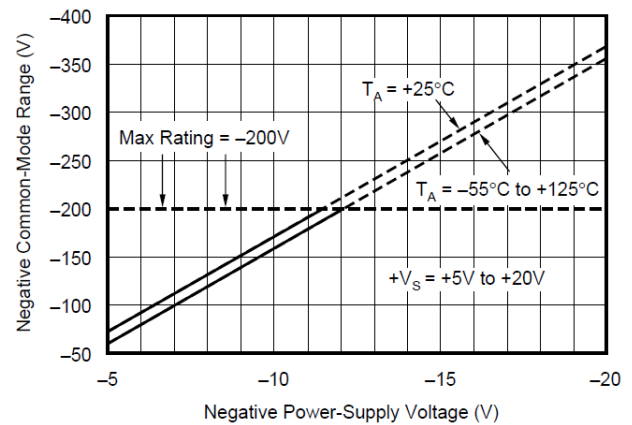


図 6-4. Negative Common-mode Voltage Range vs Negative Power-supply Voltage

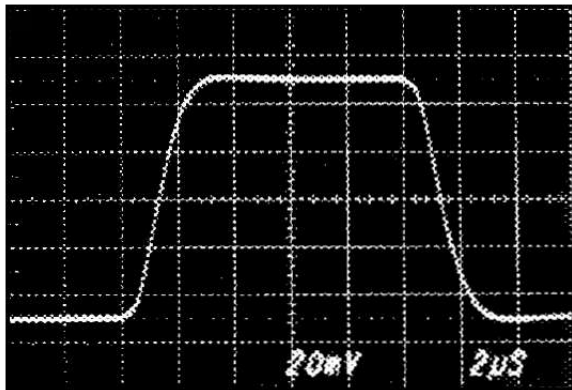


図 6-5. Small Signal Step Response $C_L = 0\text{pF}$

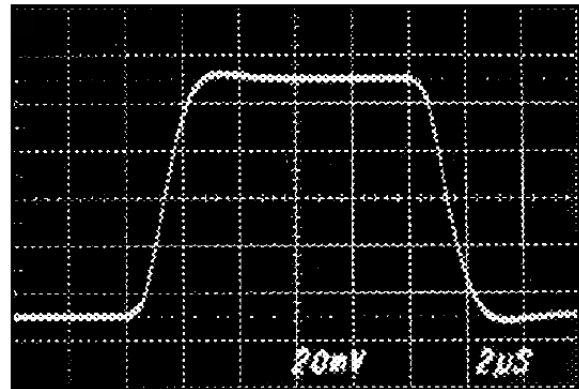


図 6-6. Small Signal Step Response $C_L = 1000\text{pF}$

6 Typical Characteristics (continued)

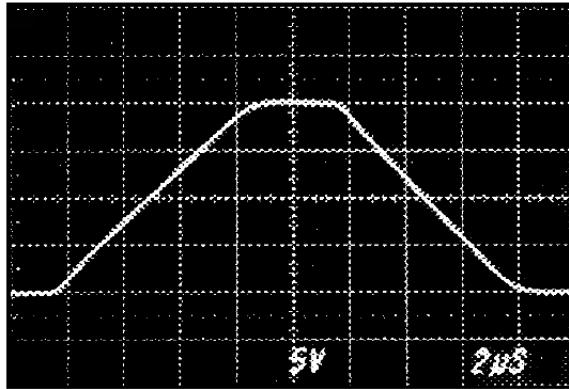


図 6-7. Large Signal Step Response

7 Application and Implementation

注

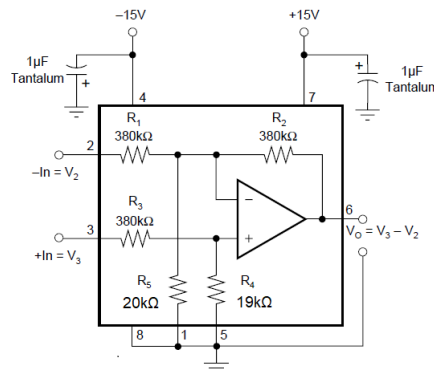
Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

7.1 Application Information

☒ 7-1 shows the basic connections required for operation.

Applications with noisy or high-impedance power-supply lines can require decoupling capacitors close to the device pins.

The output voltage is equal to the differential input voltage between pins 2 and 3. The common mode input voltage is rejected.



☒ 7-1. Basic Power and Signal Connections

7.1.1 Common-mode Rejection

Common-mode rejection (CMR) of the INA117 is dependent on the input resistor network, which is laser-trimmed for accurate ratio matching. To maintain high CMR, having low source impedances is important for driving the two inputs. A 75Ω resistance in series with pin 2 or 3 decreases CMR from 86dB to 72dB.

Resistance in series with the reference pins also degrades CMR. A 4Ω resistance in series with pin 1 or 5 decreases CMRR from 86dB to 72dB.

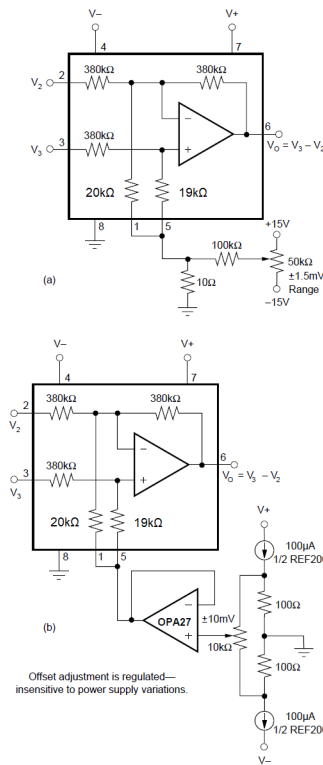
Most applications do not require trimming. ☒ 7-2 and ☒ 7-3 show optional circuits that can be used for trimming offset voltage and common-mode rejection.

7.1.2 Transfer Function

Most applications use the INA117 as a simple unity-gain difference amplifier. The transfer function is:

$$V_0 = V_3 - V_2$$

V_3 and V_2 are the voltages at pins 3 and 2.



7-2. Offset Voltage Trim Circuits

Some applications, however, apply voltages to the reference terminals (pins 1 and 5). A more complete transfer function is:

$$V_0 = V_3 - V_2 + 19 \times V_5 - 18 \times V_1$$

V_5 and V_1 are the voltages at pins 5 and 1.

7.1.3 Measuring Current

The INA117 can be used to measure a current by sensing the voltage drop across a series resistor, R_S . 7-4 shows the INA117 used to measure the supply currents of a device under test. The circuit in 7-5 measures the output current of a power supply. If the power supply has a sense connection, the power supply can be connected to the output side of R_S to eliminate the voltage-drop error. Another common application is current-to-voltage conversion, as shown in 7-6.

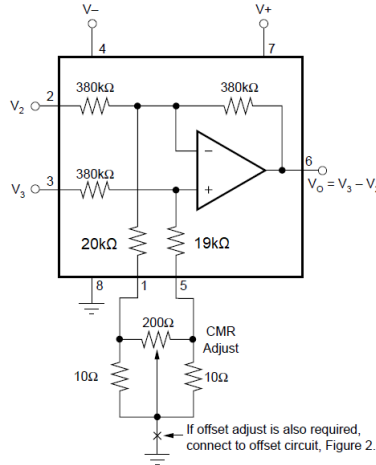
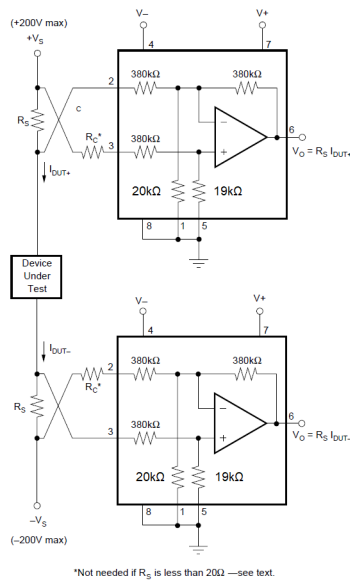
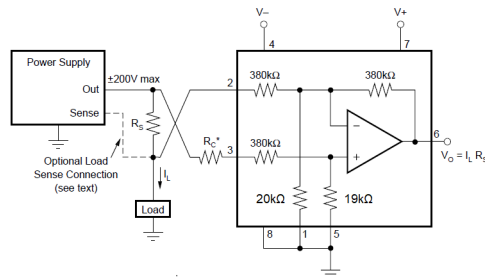


図 7-3. CMR Trim Circuit



*Not needed if R_S is less than 20Ω —see text.

図 7-4. Measuring Supply Currents of Device Under Test



* R_C not needed if R_S is less than 20Ω – see text.

図 7-5. Measuring Power Supply Output Current

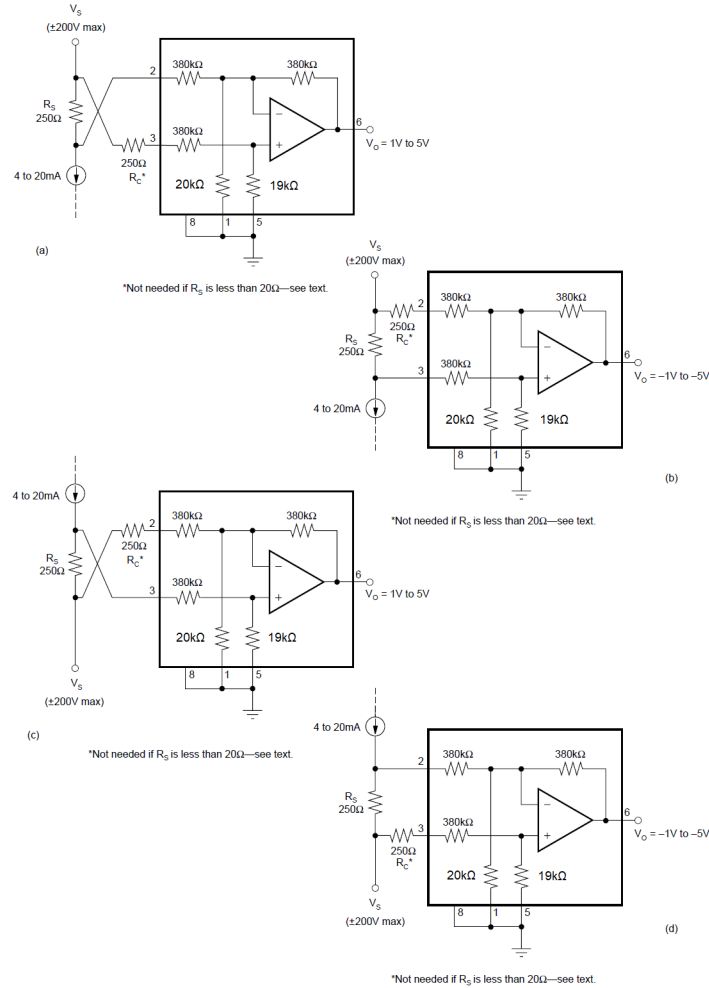


図 7-6. Current to Voltage Converter

In all cases, the sense resistor imbalances the input resistor matching of the INA117, degrading the CMR. Also, the input impedance of the INA117 loads R_S , causing gain error in the voltage-to-current conversion. Both of these errors can be easily corrected.

The CMR error can be corrected with the addition of a compensation resistor, R_C , equal in value to R_S as shown in 7-4, 7-5, and 7-6. If R_S is less than 20Ω, the degradation in CMR is negligible and R_C can be omitted. If R_S is larger than approximately 2kΩ, trimming R_C can be required to achieve greater than 86dB CMR. This trim is because the actual INA117 input impedances have 1% typical mismatch. If R_S is more than approximately 100Ω, the gain error is greater than the 0.05% specification of the INA117. This gain error can be corrected by slightly increasing the value of R_S . The corrected value, R_S' , can be calculated by:

$$R_S' = \frac{R_S \times 380\text{k}\Omega}{380\text{k}\Omega - R_S} \tag{1}$$

Example: For a 1V/mA transfer function, the nominal, uncorrected value for R_S is 1kΩ. A slightly larger value, $R_S' = 1002.6\Omega$, compensates for the gain error due to loading.

The 380kΩ term in the equation for R_S' has a tolerance of ±25%, so sense resistors above approximately 400Ω can require trimming to achieve gain accuracy better than 0.05%.

Of course, if a buffer amplifier is added as shown in [Figure 7-7](#), both inputs see a low source impedance, and the sense resistor is not loaded. As a result, there is no gain error or CMR degradation. The buffer amplifier can operate as a unity gain buffer or as an amplifier with non-inverting gain. Gain added ahead of the INA117 improves both CMR and signal-to-noise. Added gain also allows a lower voltage drop across the sense resistor. The OPA1013 is a good choice for the buffer amplifier since both the input and output can swing close to the negative power supply.

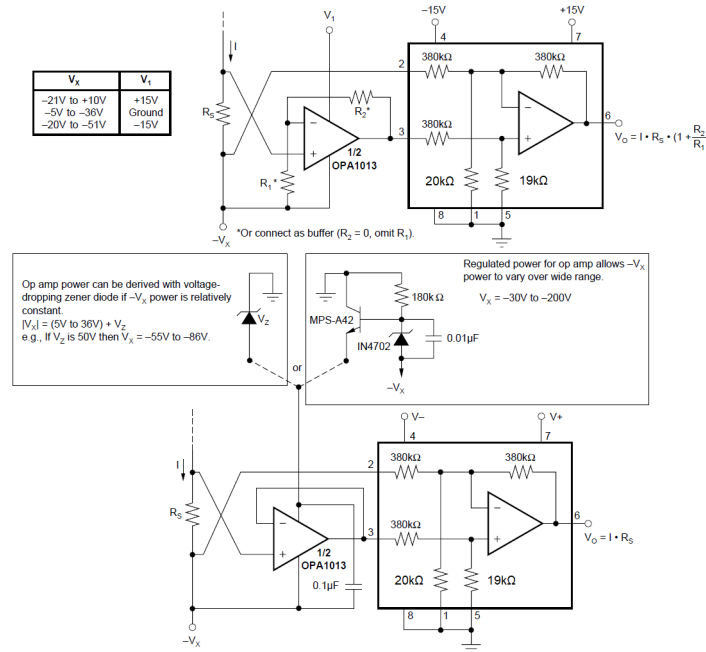


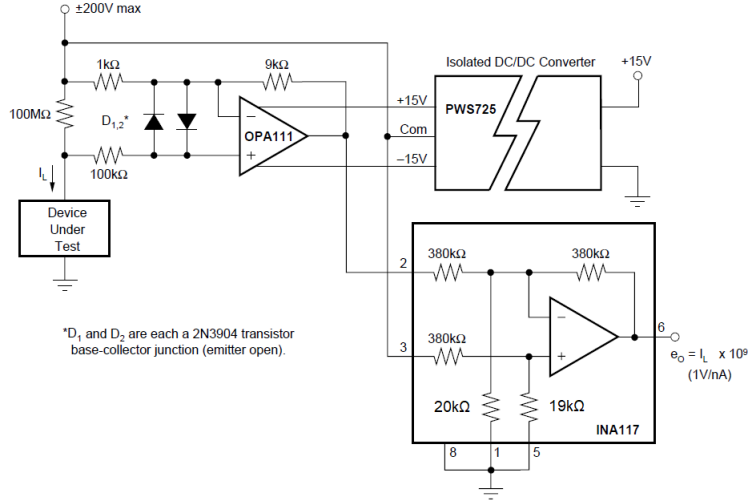
Figure 7-7. Current Sensing With Input Buffer

[Figure 7-8](#) shows very high input impedance buffer used to measure low leakage currents. Here, the buffer operational amplifier is powered with an isolated, split-voltage power supply. Using an isolated power supply allows full $\pm 200V$ common-mode input range.

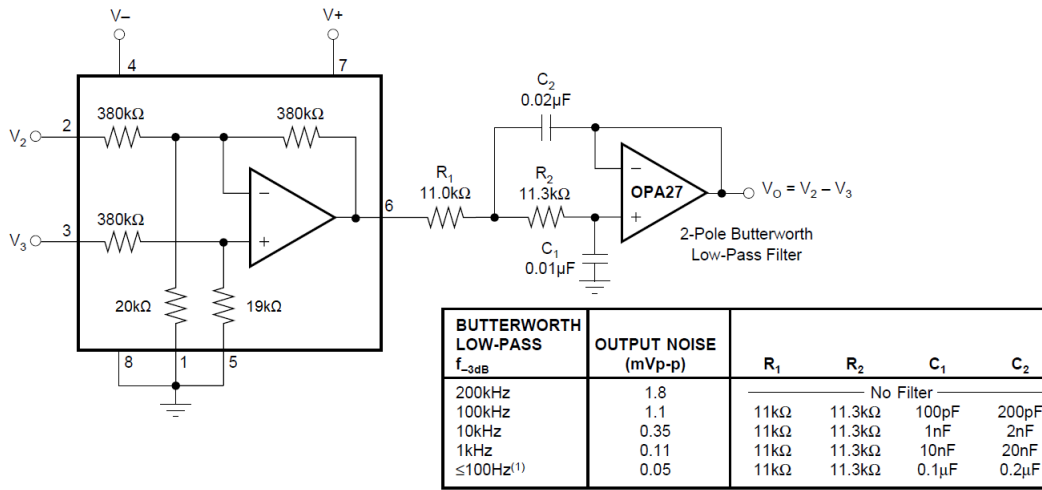
7.1.4 Noise Performance

The noise performance of the INA117 is dominated by the internal resistor network. The thermal or Johnson noise of these resistors produces approximately $550nV/\sqrt{Hz}$ noise. The internal op amp contributes virtually no excess noise at frequencies above 100Hz.

Many applications can be satisfied with less than the full 200kHz bandwidth of the INA117. In these cases, the noise can be reduced with a low-pass filter on the output. The two-pole filter shown in [Figure 7-9](#) limits bandwidth to 1kHz and reduces noise by more than 15:1. Since the INA117 has a $1/f$ noise corner frequency of approximately 100Hz, a cutoff frequency below 100Hz does not further reduce noise.



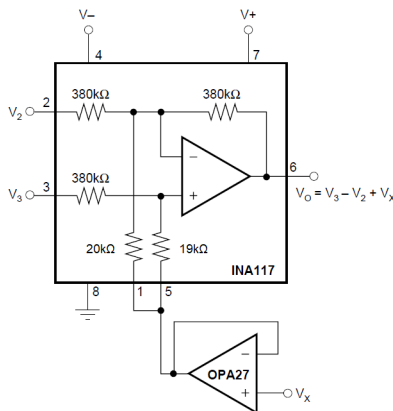
7-8. Leakage Current Measurement Circuit



See Application Bulletin AB-017 for other filters.

NOTE: (1) Since the INA117 has a 1/f noise corner frequency of approximately 100Hz, bandwidth reduction below this frequency will not significantly reduce noise.

7-9. Output Filter for Noise Reduction



7-10. Summing V_x in Output

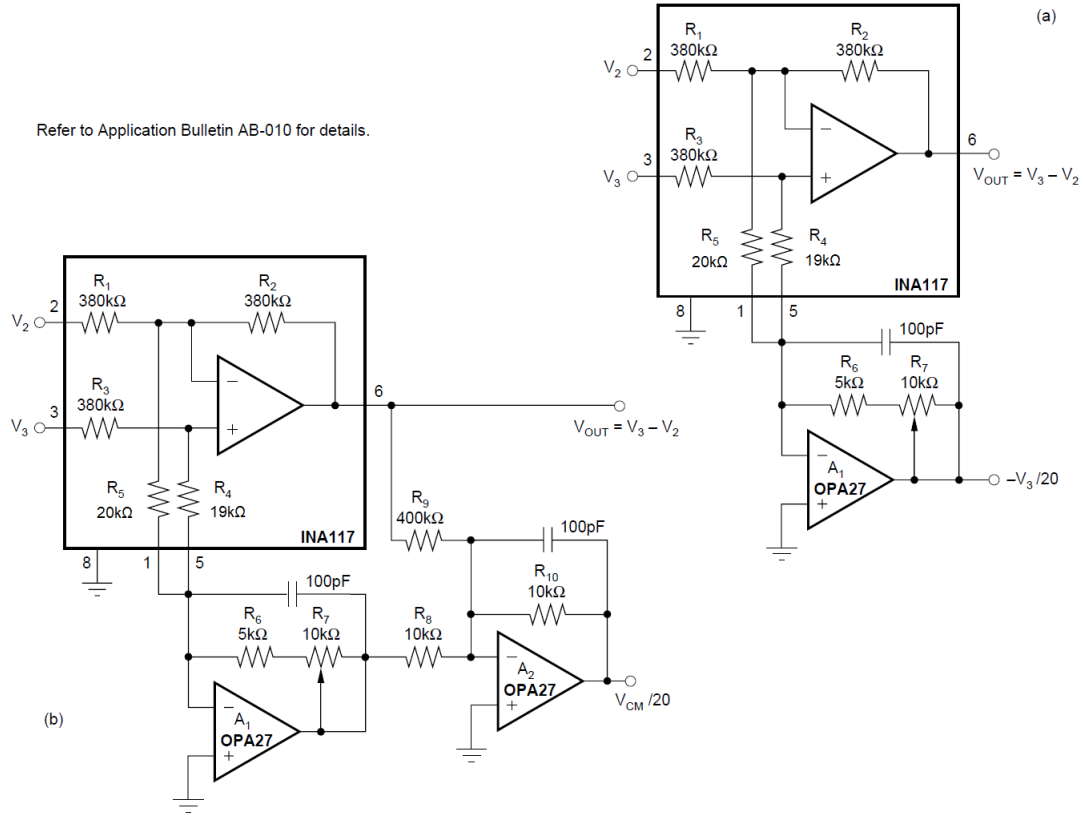


图 7-11. Common-mode Voltage Monitoring

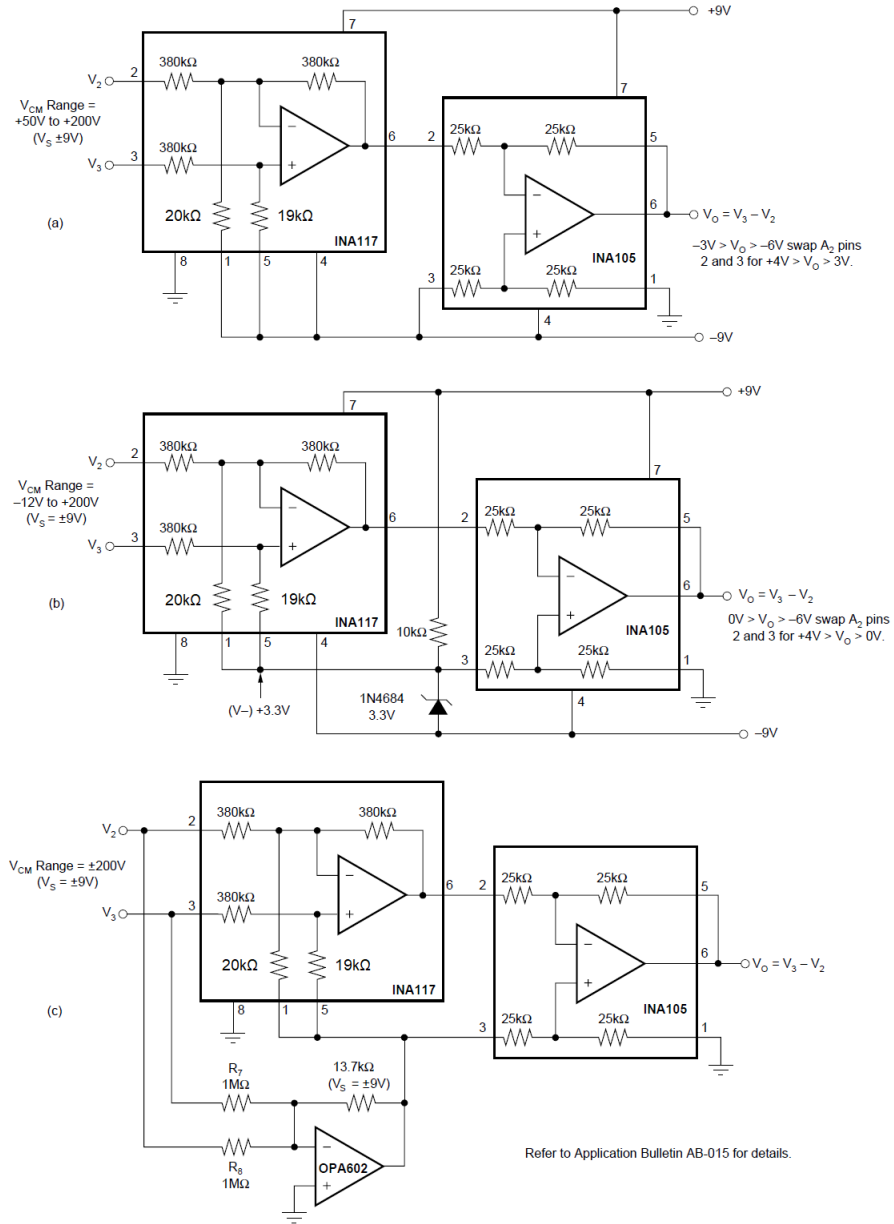


図 7-12. Offsetting or Boosting Common-mode Voltage Range for Reduced Power-supply Voltage Operation

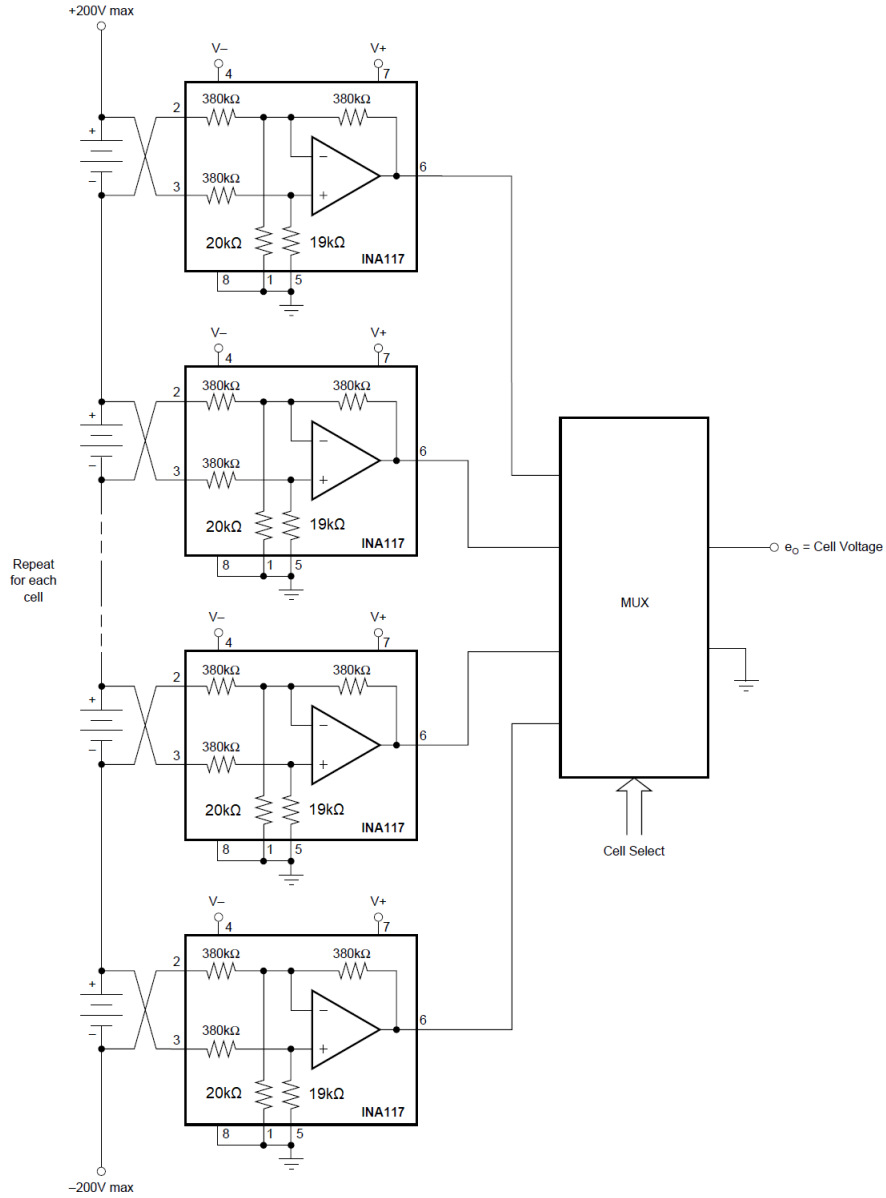


図 7-13. Battery Cell Voltage Monitor

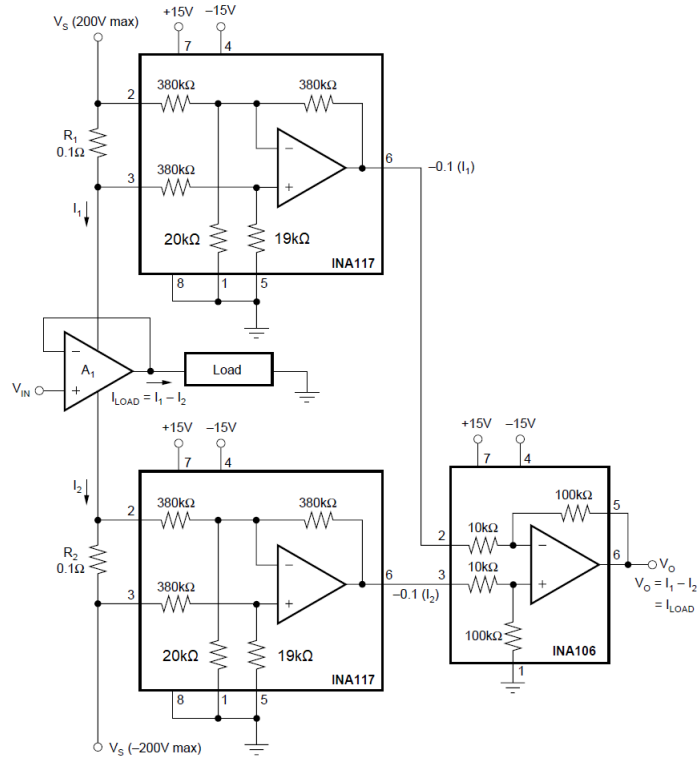


図 7-14. Measuring Amplifier Load Current

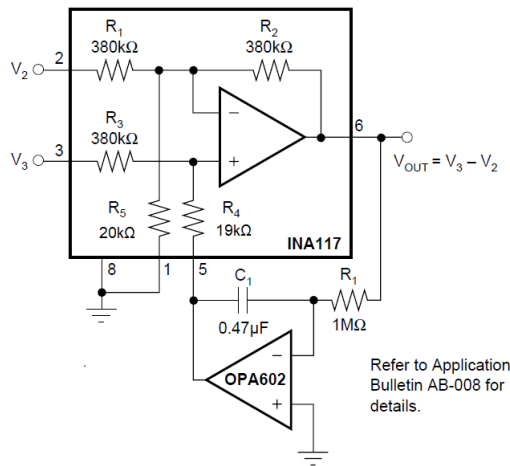


図 7-15. AC-coupled INA117

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 Documentation Support

8.1.1 Related Documentation

- Texas Instruments, [Precision labs series: Instrumentation amplifier](#), videos
- Texas Instruments, [INA149 High common mode voltage difference amplifier](#), data sheet
- Texas Instruments, [Supporting High Voltage Common Mode Using Difference Amplifier](#), application brief

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (November 2000) to Revision B (April 2024)	Page
• 文書全体にわたって表、図、相互参照のフォーマットを更新.....	1
• ドキュメント全体を通して INA117AM および INA117SM バリエーションの情報を削除.....	1
• 「概要」および「ピン構成および機能」セクションで、ピン 8 を「Comp」から「NC」に変更	1
• 「概要」セクションに「注文情報」表を追加.....	1
• Added <i>Pin Functions</i> table.....	2
• Added ESD Ratings table.....	3
• Added single supply specification to <i>Recommended Operating Conditions</i>	3
• Added specified temperature range to <i>Recommended Operating Conditions</i>	3
• Added VREF = 0V, VCM = VS/2, and G = 1 to "unless otherwise noted" conditions in <i>Electrical Characteristics</i> and <i>Typical Characteristics</i> for clarity.....	4
• Changed parameter from "Offset voltage vs Temperature" to "Offset voltage drift" in <i>Electrical Characteristics</i>	4
• Added test condition of "TA = –40°C to +85°C" for "Offset voltage drift" in <i>Electrical Characteristics</i>	4
• Changed parameter from "Offset Voltage vs Power Supply" to "Power-supply rejection ratio" in <i>Electrical Characteristics</i>	4
• Added test condition of "TA = –40°C to +85°C" for "CMRR" in <i>Electrical Characteristics</i>	4
• Changed "Common-mode input impedance" typical value from 400kΩ to 200kΩ in <i>Electrical Characteristics</i>	4
• Added test condition "TA = –40°C to +85°C" for "Gain error vs temperature" in <i>Electrical Characteristics</i> and renamed to "Gain error drift" for clarity.....	4
• Changed "Gain nonlinearity" typical value from 0.0002% to 0.0005% in <i>Electrical Characteristics</i>	4
• Added test condition "Continuous to $V_S/2$ " to Short-circuit current specification in <i>Electrical Characteristics</i> for clarity.....	4
• Change minimum Slew rate from 2V/μs to 1.7V/μs in <i>Electrical Characteristics</i>	4
• Deleted redundant voltage range, operating temperature range, and specification temperature range specifications from <i>Electrical Characteristics</i>	4
• Deleted <i>Reducing Differential Gain</i> application circuit figure	11
• Added <i>Documentation Support</i> and <i>Related Documentation</i> sections.....	17

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
INA117AM	NRND	TO-99	LMC	8	20	RoHS & Green	Call TI	N / A for Pkg Type		INA117AM	
INA117BM	ACTIVE	TO-99	LMC	8	20	RoHS & Green	Call TI	N / A for Pkg Type		INA117BM	Samples
INA117KU	ACTIVE	SOIC	D	8	75	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 117KU	Samples
INA117KU/2K5	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR		INA 117KU	Samples
INA117P	ACTIVE	PDIP	P	8	50	RoHS & Green	Call TI NIPDAU	N / A for Pkg Type		INA117P	Samples
INA117SM	NRND	TO-99	LMC	8	20	RoHS & Green	AU	N / A for Pkg Type		INA117SM	
INA117SMQ	NRND	TO-99	LMC	8	20	RoHS & Green	AU	N / A for Pkg Type		INA117SMQ	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA117KU/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA117KU/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA117KU/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA117KU/2K5	SOIC	D	8	2500	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
INA117AM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117BM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117KU	D	SOIC	8	75	506.6	8	3940	4.32
INA117P	P	PDIP	8	50	506	13.97	11230	4.32
INA117SM	LMC	TO-CAN	8	20	532.13	21.59	889	NA
INA117SMQ	LMC	TO-CAN	8	20	532.13	21.59	889	NA

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated