

INA132 低消費電力、単一電源差動アンプ

1 特長

- 幅広い電源電圧範囲:
 - シングル電源: 2.7V~36V
 - デュアル電源: $\pm 1.35\text{V} \sim \pm 18\text{V}$
- DC 精度性能:
 - 低ゲイン誤差: $\pm 0.075\%$ (最大値)
 - 低い非線形性: 0.001% (最大値)
 - 大きい同相除去: 90dB (標準値)
- 低い静止電流: 175 μA

2 アプリケーション

- 光モジュール
- ビルのセキュリティゲートウェイ
- AC アナログ入力モジュール
- 質量分光器
- CPU (PLC コントローラ)
- 実験室およびフィールド向け計測機器

3 概要

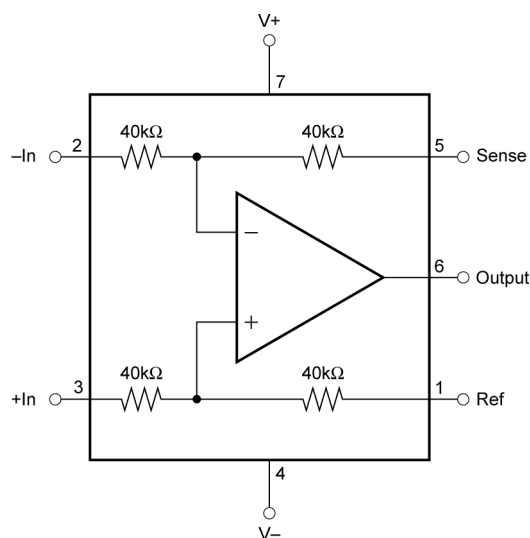
INA132 は、高精度オペアンプと高精度抵抗ネットワークで構成された、低消費電力でユニティゲインの差動アンプです。レーザトリミングされたオンチップの抵抗により、高いゲイン精度と高い同相除去比を実現します。これらの抵抗は温度係数 (TCR) が小さいため、温度が変化してもゲイン精度と同相モード除去が維持されます。内部オペアンプの同相範囲は負電源まで拡張されているため、単一電源アプリケーションに最適です。このデバイスは、単一 (2.7V~36V) またはデュアル ($\pm 1.35\text{V} \sim \pm 18\text{V}$) の電源で動作します。

差動アンプは、多くの一般的な回路の基礎となるものです。INA132 は、高価な高精度抵抗ネットワークを使用せずに、この回路機能を提供します。INA132 は、SO-8 表面実装パッケージで供給され、工業用温度範囲の $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ で動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
INA132	D (SOIC, 8)	4.9mm × 6mm

- 詳細については、[セクション 9](#) を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能図



Table of Contents

1 特長.....	1	6 Application and Implementation.....	9
2 アプリケーション.....	1	6.1 Applications Information.....	9
3 概要.....	1	6.2 Typical Applications.....	11
4 Pin Configuration and Functions.....	2	7 Device and Documentation Support.....	14
5 Specifications.....	3	7.1 ドキュメントの更新通知を受け取る方法.....	14
5.1 Absolute Maximum Ratings.....	3	7.2 サポート・リソース.....	14
5.2 ESD Ratings.....	3	7.3 Trademarks.....	14
5.3 Recommended Operating Conditions.....	3	7.4 静電気放電に関する注意事項.....	14
5.4 Thermal Information.....	3	7.5 用語集.....	14
5.5 Electrical Characteristics: $V_S = \pm 15V$	4	8 Revision History.....	14
5.6 Electrical Characteristics: $V_S = 5V$	5	9 Mechanical, Packaging, and Orderable Information..	15
5.7 Typical Characteristics.....	6		

4 Pin Configuration and Functions

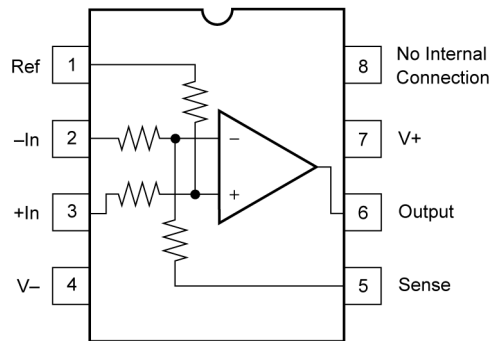


図 4-1. D Package, 8-Pin SOIC (Top View)

表 4-1. Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
-In	2	Input	Negative (inverting) input
+In	3	Input	Positive (noninverting) input
No Internal Connection	8	—	No internal connection. Leave unconnected.
Output	6	Output	Output
Ref	1	—	Reference input. Drive this pin with a low impedance source. Interchanging pin 1 and 3 degrade CMR.
Sense	5	—	Sense input. Drive this pin with a low impedance source. Interchanging pin 2 and 5 degrade CMR.
V-	4	Input	Negative supply
V+	7	Input	Positive supply

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _S	Supply voltage	Dual supply, V _S = (V+) – (V–)		±18	V
		Single supply, V _S = (V+) – 0V		36	
	Input voltage range			±80	V
	Output short-circuit to (V _S / 2)		Continuous		
T _A	Operating temperature		–55	125	°C
T _J	Junction temperature			150	°C
T _{stg}	Storage temperature		–55	125	°C
	Lead temperature (soldering, 10s)			300	°C

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. *Absolute Maximum Ratings* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±750	V
		Charged-device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±1000	

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	MAX	UNIT
V _S	Supply voltage	Single-supply	2.7	36	V
		Dual-supply	±1.35	±18	
T _A	Specified temperature		–40	85	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		INA132	UNIT
		D (SOIC)	
		8 PINS	
θ _{JA}	Junction-to-ambient thermal resistance	150	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics: $V_S = \pm 15V$

at $T_A = 25^\circ C$, $V_S = \pm 15V$, $R_L = 10k\Omega$, $V_{REF} = 0V$, $V_{CM} = V_S/2$, and $G = 1$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
INPUT							
V_{OS}	Offset voltage ⁽¹⁾	RTO	INA132		± 75	± 250	μV
			INA132A		± 75	± 500	
	Offset voltage drift ⁽¹⁾	RTO, $T_A = -40^\circ C$ to $+85^\circ C$	INA132		± 1	± 5	$\mu V/^\circ C$
			INA132A		± 1	$\pm 10^{(4)}$	
	Long-term stability ⁽¹⁾				± 0.3		$\mu V/mo$
PSRR	Power-supply rejection ratio ⁽¹⁾	RTO, $V_S = \pm 1.35V$ to $\pm 18V$			± 5	± 30	$\mu V/V$
V_{CM}	Common-mode voltage	$V_O = 0V$		(V-)		$2(V+) - 2$	V
CMRR	Common-mode rejection	$V_{CM} = -15V$ to $+28V$, $R_S = 0\Omega$	INA132	76	90		dB
			INA132A	70	90		dB
	Differential input impedance ⁽²⁾				80		k Ω
	Common-mode input impedance ⁽²⁾				80		k Ω
NOISE							
e_N	Voltage noise ⁽³⁾	RTO, $f_B = 0.1Hz$ to $10Hz$			1.6		μV_{PP}
		RTO, $f = 1kHz$			75		nV/ \sqrt{Hz}
GAIN							
	Gain				1		V/V
GE	Gain error	$V_O = -14V$ to $+13.5V$		INA132	± 0.01	± 0.075	%
				INA132A	± 0.01	± 0.1	
	Gain error drift ⁽⁴⁾	$T_A = -40^\circ C$ to $+85^\circ C$			± 1	± 10	ppm/ $^\circ C$
	Gain nonlinearity	$V_O = -14V$ to $+13.5V$		INA132	± 0.0001	± 0.001	% of FSR
				INA132A	± 0.0001	± 0.002	
OUTPUT							
	Positive output voltage swing	$R_L = 100k\Omega$		(V+) - 1	(V+) - 0.8		V
		$R_L = 10k\Omega$		(V+) - 1.5	(V+) - 0.8		
	Negative output voltage swing	$R_L = 100k\Omega$		(V-) + 0.5	(V-) + 0.15		V
		$R_L = 10k\Omega$		(V-) + 1	(V-) + 0.25		
C_L	Load capacitance	Stable operation			10000		pF
I_{SC}	Short-circuit current	Continuous to $V_S / 2$			+6/-15		mA
FREQUENCY RESPONSE							
BW	Small signal bandwidth, -3dB				300		kHz
SR	Slew rate				0.1		V/ μs
t_s	Settling time	$V_O = 10V$ step	0.1%		85		μs
			0.01%		88		
	Overload recovery time	50% input overdrive			7		μs
POWER SUPPLY							
I_Q	Quiescent current	$V_{IN} = 0V$			± 175	± 230	μA

(1) Includes effects of amplifier input bias and offset currents.

(2) 40k Ω resistors are ratio matched but have $\pm 20\%$ absolute value.

(3) Includes effects of amplifier input current noise and thermal noise contribution of resistor network.

(4) Specified by wafer test to 95% confidence level.

5.6 Electrical Characteristics: $V_S = 5V$

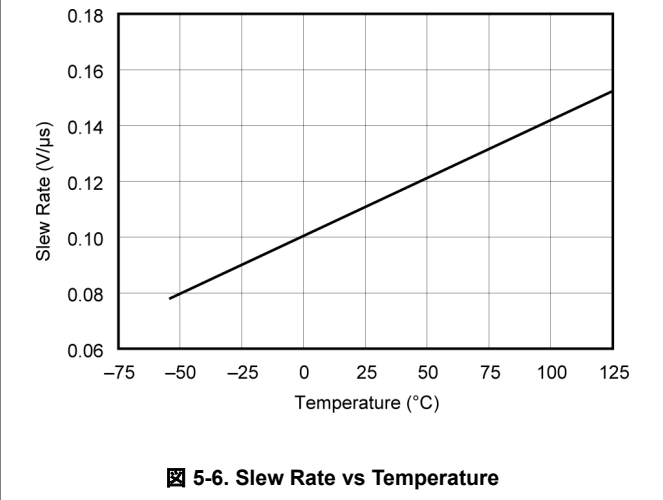
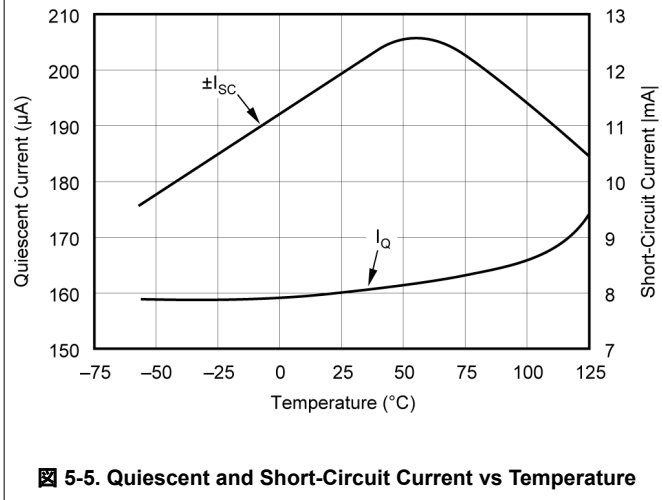
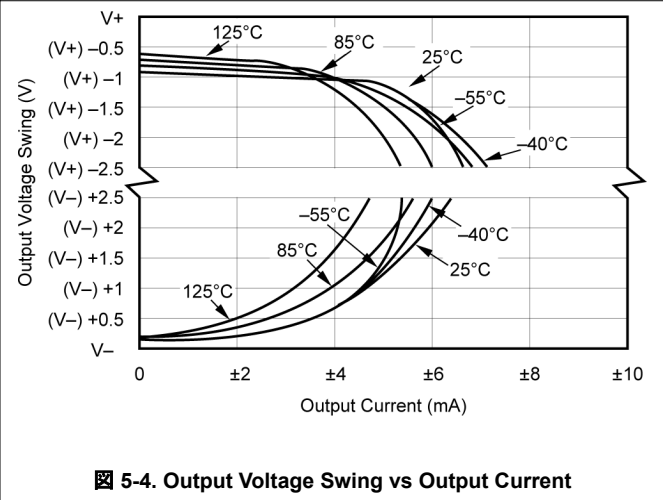
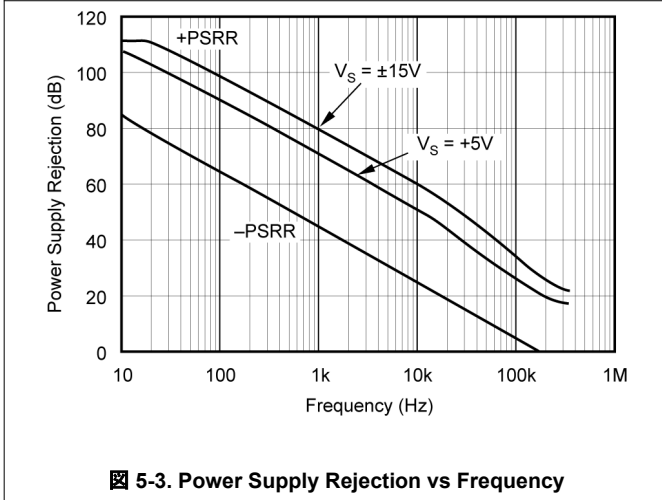
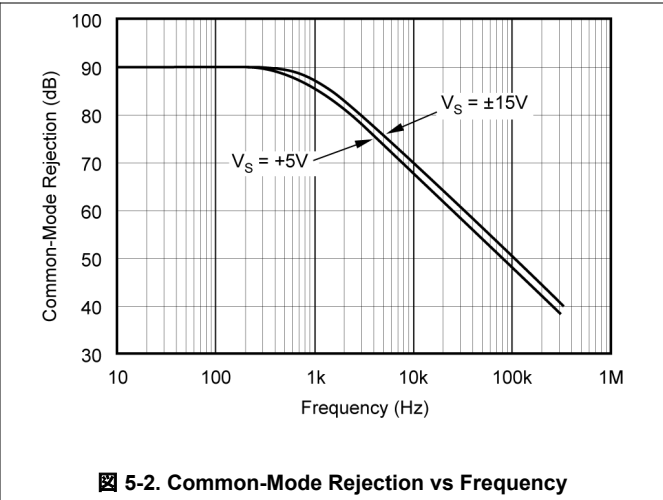
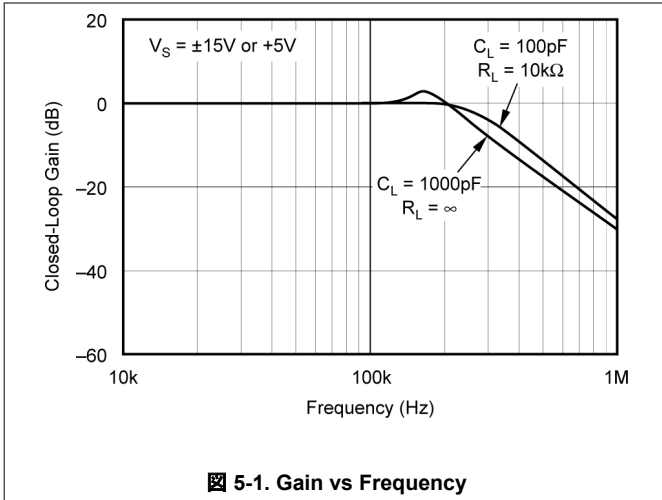
at $T_A = 25^\circ C$, $V_S = +5V$, $R_L = 10k\Omega$ connected to $V_S/2$, $V_{REF} = V_S/2$, $V_{CM} = V_S/2$, and $G = 1$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
INPUT							
V_{OS}	Offset voltage ⁽¹⁾	RTO	INA132		±150	±500	μV
			INA132A		±150	±750	
	Offset voltage drift ⁽¹⁾	RTO, $T_A = -40^\circ C$ to $+85^\circ C$			±2		μV/°C
V_{CM}	Common-mode voltage	$V_O = 0V$		(V-)		$2(V+) - 2$	V
CMRR	Common-mode rejection	$V_{CM} = 0V$ to $8V$, $R_S = 0\Omega$		INA132	76	90	dB
				INA132A	70	90	
OUTPUT							
	Positive output voltage swing	$R_L = 100k\Omega$		$(V+) - 1$	$(V+) - 0.75$		V
		$R_L = 10k\Omega$		$(V+) - 1$	$(V+) - 0.8$		
	Negative output voltage swing	$R_L = 100k\Omega$		$(V-) + 0.25$	$(V-) + 0.06$		V
		$R_L = 10k\Omega$		$(V-) + 0.25$	$(V-) + 0.12$		
POWER SUPPLY							
I_Q	Quiescent current	$V_{IN} = 0V$			±175	±230	μA

(1) Includes effects of amplifier input bias and offset currents.

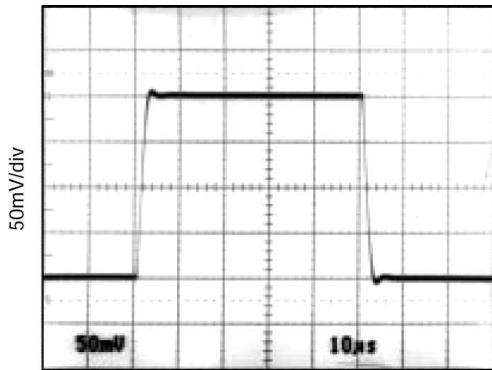
5.7 Typical Characteristics

at $T_A = +25^\circ\text{C}$ and $V_S = \pm 15\text{V}$ (unless otherwise noted)



5.7 Typical Characteristics (continued)

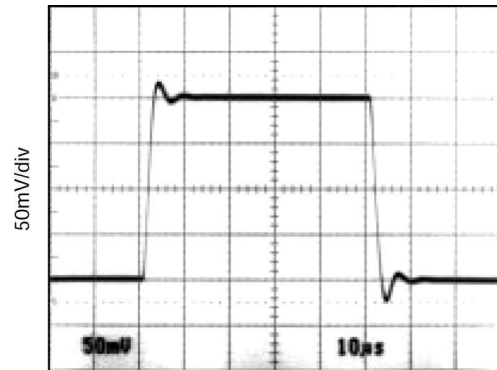
at $T_A = +25^\circ\text{C}$ and $V_S = \pm 15\text{V}$ (unless otherwise noted)



10µs/div

$C_L = 200\text{pF}$

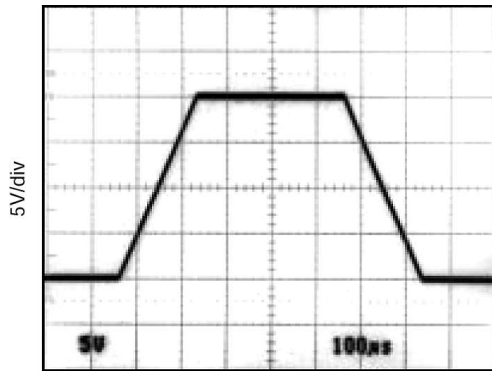
图 5-7. Small-Signal Step Response



10µs/div

$C_L = 1000\text{pF}$

图 5-8. Small-Signal Step Response



100µs/div

图 5-9. Large-Signal Step Response

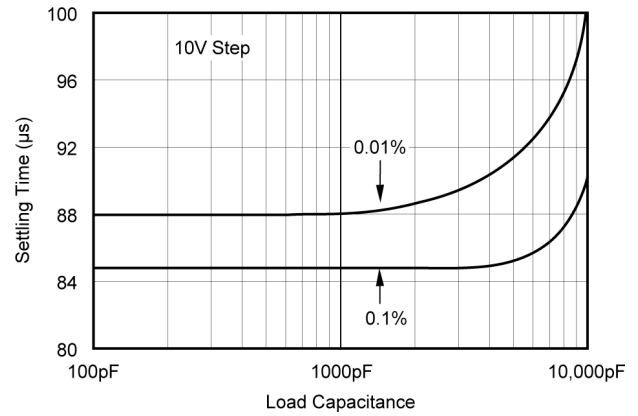


图 5-10. Settling Time vs Load Capacitance

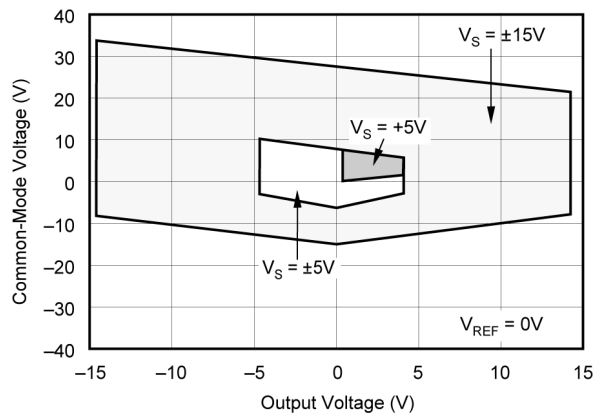


图 5-11. Input Common-mode Voltage Range vs Output Voltage

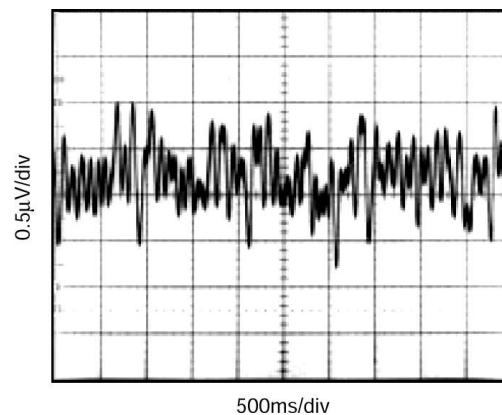
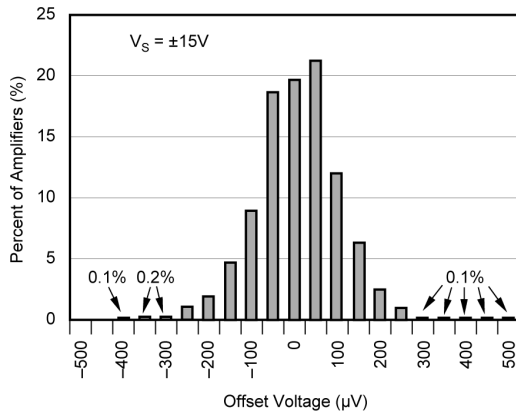


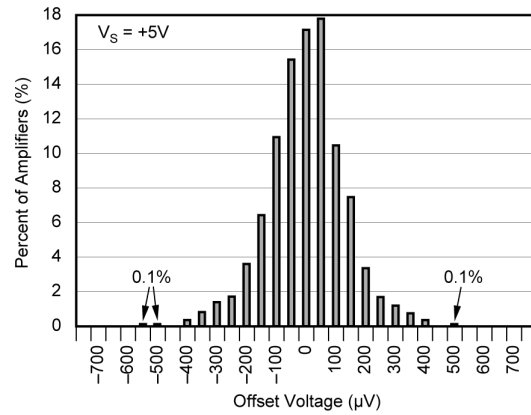
图 5-12. 0.1-Hz to 10-Hz Peak-to-Peak Voltage Noise

5.7 Typical Characteristics (continued)

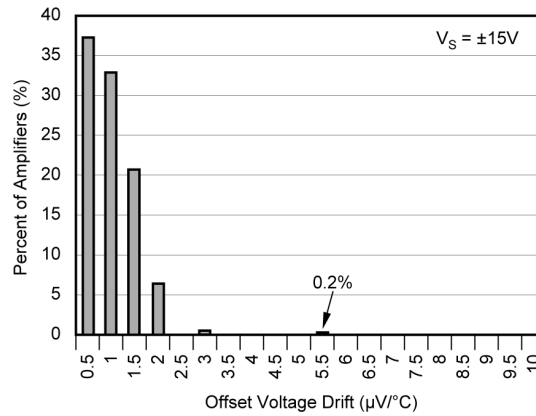
at $T_A = +25^\circ\text{C}$ and $V_S = \pm 15\text{V}$ (unless otherwise noted)



5-13. Offset Voltage Production Distribution



5-14. Offset Voltage Production Distribution



5-15. Offset Voltage Drift Production Distribution

6 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 Applications Information

図 6-1 shows the basic connections required for operation of the INA132. Connect power-supply bypass capacitors close to the device pins.

The differential input signal is connected to pins 2 and 3 as shown. Ensure that the source impedances connected to the inputs are nearly equal to maintain good common-mode rejection. An 8Ω mismatch in source impedance degrades the common-mode rejection of a typical device to approximately 80dB. Gain accuracy is also slightly affected. If the source has a known impedance mismatch, use an additional resistor in series with one input to preserve good common-mode rejection.

Do not interchange pins 1 and 3 or pins 2 and 5, even though nominal resistor values are equal. These resistors are laser trimmed for precise resistor ratios to achieve accurate gain and highest CMR. Interchanging these pins does not provide specified performance. Sense measurements at the load, as in 図 6-1.

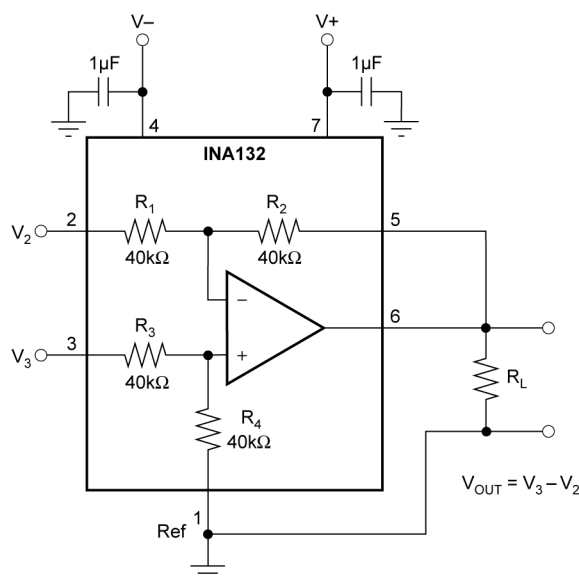


図 6-1. Basic Power Supply and Signal Connections

6.1.1 Operating Voltage

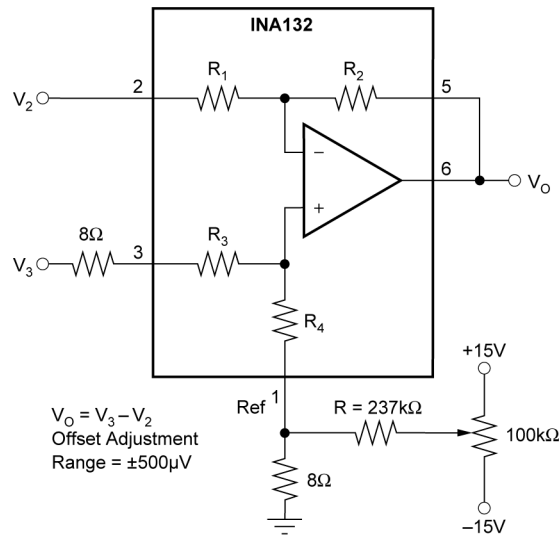
The INA132 operates from single (2.7V to 36V) or dual ($\pm 1.35V$ to $\pm 18V$) supplies with excellent performance. Specifications are production tested with +5V and $\pm 15V$ supplies. Most behavior remains unchanged throughout the full operating voltage range. Parameters that vary significantly with operating voltage are shown in the *Typical Characteristics*.

The internal op amp in the INA132 is a single-supply design. This design allows linear operation with the op-amp common-mode voltage equal to, or slightly below $V-$ (or single supply ground). Although input voltages on pins 2 and 3 that are less than the negative supply voltage do not damage the device, operation in this region is not recommended. Transient conditions at the inverting input terminal less than the negative supply can cause a positive feedback condition that can lock the INA132 output to the negative rail.

The INA132 can accurately measure differential signals that are greater than the positive power supply. The linear common-mode range extends to nearly twice the positive power supply voltage—see typical characteristics curve, *Common-Mode Range vs Output Voltage*.

6.1.2 Offset Voltage Trim

The INA132 is laser trimmed for low offset voltage and drift. Most applications require no external offset adjustment. Figure 6-2 shows an optional circuit for trimming the output offset voltage. The output is referred to the output reference terminal (pin 1), which is normally grounded. A voltage applied to the Ref terminal is summed with the output signal, and can be used to null offset voltage. Ensure that the source impedance of a signal applied to the Ref terminal is less than 8Ω to maintain good common-mode rejection. To maintain low impedance at the Ref terminal, the trim voltage can be buffered with an op amp, such as the OPA177.



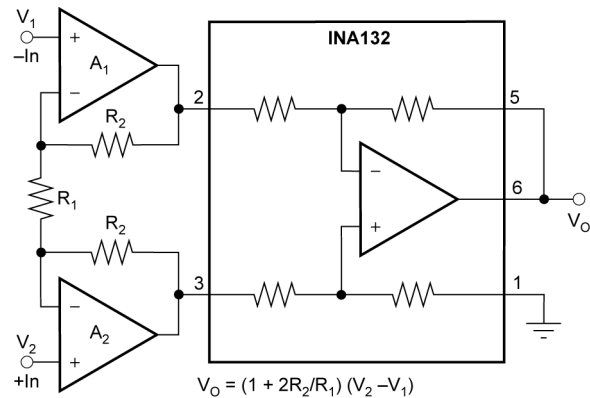
NOTE: For ±750μV range, R = 158kΩ.

Figure 6-2. Offset Adjustment.

6.1.3 Capacitive Load Drive Capability

The INA132 drives large capacitive loads, even at low supplies. The device is stable with a 10,000-pF load. See the *Small-Signal Step Response and Settling Time vs Load Capacitance* typical characteristics.

6.2 Typical Applications

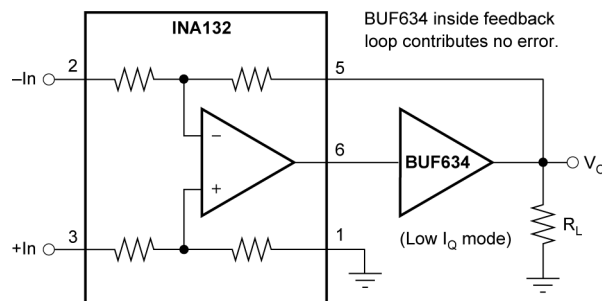


The INA132 can be combined with op amps to form a complete instrumentation amplifier with specialized performance characteristics. Burr-Brown offers many complete high performance IAs. Products with related performances are shown at the right.

A ₁ , A ₂	FEATURE	SIMILAR COMPLETE BURR-BROWN IA
OPA27	Low Noise	INA103
OPA129	Ultra Low Bias Current (fA)	INA116
OPA177	Low Offset Drift, Low Noise	INA114, INA128
OPA2130	Low Power, FET-Input (pA)	INA111
OPA2234	Single Supply, Precision, Low Power	INA122 ⁽¹⁾ , INA118
OPA2237	Single Supply, Low Power, MSOP-8	INA122 ⁽¹⁾ , INA126 ⁽¹⁾

NOTE: (1) Available 1Q'97.

6-3. Precision Instrumentation Amplifier



6-4. Low Power, High Output Current Precision Difference Amplifier

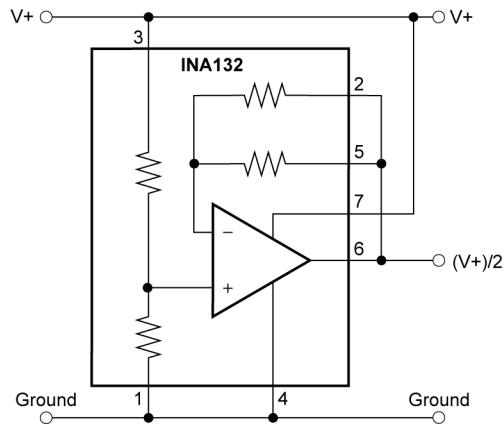


図 6-5. Pseudoground Generator

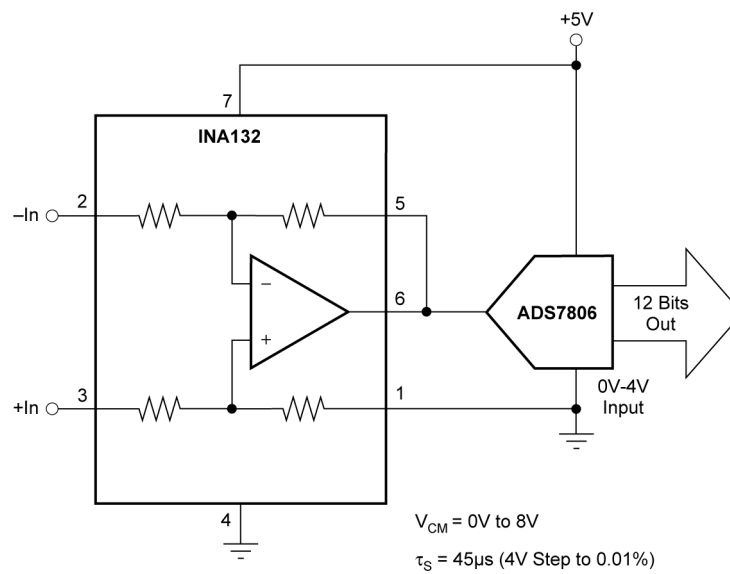


図 6-6. Differential Input Data Acquisition

Set $R_1 = R_2$

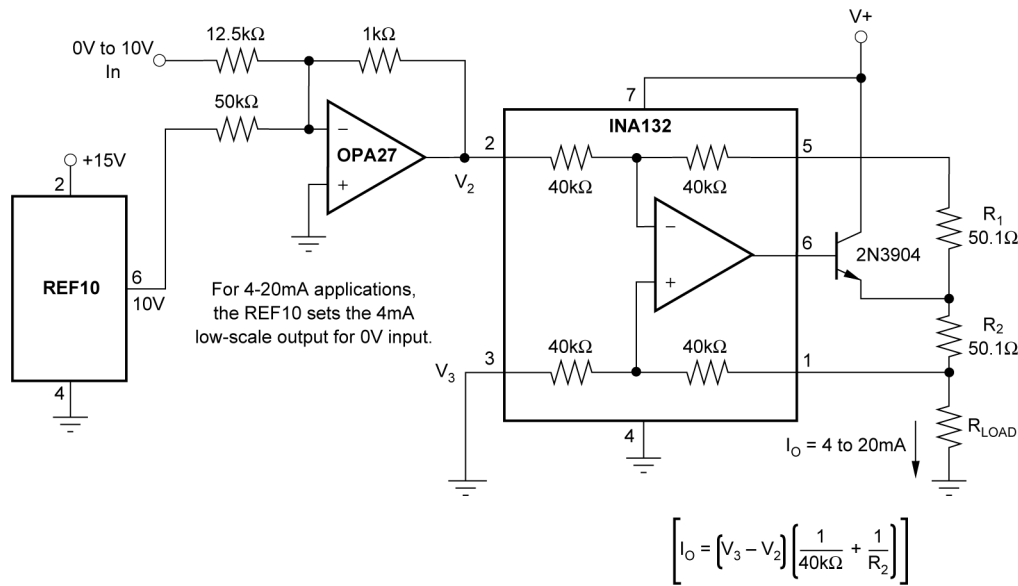


Figure 6-7. Precision Voltage-to-Current Conversion

The difference amplifier is a highly versatile building block that is useful in a wide variety of applications. See the [INA105](#) data sheet for additional applications ideas, including:

- Current receiver with compliance to rails
- Precision unity-gain inverting amplifier
- $\pm 10\text{-V}$ precision voltage reference
- $\pm 5\text{-V}$ precision voltage reference
- Precision unity-gain buffer
- Precision average value amplifier
- Precision $G = 2$ amplifier
- Precision summing amplifier
- Precision $G = 1/2$ amplifier
- Precision bipolar offsetting
- Precision summing amplifier with gain
- Instrumentation amplifier guard drive generator
- Precision summing instrumentation amplifier
- Precision absolute value buffer
- Precision voltage-to-current converter with differential inputs
- Differential input voltage-to-current converter for low I_{OUT}
- Isolating current source
- Differential output difference amplifier
- Isolating current source with buffering amplifier for greater accuracy
- Window comparator with window span and window center inputs
- Precision voltage-controlled current source with buffered differential inputs and gain
- Digitally controlled gain of ± 1 amplifier

7 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 1996) to Revision A (February 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「ESD 定格」、「推奨動作条件」、「熱に関する情報」、「アプリケーションと実装」、「代表的なアプリケーション」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」の各セクションを追加	1
DIP パッケージおよび関連する内容をデータシートから削除.....	1
「特長」の箇条書き項目を更新.....	1
「アプリケーション」の項目を更新	1
Added <i>Pin Functions</i> table.....	2
Added dual supply specification to <i>Absolute Maximum Ratings</i>	3
Changed output short-circuit from "ground" to " $V_S / 2$ " in <i>Absolute Maximum Ratings</i>	3
Added $V_{REF} = 0V$, $V_{CM} = V_S / 2$, and $G = 1$ to test conditions in <i>Electrical Characteristics and Typical Characteristics</i> for clarity.....	4
Changed "Offset Voltage vs Temperature" to "Offset voltage drift" and added $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ test condition for clarity.....	4
Changed "Offset Voltage vs Time" to "Long-term stability" for clarity.....	4
Changed "Offset Voltage vs Power Supply" to Power-supply rejection ratio for clarity.....	4
Changed voltage noise typical value at 1kHz from $65\text{nV}/\sqrt{\text{Hz}}$ to $75\text{nV}/\sqrt{\text{Hz}}$	4

• Changed "Gain Error vs Temperature" to "Gain error drift" and added $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$ test condition for clarity.....	4
• Changed "Voltage, Positive" to "Positive output voltage swing" and from "Voltage, Negative" to "Negative output voltage swing".....	4
• Added test condition of "Continuous to $V_S / 2$ " to short-circuit current for clarity.....	4
• Changed short-circuit current typical value from $\pm 12\text{mA}$ to $+6\text{mA}/-15\text{mA}$	4
• Deleted power supply voltage range typical value of $\pm 15\text{V}$	4
• Moved voltage range, operating temperature range, and thermal resistance from <i>Electrical Characteristics</i> to <i>Recommended Operating Conditions</i> and <i>Thermal Information</i>	4
• Changed quiescent current typical value from $\pm 160\mu\text{A}$ to $\pm 175\mu\text{A}$ and maximum value from $\pm 185\mu\text{A}$ to $\pm 230\mu\text{A}$	4
• Added $V_{\text{REF}} = V_S / 2$, $V_{\text{CM}} = V_S / 2$, and $G = 1$ to test conditions in <i>Electrical Characteristics: $V_S = 5\text{V}$</i> for clarity.....	5
• Changed "Offset Voltage vs Temperature" to "Offset voltage drift" and added $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$ test condition for clarity.....	5
• Added (V-) to negative output voltage swing minimum and typical values.....	5
• Deleted power supply voltage range typical value of $+5\text{V}$	5
• Moved voltage range from <i>Electrical Characteristics: $V_S = 5\text{V}$</i> to <i>Recommended Operating Conditions</i>	5
• Changed quiescent current typical value from $\pm 155\mu\text{A}$ to $\pm 175\mu\text{A}$ and maximum value from $\pm 185\mu\text{A}$ to $\pm 230\mu\text{A}$	5

9 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
INA132U	LIFEBUY	SOIC	D	8	75	RoHS & Green	Call TI	Level-3-260C-168 HR		INA 132U	
INA132U/2K5	ACTIVE	SOIC	D	8	2500	RoHS & Green	Call TI NIPDAU	Level-3-260C-168 HR		INA 132U	Samples
INA132UA	LIFEBUY	SOIC	D	8	75	RoHS & Green	Call TI	Level-3-260C-168 HR	-40 to 85	INA 132U A	
INA132UA/2K5	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 132U A	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA132U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA132UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA132U/2K5	SOIC	D	8	2500	356.0	356.0	35.0
INA132UA/2K5	SOIC	D	8	2500	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
INA132U	D	SOIC	8	75	506.6	8	3940	4.32
INA132UA	D	SOIC	8	75	506.6	8	3940	4.32

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated