

LM1771

LM1771 Low-Voltage Synchronous Buck Controller with Precision Enable and No External Compensation



Literature Number: JAJSAJ9

LM1771

外部補償不要、低電圧、高精度イネーブル機能付き、同期整流型降圧コンバータ

概要

LM1771は、高精度イネーブル機能を持つ、外部補償回路不要の高効率同期整流型降圧コンバータです。オン時間を一定に保つ制御方式によって補償の必要がない単純な回路構成が可能になり、部品点数の削減とボード面積の縮小を実現します。高精度イネーブル・ピンにより、複数の電圧範囲のシーケンシャル制御および UVLO の設定が柔軟に行えます。また、LM1771は、入力電圧にかかわらず一定周波数を維持する独自の入力フィードフォワード制御を採用しています。LM1771の入力電圧は 2.8V ~ 5.5V という低い電圧範囲に最適化されており、また、出力電圧は最低 0.8V まで設定することが可能です。外部のハイサイド PMOS FET とローサイド NMOS FET を駆動することで最高 95% の効率を達成しています。

アプリケーションが必要とするスイッチング周波数に対応して、オン時間が異なる複数のバージョンを用意しています。公称周波数は 100kHz ~ 1MHz の範囲です。

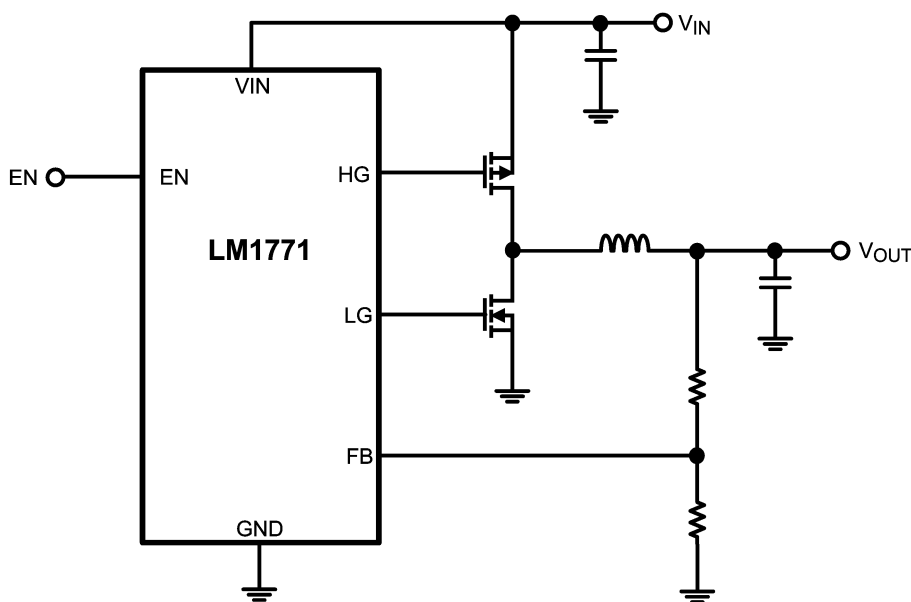
特長


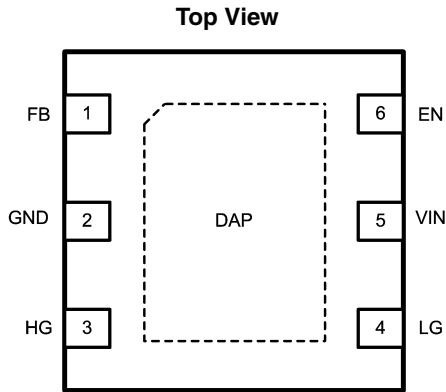
- 入力電圧範囲 2.8V ~ 5.5V
- リファレンス電圧 0.8V
- 高精度イネーブル補償の必要なし
- 入力電圧範囲にわたって周波数一定
- 低待機時電流 400 μ A
- ソフトスタート内蔵
- 短絡回路保護
- 小型の LLP-6 パッケージおよび MSOP-8 パッケージ

アプリケーション

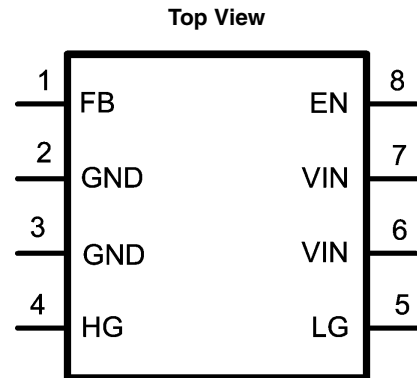
- 簡単で高効率な降圧スイッチング・レギュレータ
- FPGA、DSP、ASIC 電源
- セットトップ・ボックス
- ケーブル・モデム
- プリンタ
- デジタル・ビデオレコーダ
- サーバ
- グラフィック・カード

代表的なアプリケーション回路



 配置図


6-Lead LLP (3mm x 3mm)
NS Package Number SDE06A



MSOP-8
NS Package Number MUA08A

製品情報

For 6-Lead LLP Package

Order Number	Timing Option	Package Type	NSC Package Drawing	Top Mark	Supplied As
LM1771SSD	500ns	6-Lead LLP	SDE06A	1771S	1000 units Tape and Reel
LM1771SSDX				1771S	4500 units Tape and Reel
LM1771TSD	1000ns			1771T	1000 units Tape and Reel
LM1771TSDX				1771T	4500 units Tape and Reel
LM1771USD	2000ns			1771U	1000 units Tape and Reel
LM1771USDX				1771U	4500 units Tape and Reel

For 8-Lead MSOP Package

Order Number	Timing Option	Package Type	NSC Package Drawing	Top Mark	Supplied As
LM1771SMM	500ns	MSOP-8	MUA08A	SNRB	1000 units Tape and Reel
LM1771SMMX				SNRB	3500 units Tape and Reel
LM1771TMM	1000ns			SNSB	1000 units Tape and Reel
LM1771TMMX				SNSB	3500 units Tape and Reel
LM1771UMM	2000ns			SNTB	1000 units Tape and Reel
LM1771UMMX				SNTB	3500 units Tape and Reel

 説明

ピン番号		ピン名	機能
LLP-6	MSOP-8		
1	1	FB	フィードバック・ピン
2	2, 3	GND	グラウンド
3	4	HG	PFET ゲート・ドライブ
4	5	LG	NFET ゲート・ドライブ
5	6, 7	VIN	入力電源
6	8	EN	イネーブル・ピン
DAP		-	ダイ・アタッチ・パッドは内部で GND に接続されていますが、GND の主接続としては使用できません。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

ESD 耐圧

2kV

V_{IN}	- 0.3V ~ + 6V
EN、FB、HG、LG	- 0.3V ~ V_{IN}
保存温度範囲	- 65 ~ + 150
接合部温度	150
リード温度 (ハンダ付け、10 秒)	260

動作定格

$V_{IN} \sim GND$	2.8V ~ 5.5V
接合部温度範囲 (T_J)	- 40 ~ + 125

電気的特性

標準字体で記載されている仕様は $T_J = 25$ に適用され、太字体で記載されている仕様は全接合部温度範囲 (- 40 ~ + 125) に適用されます。最小リミット (Min) 値と最大リミット (Max) 値は、試験、設計、または統計的相関によって保証されます。代表 (Typ) 値は $T_J = 25$ でのパラメータの最も標準と考えられる値を表し、参照を目的としてのみ提示されます。特記のない限り、 $V_{IN} = 3.3V$ です。

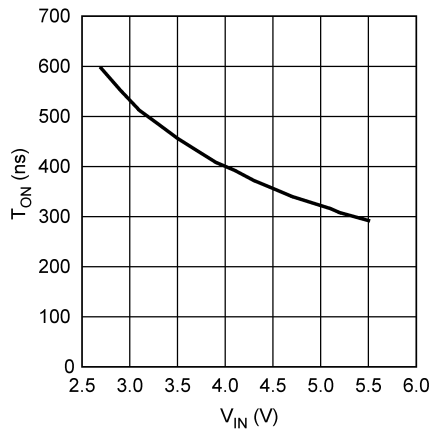
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{FB}	Feedback pin voltage		0.782	0.8	0.818	V
I_Q	Quiescent current	$V_{FB} = 0.9V$		400	700	μA
T_{ON}	Switch On-Time	LM1771S - (500ns)	0.4	0.5	0.6	μs
		LM1771T - (1000ns)	0.8	1.0	1.2	
		LM1771U - (2000ns)	1.6	2.0	2.4	
T_{OFF_MIN}	Minimum Off-Time	LM1771S - (500ns)		150	250	ns
		LM1771T - (1000ns)		135	225	
		LM1771U - (2000ns)		120	220	
T_D	Gate Drive Dead-Time			70		ns
V_{IH_EN}	EN Pin Rising Threshold		1.15	1.2	1.25	V
V_{EN_HYS}	EN Pin Hysteresis			50	200	mV
I_{FB}	Feedback pin bias current	$V_{FB} = 0.9V$		50		nA
V_{UVLO}	Under-voltage lock out	V_{IN} Rising Edge		2.65	2.8	V
V_{UVLO_HYS}	Under-voltage lock out hysteresis			50		mV
V_{SC_TH}	Feedback pin Short Circuit Latch Threshold		0.42	0.55	0.65	V
$R_{DS(ON)1}$	HG FET driver pull-up On resistance	$I_{HG} = 20$ mA		4		Ω
$R_{DS(ON)2}$	HG FET driver pull-down On resistance	$I_{HG} = 20$ mA		6		Ω
$R_{DS(ON)3}$	LG FET driver pull-up On resistance	$I_{LG} = 20$ mA		4		Ω
$R_{DS(ON)4}$	LG FET driver pull-down On resistance	$I_{LG} = 20$ mA		6		Ω

Note 1: 「絶対最大定格」とは、デバイスが破損する可能性のあるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様については「電気的特性」を参照してください。

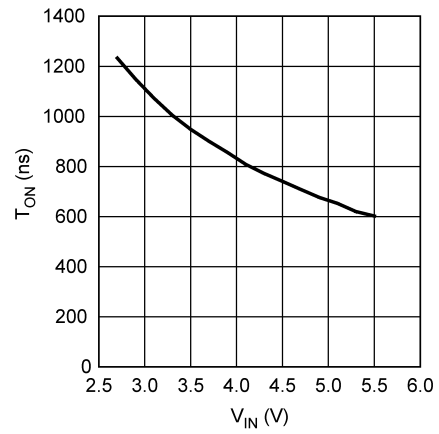
代表的な性能特性

グラフはすべて本データシートの「アプリケーション情報」に示した一般的なアプリケーション回路構成で $V_{IN} = 3.3V$ として測定したものです。特記のない限り、 $T_J = 25^\circ C$ です。

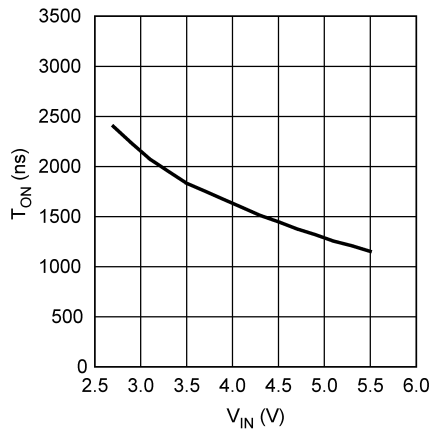
T_{ON} vs V_{IN} (LM1771S)



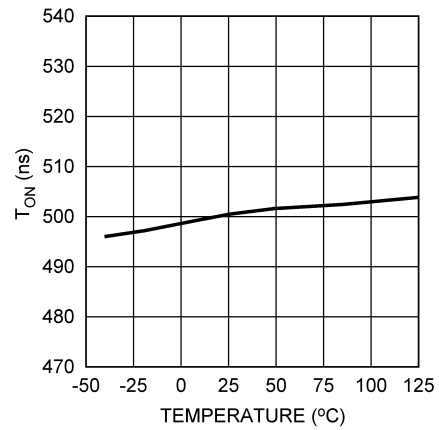
T_{ON} vs V_{IN} (LM1771T)



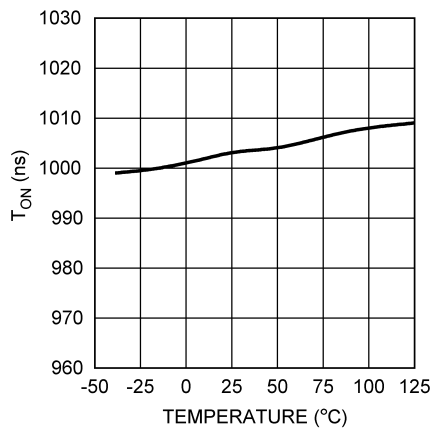
T_{ON} vs V_{IN} (LM1771U)



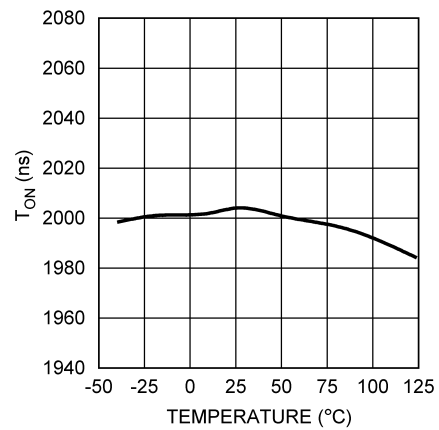
T_{ON} vs Temperature (LM1771S)



T_{ON} vs Temperature (LM1771T)

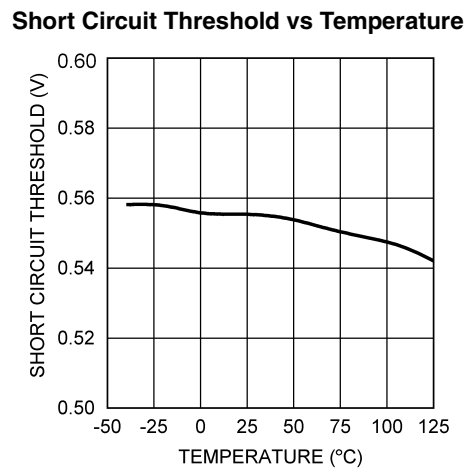
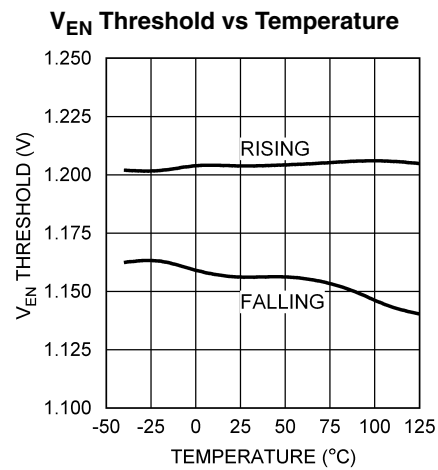
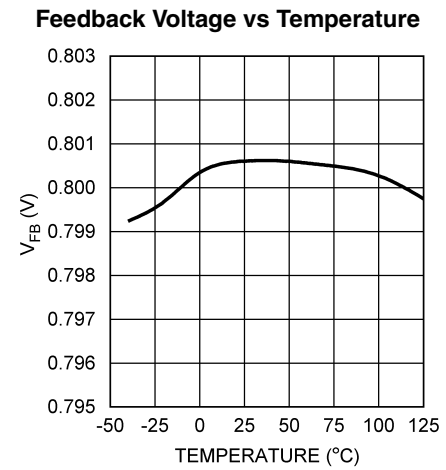
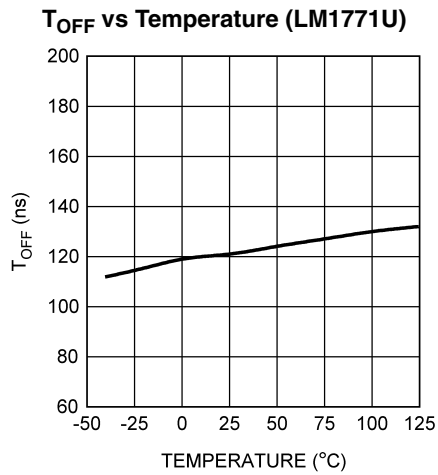
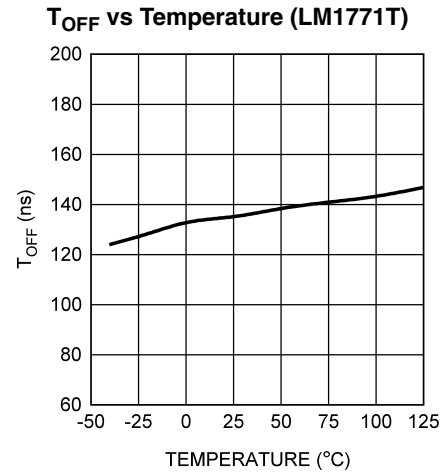
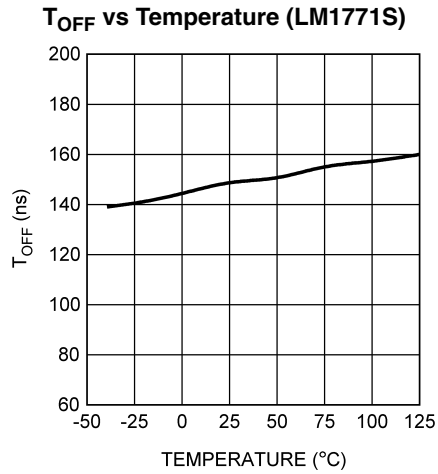


T_{ON} vs Temperature (LM1771U)



代表的な性能特性

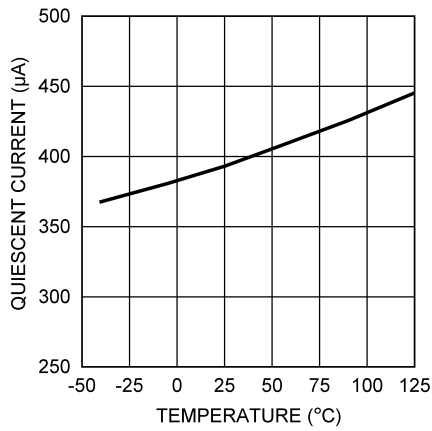
グラフはすべて本データシートの「アプリケーション情報」に示した一般的なアプリケーション回路構成で $V_{IN} = 3.3V$ として測定したものです。特記のない限り、 $T_J = 25^\circ C$ です。(つづき)



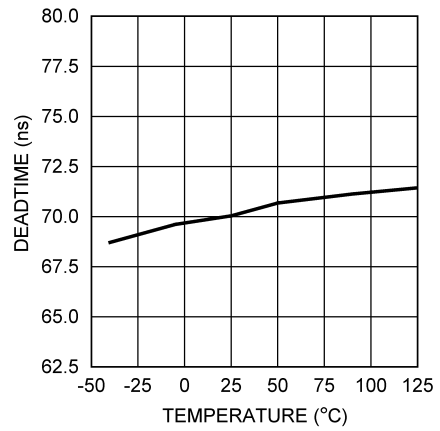
代表的な性能特性

グラフはすべて本データシートの「アプリケーション情報」に示した一般的なアプリケーション回路構成で $V_{IN} = 3.3V$ として測定したものです。特記のない限り、 $T_J = 25$ です。(つづき)

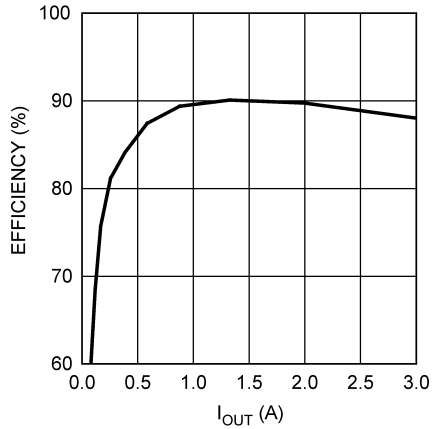
Quiescent Current vs Temperature



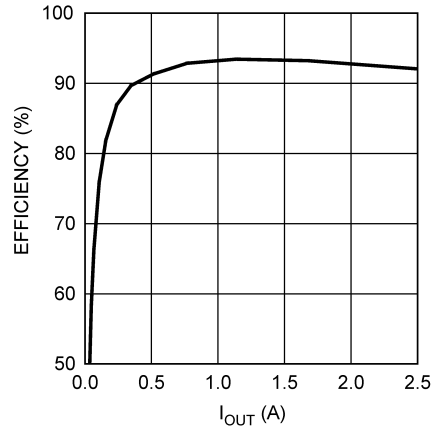
Deadtime vs Temperature



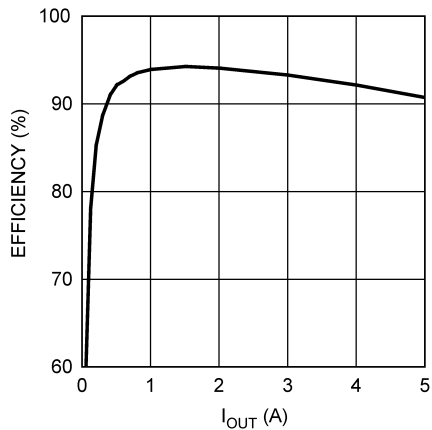
Efficiency vs I_{OUT} (LM1771T)
($V_{IN} = 5V, V_{OUT} = 1.8V, F_{SW} = 545kHz$)



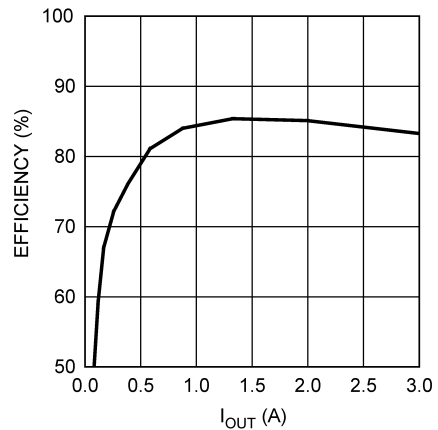
Efficiency vs I_{OUT} (LM1771U)
($V_{IN} = 5V, V_{OUT} = 2.5V, F_{SW} = 379kHz$)



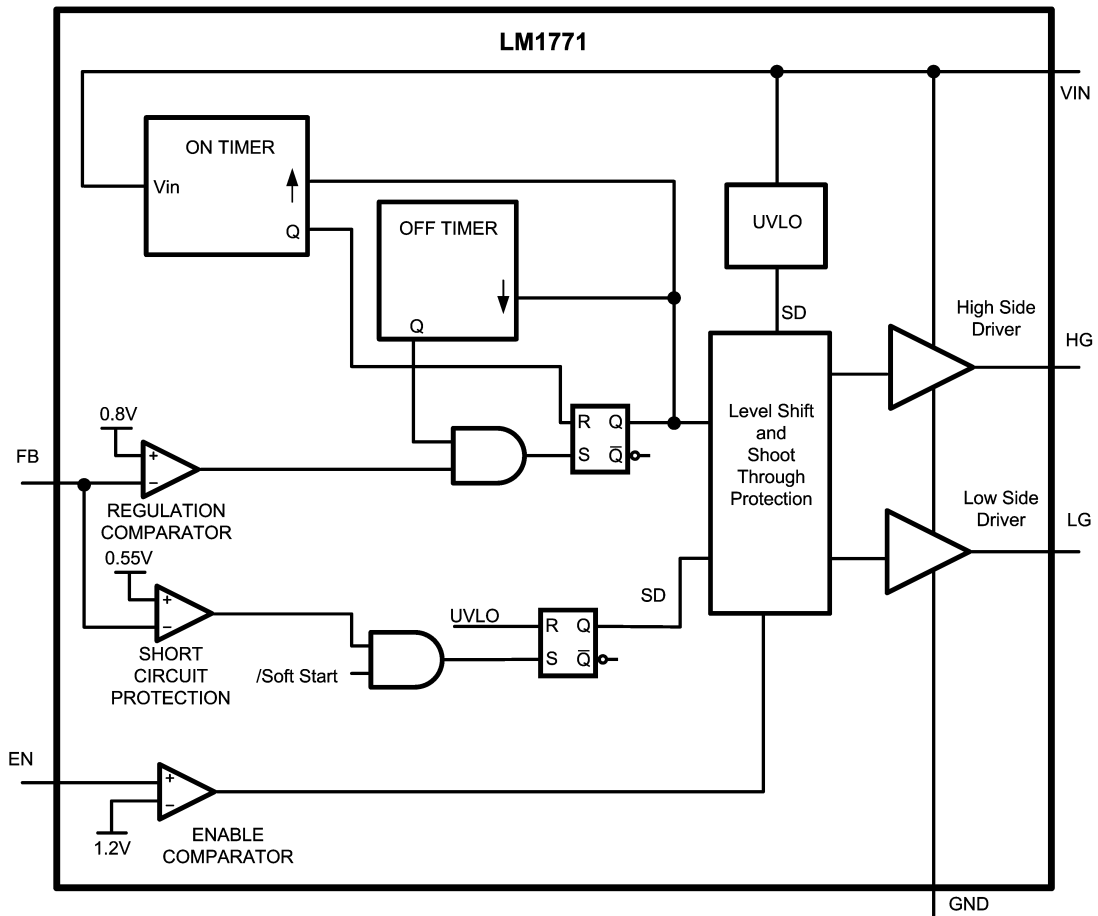
Efficiency vs I_{OUT} (LM1771U)
($V_{IN} = 5V, V_{OUT} = 3.3V, F_{SW} = 500kHz$)



Efficiency vs I_{OUT} (LM1771S)
($V_{IN} = 5V, V_{OUT} = 1.2V, F_{SW} = 727kHz$)



ブロック図



アプリケーション情報

動作の概要

LM1771 同期整流型降圧コンバータはアダプティブ・オンタイム制御と呼ぶ制御方式を採用しています。このボロジエは、出力電圧のレギュレーションに、入力電圧 V_{IN} で決まる固定スイッチオン時間を使っています。オン時間は内部 EEPROM で設定され、異なる周波数に対応できるように、3 種類の設定バージョンを供給しています。LM1771 は動作中に入力電圧 (V_{IN}) に反比例するようにオン時間を自動的に調節して周波数を一定に維持します。そのため、連続導通モードで動作しているときのスイッチング周波数は、ヒステリシスを付いたスイッチャとは異なり、インダクタとコンデンサの値に依存しません。

LM1771 はサイクルの開始時にハイサイド PFET を一定期間にわたってターンオンします。このオン時間はあらかじめ決まっています (EEPROM で内部で設定され V_{IN} によって変化)、PFET スイッチはタイマーが満了するまでターンオフされません。次に PFET は、あらかじめ決められた最小時間にわたってターンオフされます。 T_{OFF} の最小値 150ns は内部で設定されていて変更することはできません。その理由は、SW ノードの瞬間的な信号遷移を回避して、ノイズによるコンパレータの誤作動を防止するためです。最小 T_{OFF} 期間が終わると、コンパレータがトリップポイントに達するまで、PFET はオフの状態を続けます。トリップポイント (帰還ピンにおいて 0.8V に設定) を通過すると PFET は再びターンオンされます。以上の処理が繰り返され、最終的にレギュレーションされた出力が得られます。

NFET は、貫通の発生を防ぐ短いデッドタイムを除いては、PFET に対して相補的に動作します。

デバイスの動作

タイミングの考え方

LM1771 には、 T_{ON} が EEPROM で内部であらかじめ設定された 3 種類のバージョンが用意されています。この T_{ON} の設定はアプリケーションのスイッチング周波数を決定します。 V_{IN} と T_{ON} で決まるスイッチング周波数の変化とその計算方法は次のセクションで説明します。

PWM 降圧スイッチャでは以下の式を用いてスイッチング周波数を求めます。最初の式は電圧と時間の平衡で与えられる標準デューティ・サイクルを示し、残りの式は標準的な関係を定義しています。

$$D = \frac{V_{OUT}}{V_{IN}}$$

$$T_{ON} = D \times T_P$$

$$T_P = \frac{1}{f_{SW}}$$

これらの式からデューティ・サイクルについて解くと、

$$D = f_{SW} \times T_{ON}$$

ここで周波数は、

$$F = \frac{V_{OUT}}{V_{IN} \times T_{ON}}$$

または単純に、

$$f_{SW} = \frac{V_{OUT}}{\alpha}$$

ここで、

$$= V_{IN} \times T_{ON}$$

設定周波数をアプリケーション内で維持するために、 T_{ON} を V_{IN} に反比例させることで α を常に一定に保ちます。LM1771 の 3 種類のバージョンは V_{IN} に 3.3V を与えたときのオン時間で区別されます。分類は次の表を参照してください。

Product ID	T_{ON} @ 3.3V	α (V μ s)
LM1771S	0.5 μ s	1.65
LM1771T	1.0 μ s	3.3
LM1771U	2.0 μ s	6.6

T_{ON} と V_{IN} の関係は図式的に表現することもできます。グラフは本データシートの「代表的な性能特性」に記載されています。

使用する LM1771 のバージョンにかかわらず α を一定にしているため、前述の式から、残る従属的な変数は V_{OUT} のみであることが分かります。 V_{OUT} はアプリケーションごとに決まっていますから、スイッチング周波数も一定になるはずですが、すなわち、アプリケーションのスイッチング周波数は、必要とする V_{OUT} の電圧値と、選択した LM1771 のバージョンによって決まります。任意の V_{OUT} に対して 3 種類の周波数オプション (LM1771 バージョン) を選択可能です。詳細を次の表に示します。推奨動作周波数範囲は 100kHz ~ 1MHz です。

VOUT	Timing Options		
	500ns	1000ns	2000ns
0.8	485	242	121
1	606	303	152
1.2	727	364	182
1.5	909	455	227
1.8	1091	545	273
2.5	1515	758	379
3.3	2000	1000	500

LM1771 のスイッチング周波数 (kHz) は出力電圧とタイミング・オプションで決まります。

短絡保護

LM1771 は短絡コンパレータを内蔵し帰還ノードを常にモニタしています (ソフトスタート中を除く)。帰還電圧が 0.55V 未満 (出力電圧の公称値の 68% 未満に相当) に低下すると、コンパレータはトリップしてデバイスの動作を停止させます。入力電圧が UVLO スレッシュホールドを下回り、次に公称動作範囲に戻るまで、あるいはイネーブル・ピンによりデバイスをいったんディスエーブル状態にしてから再度イネーブル状態にするまで、LM1771 はスイッチング動作に復帰しません。この機能の目的は、重大な短絡状態のときに、アプリケーションに致命的な損傷を及ぼさないようにするためです。LM1771 はトランジエントが高速なため、帰還ピン電圧の低下を引き起こす出力の重大な短絡は、接続された負荷の実効抵抗が PMOS の $R_{DS(ON)}$ に近い場合にのみ起こると考えられます。

アプリケーション情報 (つづき)

高精度イネーブル

LM1771 は高精度イネーブル回路を備えています。EN ピンの電圧が 1.2V 以上になると、デバイスがイネーブル状態となりスイッチングを開始します。イネーブル・ピンの電圧が 1.2V を下回ると、デバイスはシャットダウン状態に移行し、ドライバ出力はライステートになります。この機能により、他のレギュレータの出力を抵抗ディバイダに接続して LM1771 によるシーケンス制御を行ったり、 V_{IN} に抵抗ディバイダを接続して LM1771 の動作入力電圧範囲を設定するのが容易になります。EN ピンはチップ内部でプルアップされていません。したがってスイッチングを開始するには外部の信号が必要です。LM1771 に電源を印加してからイネーブル信号のコンパレータが動作するまでに若干の遅延があることに注意してください。この通常 400 μ s 程度の遅延の間、デバイスは EN ピンに印加されている電圧にかかわらずディスエーブル状態になります。イネーブルの立ち下がりがスレッショルドには 50mV のヒステリシス特性を持たせてあります。

ソフトスタート

突入電流の制限と、制御された状態でのスタートアップを目的として、LM1771 はソフトスタート回路を内蔵しています。イネーブル電圧が 1.2V を上回り、かつ V_{IN} が UVLO スレッショルドを超えると、LM1771 は、オン時間を制限し最小オフ時間を延長するアダプティブ (適応制御) ソフトスタート・モードに一定期間移行します。またこのモードでは、プリバイアス・スタートアップとなるように、デバイスは PMOS のみをアクティブにして不連続モードで動作します。ソフトスタート期間の長さは出力に接続された負荷に依存しますが、通常はタイミング・オプションのオン時間に近い値になります。タイミング・オプションごとのおよそのソフトスタート時間は次の表のとおりです。

Product ID	Timing	T_{SS}
LM1771S	0.5 μ s	1 ms
LM1771T	1.0 μ s	1.2 ms
LM1771U	2.0 μ s	1.8 ms

ソフトスタートが終了すると短絡回路保護機能が有効になります。すなわち、その時点で出力電圧が最終値の 68% 以上に到達していなければ、デバイスはロックされ動作しません。そのため、ソフトスタート期間の終了時に入力電圧がまだ UVLO スレッショルド近くにあるなど、入力電圧の上昇が極端に遅い場合は、出力の最小条件を満たす最大デューティ・サイクルが確保されるように、タイミング・オプションを選択してください。出力電圧が 2.5V 以上の条件で入力電圧のスルーレートが懸念される場合、デバイスの動作ロックを防ぐために、通常は 2000ns 品 (LM1771U) を推奨します。

内部のソフトスタート動作によって出力電圧に若干のオーバーシュートが発生する場合があります。これを防止するためにフィードフォワード・コンデンサを使用することを推奨します。詳細は、本データシートの「フィードフォワード・コンデンサ」セクションに記載しています。

ジッタ

LM1771 は出力電圧リップルを用いて一定スイッチング周波数を維持するアダプティブ・オンタイム制御方式を採用しています。ただし動作条件によっては過度のノイズが帰還ピンに重畳し、スイッチ・ノードに相当量のジッタを与える可能性があります。これは回路の不安定性を意味するものではありません。このような場合でも出力電圧は正確なレギュレーションを続け同一電圧が得られま

す。ただし問題の顕在化を防ぐために部品選択とレイアウトには注意が必要です。

外部ノイズによってスイッチ・ノードにジッタが付加される可能性があります。その理由は精度と経年性能を向上させる目的で、LM1771 は 128 サイクルごとにリファレンス電圧をわずかに変化させるためです。この動作はスイッチング周波数を一時的に変化させる原因になります。オシロスコープで観測すればスイッチ・ノードのジッタとして観測されるでしょう。ただし、帰還電圧あるいは出力電圧の変化を識別することはほとんど不可能です。

設計ガイドライン

以下のセクションで、全機能を有する電源の構築に必要な外付け部品の選定方法を段階を踏んで説明します。どのような DC-DC コンバータの設計であっても、効率、実装面積、性能が最適化のトレードオフになります。このセクションではこれらの設計条件について詳しく取り上げます。

降圧コンバータの設計では最初に登場する式はデューティ・サイクルです。FET によって生じる導通損失と寄生抵抗を無視すると、デューティ・サイクルは次のように近似されます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

デューティ・サイクルをより正確に求めるには FET 両端の電圧降下を加味します。必要に応じて次の式を使用すると、スイッチング周波数のわずかな負荷依存性が求められます。ただし簡略式でも部品計算には十分です。

$$D = \frac{V_{OUT} + V_{DS_NMOS}}{V_{IN} + V_{DS_NMOS} + V_{DS_PMOS}}$$

周波数の選択

LM1771 にはオン時間が異なる 3 種類のプリセット・タイミング・オプション品があり、どれを採用するかによってアプリケーションのスイッチング周波数が決まります。スイッチング周波数を高くすると、アプリケーションに必要なインダクタの大きさは小さくなりますが、効率はわずかに犠牲になります。次の表は、前述の表から、各 V_{OUT} に推奨されるタイミング・オプションのみを抜粋して示したものです。 V_{OUT} が 2.5V 以上の場合、内部スタートアップとデバイスの最大デューティ・サイクル制限により、高いスイッチング周波数の使用は推奨されません。

V_{OUT}	Timing Options		
	500 ns	1000 ns	2000 ns
0.8	485	242	-
1	606	303	-
1.2	727	364	-
1.5	909	455	227
1.8	-	545	273
2.5	-	-	379
3.3	-	-	500

出力電圧とタイミング・オプションから導かれる推奨スイッチング周波数 (kHz)

設計ガイドライン (つづき)

インダクタの選択

インダクタの選択プロセスは、最終値に落ち着くまでに、おそらくは複数回の繰返しを必要とします。その理由は、アダプティブ・オン時間回路の全般的な安定性を確保するために必要な成分である出力リップル量が、インダクタの大きさによって決まるからです。インダクタ選択の最初の計算では、最大ピーク・ツー・ピーク・リップル電流が最大負荷電流の 30% に等しくなるように暫定的な初期値を導きます。インダクタ電流リップル (I_L) は次の式で求めます。

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times D}{L \times f_{SW}}$$

ここで 30% ルールを適用し、L の初期値を以下のように求めます。

$$L = \frac{(V_{IN} - V_{OUT}) \times D}{0.3 \times f_{SW} \times I_{OUT}}$$

インダクタンス値のほかに決めなければならない項目は飽和電流とコア材です。LM1771 は電流制限機能を備えていないため、あらゆるリップルまたは瞬間的な過電流を取り扱えるように、最大出力電流より大きな飽和電流を持つインダクタを選択してください。フェライト素材は急峻な飽和曲線を持つように、コア材も飽和特性に影響を与えます。通常使用状態では飽和を絶対に起こさないように注意が必要です。EMI を抑えるために、シールド付きインダクタ、またはロー・プロファイル (低い部品高) の非シールド・インダクタを推奨します。このようなインダクタは、帰還コンパレータの誤ったトリップを招く帰還ノードのスプリアス・ノイズを防ぎます。

出力コンデンサ

LM1771 で重要な選択部品のひとつが出力コンデンサです。その理由は、容量と ESR がループ安定性に直接影響を与えるからです。コンスタント・オンタイム制御方式は、出力電圧リップルをセンスし FET を適切にスイッチングさせることによって実現されます。降圧コンバータの出力電圧リップルは、インダクタの AC リップルすべてが出力コンデンサに流入し、コンデンサの ESR によって生成された電圧として近似されます。式は以下のとおりです。

$$V_{OUT} = I_L \times R_{ESR}$$

安定性を確保するために 2 つの制約条件を満たす必要があまり。ひとつは、十分な電圧リップルを帰還ピンに生成するには十分な ESR が必要という点です。推奨は帰還ピンにて 10mV 以上のリップルが入力されることです。帰還ピンのリップル電圧は、出力電圧リップルに帰還抵抗を介して観測されるゲインを乗じて得られます。このゲイン H は次のとおりです。

$$H = \frac{V_{FB}}{V_{OUT}} = \frac{0.8V}{V_{OUT}}$$

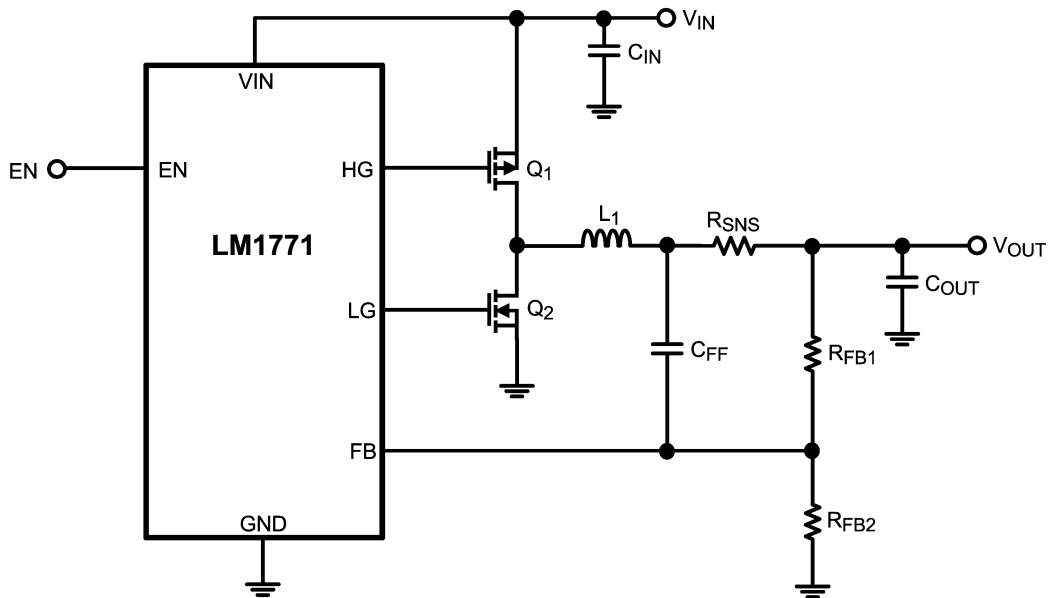
出力電圧が比較的高く帰還抵抗で大きな減衰が生じてしまう場合は、フィードフォワード・コンデンサを使用します。フィードフォワード・コンデンサは性能を改善する働きがあるため、ほとんどの回路に推奨します。詳細は「フィードフォワード・コンデンサ」セクションを参照してください。

ふたつめの要件は、出力において、スイッチング動作の位相に一致した十分なリップルを確保しなければならない点です。実際のリップルには、ESR で生じるリップル以外に、コンデンサの充放電を原因とするリップルが混在します。後者の位相はスイッチング動作には一致していないため問題となります。この問題を選けるために、2 つのリップルの比 () を 5 以上に維持してください。必要な最小 ESR 値を計算する式を次に示します。

$$R_{ESR} \geq \frac{\beta \times t_p}{8 \times C}$$

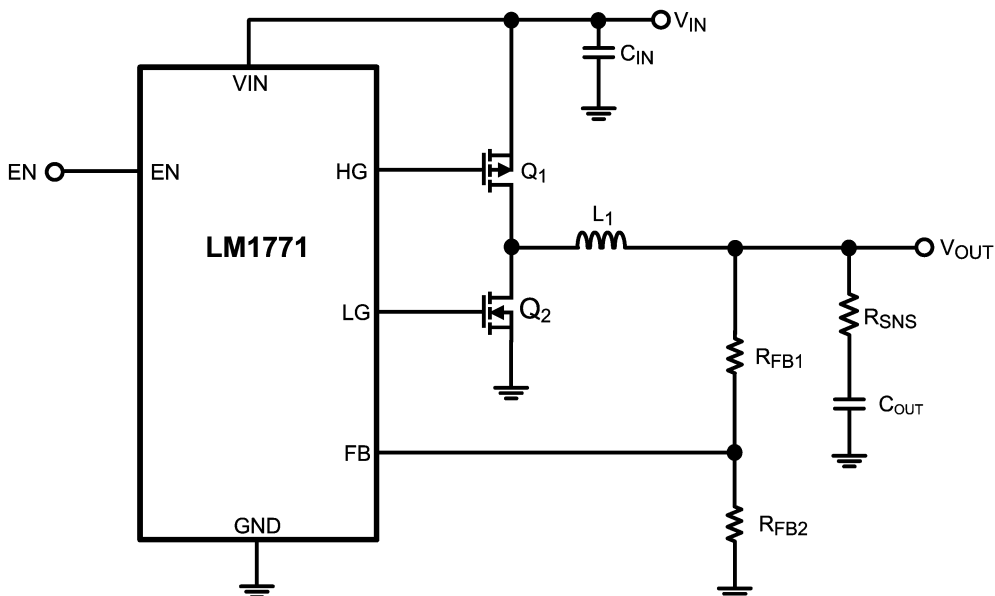
一般に、既知の ESR を持ち、ESR が動作温度範囲全体にわたって一定のケミカル・コンデンサが、出力コンデンサには最も適しています。タンタル・コンデンサやニオブ酸化コンデンサのほか、一部のアルミ電界コンデンサも適切な性能を発揮します。小容量の POSCAP と SP CAP も、十分な ESR を持つため適切に動作します。低いインダクタ値と組み合わせる使用すれば、きわめて安定な回路が得られる可能性があります。唯一セラミック・コンデンサは回路の変更が必要です。セラミック・コンデンサは、ESR が小さく、また容量が小さいため、両方の要件に対して問題となります。そこで、セラミック・コンデンサを使用する場合は、外付けの ESR 抵抗 (R_{SNS}) を追加します。以下の回路にその例を示します。

設計ガイドライン (つづき)



この回路では追加抵抗をインダクタに直列に接続して大きな出力リップルを得ています。抵抗は図の位置に配置され、出力にリップルまたはDCオフセットを追加することなく、フィードフォワード・コンデンサ (C_{FF}) との組み合わせにより帰還ピンにリップルを与えます。このような回路方式を採用することでセラミック・コンデンサを使用するメリットが依然として生かされます。追加した抵抗で電力損失が発生するため、この回路の推奨範囲は低電流 (2A 未満) に限られます。追加抵抗を選択する際には電力損失と抵抗の定格を考慮してください。

フィードフォワード・コンデンサを活用したこの回路は、出力電圧が低い場合は制約が生じます。帰還ノードのすべてのリップルは C_{FF} によって生成され、追加抵抗 R_{SNS} を含む抵抗分圧回路から生じるリップルは無視できると仮定していました。 V_{OUT} が低い場合はこの仮定は成立しません。抵抗分圧回路によって、位相がスイッチング動作に一致していない好ましくない多くのリップルが帰還ノードに与えられます。そこで追加抵抗 R_{SNS} の位置を出力コンデンサに対して直列になるように変更します。このようにすると、外部からは出力コンデンサの実効 ESR が大きくなったものとして扱えます。



フィードフォワード・コンデンサ

DC精度を低下させることなく高周波リップルに対して低インピーダンス・パスを与えるために、上側帰還抵抗の両端にフィードフォワード・コンデンサを接続します。通常、このコンデンサの容量

は、放電時間による負荷トランジェント誤差を防ぐために十分小さくしなければなりません。一方で、リップル電圧の減衰を防ぐためには十分大きくなければなりません。一般に $1\text{nF} \sim 10\text{nF}$ の範囲のセラミック・コンデンサが適当です。

設計ガイドライン (つづき)

C_{FF} を使用する場合、帰還ピンで観測されるリップル電圧は、出力電圧で観測されるリップル電圧と同じであると仮定することができます。減衰係数 H を使用する必要はありません。ただし、このような回路の場合、帰還ピンには少なくとも 20mV のリップルを与えてください。回路のレギュレーションと安定性を高めるために、 C_{FF} コンデンサの使用を推奨します。ただし、 V_{OUT} が V_{REF} に近いとそのメリットは失われるため、そのような場合は必要ありません。

入力コンデンサ

入力コンデンサ容量を決定する主な要因は電流取扱い能力で、通常はコンデンサのパッケージ・サイズと ESR で決まります。この 2 つの条件を満足したら、次に信号ソースとの間でインピーダンスの相互作用が生じない十分な容量を選びます。一般に入力コンデンサには、インピーダンスが低く実装面積が小さいセラミック・コンデンサを推奨します。このとき、X5R や X7R など、適切な誘電体特性のセラミック・コンデンサを選択することが重要です。これらは動作温度が変化しても良好な特性を示し、Y5V コンデンサで生じる DC 電圧のデレーティングを抑えます。入力コンデンサ RMS 電流を求めるには次の式を用います。

$$I_{CIN_RMS} = I_{OUT} \sqrt{D \left(1 - D + \frac{\Delta L^2}{12 \times I_{OUT}^2} \right)}$$

以下のように近似されます。

$$I_{CIN_RMS} = I_{OUT} \times \sqrt{D(1 - D)}$$

MOSFET の選択

適切な電源性能を得るために、LM1771 で使用する 2 個の FET のパラメータ選択には注意が必要です。ハイサイド FET は PFET で、ローサイド FET は NFET です。これらは、単一パッケージに集積されたものでも、個別パッケージ品でも構いません。選択の基準は次のとおりです。

VDS 電圧定格

ひとつめの選択要件は、入力で観測される最大電圧に寄生リングングによって発生するトランジェント・スパイクを加えた電圧が取り扱えるように、十分な V_{DS} 電圧定格を持つ FET を選択することです。一般に、このようなアプリケーションに利用できる FET の定格はほとんどが 8V ~ 20V です。仮に電圧定格の高い品種を使用すると、ゲート容量が大きくなるために、性能はおそらく低下します。

RDSON

$R_{DS(ON)}$ 仕様はきわめて重要で、FET の複数の属性と電源全体の特性を決定付けます。ひとつは、 $R_{DS(ON)}$ によって、ある大きさのパッケージが扱える FET の最大電流が決まります。 $R_{DS(ON)}$ が低いほど許容可能な電流は大きくなり導通損失は小さくなりますが、ゲート容量とスイッチング損失は大きくなります。

ゲート・ドライブ

次に、LM1771 で使用される低い V_{IN} 電源電圧でもスイッチング可能な FET を選択します。LM1771 がスタートアップした直後か

ら有効なスイッチング動作を保証するために、FET の R_{dson} は 1.8V または 2.5V のいずれかで規定されていなければなりません。

ゲートの電荷

LM1771 は固定デッドタイム方式を採用して貫通状態を防いでいるため、FET はこのデッドタイムの間に遷移できなければなりません。FET ゲートの立ち上がり時間と立ち下がり時間は、ゲート容量など複数の要因によって影響されます。そのため、両方の FET の合計ゲート電荷を、4.5V V_{GS} において 20nC 未満に制限してください。電荷が少ないほど FET は高速にスイッチングし効率が向上します。

立ち上がり / 立ち下がり時間

FET の実際のスイッチング時間を知るために必要な情報は、FET データシートの電気的特性に記載されています。立ち上がり時間と立ち下がり時間が規定されている必要があり、FET の選択では最小値を使用します。適切な立ち上がり時間と立ち下がり時間を選択することで、効率向上が図れるほか、貫通電流の発生防止が保証されます。

ゲート電荷比

FET の選択では Q_{gd}/Q_{gs} の比にも注意が必要です。適切な選択を行うとスプリアスなターンオンの発生が防止されます。NFET を例にとると、NFET がターンオフするとゲートはグラウンドになります。一方の PFET はターンオンして SW ノードは V_{IN} に上昇します。NFET のゲート・ドレイン容量によって SW ノードと NFET のゲートが結合し、NFET のゲート電圧が上昇します。この電圧上昇が大きい場合、ローサイドの NFET はわずかにターンオンして効率低下を招きます。ただしこのような結合は、ゲート電圧を下げる効果のある大きなゲート・ソース容量を持つ FET を使うことで緩和されます。理想的には Q_{gd}/Q_{gs} の値はきわめて小さいことが望まれますが、実際には 1 前後の値が一般的です。一般ルールとして、比が小さいほど性能は良くなります。

上述の要件に適合する FET が見つかったら指標を用いて FET どうしを比較できれば便利です。ひとつの方法として、FET の $R_{DS(ON)}$ に総ゲート容量を乗じた値を求めます。このようにすると、入手可能なさまざまな FET を簡単に比較することができます。繰返しになりますが、積が小さいほうが性能は良好です。

帰還抵抗

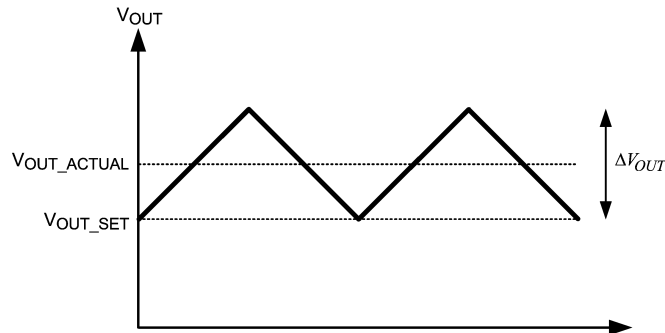
帰還抵抗は出力電圧を内部リファレンス電圧値に分圧しレギュレーション・ループを構成します。帰還抵抗の値をあまり大きくすると、帰還ピンが高インピーダンス・ノードになり、ノイズに対する感度が高くなってしまいます。2 つの抵抗の合成値が 50k 程度になるように選択することが適切です。抵抗値の計算には以下の式を用います。通常は最初に下側の抵抗を 10k 程度に仮決めして求めます。

$$R_{FB1} = R_{FB2} \left(\frac{V_{OUT}}{V_{FB}} - 1 \right)$$

V_{FB} は内部リファレンス電圧で、電圧値は「電気的特性」の表に記載されているとおりおよそ 0.8V です。

リファレンス電圧によって、出力リップルの平均値ではなく下側電圧がレギュレートされているという事実を考慮に入れば、出力電圧値をより正確に設定することが可能です。この関係を次の図に示します。

MOSFET の選択 (つぎ)



平均出力電圧 (V_{OUT_ACTUAL}) は、前述の式で求めた出力電圧 (V_{OUT_SET}) より、出力電圧リップルを正確に 1/2 にした電圧だけ高いことが分かります。レギュレーションの目標値となる出力電圧は電圧リップルによって高くなることがあります。式では次のように記述されます。

$$V_{OUT_ACTUAL} = V_{OUT_SET} + 1/2 \cdot V_{OUT} \\ = V_{OUT_SET} + 1/2 \cdot I_L \times R_{ESR}$$

効率の計算

設計段階で計算すべき重要なパラメータのひとつが、システムの期待効率です。効率は最適な FET 選択に必要なほか、各部品に見込まれる温度上昇の計算に使用します。損失の各成分は次のように分解されます。

待機時電流

LM1771 が消費する待機時電流はコントローラ内部で発生する主な損失のひとつです。ただし、システムの観点からは、待機時電流による損失は全体効率の 0.5% にも寄与しません。そのため通常は省略してかまいませんが、正確のために記すと次のように表されます。

$$P_{IQ} = V_{IN} \times I_Q$$

導通損失

外付け FET に関連して 3 種類の損失が存在します。DC の観点からは、FET のオン抵抗によって、電流の二乗に抵抗値を乗算した値の損失が生じます。PMOS の場合は以下のようにモデル化されます。

$$P_{P_COND} = D \times R_{DSON_PMOS} \times I_{OUT}^2$$

NMOS の場合は次のとおりです。

$$P_{N_COND} = (1 - D) \times R_{DSON_NMOS} \times I_{OUT}^2$$

スイッチング損失

次の損失項は、サイクル毎に FET のゲート容量の充放電で生じるスイッチング損失です。PMOS は次のように近似されます。

$$P_{P_SWITCH} = V_{IN} \times Q_{g_PMOS} \times f_{SW}$$

NMOS の場合は同じ考え方によって次のようになります。

$$P_{N_SWITCH} = V_{IN} \times Q_{g_NMOS} \times f_{SW}$$

過渡損失

FET 電力損失の最後の項が過渡損失です。導通電流が存在する状態で PMOS がスイッチングする際に発生します。この方法では PMOS の過渡動作のみをモデル化しています。NMOS の損失は、ボディ・ダイオードの導通によってスイッチングする場合は

ドレイン・ソース間電圧が最小となるため、無視可能と考えられるためです。PMOS の過渡損失は次のようにモデル化されます。

$$P_{P_TRANSITIONAL} = 0.5 \times V_{IN} \times I_{OUT} \times f_{SW} \times (t_r + t_f)$$

t_r と t_f は FET の立ち上がり時間と立ち下がり時間で、FET のデータシートに記載されています。通常、この値は LM1771 とほぼ同じ 6 駆動を使ってシミュレーションされます。その場合は補正の必要はありません。

DCR 損失

システム内の電力損失として計算が必要な最後の項はインダクタ抵抗 (DCR) に関連する損失で、次の式で求めます。

$$P_{DCR} = R_{DCR} \times I_{OUT}^2$$

効率

効率はすべての電力損失を加算して以下の式から求めます。

$$\eta = \frac{P_{OUT}}{P_{OUT} + P_{LOSSES}}$$

熱の問題

各部品の電力損失を個々の項に分解することで、各部品の温度上昇が容易に求められます。LM1771 は電力バス上には存在していないため、一般的に LM1771 の予想温度上昇はきわめて小さいと考えられます。そのため、考慮すべき部品は PMOS と NMOS の 2 つのみです。PMOS の電力損失は導通損失と過渡損失の和となる一方で、NMOS は導通損失のみです。デッドタイム期間中のボディ・ダイオードの導通に関連するすべての損失は無視可能と仮定します。

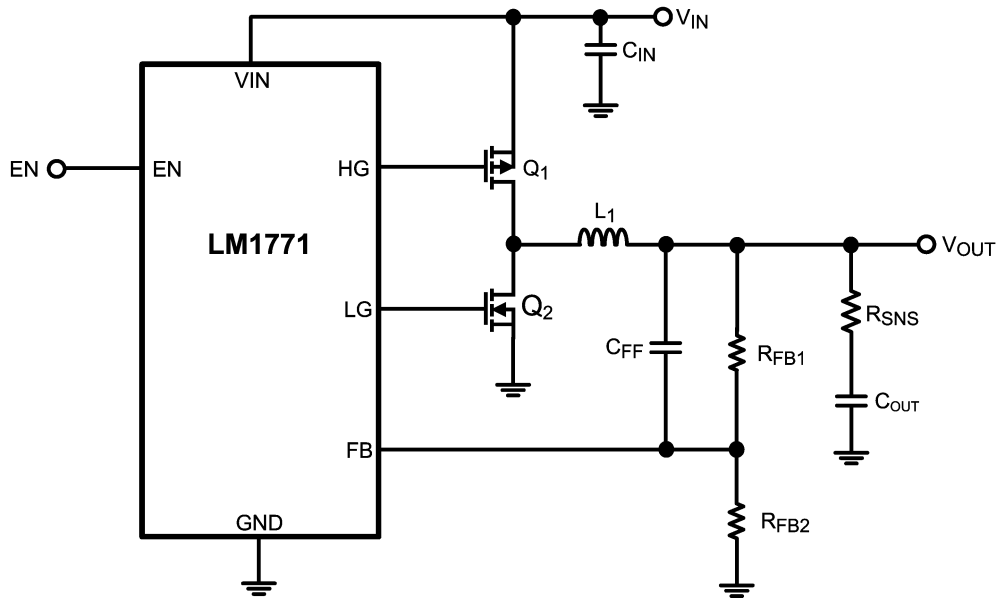
詳細な設計を行う際はインダクタ温度の上昇に対して注意が必要です。インダクタが非飽和状態を維持すると仮定すれば、支配的な損失は DC 銅抵抗のみになります。周波数が高い場合は、コア材に依存しますが、コア損失が DCR 損失に近くなるか、あるいは超えることがあります。インダクタのメーカーに電流値に対応する温度曲線を問い合わせてください。

レイアウト

すべてのスイッチング・レギュレータと同様に、最適な性能を確保するには、LM1771 もレイアウト設計に注意を必要とします。レイアウト設計では次のポイントを押さえてください。詳細はアプリケーション・ノート AN-1299 を参照してください。

1. 入力コンデンサ、出力コンデンサ、および NMOS のグラウンド接続はできるだけ近づけてください。理想的にはボード部品面のほぼ同一点でグラウンドに接続してください。
2. FET の放熱を悪化させない程度にスイッチ・ノードのパターン面積を小さくして、EMI をできるだけ抑えてください。
3. 帰還抵抗を IC の近くに配置し、また、帰還トレースはできるだけ短く配線してください。帰還トレースをスイッチ・ノードの近くにルーティングしないでください。
4. ゲート・トレースは短くし、また、可能な限りスイッチ・ノードから離してルーティングしてください。
5. V_{IN} に小容量のバイパス・コンデンサ ($0.1\mu\text{F}$) を使用する場合は、ピンの近くに配置するとともに、コンデンサのグラウンドをデバイスのグラウンドにできるだけ近づけてください。

代表的なアプリケーション回路



Example Circuit Schematic

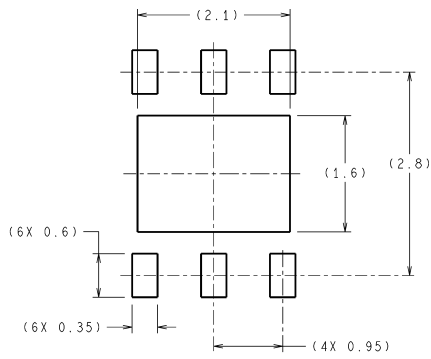
Bill of Materials (5V to 1.8V Conversion, $f_{SW} = 1090\text{kHz}$, $I_{OUT} = 2\text{A}$)

Designator	Description	Part Number	Quantity	Vendor
U ₁	LM1771, 500ns	LM1771S	1	National Semiconductor
Q ₁	PMOS	Si3867DV	1	Siliconix
Q ₂	NMOS	Si3460DV	1	Siliconix
C _{IN}	22 μF Capacitor, 0805	GRM21BR60J226ME39	1	Murata
C _{OUT}	100 μF Capacitor, 6.3V, 100m Ω	TPSY107M006R0100	1	AVX
R _{FB1}	12.4k Ω Resistor, 0603	CRCW06031242F	1	Vishay
R _{FB2}	10k Ω Resistor, 0603	CRCW06031002F	1	Vishay
C _{FF}	1nF Capacitor, 0603	VJ0603102KXXA	1	Vishay
L	3.3 μH Inductor	MSS7341-332NLB	1	Coilcraft

Bill of Materials (5V to 3.3V Conversion, $f_{SW} = 500\text{kHz}$, $I_{OUT} = 5\text{A}$)

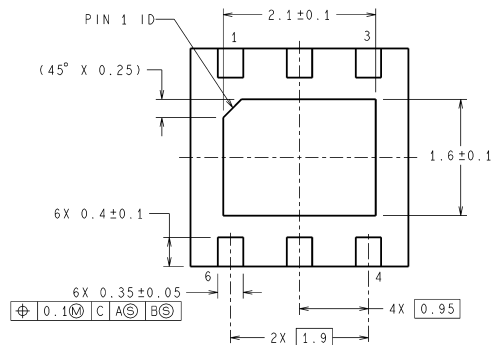
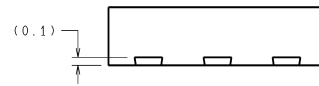
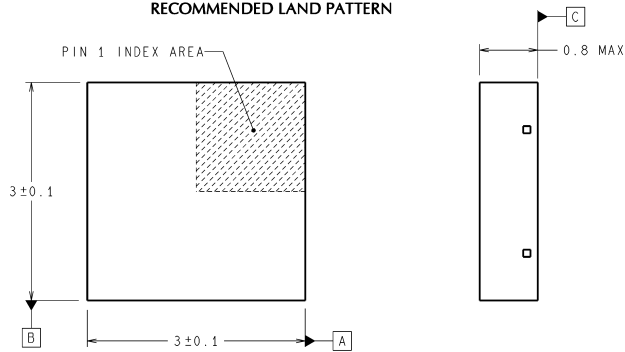
Designator	Description	Part Number	Quantity	Vendor
U ₁	LM1771, 200ns	LM1771U	1	National Semiconductor
Q ₁	PMOS	Si9433BDY	1	Siliconix
Q ₂	NMOS	Si4894DY	1	Siliconix
C _{IN}	100 μF Capacitor, 1812	GRM43SR60J107ME20B	1	Murata
C _{OUT}	150 μF Capacitor, 6.3V, 70m Ω	NOSD157M006R0070	1	AVX
R _{FB1}	29.4k Ω Resistor, 0805	CRCW08052942F	1	Vishay
R _{FB2}	10k Ω Resistor, 0805	CRCW08051002F	1	Vishay
C _{FF}	1nF Capacitor, 0805	VJ0805102KXXA	1	Vishay
L	2.2 μH Inductor	DO3316P-222	1	Coilcraft

外形寸法図 特記のない限り inches (millimeters)



DIMENSIONS ARE IN MILLIMETERS
DIMENSION IN () FOR REFERENCE ONLY

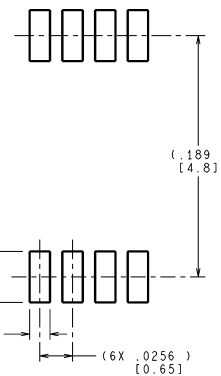
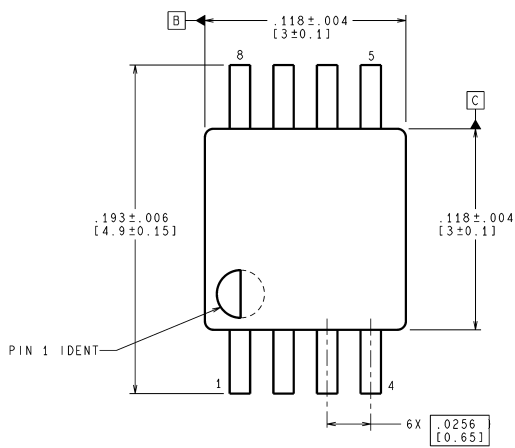
RECOMMENDED LAND PATTERN



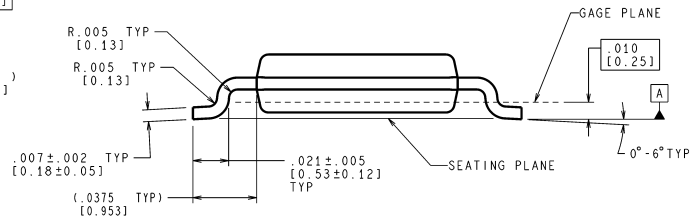
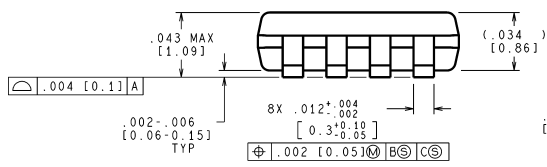
SDE06A (Rev A)

LLP-6 Package
NS Package Number SDE06A

単位は millimeters



LAND PATTERN RECOMMENDATION



CONTROLLING DIMENSION IS INCH
VALUES IN [] ARE MILLIMETERS

MUA08A (Rev E)

MSOP-8 Package
NS Package Number MUA08A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上