

LM3880-Q1 3 レールのシンプルな電源シーケンサ

1 特長

- 車載アプリケーション用に認定済み
- 下記内容で AEC-Q100 認定済み:
 - デバイス温度グレード: -40°C ~ 125°C の接合部温度範囲
- 単一の入力信号から 3 つの電圧レールをシーケンスするためのシンプルなソリューション
- 最大 3 つのデバイスを簡単にカスケード接続し、最大 9 つの電圧レールをシーケンス
- 電源オン / 電源オフ制御
- 超小型 2.9mm x 1.6mm のフットプリント
- 低い静止電流: 25µA
- 入力電圧範囲: 2.7V ~ 5.5V
- 標準のタイミング・オプションで供給

2 アプリケーション

- 先進運転支援システム (ADAS)
- 車載用カメラ・モジュール
- セキュリティ・カメラ
- サーバー
- ネットワーク・エレメント
- FPGA 電源シーケンシング
- マイクロプロセッサおよびマイクロコントローラのシーケンシング
- 複数電源シーケンシング

3 概要

LM3880-Q1 は、複数の独立した電圧レールのパワーアップおよびパワーダウン・シーケンスを非常に簡単に制御できるシンプルな電源シーケンサです。起動シーケンスをずらすことで、システムの信頼性に影響を及ぼす可能性があるラッチ状態や大きな突入電流を防止できます。

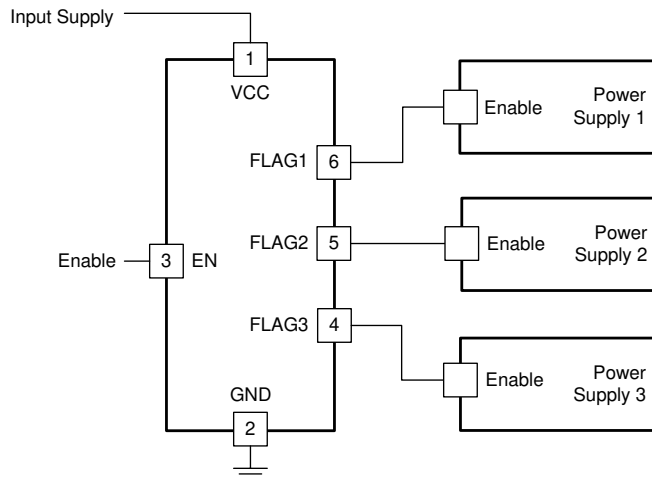
6 ピン SOT-23 パッケージで供給されるこのシンプルなシーケンサは、高精度のイネーブル・ピンと 3 つのオープン・ドレイン出力フラグを備えています。オープン・ドレイン出力フラグは、($V_{DD} + 0.3V$ という推奨最大電圧を上回らない限り、) シーケンサの V_{DD} とは別の電源電圧までプルアップされるため、異なるイネーブル信号レンジを必要とする IC と接続できます。LM3880-Q1 のイネーブル・ピンをアサートすると、それぞれ個別の遅延時間の後で 3 つの出力フラグが順に解除され、接続されている電源が起動されます。出力フラグは、電源オフ時にはこの逆の順序に従うことで、ラッチ状態を回避します。

EPROM 機能を備え、すべての遅延とシーケンスをフルに調整できます。標準以外の構成については、テキサス・インスツルメンツにお問い合わせください。

デバイス情報⁽¹⁾

部品番号	パッケージ	本体サイズ (公称)
LM3880-Q1	DBV SOT (6)	2.90mm × 1.60mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



シンプルな電源シーケンシング



目次

1 特長.....	1	7.2 機能ブロック図.....	9
2 アプリケーション.....	1	7.3 機能説明.....	9
3 概要.....	1	7.4 デバイスの機能モード.....	12
4 改訂履歴.....	2	8 アプリケーションと実装.....	13
5 ピン構成および機能.....	3	8.1 アプリケーション情報.....	13
ピン機能.....	3	8.2 代表的なアプリケーション.....	13
6 仕様.....	4	8.3 推奨事項と禁止事項.....	15
6.1 絶対最大定格.....	4	9 レイアウト.....	18
6.2 ESD 定格.....	4	9.1 レイアウトのガイドライン.....	18
6.3 推奨動作条件.....	4	9.2 レイアウト例.....	18
6.4 熱に関する情報.....	4	10 デバイスおよびドキュメントのサポート.....	19
6.5 電気的特性.....	5	10.1 デバイスのサポート.....	19
6.6 代表的な特性.....	7	10.2 コミュニティ・リソース.....	19
7 詳細説明.....	9	10.3 商標.....	19
7.1 概要.....	9		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 2018) to Revision A (March 2021)	Page
• 「 特長 」セクションにデバイスの寸法を記載.....	1
• アプリケーション曲線のタイトルを更新.....	14

5 ピン構成および機能

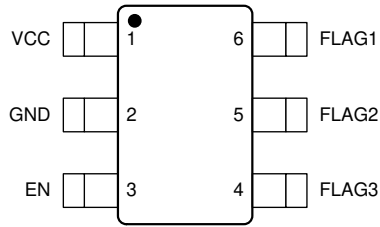


図 5-1. DBV パッケージ 6 ピン SOT-23 上面図

ピン機能

ピン		I/O ⁽¹⁾	概要
名称	番号		
EN	3	I	高精度イネーブル・ピン
FLAG1	6	O	オープン・ドレイン出力 1
FLAG2	5	O	オープン・ドレイン出力 2
FLAG3	4	O	オープン・ドレイン出力 3
GND	2	G	グラウンド
VCC	1	I	入力電源

(1) I = 入力、O = 出力、G = グラウンド

6 仕様

6.1 絶対最大定格

自由気流での動作温度 (特に記述のない限り)^{(1) (2)}

	最小値	最大値	単位
VCC	-0.3	6	V
EN, FLAG1, FLAG2, FLAG3	-0.3	6	V
最大フラグ・オン電流		50	mA
最大接合部温度		150	°C
リード温度 (半田付け, 5 秒)		260	°C
保管温度、T _{stg}	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの [セクション 6.3](#) に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) 軍用 / 航空宇宙用仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス・インスツルメンツの販売特約店または営業所にお問い合わせください。

6.2 ESD 定格

	値	単位
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±2 kV

- (1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示します。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
VCC から GND	2.7	5.5	V
EN, FLAG1, FLAG2, FLAG3	-0.3	V _{CC} + 0.3	V
接合部温度	-40	125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM3880-Q1	単位
		DBV (SOT-23)	
		6 ピン	
R _{θJA}	接合部から周囲への熱抵抗	187.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	127.4	°C/W
R _{θJB}	接合部から基板への熱抵抗	31.5	°C/W
Ψ _{JT}	接合部から上面への特性評価パラメータ	23.3	°C/W
Ψ _{JB}	接合部から基板への特性評価パラメータ	31.0	°C/W

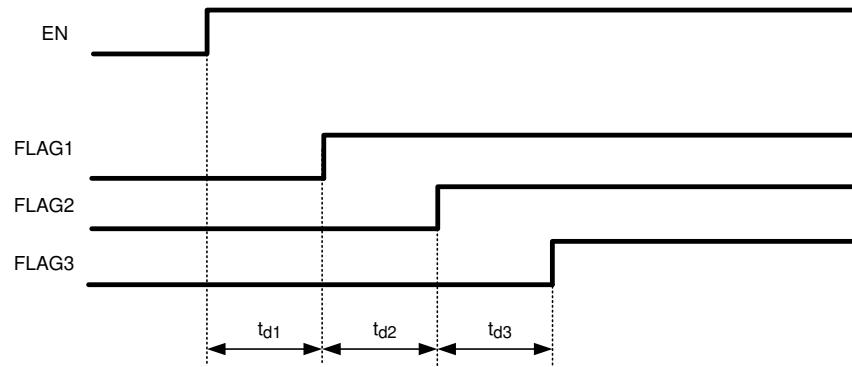
- (1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション・レポート、[SPRA953](#) を参照してください。

6.5 電気的特性

特に規定のない限り、制限値はすべてのタイミング・オプションに適用され、 $V_{CC} = 3.3V$ です。最小および最大の制限値は、全動作温度範囲 ($T_J = -40^{\circ}C \sim +125^{\circ}C$) にわたって適用され、テスト、設計、または統計的相関により規定されています。標準値は、 $T_J = 25^{\circ}C$ での最も一般的なパラメータ基準値を表し、参考目的にのみ提供されています。

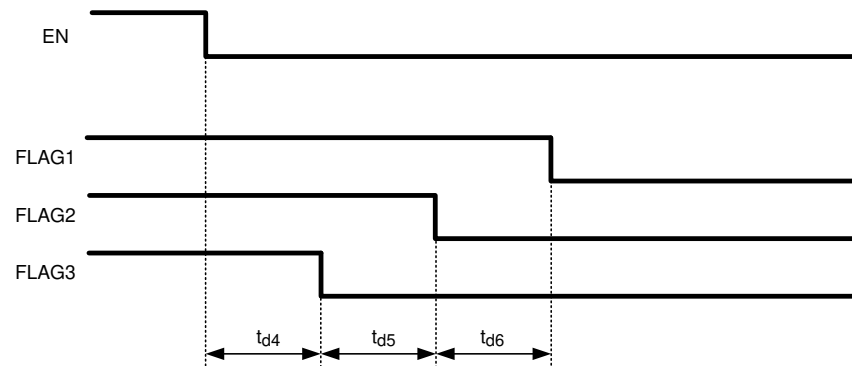
パラメータ	テスト条件	最小値 ⁽¹⁾	標準値 ⁽²⁾	最大値 ⁽¹⁾	単位
I_Q 動作時の静止電流			25	80	μA
オープン・ドレイン・フラグ					
I_{FLAG} FLAGx リーク電流	$V_{FLAGx} = 3.3V$		1	20	nA
V_{OL} FLAGx 出力電圧 Low	$I_{FLAGx} = 1.2mA$			0.4	V
電源オン・シーケンス					
t_{d1} タイマ遅延 1 の精度	他のすべてのタイミング・オプション	-15%		15%	
	2ms のタイミング・オプション	-20%		20%	
t_{d2} タイマ遅延 2 の精度	他のすべてのタイミング・オプション	-15%		15%	
	2ms のタイミング・オプション	-20%		20%	
t_{d3} タイマ遅延 3 の精度	他のすべてのタイミング・オプション	-15%		15%	
	2ms のタイミング・オプション	-20%		20%	
電源オフ・シーケンス					
t_{d4} タイマ遅延 4 の精度	他のすべてのタイミング・オプション	-15%		15%	
	2ms のタイミング・オプション	-20%		20%	
t_{d5} タイマ遅延 5 の精度	他のすべてのタイミング・オプション	-15%		15%	
	2ms のタイミング・オプション	-20%		20%	
t_{d6} タイマ遅延 6 の精度	他のすべてのタイミング・オプション	-15%		15%	
	2ms のタイミング・オプション	-20%		20%	
タイミング遅延の誤差					
$(t_{d(x)} - 400\mu s) / t_{d(x+1)}$ タイミング遅延比率	x = 1 または 4 の場合	95%		105%	
	x = 1 または 4、2ms オプションの場合	90%		110%	
$t_{d(x)} / t_{d(x+1)}$ タイミング遅延比率	x = 2 または 5 の場合	95%		105%	
	x = 2 または 5、2ms オプションの場合	90%		110%	
イネーブル・ピン					
V_{EN} EN ピンのスレッショルド		1.0	1.25	1.4	V
I_{EN} EN ピンのプルアップ電流	$V_{EN} = 0V$		7		μA

- (1) 制限値は $25^{\circ}C$ で全数テストされます。全動作温度範囲における制限値は標準統計品質管理 (SQC) 法によって決められた補正データを加味して規定されています。これらの制限値を使って、テキサス・インスツルメンツの平均継続品質レベル (AOQL) を計算しています。
- (2) 標準値は $25^{\circ}C$ でのものであり、パラメータの最頻値 (最も頻度が高い値) を表します。



すべての標準オプションは、出力フラグの立ち上がりおよび立ち下がり順序として、シーケンス 1 を使用します。可能な別のシーケンスの詳細については、セクション 11.1.2 を参照してください。

図 6-1. タイミング要件



すべての標準オプションは、出力フラグの立ち上がりおよび立ち下がり順序として、シーケンス 1 を使用します。可能な別のシーケンスの詳細については、セクション 11.1.2 を参照してください。

図 6-2. 電源オフ・シーケンス

6.6 代表的な特性

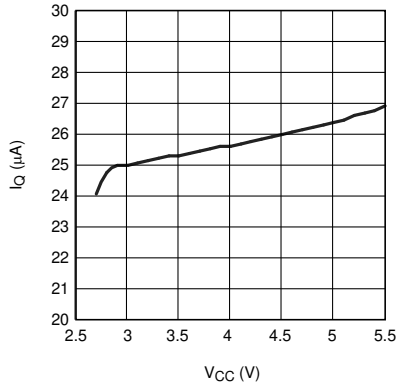
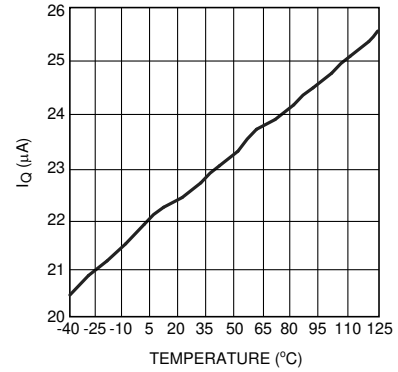


図 6-3. 静止電流と電源電圧との関係



$V_{CC} = 3.3V$

図 6-4. 静止電流と温度との関係

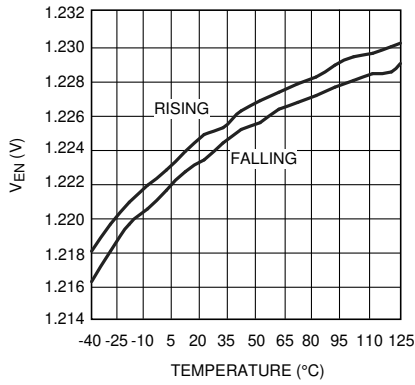
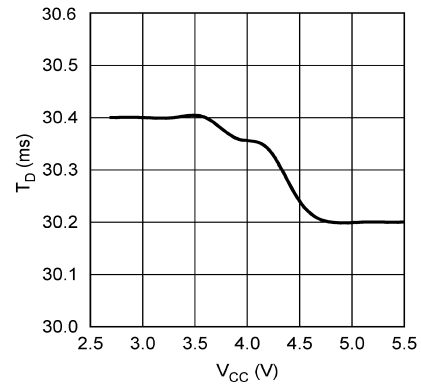


図 6-5. イネーブル・スレッシュホールドと温度との関係



$t_{DELAY} = 30ms$

図 6-6. 時間遅延と電源電圧との関係

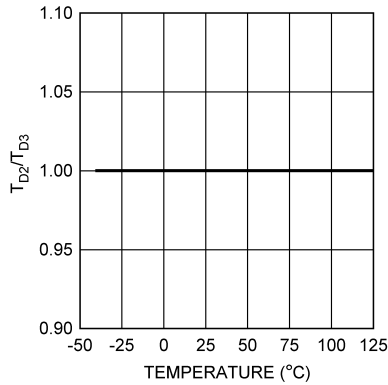
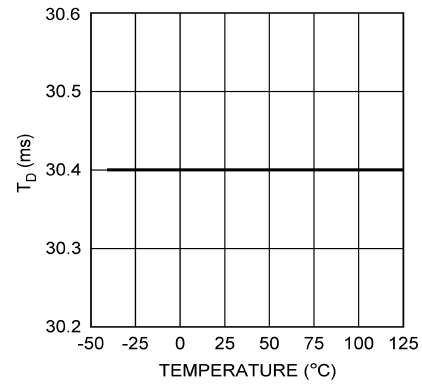


図 6-7. 時間遅延比率と温度との関係

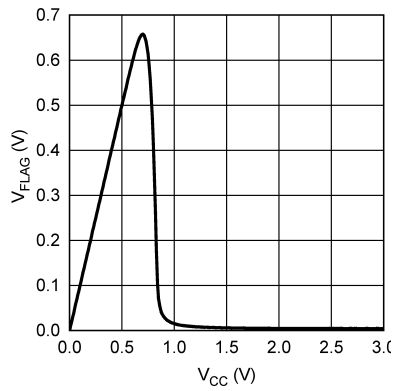


$t_{DELAY} = 30ms$

図 6-8. 時間遅延と温度との関係

LM3880-Q1

JAJSGK5A – NOVEMBER 2018 – REVISED MARCH 2021



$R_{FLAG} = 100k\Omega$

図 6-9. フラグ電圧と電源電圧との関係

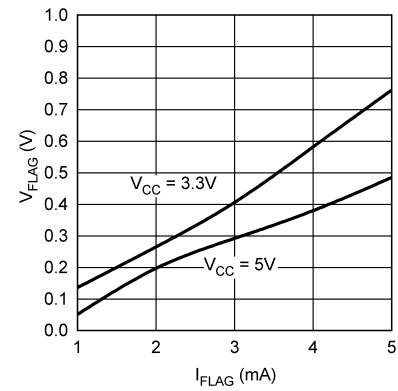


図 6-10. フラグ電圧と入力電流との関係

7 詳細説明

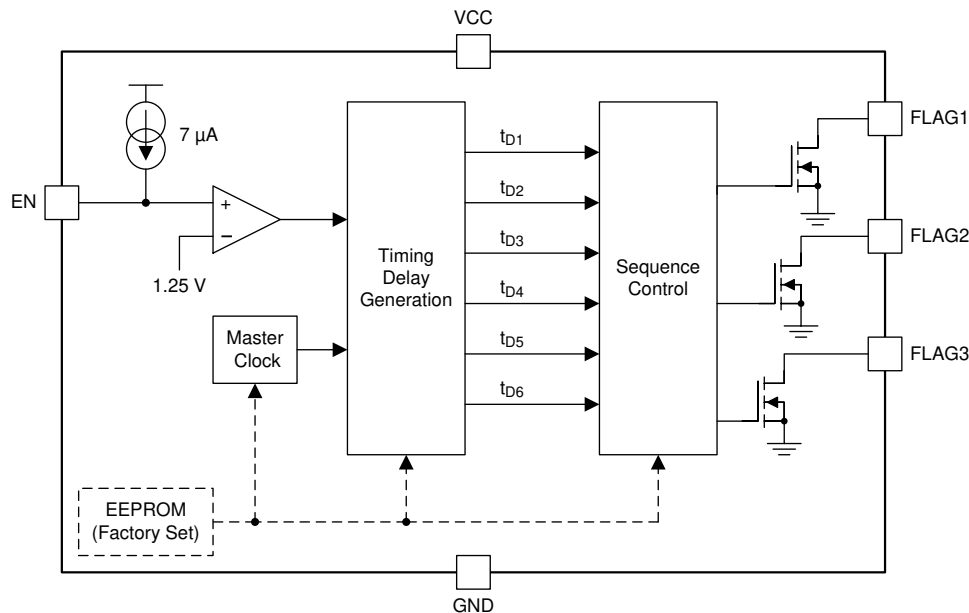
7.1 概要

LM3880-Q1 は、制御された方法で複数のレールをシーケンスするためのシンプルなソリューションを実現するシンプルな電源シーケンサです。6 つの独立したタイマが内蔵され、3 つのオープン・ドレイン出力フラグのタイミング・シーケンス (電源オンと電源オフ) を制御します。リニア・レギュレータやスイッチャのシャットダウン・ピンまたはイネーブル・ピンにこれらのフラグを接続することで、電源の動作を制御できます。これにより、大きな突入電流やラッチアップ状態が発生する心配のない完全な電源システムを設計できます。

本デバイスのタイミング・シーケンスは、すべてイネーブル (EN) ピンにより制御されます。電源オン後は、この高精度イネーブルが High になるまで、すべてのフラグが Low に保持されます。EN ピンがアサートされると、電源オン・シーケンスが開始します。内部カウンタは、固定の時間が経過するまで、第 1 フラグ (FLAG1) の立ち上がりを遅延させます。第 1 フラグが解除されると、別のタイマが起動し、第 2 フラグ (FLAG2) の解除を遅延させます。このプロセスは、3 つのフラグすべてが順に解除されるまで繰り返されます。

電源オフ・シーケンスでは、電源オン・シーケンスと同じ動作が逆の順序で行われます。EN ピンがデアサートされると、第 3 フラグ (FLAG3) を Low にするのを遅延させるタイマが起動します。その後、第 2 と第 1 のフラグが、それぞれに設定された遅延時間の後で順に Low になります。電源オフの手順を制御するのに使う 3 つのタイマは個別にプログラムすることもでき、電源オン・タイマと完全に独立しています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 イネーブル・ピンの動作

LM3880-Q1 のタイミング・シーケンスは、イネーブル信号のアサートにより制御されます。イネーブル・ピンは、バンドギャップ電圧 (1.25V) を基準とする内部コンパレータを使って設計されているため、高精度のスレッシュホールドを備えています。そのため、コンデンサを使用して遅延タイミングを外部で設定でき、または、特定のイベント (ライン電圧が公称値の 90% に達したなど) に基づいてシーケンシングを開始させることができます。VCC に電力を供給するレールに遅延シーケンスを追加する場合も、図 7-1 に示すようにコンデンサを EN ピンに接続するだけで済みます。

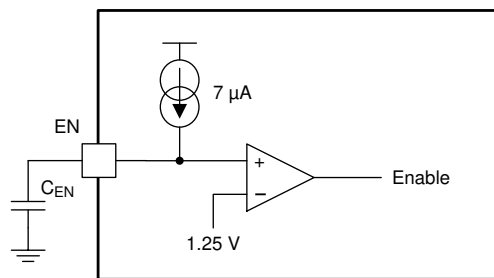


図 7-1. コンデンサのタイミング

内部のプルアップ電流源を使用して、外付けコンデンサ (C_{EN}) を充電する場合、イネーブル・ピンの遅延時間は式 1 で計算できます。

$$t_{enable_delay} = \frac{1.25V \times C_{EN}}{7 \mu A} \quad (1)$$

また、抵抗分圧器を使用して、特定の電圧スレッショルドに基づいてデバイスをイネーブルすることもできます。抵抗分圧器のサイズを決定するには、内部電流源の影響を含めるよう注意してください。

EN ピンの特長の 1 つは、グリッチ・フリーで動作することです。第 1 タイマは立ち上がりスレッショルドでカウントを開始しますが、第 1 出力フラグが解除される前に EN ピンがデアサートされると、常にリセットされます。この動作を、図 7-2 に示します。

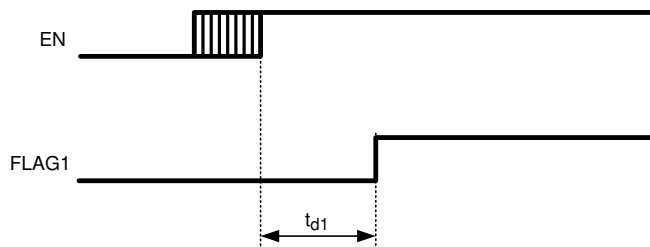


図 7-2. EN グリッチ

7.3.2 不完全なシーケンス動作

電源オン・シーケンス全体にわたってイネーブル信号が High に維持された場合、本デバイスは標準タイミング図に示すように動作します。しかし、電源オン・シーケンスが完了する前にイネーブル信号がデアサートされた場合、本デバイスは制御されたシャットダウンを開始します。これによりシステムは、制御されたパワー・サイクルを実行でき、ラッチ状態の発生を防止できます。この状態は、タイマ 1 の完了後、かつ電源オン・シーケンス全体の完了前にイネーブル・ピンがデアサートされた場合のみ発生します。

その場合、EN ピンの立ち下がりエッジで現在のタイマがリセットされ、電源オフ・シーケンスの開始前に、残りの電源オン・サイクルを完了できます。電源オフ・シーケンスは、最後の電源オン・フラグから約 120ms 後に開始されます。これによって、システム全体がシャットダウンする前に、システムの出力電圧が安定します。この動作を図 7-3 に示します。

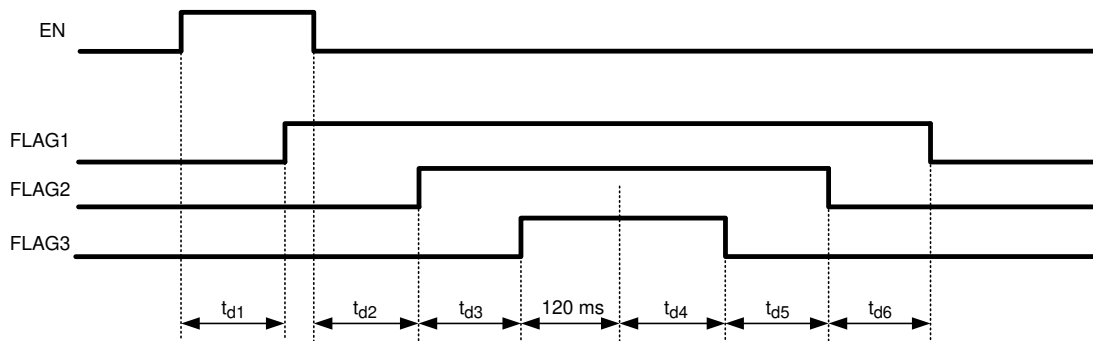


図 7-3. 不完全な電源オン・シーケンス

イネーブル信号がデアサートされると、本デバイスは電源オフ・シーケンスを開始します。電源オフ・シーケンスの完了前にイネーブル信号が High になった場合、本デバイスは電源オンを開始する前に、電源オフ・シーケンスを確実に完了させます。このように、システムの部分的な電源オフまたはオンが行われないようにすることで、FPGA やマイクロプロセッサなどでのラッチアップ動作を防止できます。この状態は、タイマ 1 の完了後、かつ電源オフ・シーケンス全体の完了前にイネーブル・ピンが High になった場合のみ発生します。

その場合、イネーブル・ピンの立ち上がりエッジで現在のタイマがリセットされ、電源オン・シーケンスを開始する前に、残りの電源オフ・サイクルを完了できます。電源オン・シーケンスは、最後の電源オフ・フラグから約 120ms 後に開始されます。これにより、システムは電源オンの前に完全にシャットダウンできます。この動作を図 7-4 に示します。

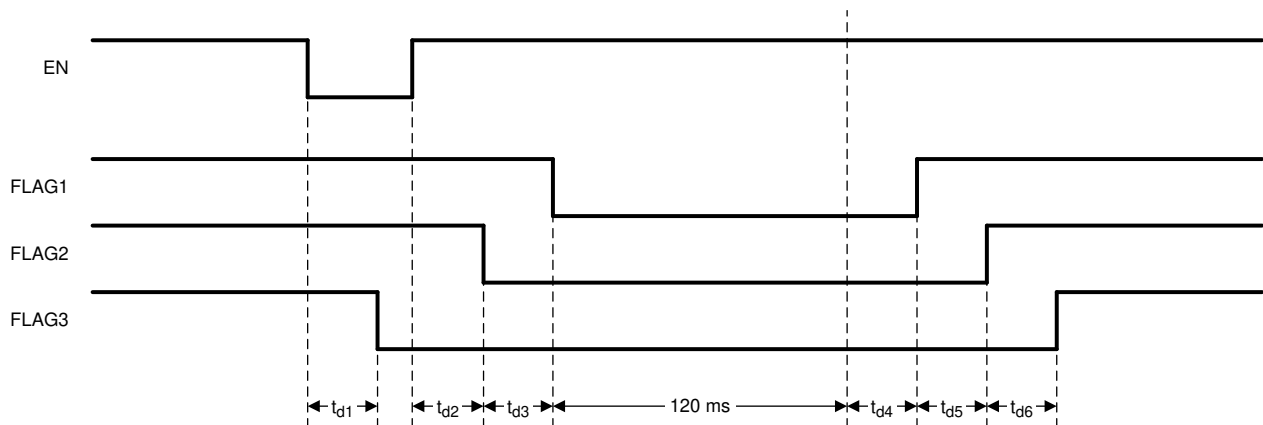


図 7-4. 不完全な電源オフ・シーケンス

すべての内部タイマは、温度係数が非常に小さいマスタ・クロックから生成されます。これにより、温度範囲全体にわたって厳密な精度を維持し、各タイマ間の比率も一定に保たれます。タイマ 1 および 4 には、EPROM のリフレッシュに起因して約 400 μ s のわずかな追加遅延が存在します。このリフレッシュ時間はプログラムされた遅延時間に加算されますが、タイマ遅延が最短の場合以外はほとんど無視できます。

7.4 デバイスの機能モード

7.4.1 EN ピンによる電源オン

シンプルな電源シーケンスのタイミング・シーケンスは、すべてイネーブル (EN) ピンにより制御されます。電源オン後は、この高精度イネーブルが High になるまで、すべてのフラグが Low に保持されます。EN ピンがアサートされた後で、電源オン・シーケンスが開始されます。

7.4.2 EN ピンによる電源オフ

EN ピンがデアサートされると、電源オフ・シーケンスが開始されます。第 3 フラグ (FLAG3) を Low にするのを遅延させるタイマが起動します。その後、第 2 と第 1 のフラグが、それぞれに設定された遅延時間の後で順に Low になります。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 オープン・ドレイン・フラグのプルアップ

このシンプルな電源シーケンサは、3つのオープン・ドレイン出力フラグを備えています。正しく動作させるにはこれらの出力フラグをプルアップする必要があります。プルアップ抵抗として、100kΩの抵抗を使用できます。

8.1.2 デバイスのイネーブル

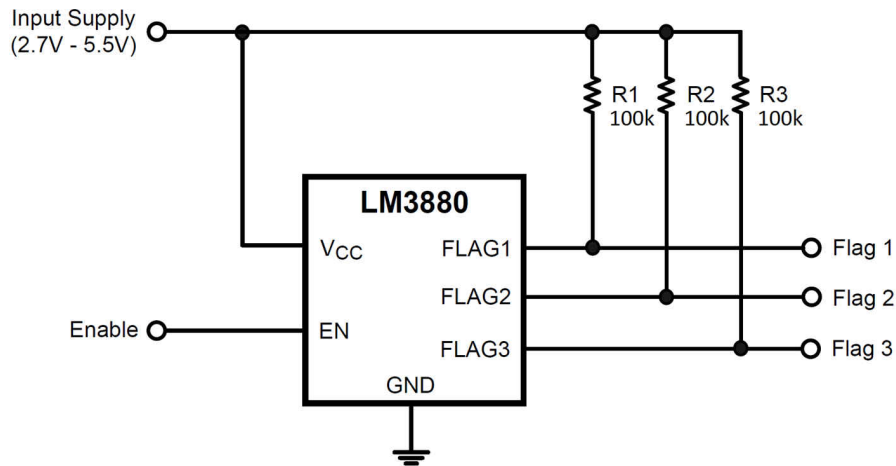
セクション 7.3.1 を参照してください。

8.2 代表的なアプリケーション

8.2.1 3つの電源の単純なシーケンシング

このシンプルな電源シーケンサを使用して、3つの電源の電源オンおよび電源オフ・シーケンスを実装できます。

LM3880-Q1 のシーケンス 1 (注文型番 LM3880-Q1MF-1AA) は、電源オン・シーケンスが (1 - 2 - 3) で、電源オフ・シーケンスが (3 - 2 - 1) です。他のシーケンス・オプションについては、表 10-1 および表 10-2 を参照するか、他のシーケンス・オプションが必要な場合は、テキサス・インスツルメンツにお問い合わせください。



Copyright © 2016, Texas Instruments Incorporated

図 8-1. 代表的なアプリケーション回路

8.2.1.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。図 8-1 に示す回路は、本デバイスにプログラムされたシーケンスに応じて、各種の電源オフ・シーケンスを実行できます。各種の電源オフ・シーケンスの選択肢については、表 10-1 を参照してください。

表 8-1. 設計パラメータ

設計パラメータ	値の例
入力電源電圧範囲	2.7V~5.5V
フラグ出力電圧、EN High	入力電源
フラグ出力電圧、EN Low	0V
フラグ・タイミング遅延	30ms
電源オン・シーケンス	1 - 2 - 3
電源オフ・シーケンス	3 - 2 - 1

8.2.1.2 詳細な設計手順

表 8-2. 部品リスト

コード	概要	デバイス	数量	製造元
U1	LM3880-Q1、シーケンス 1、30ms タイミング	LM3880-Q1	1	テキサス・インスツルメンツ
R1	100kΩ 抵抗、0603	CRCW0603100KFKEA	1	Vishay
R2	100kΩ 抵抗、0603	CRCW0603100KFKEA	1	Vishay
R3	100kΩ 抵抗、0603	CRCW0603100KFKEA	1	Vishay

このアプリケーションでは、シンプルな電源シーケンサのシーケンス 1 および 30ms タイミング・オプションを使用します。シーケンスおよびタイミング・オプションの詳細については、セクション 8.2.1.3 を参照してください。

8.2.1.3 アプリケーション曲線

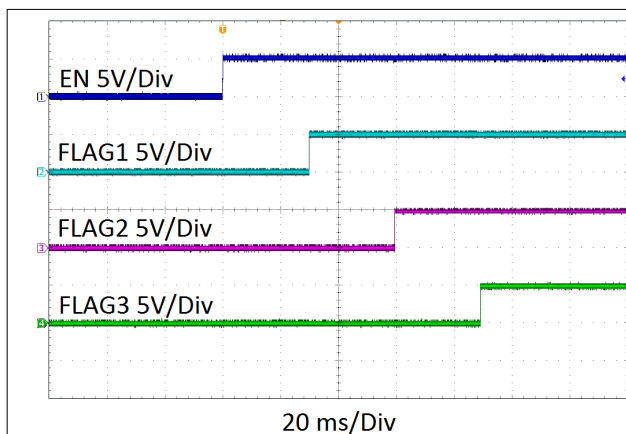


図 8-2. LM3880MF-1AB の電源オン・シーケンス

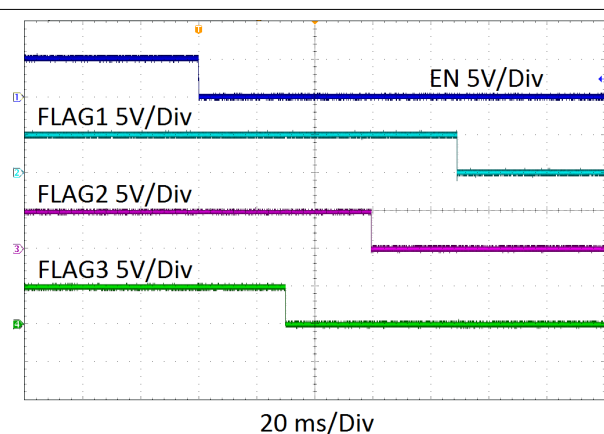
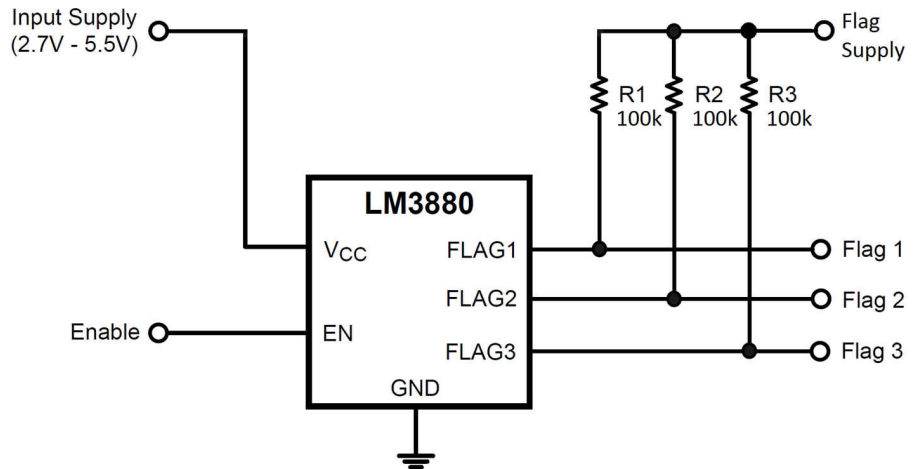


図 8-3. LM3880MF-1AB の電源オフ・シーケンス

8.2.2 独立したフラグ電源を使用するシーケンシング

VCC と異なるフラグ出力電圧を必要とするアプリケーションでは、別個のフラグ電源を使用して、シンプルな電源シーケンサのオープン・ドレイン出力をプルアップできます。この方法は、フラグの出力を、VCC とは異なる電圧を必要とする入力と接続するときに便利です。セクション 6.3 に示すように、フラグ電源電圧が $VCC + 0.3V$ を超えないように設計する必要があります。

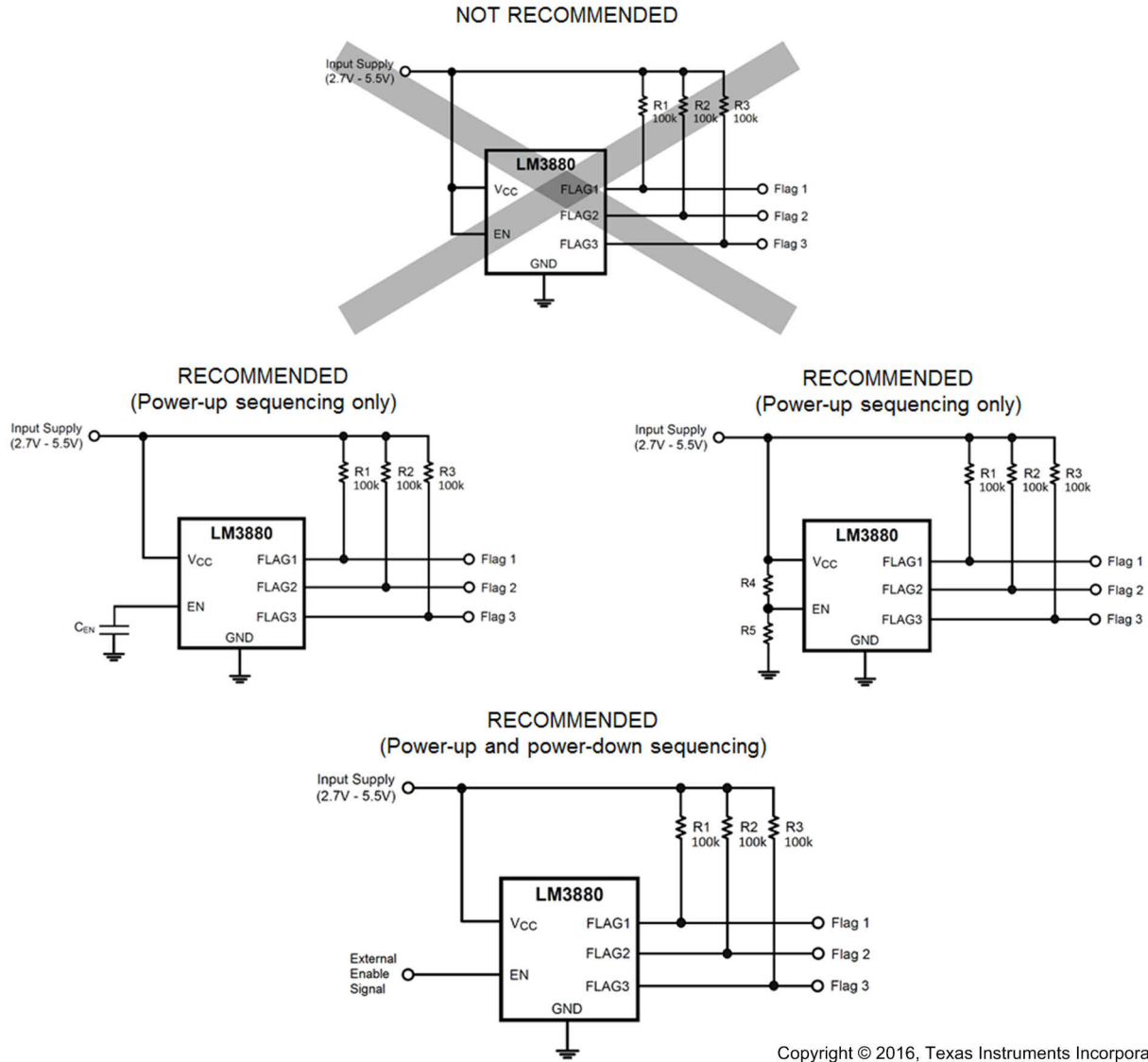


Copyright © 2016, Texas Instruments Incorporated

図 8-4. 独立したフラグ電源を使用するシーケンシング

8.3 推奨事項と禁止事項

EN ピンを VCC に接続することは推奨しません。電源オン・シーケンシング時には、VCC が最低動作電圧を上回るまでの間、EN 電圧を EN スレッショルドよりも低く維持してください。EN を VCC に接続すると、特に VCC の立ち上がりスロー・レートが小さい場合、フラグ出力で未定義の動作が発生する可能性があります。電源オン・シーケンシングのみが必要なシステムでは、EN ピンのコンデンサを使用して遅延を生成するか、または抵抗分圧器により特定の電圧スレッショルドに基づいてデバイスをイネーブルできます。これらのソリューションは電源オン・シーケンシングには使用できますが、電源オフでは全フラグ出力が単純に入力電源に追随するため、フラグ出力が順次オフになることはありません。電源オンと電源オフの両方のシーケンシングが必要なシステムでは、フラグ出力の電源オンと電源オフを正しく制御するため、マイクロコントローラからの GPIO 信号など外部のイネーブル信号を使用してください。



Copyright © 2016, Texas Instruments Incorporated

図 8-5. 推奨する EN 接続

電源に関する推奨事項

VCC ピンは、入力電圧 (2.7~5.5V) のできるだけ近くに配置します。入力コンデンサは必須ではありませんが、VCC ピンにノイズが存在する可能性がある場合には推奨されます。0.1 μ F のセラミック・コンデンサを使用して、このノイズをバイパスできます。

9 レイアウト

9.1 レイアウトのガイドライン

- プルアップ抵抗は、フラグ出力ピンと、正の入力電源 (通常は VCC) との間に接続します。独立したフラグ電源も使用できます。これらの抵抗は、シンプルな電源シーケンサやフラグ電源のできるだけ近くに配置します。最小の配線長で接続することを推奨します。プルアップ抵抗の標準値は 100k Ω です。
- シーケンシングの要件が非常に厳格な場合は、各フラグ出力を目的の入力に接続する配線の長さを最小限、かつ等しい長さにします。これによって、フラグ出力間の配線での伝播遅延とタイミング誤差が低減されます。

9.2 レイアウト例

図 9-1 と図 9-2 は、LM3880-Q1 のレイアウト例です。これらの例は、LM3880-Q1EVAL によるものです。

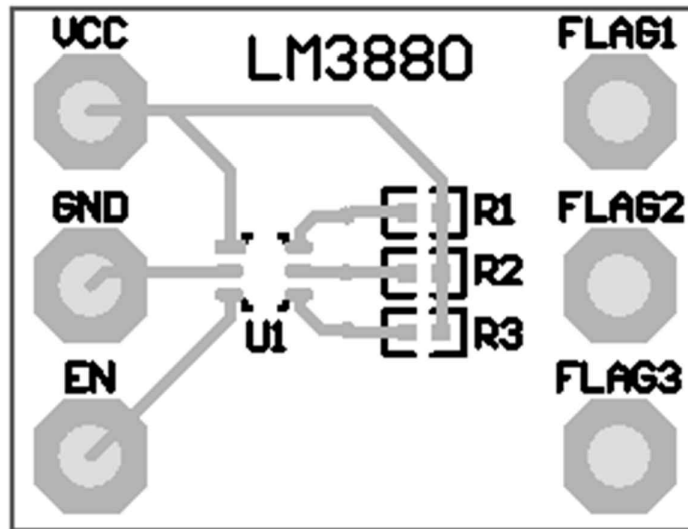


図 9-1. LM3880-Q1 上

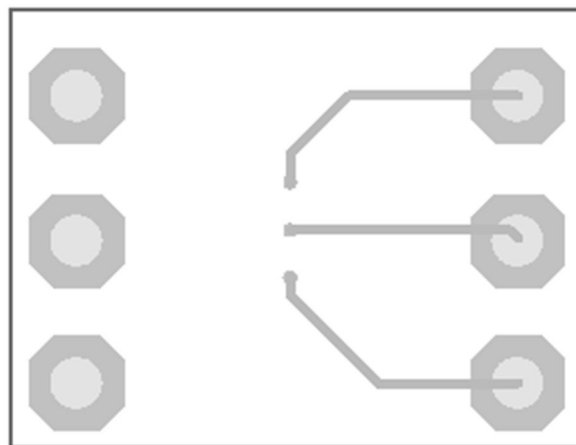


図 9-2. LM3880-Q1 下

10 デバイスおよびドキュメントのサポート

10.1 デバイスのサポート

10.1.1 デバイスの項目表記

注文可能な部品のリストについては、パッケージ・オプションについての付録を参照してください。

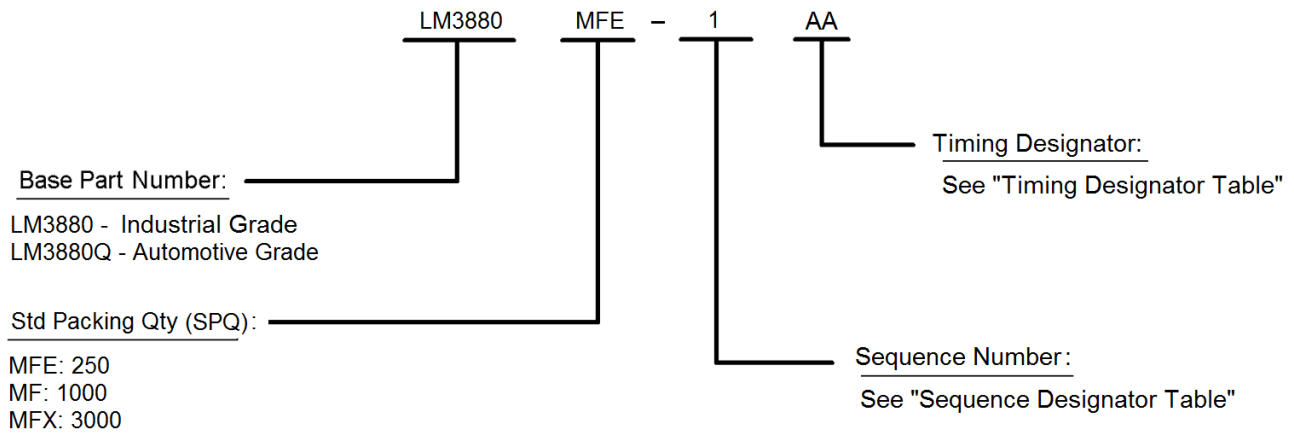


図 10-1. デバイスの項目表記

表 10-1. シーケンス指定子の表⁽¹⁾

シーケンス番号	フラグ順序	
	電源オン	電源オフ
1	1 - 2 - 3	3 - 2 - 1
2	1 - 2 - 3	3 - 1 - 2
3	1 - 2 - 3	2 - 3 - 1
4	1 - 2 - 3	2 - 1 - 3
5	1 - 2 - 3	1 - 3 - 2
6	1 - 2 - 3	1 - 2 - 3

(1) 次をご覧ください、[図 6-2](#)

表 10-2. タイミング指定子の表⁽¹⁾

タイミング指定子	遅延 (ms)					
	t _{d1}	t _{d2}	t _{d3}	t _{d4}	t _{d5}	t _{d6}
AA	10	10	10	10	10	10
AB	30	30	30	30	30	30
AC	60	60	60	60	60	60
AD	120	120	120	120	120	120
AE	2	2	2	2	2	2
AF	16	16	16	16	16	16

(1) 次をご覧ください、[図 6-2](#)

10.2 コミュニティ・リソース

10.3 商標

すべての商標は、それぞれの所有者に帰属します。

メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LM3880QMF-1AA/NOPB	ACTIVE	SOT-23	DBV	6	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F27A	Samples
LM3880QMF-1AB/NOPB	ACTIVE	SOT-23	DBV	6	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F28A	Samples
LM3880QMF-1AC/NOPB	ACTIVE	SOT-23	DBV	6	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F29A	Samples
LM3880QMF-1AD/NOPB	ACTIVE	SOT-23	DBV	6	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F30A	Samples
LM3880QMF-1AE/NOPB	ACTIVE	SOT-23	DBV	6	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F24A	Samples
LM3880QMF-1AF/NOPB	ACTIVE	SOT-23	DBV	6	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F32A	Samples
LM3880QMF-1AA/NOPB	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F27A	Samples
LM3880QMF-1AB/NOPB	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F28A	Samples
LM3880QMF-1AC/NOPB	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F29A	Samples
LM3880QMF-1AD/NOPB	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F30A	Samples
LM3880QMF-1AE/NOPB	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F24A	Samples
LM3880QMF-1AF/NOPB	ACTIVE	SOT-23	DBV	6	250	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F32A	Samples
LM3880QMF-1AA/NOPB	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F27A	Samples
LM3880QMF-1AB/NOPB	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F28A	Samples
LM3880QMF-1AC/NOPB	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F29A	Samples
LM3880QMF-1AD/NOPB	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F30A	Samples
LM3880QMF-1AE/NOPB	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F24A	Samples
LM3880QMF-1AF/NOPB	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	F32A	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ **MSL, Peak Temp.** - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ **Lead finish/Ball material** - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM3880-Q1 :

- Catalog : [LM3880](#)

NOTE: Qualified Version Definitions:

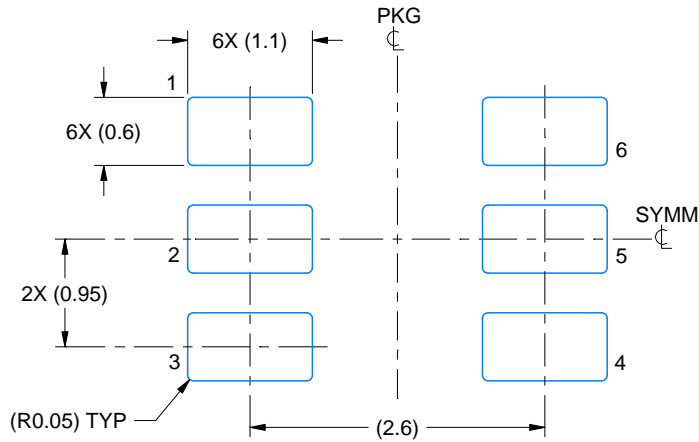
- Catalog - TI's standard catalog product

EXAMPLE BOARD LAYOUT

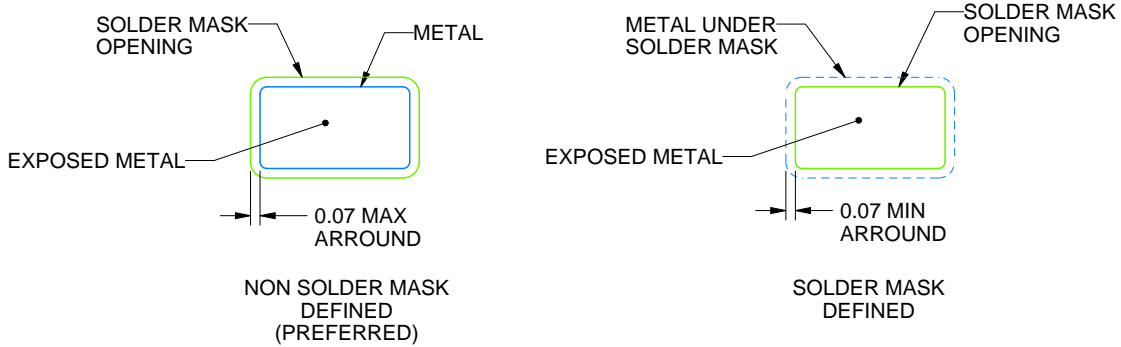
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/F 05/2024

NOTES: (continued)

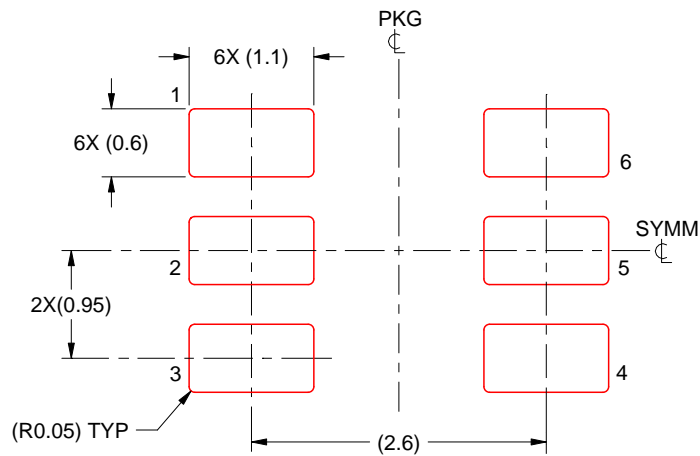
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/F 05/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated