



2008年5月

LMH0030

ビデオ・データ FIFO とアンシラリ・データ FIFO、ケーブル・ドライバ内蔵 SMPTE 292M/259M デジタル・ビデオ・シリアルライザ

概要

LMH0030 は、10 ビット幅の標準品位コンポーネント・ビデオ・スタンダード SMPTE 125M/267M ならびに 20 ビット幅の高品位コンポーネント・ビデオ・スタンダード SMPTE 260M/274M/295M/296M に準拠したビット・パラレルのデジタル・ビデオ・データをエンコード、シリアルライズ、送出する SMPTE 292M/259M 対応のデジタル・ビデオ・シリアルライザ IC で、アンシラリ・データ FIFO とケーブル・ドライバを内蔵します。LMH0030 は、シリアル・データレート 270Mbps、360Mbps の SMPTE 259M、シリアル・データレート 540Mbps の SMPTE 344M、シリアル・データレート 1.485Gbps と 1.485Gbps の SMPTE 292M で動作します。シリアル・データレートのクロックは内部で生成されるため、周波数設定、トリミング、フィルタなどの外部部品は必要ありません。

LMH0030 は、パラレル・シリアル・データ変換、SMPTE スタンダードのデータ・エンコード、NRZ から NRZI へのデータ・フォーマット変換、シリアル・データ・クロック生成とシリアル・データのエンコード、ビデオ・レートとフォーマットの自動検出、アンシラリ・データのバケット・マネジメントとバケット挿入、シリアル・データ出力ドライブ機能を内蔵しています。また、SMPTE RP-165 (標準品位) または SMPTE 292M (高品位) に則った、EDH/CRC キャラクタとフラグの自動生成と挿入のための回路を内蔵しています。さらに、パノジカル・パターン (遷移の少ないパターン) 生成を防ぐ LSB ディザも設定できます。LMH0030 独自の機能がビデオ・データ FIFO とアンシラリ・データ (タイムコード、字幕等の付加データ) FIFO です。ビデオ FIFO は 0 から 4 パラレル・データ・クロックの範囲でビデオ・データを遅延させてビデオ・タイミングを調整します。アンシラリ・データポートとオンチップ FIFO ならびにその制御回路が、アンシラリ・フラグ、データ・バケット、チェックサムを格納し、アンシラリ・データ空間に挿入します。LMH0030 は、ビルトイン・セルフテスト (BIST) 機能と、SD と HD のコンポーネント・ビデオ・テストパターンに対応したテストパターン・ジェネレータ (TPG) も内蔵しています。NTSC と PAL 規格での 4:3 と 16:9 のラスター・フォーマットに対して、基準黒、PLL と EQ のパノジカル、カラーバーを出力します*。カラーバー・パターンは、輝度信号、色差信号遷移の帯域を制限するコーディングの設定もできます。

LMH0030 は独自のマルチファンクション I/O ポートを有し、素早く制御や設定を行えます。制御機能やインジケータ機能を利用する場合にこのポートを用います。アプリケーションに応じた設定を行うことで、LMH0030 をさまざまな用途に適合させることが可能です。パワーオン時またはリセット・コマンド発行後は、自動的にデフォルトの動作状態に設定されます。また、電源ノイズ除去性能、出力ジッタ性能、ノイズ性能を高めるために、出力ドライバ、PLL、シリアルライザに個別の電源ピンを割り当てています。

LMH0030 は内部回路用の + 2.5V 電源と I/O 回路用の + 3.3V 電源で動作します。1.485Gbps 時の消費電力は、AC 結合の 2

個の 75 終端とバック終端用出力負荷を含め、代表値で 430mW です。この IC は 64 ピン TQFP で供給されます。

特長

SDTV/HDTV シリアル・デジタル・ビデオ・スタンダードに準拠 270Mbps、360Mbps、540Mbps、1.485Gbps、1.485Gbps SDV データレートを自動検出付きでサポート

低出力ジッタ: 最大 125ps、代表値 85ps

低消費電力: 代表値 430mW

シリアル・データレート設定や VCO フィルタのための外付け部品不要*

高速な PLL ロック時間: 1.485Gbps にて代表値 150 μ s 未満 タイミング整合のための可変長ビデオ FIFO

ビルトイン・セルフテスト (BIST) とビデオ・テストパターン・ジェネレータ (TPG)*

EDH/CRC ワードとフラグの自動生成と挿入

アンシラリ・データ用 FIFO と挿入制御回路を内蔵

柔軟な制御用 I/O ポート

LVC MOS 互換のデータ入出力と制御入出力

75 ECL 互換の差動シリアル・ケーブル・ドライバ出力

I/O 用電源電圧 3.3V、ロジック回路用電源電圧 2.5V

64 ピン TQFP パッケージ

* 特許取得済みおよび出願中

アプリケーション

以下の SDTV/HDTV パラレル・シリアル・デジタル・ビデオ・インタフェースに最適

ビデオカメラ

VTR

テレシネ

デジタル・ビデオ・ルータおよびスイッチャ

デジタル・ビデオ処理機器や編集機器

ビデオ・テストパターン発生器やデジタル・ビデオ試験機器

ビデオ信号発生器

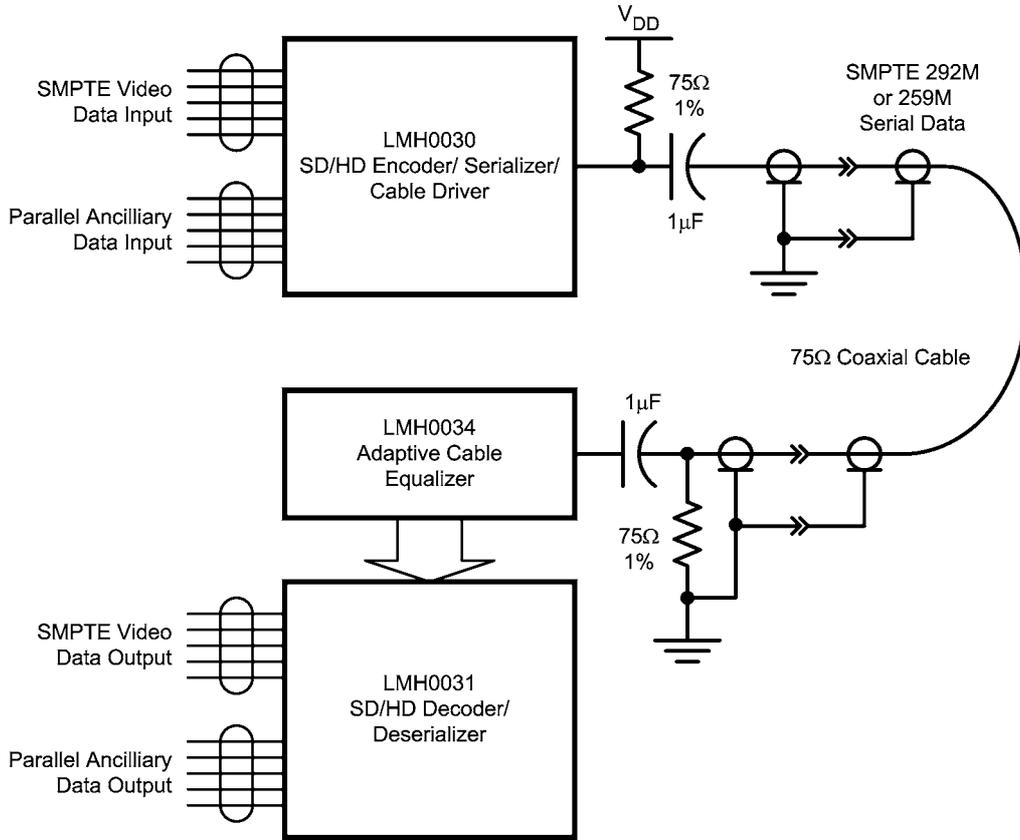
Order Number LMH0030VS

64-Pin TQFP

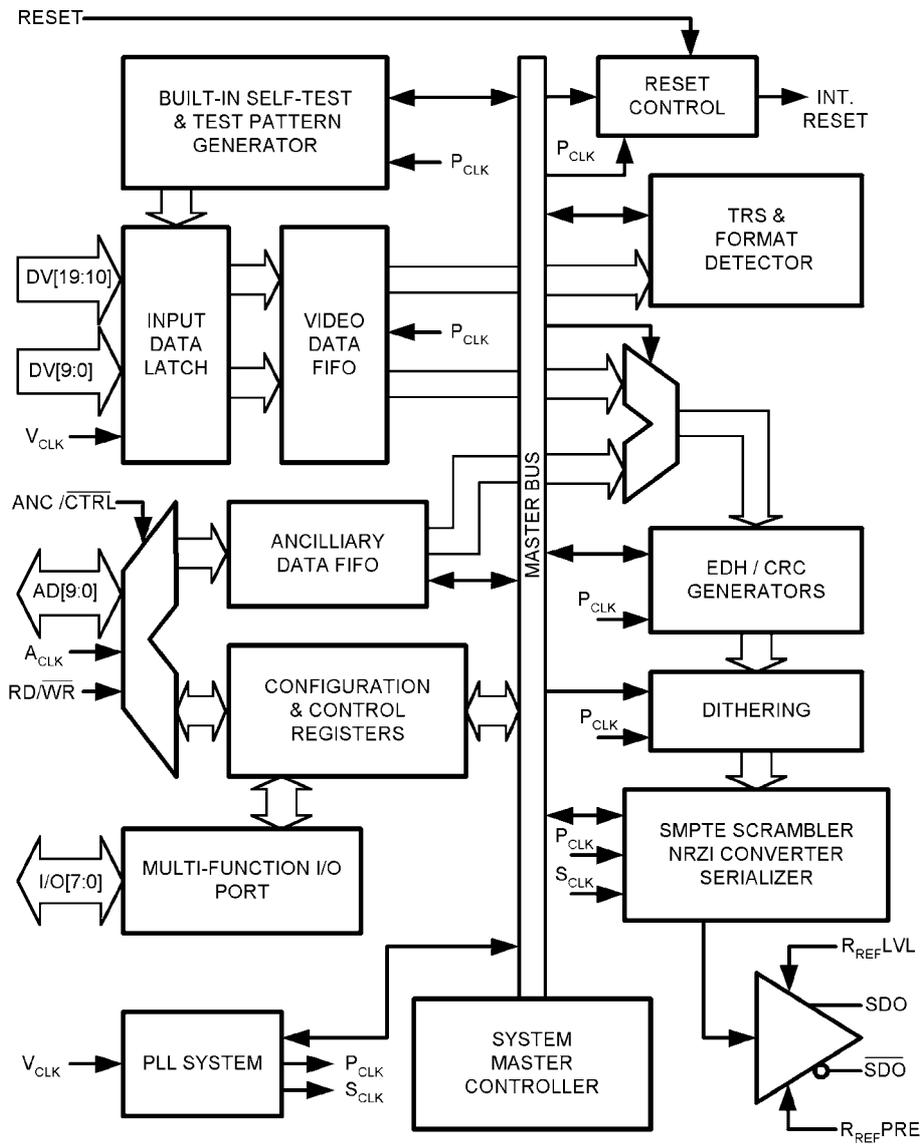
NS Package Number VEC-64A

LMH0030 ビデオ・データ FIFO とアンシラリ・データ FIFO、ケーブル・ドライバ内蔵 SMPTE 292M/259M デジタル・ビデオ・シリアルライザ

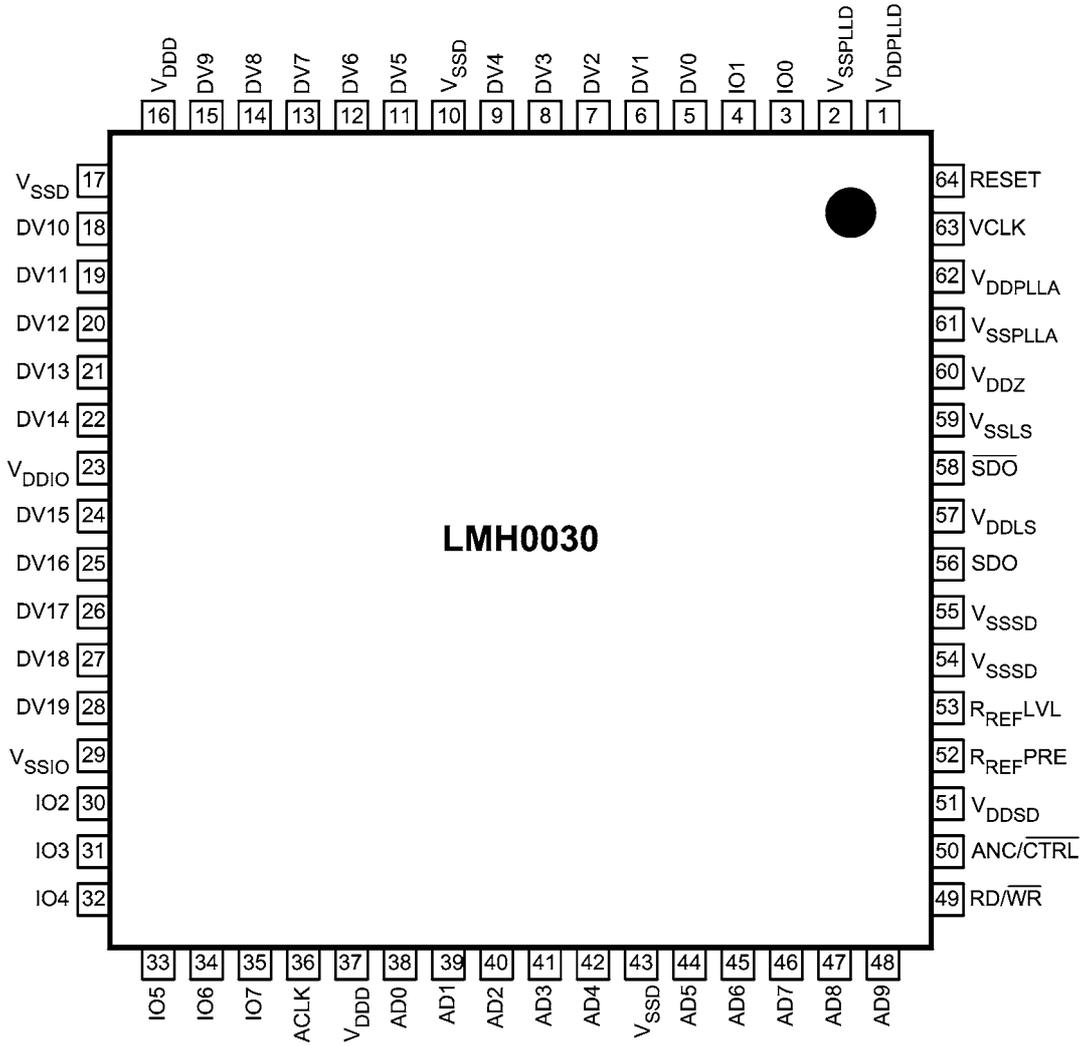
代表的なアプリケーション



ブロック図



ピン配置図



64-Pin TQFP
 Order Number LMH0030VS
 See NS Package Number VEC-64A

絶対最大定格 (Note 1)

このデバイスの軍用規格品は提供されません。本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電氣的信頼性試験方法の規格を参照ください。

CMOS I/O 電源電圧 ($V_{DDIO} - V_{SSIO}$)	4.0V
SDO 電源電圧 ($V_{DDSD} - V_{SSSD}$)	4.0V
デジタル・ロジック回路電源電圧 ($V_{DDD} - V_{SSD}$)	3.0V
PLL デジタル電源電圧 ($V_{DDPLL} - V_{SSPLL}$)	3.0V
PLL アナログ電源電圧 ($V_{DDPLLA} - V_{SSPLLA}$), ($V_{DDZ} - V_{SSD}$)	3.0V
CMOS 入力電圧 (V_i)	$V_{SSIO} - 0.15V \sim V_{DDIO} + 0.15V$
CMOS 出力電圧 (V_o)	$V_{SSIO} - 0.15V \sim V_{DDIO} + 0.15V$

CMOS 入力電流 (単一入力)

$$V_i = V_{SSIO} - 0.15V \quad - 5mA$$

$$V_i = V_{DDIO} + 0.15V \quad + 5mA$$

CMOS 出力ソース/シンク電流 $\pm 10mA$

SDO 出力シンク電流 40mA

パッケージ熱抵抗

$$J_A @ 0LFM \text{ エアフロー} \quad 47 \text{ /W}$$

$$J_A @ 500LFM \text{ エアフロー} \quad 27 \text{ /W}$$

$$J_C \quad 6.5 \text{ /W}$$

保存温度範囲 - 65 ~ + 150

接合部温度 + 150

リード温度 (ハンダ付け 4 秒) + 260

ESD 耐圧 (人体モデル) 2kV

ESD 耐圧 (マシン・モデル) 250V

推奨動作条件

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units
V_{DDIO}	CMOS I/O Supply Voltage	$V_{DDIO} - V_{SSIO}$		3.150	3.300	3.450	V
V_{DDSD}	SDO Supply Voltage	$V_{DDSD} - V_{SSSD}$		3.150	3.300	3.450	V
V_{DDD}	Digital Logic Supply Voltage	$V_{DDD} - V_{SSD}$		2.375	2.500	2.625	V
V_{DDPLL}	PLL Supply Voltage	$V_{DDPLL} - V_{SSPLL}$		2.375	2.500	2.625	V
V_{DDZ}	Analog Supply Voltage	$V_{DDZ} - V_{SSD}$		2.375	2.500	2.625	V
V_{IL}	CMOS Input Voltage, Low Level			V_{SSIO}			V
V_{IH}	CMOS Input Voltage High Level					V_{DDIO}	V
T_A	Operating Free Air Temperature			0		+70	°C
t_{JIT}	Video Clock Jitter		V_{CLK}		30		ps _{P-P}

DC 電氣的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2、3)。

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units
V_{IH}	Input Voltage High Level		All LVCMOS Inputs	2.0		V_{DDIO}	V
V_{IL}	Input Voltage Low Level			V_{SSIO}		0.8	V
I_{IH}	Input Current High Level	$V_{IH} = V_{DDIO}$			+90	+150	μA
I_{IL}	Input Current Low Level	$V_{IL} = V_{SSIO}$			-1	-20	μA
V_{OH}	CMOS Output Voltage High Level	$I_{OH} = -6.6 \text{ mA}$	All LVCMOS Outputs	2.4	2.7	V_{DDIO}	V
V_{OL}	CMOS Output Voltage Low Level	$I_{OL} = +6.6 \text{ mA}$		V_{SSIO}	$V_{SSIO} + 0.3$	$V_{SSIO} + 0.5V$	V
V_{SDO}	Serial Driver Output Voltage	Test Circuit, Test Loads Shall Apply	SDO, \overline{SDO}	720	800	880	mV _{P-P}
$I_{DD} (3.3V)$	Power Supply Current, 3.3V Supply, Total	$V_{CLK} = 27 \text{ MHz}$, NTSC color Bar Pattern, Test Circuit, Test Loads Shall Apply	V_{DDIO} , V_{DDSD}		48	65	mA
$I_{DD} (3.3V)$	Power Supply Current, 3.3V Supply, Total	$V_{CLK} = 74.25 \text{ MHz}$, NTSC color Bar Pattern, Test Circuit, Test Loads Shall Apply	V_{DDIO} , V_{DDSD}		66	90	mA

DC 電気的特性 (つづき)

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 2、3)。

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units
I_{DD} (2.5V)	Power Supply Current, 2.5V Supply, Total	$V_{CLK} = 27$ MHz, NTSC color Bar Pattern, Test Circuit, Test Loads Shall Apply	$V_{DDDD}, V_{DDZ}, V_{DDPLL}$		66	85	mA
I_{DD} (2.5V)	Power Supply Current, 2.5V Supply, Total	$V_{CLK} = 74.25$ MHz, NTSC color Bar Pattern, Test Circuit, Test Loads Shall Apply	$V_{DDDD}, V_{DDZ}, V_{DDPLL}$		85	110	mA

AC 電気的特性

特記のない限り、推奨動作条件に記載の電源電圧および動作周囲温度に対して適用 (Note 3)。

Symbol	Parameter	Conditions	Reference	Min	Typ	Max	Units
f_{VCLK}	Parallel Video Clock Frequency		V_{CLK}	27		74.25	MHz
DC_V	Video Clock Duty Cycle		V_{CLK}	45	50	55	%
f_{ACLK}	Ancillary Clock Frequency		A_{CLK}			V_{CLK}	MHz
DC_A	Ancillary Clock Duty Cycle		A_{CLK}	45	50	55	%
t_r, t_f	Input Clock and Data Rise Time, Fall Time	10%–90%	$V_{CLK}, A_{CLK}, DV_N, AD_N$	1.0	1.5	3.0	ns
BR_{SDO}	Serial Data Rate	(Notes 5, 6)	SDO, \overline{SDO}	270		1,485	M_{bps}
t_r, t_f	Rise Time, Fall Time	20%–80%, (Note 6)	SDO, \overline{SDO}			270	ps
t_r, t_f	Rise Time, Fall Time	20%–80%, (Note 5)	SDO, \overline{SDO}		500		ps
	Output Overshoot	(Note 4)	SDO, \overline{SDO}		5		%
t_j	Serial Output Jitter, Intrinsic	270 M_{bps} , (Notes 5, 9, 10, 11)	SDO, \overline{SDO}		270	350	ps_{P-P}
t_j	Serial Output Jitter, Intrinsic	1,485 M_{bps} , (Notes 6, 9, 10, 11)	SDO, \overline{SDO}		85	125	ps_{P-P}
t_{LOCK}	Lock Time	(Notes 5, 7) (SD Rates)			15		ms
t_{LOCK}	Lock Time	(Notes 6, 7) (HD Rates)			15		ms
t_S	Setup Time, Video Data	Timing Diagram, (Note 4)	DV_N to V_{CLK}		1.5	2.0	ns
t_H	Hold Time, Video Data	Timing Diagram, (Note 4)	V_{CLK} to DV_N		1.5	2.0	ns
t_S	Setup Time, Anc. Data Port	Timing Diagram, (Note 4)	AD_N to A_{CLK}		1.5	2.0	ns
t_H	Hold Time, Anc. Data Port	Timing Diagram, (Note 4)	A_{CLK} to AD_N		1.5	2.0	ns

Note 1: 絶対最大定格とは、このパラメータを超えてはデバイスの寿命および動作が保証されない値です。ここで記載している最大値は、デバイスがこれらの値以上で動作可能であること、あるいは動作させるべきであることを意味するものではありません。許容できるデバイスの動作条件は「電気的特性」の表に規定されています。

Note 2: デバイス・ピンに流れ込む電流を正極性と定義しています。デバイス・ピンから流れ出す電流を負極性と定義しています。すべての電圧は $V_{SS} = 0V$ を基準としています。

Note 3: 代表値は $V_{DDIO} = V_{DDSD} = +3.3V$ 、 $V_{DDD} = V_{DDPLL} = +2.5V$ 、 $T_A = +25$ です。

Note 4: 仕様は設計によって保証されています。

Note 5: $R_L = 75$ 、AC 結合 @270Mbps、 $R_{REFLVL} = R_{REFPRE} = 4.75k \pm 1\%$ 。「テスト負荷」と「テスト回路」セクションを参照。

Note 6: $R_L = 75$ 、AC 結合 @1,485Mbps、 $R_{REFLVL} = R_{REFPRE} = 4.75k \pm 1\%$ 。「テスト負荷」と「テスト回路」セクションを参照。

Note 7: 最初の DV_{CLK} サイクルの立ち上がりエッジから LOCK DETECT 出力が High (真) になるまでの時間を測定しています。ロック時間にはフォーマット検出時間と PLL ロック時間が含まれます。

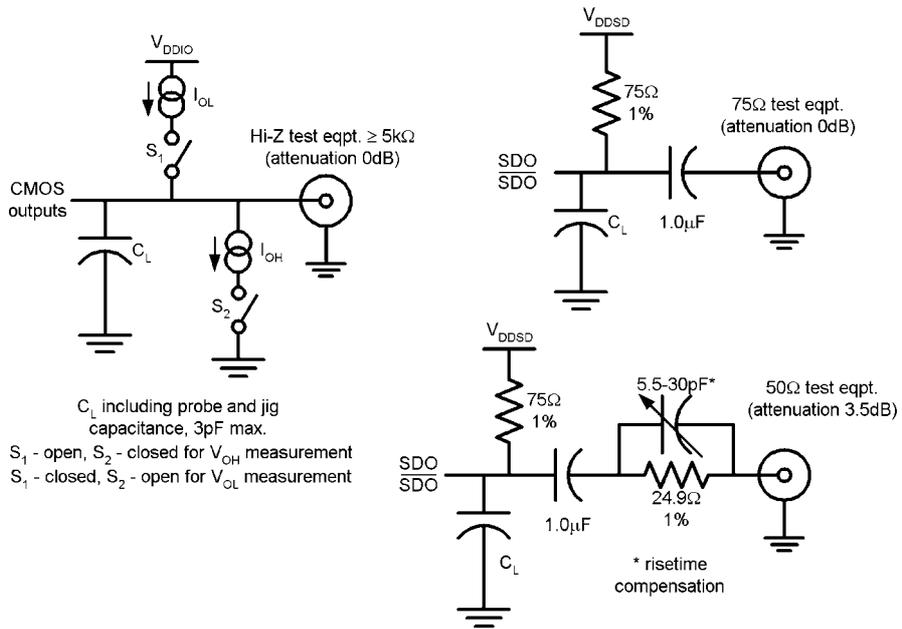
Note 8: 立ち上がりエッジ間を測定した平均値は、少なくとも 1 ビデオ・フィールドにわたる計算から得ています。

Note 9: 内在するタイミング・ジッタは、SMPTE RP 184-1996、SMPTE RP 192-1996、および、適用可能なシリアル・データ転送スタンダード SMPTE 259M-1997 か SMPTE 292M-1998 に従って測定しています。カラーバー・テストパターンを使用しています。 f_{SCLK} の値は、SMPTE 259M では 270MHz または 360MHz、SMPTE 344M では 540MHz、SMPTE 292M シリアル・データレートでは 1485MHz です。「タイミング・ジッタのハンドパス」セクションを参照してください。

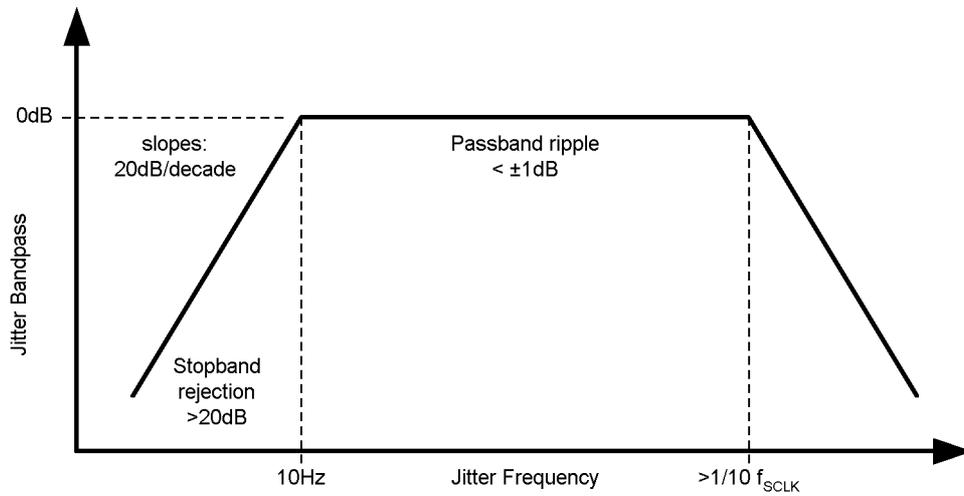
Note 10: SMPTE RP 184-1996 は内在ジッタを「入力ジッタのない状態での機器出力におけるジッタ」として定義しています。この定義を本デバイスに適用する場合、入力ポートは V_{CLK} であり、出力ポートは SDO または \overline{SDO} です。

Note 11: 仕様は特性測定によって保証されています。

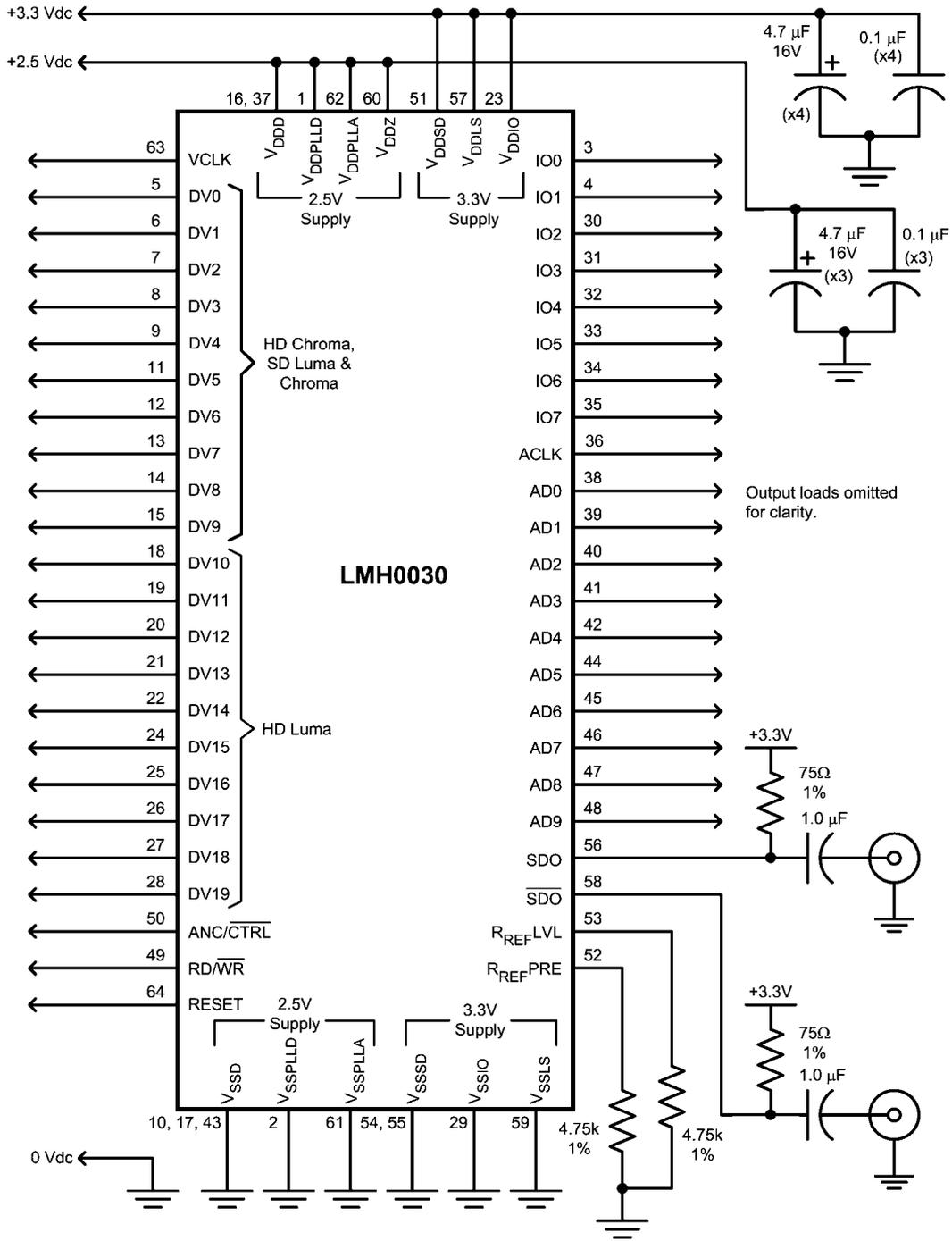
テスト負荷



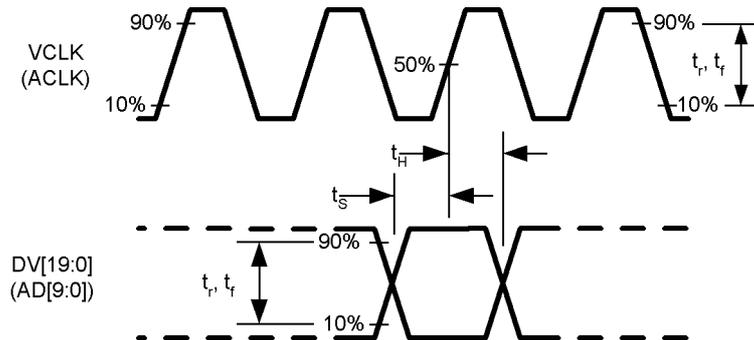
タイミング・ジッタのバンドパス



テスト回路



タイミング図



デバイスの動作

LMH0030 SDTV/HDTV シリアライザは、カメラ、ビデオ・テープレコーダ、テレビ、ビデオ・テスト機器など、デジタル・ビデオ信号を発生する機器で使用します。LMH0030 は、パラレルで与えられる SDTV または HDTV のコンポーネント・デジタル・ビデオ信号を、シリアル・フォーマットに変換して出力します。デバイスのロジック・レベルは通常 LVCMOS ロジック素子によって生成されます。エンコーダは SMPTE 259M、SMPTE 344M、あるいは SMPTE 292M に適合するシリアル・デジタル・ビデオ (SDV) 信号を生成します。LMH0030 はパラレル・レート 27.0MHz、36.0MHz、54.0MHz、74.176MHz、74.25MHz で使用されます。対応するシリアル・データレートは、270Mbps、360Mbps、540Mbps、1.4835Gbps、1.485Gbps です。

ビデオ・データ・パス

入力データ・レジスタは、LVCMOS 互換レベルを持つ、10 ビットの標準品位、または 20 ビットの高品位パラレル・データと、対応するパラレル・クロック信号を受信します。各パラレル・ビデオ・データ入力 **DV[19:0]** には内部プルダウン素子が設けられています。**VCLK** は内部プルダウンはありません。パラレル・ビデオ・データは、125M、267M、260M、274M、295M、または 296M のいずれかの SMPTE 信号に準拠しているものとします。一部のセグメント・フレーム・フォーマットはサポートしていません。HDTV データの場合、DV 入力の上位 10 ビットが輝度 (ルミナンスあるいは Y) 情報で、下位 10 ビットが色差 (クロミナンスあるいは Cb/Cr) 情報です。SDTV データの場合、下位 10 ビットに Y 情報とクロマ情報の両方が含まれています。レジスタからの出力は、ビデオ FIFO、ビデオ・フォーマット検出回路、TRS キャラクタ検出回路、SMPTE スランブラ、EDH/CRC ジェネレータ、シリアライザ/NRZI コンバータ、デバイス制御システムに供給されます。

入力データ・レジスタのデータは、エンコード処理などを行う前に、深さ 4 段の **ビデオ FIFO** に送られます。FIFO の深さは **ANC 0** コントロール・レジスタの **VIDEO FIFO DEPTH[2:0]** ビットで設定します。

ビデオ・フォーマット検出回路は、パラレル入力データのラスタ特性 (ビデオ・データ・フォーマット) を自動的に判定し、データを適切に取り扱えるように LMH0030 を設定します。この動作によって、データの適切なフォーマット処理、適切なデータレートの選択、正しいライン数 (HD) と CRC/EDH データのアンシラリ・データの挿入が、それぞれ保証されます。処理中のスタンダード種別は **FORMAT 1** レジスタ内の **FORMAT[4:0]** ビットに格納されます。フォーマット検出データは、設定によって、マルチファンクション I/O ポートから出力させることも可能です。

LMH0030 は通常自動フォーマット検出モードで動作します。**FORMAT 0** レジスタに適切な **FORMAT SET[4:0]** コントロール・

データを書き込むことで、特定のビデオ・フォーマットのみ処理することもできます。**FORMAT SET[4:0]** のデフォルト値は 0000b です。また、**FORMAT 0** レジスタ内の **SD ONLY** ビットを設定すれば LMH0030 は標準品位のデータ・フォーマットのみを取り扱うように、あるいは **HD ONLY** ビットをセットすれば高品位データ・フォーマットのみを取り扱うように構成されます。両方のビットをリセットするとデバイスはデータレートを自動的に選択します。

TRS キャラクタ検出回路はラスタ・フレーミングを制御するタイミング基準信号を処理します。TRS 検出回路は、有効なビデオ・データの存在を識別するために、制御信号をシステム・コントローラに供給します。システム・コントローラは必要な制御信号を EDH/CRC 制御ブロックに供給します。また、ITU-R BT.601 で規定されている TRS キャラクタ LSB クリッピングを実装しています。LSB クリッピングは、000h から 003h の範囲にあるすべての TRS キャラクタを 000h に強制的に変更するとともに、3FCh から 3FFh の範囲にあるすべての TRS キャラクタを 3FFh に強制的に変更します。クリッピング処理はスクランブル処理や EDH/CRC キャラクタ生成の前に実行されます。

LMH0030 は **LSB ディザ回路**を内蔵しています。**VIDEO INFO 0** レジスタ内の **DITHER ENABLE** ビットをセットするとディザ機能が有効になります。また、**VIDEO INFO 0** レジスタ内の **V DITHER ENABLE** ビットをセットすると、垂直帰線期間中のディザが有効になります。**DITHER ENABLE** と **V DITHER ENABLE** の初期値は OFF です。

SMPTE スランブラは、10 ビット標準品位または 20 ビット高品位のパラレル・ビデオ・データを受け取り、SMPTE 259M、SMPTE 344M、または SMPTE 292M 各スタンダードで規定されているとおり、 $X^9 + X^4 + 1$ 多項式を使ってデータをエンコードします。続いてデータはシリアライズされ、出力される前に **NRZ-to-NRZI** コンバータに送られます。送信ビット順は LSB が先頭です。

NRZ-to-NRZI コンバータは NRZ シリアル・データを SMPTE スランブラから受け取ります。データは $(X + 1)$ 多項式を使って NRZI フォーマットに変換されます。コンバータの出力は出力ケーブル・ドライバ・アンプに送られます。

アンシラリ/コントロール・データパス

10 ビット双方向の **アンシラリ/コントロール・データ・ポート**は 2 つの異なる機能に使われます。1 つは、ビデオ・データ・ストリームへの挿入に必要なアンシラリ・データを、アンシラリ・データ FIFO に選択的にロードします。デバイス内でのアンシラリ・データの利用方法とフローは、コントロール・レジスタ内の制御ビット、マスクビット、ID ビットの組み合わせで制御されます。もう 1 つは、このポートを使って **コンフィグレーション / コントロール・レジスタ**のリード/ライト・アクセスを行います。

デバイスの動作 (つづき)

アンシラリ・データと制御データは、10ビットのアンシラリ・コントロール・データ・ポート **AD[9:0]** を介して入力されます。**RD/WR** 制御入力の状態によって、レジスタからのデータ・リード、あるいはレジスタへのライトかアンシラリ・データ FIFO へのライトを指定します。また、**ANC/CTRL** 制御入力の状態によって、アンシラリ・データ・アクセスかコントロール・データ・アクセスのいずれかを指定します。

ACLK 入力信号はポートを介したデータフローを制御します。**ACLK** の動作と周波数はビデオ・データ・クロック **VCLK** とは独立です。ただし、**ACLK** の周波数は **VCLK** の周波数以下でなければなりません。コントロール・レジスタのアクセスでは **ACLK** に周波数の下限はありません。**ANC/CTRL** 入力が高の場合、**ACLK** はアンシラリ・データ FIFO への書き込み動作に作用します。**ANC/CTRL** 入力が高の場合、**ACLK** はコントロール・レジスタのリード/ライト動作に作用します。

入力 **AD[9:0]**、**RD/WR**、**ANC/CTRL** は内部でプルダウンされています。**ACLK** は内部でプルダウンされていません。

コントロール・レジスタのリード機能

コントロール・データのリード/ライトは、アンシラリ・コントロール・データ・ポートの下位 8ビット **AD[7:0]** を使います。コントロール・データによって、LMH0030 の初期化、監視、あるいは制御が行われます。ポートの上位 2ビット **AD[9:8]** はデバイスがポートをアクセスするときのハンドシェイク信号です。コントロール・レジスタに対するリード・アドレスまたはライト・アドレスをポートに書き込む場合、**AD[9:8]** に 00b (**AD[7:0]** を **XX** とすると **0XXh**) を与えます。コントロール・データをポートに書き込むときは、**AD[9:8]** に 11b (**AD[7:0]** を **XX** とすると **3XXh**) を与えます。コントロール・レジスタの内容をポートから読み出すときは、LMH0030 は **AD[9:8]** に 10b (**XX** を出力データ **AD[7:0]** とすると **2XXh**) を出力しますが、外部システムでは無視してかまいません。

Note: デバイスに最初に電源を与えたとき、またはリセットの直後は、アンシラリ・コントロール・データ・ポートがデータを受信できるように初期化が必要です。初期化は **ACLK** を 3 回グルルします。

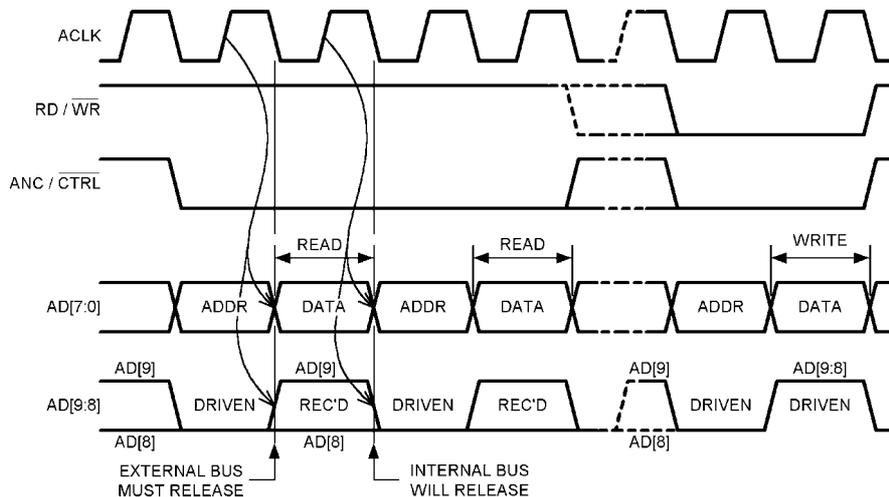


FIGURE 1. Control Data Read Timing (2 read and 1 write cycle shown)

コントロール・データのライト機能

アンシラリ / コントロール・データ・ポートを経由してコントロール・データを書き込むときのクロックと制御信号のシーケンスを Figure 2 に示します。コントロール・データ・ライト・モードの動作はリード・モードと同様です。**ANC/CTRL** 入力と **RD/WR** 入力の両方を Low にするとコントロール・データ・ライト・モードが始まります。次に、アクセス対象のコントロール・レジスタの 8ビット・ア

ドレスを、ポートのビット **AD[7:0]** に与えます。コントロール・レジスタのリード・アドレスをポートに与えるときは **AD[9:8]** を 00b に駆動します (**AD[7:0]** を **XX** とすると **0XXh**)。続いて **ACLK** をグルルします。アドレスは **ACLK** の立ち上がりエッジで取り込まれます。ポート入力のホールド・タイミング規定に注意してください。

選択したレジスタからの読み出しデータは、**ACLK** の立ち上がりエッジから数 ns 後に、ポートから出力されます。ポート上での信号衝突を防ぐために、デバイスにアドレスを与えたらすぐにアドレス・ドライバをオフにするかトライステート状態にしてください。アドレス信号が駆動されていないければ、外付けデバイスは任意のタイミングでデータを読み取れます。出力データは次の **ACLK** の立ち上がりまで駆動されます。ホスト・システムがデータの読み取りを完了したら、**ACLK** をもう一度グルルしてください。この 2 回目のクロックによって出力モードだったポートは入力モードへとリセットされ、次のアクセス・サイクルに備えます。コントロール・データをポートから読み出すと LMH0030 が **AD[9:8]** に 10b (**XX** を出力データ **AD[7:0]** とすると **2XXh**) を出力しますが、外部システムでは無視してかまいません。

例: **AD** ポートを介して **FULL-FIELD FLAGS** を読み出す

1. **ANC/CTRL** を Low にします。
2. **RD/WR** を High にします。
3. レジスタ・アドレスとして **AD[9:0]** に 001h を与えます。
4. **ACLK** をグルルします。
5. **AD** ポートへのバス駆動を開放します。
6. **AD** ポートのデータを読み取ります。FULL-FIELD FLAGS はビット **AD[4:0]** です。
7. **ACLK** をグルルして **AD** ポートを開放します。

ドレスを、ポートのビット **AD[7:0]** に与えます。コントロール・レジスタのライト・アドレスをポートに与えるときは、**AD[9:8]** を 00b に駆動します (**AD[7:0]** を **XX** とすると **0XXh**)。続いて **ACLK** をグルルします。アドレスは **ACLK** の立ち上がりエッジで取り込まれます。クロックを与えた直後 **ACLK** の立ち下がりエッジの前に、アドレスの駆動を停止してください。ポート入力のホールド・タイミング規定に注意してください。

デバイスの動作 (つづき)

次に、コントロール・レジスタ・データを **AD[7:0]** に与えます。**ACLK** をもう一度トグルします。指定したレジスタに **ACLK** の立ち上がりエッジでデータが書き込まれます。ポートにコントロール・データを書き込むときは、**AD[9:8]** に 11b を与えます (**AD[7:0]** を XX とすると 3XXh)。クロックを与えたあと、または **ACLK** の立ち下がりエッジの前に、レジスタ・データの駆動を停止します。ポート入力のホールド・タイミング規定を参照してください。

例：AD ポートを介して TPG Mode に設定する (イネーブルにはしない)。設定データは、1125 ライン、30 フレーム、74.25MHz、テストパターンはインターレース・コンポーネント (SMPTE 274M) のカ

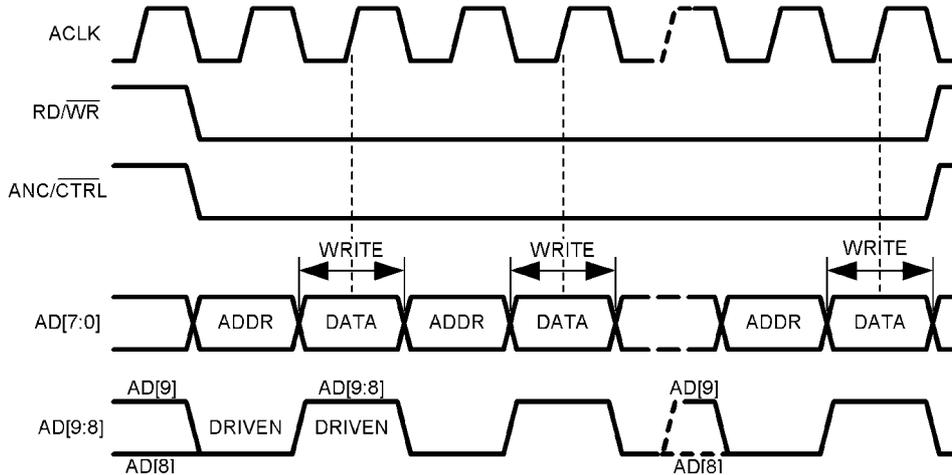


FIGURE 2. Control Data Write Timing

アンシラリ・データ機能

LMH0030 はアンシラリ・データをシリアル・コンポーネント・ビデオ・データ・ストリームにマルチプレクスします。アンシラリ・データ・パケット構造、フォーマット処理、制御ワードは、SMPTE 291M スタンドアードで規定されています。データは水平帰線期間部分と垂直帰線期間部分に存在します。データはオーディオ・データを含む複数のメッセージ・パケット・タイプで構成されます。LMH0030 は、標準品位コンポーネント・ビデオの HANC と VANC 領域内のアンシラリ・データと、高品位動作ではクロミナンス・チャンネル (Cr/Cb) 内のみアンシラリ・データをサポートします。埋め込み (マルチプレクス) オーディオ・データに適用する場合、この機能は AES/EBU デフォルト Level A データ・ハンドリングの推奨手順に従います。

アンシラリ・データをポートに書き込む場合のクロック、データ、制御信号のシーケンスを、Figure 3 に示します。アンシラリ・データ・ライト・モードでは、10 ビット・アンシラリ・データは、**AD[9:0]** ポートを經由してアンシラリ・データ FIFO に書き込まれます。FIFO のアンシラリ・データは、シリアル・ビデオ・データ・ストリーム内のアンシラリ・データ領域に挿入されます。アンシラリ・データは、アンシラリ・データ・モード時のみ FIFO に書き込まれます。アンシラリ・データは AD ポート経由で FIFO から読み出すことはできません。

アンシラリ・データを FIFO にロードする処理はアクティブなビデオ・ライン区間中に行われます。アクティブ・ビデオ・ライン区間の発生は、TRS シーケンスの 4 番目のワードの H ビットで示されます。H ビットは I/O ポート・ビット 2 からアクセス可能です。

ラバーとする。TPG はセットアップ後にマルチファンクション I/O ポートまたはコントロール・レジスタを使ってイネーブルにする。

1. **ANC/CTRL** を Low にします。
2. **RD/WR** を Low にします。
3. **AD[9:0]** に TEST 0 レジスタ・アドレスの 00Dh を与えます。
4. **ACLK** をトグルします。
5. レジスタ・データとして 327h を **AD[9:0]** に与えます。
6. **ACLK** をトグルします。

アンシラリ・データの書き込み処理を開始するには、**ANC/CTRL** 入力を High にし **RD/WR** 入力を Low にします。次に、DID ワードを先頭とする SMPTE 291M で規定されるシーケンスに従って、データワードをポートに与えます。定められているセットアップ時間とホールド時間のパラメータの範囲でポートに与えたデータは、**ACLK** の立ち上がりエッジで FIFO に書き込まれます。チェックサムを含めて ANC 入力データを与えるオプションと、LMH0030 がチェックサムを計算して追加するオプションとがあります。LMH0030 はビデオ・データとマルチプレクスする前に、アンシラリ・データ・フラグを各パケットに自動的に追加します。

FIFO へのアンシラリ・データの書き込みは、実質的にダブル・バッファ・ライト動作として行われます。そのため、データ・パケットの最終ワードである CRC を適切に FIFO に書き込むには、CRC が ANC データ・パケットと一緒に供給されたか内部で生成されたかに関わらず、最終データワードがポートに取り込まれたあと (または CRC が内部で生成され追加されたあと) で、**ACLK** を 2 回トグルする必要があります。複数パケットを FIFO にロードする場合、ポートが最終パケットの最終ワードを受信したのちに、**ACLK** を追加的にトグルします。

アンシラリ・データの FIFO 書き込みで、パケットの取り扱いとビデオ・データ・ストリームへの挿入は、コントロール・レジスタ内のマスキング・ビットとコントロール・ビットの組み合わせによって制御されます。これらと **CHKSUM ATTACH IN** などのアンシラリ・データ制御機能は、本データシートの中で後述します。

デバイスの動作 (つづき)

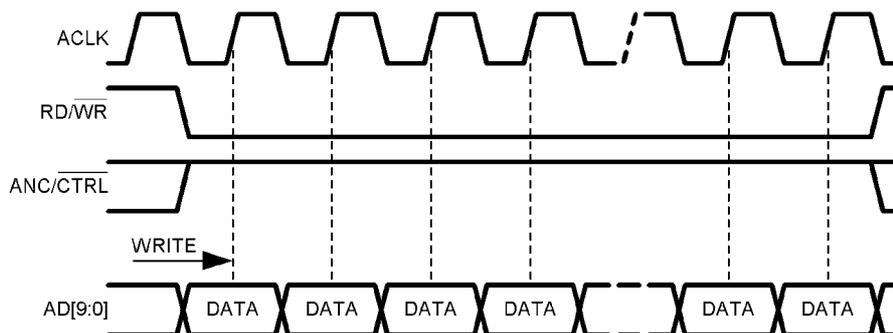


FIGURE 3. Ancillary Data Write Timing

マルチファンクション I/O ポート

マルチファンクション I/O ポートの設定によって、LMH0030 のコンフィギュレーション / コントロールレジスタの各制御機能と各インジケータ機能に、直接アクセスできます。このポートを構成するそれぞれのピンは、コントロールレジスタ内の選択ビットの入力または出力に割り当てることが可能です。マルチファンクション I/O ポートは、I/O PIN 0 CONFIG から I/O PIN 7 CONFIG までの 8×6 ビットのレジスタバンクを使って構成します。I/O PIN CONFIG レジスタに設定するコードによって、指定したコントロールレジスタビットが特定の I/O ピンに割り当てられます。ポートからアクセス可能な制御機能とインジケータ、対応する指定アドレスは、Table 6 の I/O Pin Configuration Register Addresses にまとめられています。Table 2 はコントロールレジスタのビット配置を示します。

注意: マルチファンクション I/O ポートを介してコントロールレジスタにデータを書き込む場合、データをレジスタに転送するために ACLK を Figure 4 に示すようにトグルしてください。マルチファンクション I/O ポートからのデータ読み出しでは ACLK をトグルする必要はありません。

例: マルチファンクション I/O ポートのビット 0 を SAV ビットの出力として設定する。

1. ANC/CTRL を Low にします。
2. RD/WR を Low にします。
3. I/O PIN 0 CONFIG レジスタアドレスを示す 00Fh を AD[9:0] に与えます (Table 3 参照)。
4. ACLK をトグルします。
5. レジスタデータとして AD[9:0] に 30Dh を与えます (Table 6 参照)。
6. ACLK をトグルします。

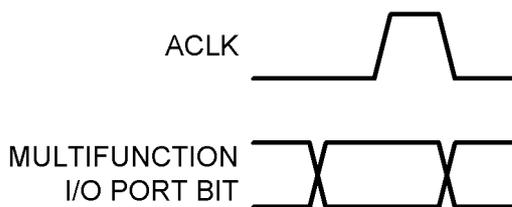


FIGURE 4. I/O Port Data Write Timing

EDH/CRC ブロック

LMH0030 は EDH と CRC のキャラクタ生成 / 挿入回路を搭載しています。EDH システムは SMPTE Recommended Practice RP-165 で規定されているとおりに機能します。CRC システムは SMPTE 292M で規定されているとおりに機能します。EDH/CRC 多項式ジェネレータは、入力レジスタからパラレルデータを受け取って、シリアルデータに挿入する EDH と CRC のチェックワードを生成します。入力パラレルデータに対してエラーチェックを行い、EDH フラグを自動的に更新します。EDH チェックワードと SDTV データのステータスフラグは、SMPTE RP165 に従い、多項式 $X^{16} + X^{12} + X^6 + 1$ を使って生成されます。EDH チェックワードはアンシラリデータ領域の正しい位置でシリアルデータストリームに挿入され、SMPTE 291M に従ってフォーマットされます。EDH チェックワードの生成と自動挿入は、コントロールレジスタの EDH Force と EDH Enable で制御します。リセット後の初期状態の EDH と CRC のチェックキャラクタはどちらも 00h です。

SMPTE 292M 高品位ビデオスタンダードは EDH の代わりに CRC (巡回冗長検査符号) エラー検出を採用しています。この CRC は、SMPTE 292M に従い、多項式 $X^{18} + X^5 + X^4 + 1$ を使って生成される 2 個の 18 ビットワードで構成されます。ルミナンスに 1 ワードの CRC が、クロミナンスデータに 1 ワードの CRC が使われます。CRC データは、SMPTE 292M に従い、ビデオデータ内の必要な位置に挿入されます。CRC はデータストリーム内で EAV とライン番号キャラクタのあとに現れます。

EDH と CRC のエラーはコンフィギュレーション / コントロールレジスタの EDH0、EDH1、EDH2 レジスタによって報告されます。

位相ロック・ループ機能ブロック

位相ロック・ループ (PLL) 機能ブロックは、パラレルデータ・クロック周波数の 10 倍 (標準品位) または 20 倍 (高品位) で、出力シリアルデータを生成します。この機能ブロックは、VCO、分周回路、位相周波数検出回路、内部ループ・フィルタで構成されています。VCO のフリーラン周波数は内部で設定されています。パラレルデータ・クロック VCLK が PLL の基準クロックになります。PLL はシリアルクロックレートに必要な周波数を自動的に生成します。ループ・フィルタは LMH0030 に内蔵されています。VCO のアナログ電源ピンとデジタル電源ピンはそれぞれ分かれています。62 ピンの V_{DDPLL}、61 ピンの V_{SPLL}、1 ピンの V_{DDPLL}、2 ピンの V_{SPLL} が該当します。必要に応じて、外付けローパス・フィルタを介して別々の電源を供給してもかまいません。PLL のロック時間は 1485MHz で 200μs 以下です。VCLK が供給されない状態では VCO は停止します。

デバイスの動作 (つづき)

VIDEO INFO 0 コントロール・レジスタには **LOCK DETECT** インジケータ・ビットが割り当てられています。PLL がロックして有効なフォーマットが検出されると **LOCK DETECT** が 1 になります。マルチファンクション I/O ポート上の出力として割り当てることができます。パワーオン・リセット後のデフォルトでは、**LOCK DETECT** は I/O ポートのビット 4 に割り当てられています。この機能ブロックには、PLL がロックしデジタル・ロジック・リセットがネゲートされたあとの、デバイスの安定性を検証するロジックも搭載されています。システムが完全に安定でない場合、ロジックは自動的にリセットされます。また **LOCK DETECT** には、LMH0030 が受信中のビデオ・フォーマットを判定したことを示す機能もあります。フォーマット検出は、ライン長やフレーム内のビデオ・ライン数などの主なラスタ・パラメータの判定によって行われます。フォーマット判定によってライン数のような情報が適切に挿入されるようになります。PLL は 200 μ s (HD レート) 以下でロックします。ただし、各ラスタ・パラメータの解決に必要な時間がフレームの大半を占めます。

シリアル・データ出力ドライバ

serial data outputs には低スキューの相補信号 (差動信号) がペアを構成しています。出力バッファは電流モード回路で、AC 結合の 75 Ω 同軸ケーブル終端を駆動することを想定しています。処理中のデータレートに応じてドライバは自動的に出力スレーブレートを調整します。出力レベルは 75 Ω AC 結合負荷を駆動したときに 800mV_{p-p} \pm 10% です。SDO 出力に接続された 75 Ω 抵抗は、ドレイン負荷とバック (ソース) 整合抵抗の両方として機能します。この出力タイプでは直列バック整合抵抗は使用しません。

シリアル出力レベルは 53 Ω に接続する抵抗 R_{REFLVL} と 52 Ω に接続する抵抗 R_{REFPRE} の値によって設定します。 R_{REFLVL} は SMPTE 公称レベルに求められる出力信号のピーク・ツー・ピークを設定します。 R_{REFPRE} は HD レート信号出力時にアクティブになるプリエンファシス電流量を設定します。 R_{REFLVL} の値は通常 4.75k Ω \pm 1% です。 R_{REFPRE} の値は通常 4.75k Ω \pm 1% です。これらのピンに現れる電圧はおよそ +1.3Vdc です。出力バッファ回路の遷移時間は、HD レート条件と SD レート条件とで異なるように、自動的に調整されます。PLL がロックされていない状態では出力バッファは非活動状態になります。PLL がロックし有効なフォーマットが検出されると出力はアクティブになります。シリアル出力ドライバには専用の電源ピンが割り当てられています。54 ピン、55 ピン、59 ピンの V_{SSSD} 、51 ピンの V_{DDSD} 、57 ピンの V_{DDL} が電源ピンです。

注意: 出力バッファが 50 Ω 等のインピーダンス負荷を駆動することは、想定も規定もされていません。

電源、パワーオン・リセット、リセット入力

LMH0030 は、コアロジック機能部分用に 2.5V と、I/O 機能用に 3.3V の、2 系統の電源が必要です。電源は適切なシーケンスに従ってデバイスに与えなければなりません。3.3V 電源は、2.5V 電源より先か同時に与えてください。2.5V 電源を 3.3V 電源より先か同時に与えてはなりません。このシーケンス要件を満たすために、3.3V 電源が 2.5V 電源の印加を制御するように、構成または設計することを推奨します。

LMH0030 は自動パワーオン・リセット回路を内蔵しています。リセットはデバイスを初期化し、また、TRS 検出回路、すべてのラッチ、レジスタ、カウンタ、多項式ジェネレータをクリアし、EDH/CRC キャラクタを 00h に設定し、シリアル出力をディスエーブルにします。Table 1 にコンフィギュレーション / コントロール・レジスタの初期値を示します。マニュアル・リセット入力はアクティブ High で 64 ピンです。リセット入力は内部でプルダウンされ、開放の場合はインアクティブとして解釈されます。

重要: 電源をデバイスに最初に与えたとき、またはリセット後は、データを受信できるようにアンシラリ / コントロール・データ・

ポートの初期化が必要です。初期化には **ACLK** を 3 回トリグリングします。

テストパターン・ジェネレータ (TPG) とビルトイン・セルフテスト (BIST)

LMH0030 は **テストパターン・ジェネレータ (TPG)** を内蔵しています。各データレート、HD と SD フォーマット、NTSC と PAL スタンド、4 \times 3 と 16 \times 9 のラスタ・サイズのそれぞれに対応する 4 種類のテストパターンが用意されています。テストパターンは、フラット・フィールド黒、PLL パノロジカル、イコライザ (EQ) パノロジカル、75% 8 色垂直バーパターンの 4 種類です。パノロジカルで使われるテストデータは、SMPTE RP 178-1996 の推奨に従ったものです。カラーバー・パターンには、バーと次のバーの遷移でクロマ・データとレマ・データのコード帯域を制限するオプションが設けられています。カラーバー・フィルタ機能は **VIDEO INFO 0** コントロール・レジスタ内の **VPG FILTER ENABLE** ビットで設定します。**VPG FILTER ENABLE** のデフォルトはオフです。

TPG はデバイスの機能を検証する **ビルトイン・セルフテスト (BIST)** としても機能します。BIST 機能は包括的な合否試験をデバイスに対して行います。270Mbps NTSC フルフィールド・カラーバーか PAL PLL パノロジカルの 2 種類の SD テストパターンのいずれか、または HD カラーバー・テストパターンをテストデータとして使い、テストを実行します。データは入力データ・レジスタに内部で供給され、デバイス内で処理され、SD では EDH システムか HD では CRC システムのいずれかを使って誤りが試験されます。合否の結果は **TEST 0** コントロール・レジスタの **Pass/Fail** ビットにロギングされます。このビットはマルチファンクション I/O ポートに出力として割り当てすることも可能です。

TEST 0 レジスタの **TEST PATTERN SELECT[5:0]** ビットに所望のテストパターンのコードをロードすると、TPG または **BIST** の動作が始まります。利用可能なテストパターンとコードを Table 5 に示します (レジスタに最初のロードを試みる前に、**ACLK** を少なくとも 3 回トリグリングして、アンシラリ・データ・ポート制御ロジックを初期化するという要件を忘れないようにしてください)。パワーオン後のデフォルト状態では、**TPG ENABLE** ビットはマルチファンクション I/O ポートのビット 7 に割り当てられています。TPG を動作させるには、フォーマットと選択したレートに合った周波数を **VCLK** 入力に与え、次に、マルチファンクション I/O ポートの **TPG ENABLE** 入力を設定するか、**TEST 0** レジスタ内の **TPG ENABLE** ビットをセットします。

重要: **TPG ENABLE** 入力がデフォルトのとおり I/O ポートにマップされているにもかかわらず、TPG モードのイネーブルに使用しない場合は、**TEST 0** レジスタのビット 6 をセットして TPG 動作をイネーブルにしようとしても TPG は動作しません。その理由は、I/O ポートに備わる入力プルダウンによってロジック・レベルは 0 になり、レジスタの設定に優先するためです。結果として TPG は動作しません。

テスト結果は **TEST 0** コントロール・レジスタ内の **PASS/FAIL** ビットに示されます。エラーが検出されなかった場合、このビットは **TPG ENABLE** がセットされておおよそ 2 フィールド区間後に 1 にセットされます。エラーが LMH0030 の内部回路で検出されると、**PASS/FAIL** はロジック 0 のままです。TPG または BIST 動作は **TPG ENABLE** をリセットすると停止します。TPG または BIST 動作中は SDO からシリアル出力データが出力されます。

注意: TPG または BIST を電源投入直後あるいはデバイスのリセット直後に起動しようとした場合、TPG は 270Mbps SD レートをデフォルトとするため、 V_{CLK} 入力に 27MHz を期待します。その理由は、**TEST 0** レジスタ内のテストパターンのコードが、00h (525 ライン、30 フレーム、27MHz、NTSC 4 \times 3 基準黒) に設定されているためです。デバイスが期待している **TEST 0** レジスタの設定周波数より高い周波数を V_{CLK} に与えると、PLL は最高周波数に上昇してロックアップする可能性があります。この状態はデバ

デバイスの動作 (つづき)

この RESET 入力では回復できません。この状態から回復するには、電源をいったん遮断して、もう一度与える必要があります。内部プルダウンを持たない V_{CLK} は適切な入力条件を維持することが不可欠であり、特に電源投入やリセット・シーケンス時を含め、いかなるときもノイズや好ましくない信号の混入を防がなければなりません。デバイスの初期化とコンフィギュレーションが完了するまで、 V_{CLK} は与えないようにしてください。

例: NTSC 270Mbps カラーバーを BIST と TPG パターンとして使うよう設定して、TPG モードをイネーブルにする。TPG 動作は I/O ポートを使ってイネーブルにする。

1. $\overline{ANC/CTRL}$ を Low にします。
2. $\overline{RD/WR}$ を Low にセットします。
3. **TEST 0** レジスタ・アドレスとして **AD[9:0]** に 00Dh を与えます。
4. **ACLK** をトグルします。
5. レジスタ・データとして **AD[9:0]** に 303h を与えます (525 ライン、30 フレーム、27MHz、NTSC 4 × 3 カラーバー (SMPTE 125M))。
6. **ACLK** をトグルします。
7. **TPG ENABLE** (I/O ポート、ビット 7) を High にします。
8. **ACLK** をトグルします。
9. **PASS/FAIL** インジケータ (I/O ポート、ビット 6) でテスト結果を確認します。または **TEST 0** レジスタを読み出します。ビット 7 が PASS/FAIL インジケータ・ビットです。

コンフィギュレーション / コントロール・レジスタ

コンフィギュレーション / コントロール・レジスタには、LMH0030 の動作モードを設定するデータと、その動作による結果データが格納されます。これらのレジスタの多くはマルチファンクション I/O ポートにマッピングでき、外部 I/O 機能として利用することが可能です。各レジスタの機能と初期値を Table 1 に、詳細を Table 2 に示します。マルチファンクション I/O ポートのパワーオン・デフォルト値は Table 1 に示され、詳細は Table 6 を参照してください。

デバイスの動作 (つづき)

TABLE 1. Configuration and Control Data Register Summary

Register Function	Bits	Read or Write	Initial Condition (Note 13)	Assignable to I/O Bus as	Notes
EDH Error (SD)	1	R		Output	(Note 13)
Full-Field Flags	5	R	Reset	No	
Active Picture Flags	5	R	Reset	No	
ANC Flags	5	R	Reset	No	
EDH Force	1	R/W	OFF	Input	
EDH Enable	1	R/W	ON	Input	
F/F Flag Error	1	R	Reset	Output	
A/P Flag Error	1	R	Reset	Output	
ANC Flag Error	1	R	Reset	Output	
ANC Checksum Force	1	R/W	OFF	Input	
ANC Checksum Error	1	R	Reset	Output	
FIFO Empty	1	R	Set	Output	
FIFO Full	1	R	Reset	Output	
FIFO Overrun	1	R	Reset	Output	
Video FIFO Depth	3	R/W	000b	No	
ANC ID	16	R/W	0000h	No	
ANC Mask	16	R/W	FFFFh	No	
FIFO Flush Static	1	R/W	OFF	No	
Chksum Attach In	1	R/W	OFF	Input	
FIFO Insert Enable	1	R/W	OFF	Input	
ANC Parity Mask Disable	1	R/W	OFF	No	
VANC	1	R/W	OFF	No	
Switch Point 0	8	R/W	00h	No	
Switch Point 1	8	R/W	00h	No	
Switch Point 2	8	R/W	00h	No	
Switch Point 3	8	R/W	00h	No	
Format Set	5	R/W	OFF	No	
SD Only	1	R/W	OFF	No	
HD Only	1	R/W	OFF	No	
Format	5	R		Output	Format [4] (Note 12)
H	1	R		Output	(Note 12)
V	1	R		Output	(Note 12)
F	1	R		Output	(Note 12)
Test Pattern Select	6	R/W	00000b	Input	525/27 MHz/Black
TPG Enable	1	R/W	OFF	Input	(Note 12)
Pass/Fail	1	R		Output	(Note 12)
New Sync Position (NSP)	1	R		Output	
SAV	1	R		Output	
EAV	1	R		Output	
Lock Detect	1	R		Output	(Note 12)
VPG Filter Enable	1	R/W	OFF	Input	
Dither_Enable	1	R/W	OFF	Input	
Vert. Dither_Enable	1	R/W	OFF	No	
Scrambler_Enable	1	R/W	ON	No	

デバイスの動作 (つづき)

TABLE 1. Configuration and Control Data Register Summary (continued)

Register Function	Bits	Read or Write	Initial Condition (Note 13)	Assignable to I/O Bus as	Notes
NRZI_Enable	1	R/W	ON	No	
LSB_Clippping	1	R/W	ON	No	
SYNC_Detect_Enabl e	1	R/W	ON	No	
I/O Bus Pin Config.	48	R/W	See Table 6	No	

Note 12: パワーオン時にマルチファンクション I/O に接続。

Note 13: ON = ロジック1、OFF = ロジック0 (正論理)

TABLE 2. Control Register Bit Assignments

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EDH 0 (register address 01h)							
EDH ERROR (SD)	EDH FORCE	EDH ENABLE	F/F FLAGS(4)	F/F FLAGS(3)	F/F FLAGS(2)	F/F FLAGS(1)	F/F FLAGS(0)
EDH 1 (register address 02h)							
reserved	reserved	reserved	A/P FLAGS(4)	A/P FLAGS(3)	A/P FLAGS(2)	A/P FLAGS(1)	A/P FLAGS(0)
EDH 2 (register address 03h)							
F/F FLAG ERROR	A/P FLAG ERROR	ANC FLAG ERROR	ANC FLAGS (4)	ANC FLAGS(3)	ANC FLAGS (2)	ANC FLAGS(1)	ANC FLAGS(0)
ANC 0 (register address 04h)							
VIDEO FIFO DEPTH(2)	VIDEO FIFO DEPTH(1)	VIDEO FIFO DEPTH(0)	FIFO OVERRUN	FIFO EMPTY	FIFO FULL	ANC CHECK- SUM ERROR	ANC CHECK- SUM FORCE
ANC 1 (register address 05h) DID							
ANC ID(7)	ANC ID(6)	ANC ID(5)	ANC ID(4)	ANC ID(3)	ANC ID(2)	ANC ID(1)	ANC ID(0)
ANC 2 (register address 06h) SDID/DBN							
ANC ID(15)	ANC ID(14)	ANC ID(13)	ANC ID(12)	ANC ID(11)	ANC ID(10)	ANC ID(9)	ANC ID(8)
ANC 3 (register address 07h) DID							
ANC MASK(7)	ANC MASK(6)	ANC MASK(5)	ANC MASK(4)	ANC MASK(3)	ANC MASK(2)	ANC MASK(1)	ANC MASK(0)
ANC 4 (register address 08h) SDID/DBN							
ANC MASK(15)	ANC MASK (14)	ANC MASK(13)	ANC MASK (12)	ANC MASK(11)	ANC MASK (10)	ANC MASK(9)	ANC MASK(8)
ANC 5 (register address 17h)							
FIFO INSERT ENABLE	CHSUM ATTACH IN	reserved	reserved	FIFO FLUSH STATIC	reserved	reserved	reserved
ANC 6 (register address 18h)							
reserved	reserved	ANC PARITY MASK	reserved	reserved	reserved	reserved	VANC
SWITCH POINT 0 (register address 09h)							
LINE(7)	LINE(6)	LINE(5)	LINE(4)	LINE(3)	LINE(2)	LINE(1)	LINE(0)
SWITCH POINT 1 (register address 0Ah)							
PROTECT(4)	PROTECT(3)	PROTECT(2)	PROTECT(1)	PROTECT(0)	LINE(10)	LINE(9)	LINE(8)
SWITCH POINT 2 (register address 19h)							
LINE(7)	LINE(6)	LINE(5)	LINE(4)	LINE(3)	LINE(2)	LINE(1)	LINE(0)
SWITCH POINT 3 (register address 1Ah)							
PROTECT(4)	PROTECT(3)	PROTECT(2)	PROTECT(1)	PROTECT(0)	LINE(10)	LINE(9)	LINE(8)
FORMAT 0 (register address 0Bh)							
reserved	SD ONLY	HD ONLY	FORMAT SET(4)	FORMAT SET(3)	FORMAT SET(2)	FORMAT SET(1)	FORMAT SET(0)
FORMAT 1 (register address 0Ch)							
F	V	H	FORMAT(4)	FORMAT(3)	FORMAT(2)	FORMAT(1)	FORMAT(0)
TEST 0 (register address 0Dh)							

デバイスの動作 (つづき)

TABLE 2. Control Register Bit Assignments (continued)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PASS/FAIL	TPG ENABLE	TEST PATTERN SELECT(5)	TEST PATTERN SELECT(4)	TEST PATTERN SELECT(3)	TEST PATTERN SELECT(2)	TEST PATTERN SELECT(1)	TEST PATTERN SELECT(0)
VIDEO INFO 0 (register address 0Eh)							
DITHER ENABLE	VERT. DITHER ENABLE	VPG FILTER ENABLE	LOCK DETECT	EAV	SAV	NSP	reserved
MULTI-FUNCTION I/O BUS PIN CONFIGURATION							
I/O PIN 0 CONFIG (register address 0Fh)							
reserved	reserved	PIN 0 SEL[5]	PIN 0 SEL[4]	PIN 0 SEL[3]	PIN 0 SEL[2]	PIN 0 SEL[1]	PIN 0 SEL[0]
I/O PIN 1 CONFIG (register address 10h)							
reserved	reserved	PIN 1 SEL[5]	PIN 1 SEL[4]	PIN 1 SEL[3]	PIN 1 SEL[2]	PIN 1 SEL[1]	PIN 1 SEL[0]
I/O PIN 2 CONFIG (register address 11h)							
reserved	reserved	PIN 2 SEL[5]	PIN 2 SEL[4]	PIN 2 SEL[3]	PIN 2 SEL[2]	PIN 2 SEL[1]	PIN 2 SEL[0]
I/O PIN 3 CONFIG (register address 12h)							
reserved	reserved	PIN 3 SEL[5]	PIN 3 SEL[4]	PIN 3 SEL[3]	PIN 3 SEL[2]	PIN 3 SEL[1]	PIN 3 SEL[0]
I/O PIN 4 CONFIG (register address 13h)							
reserved	reserved	PIN 4 SEL[5]	PIN 4 SEL[4]	PIN 4 SEL[3]	PIN 4 SEL[2]	PIN 4 SEL[1]	PIN 4 SEL[0]
I/P PIN 5 CONFIG (register address 14h)							
reserved	reserved	PIN 5 SEL[5]	PIN 5 SEL[4]	PIN 5 SEL[3]	PIN 5 SEL[2]	PIN 5 SEL[1]	PIN 5 SEL[0]
I/O PIN 6 CONFIG (register address 15h)							
reserved	reserved	PIN 6 SEL[5]	PIN 6 SEL[4]	PIN 6 SEL[3]	PIN 6 SEL[2]	PIN 6 SEL[1]	PIN 6 SEL[0]
I/O PIN 7 CONFIG (register address 16h)							
reserved	reserved	PIN 7 SEL[5]	PIN 7 SEL[4]	PIN 7 SEL[3]	PIN 7 SEL[2]	PIN 7 SEL[1]	PIN 7 SEL[0]
TEST MODE 0 (register address 55h)							
reserved	reserved	SYNC DETECT ENABLE	LSB CLIPPING	reserved	NRZI ENABLE	SCRAMBLER ENABLE	reserved

デバイスの動作 (つづき)

TABLE 3. Control Register Addresses

Register Name	Address Decimal	Address Hexadecimal
EDH 0	1	01
EDH 1	2	02
EDH 2	3	03
ANC 0	4	04
ANC 1	5	05
ANC 2	6	06
ANC 3	7	07
ANC 4	8	08
ANC 5	23	17
ANC 6	24	18
SWITCH POINT 0	9	09
SWITCH POINT 1	10	0A
SWITCH POINT 2	25	19
SWITCH POINT 3	26	1A
FORMAT 0	11	0B
FORMAT 1	12	0C
TEST 0	13	0D
VIDEO INFO 0	14	0E
I/O PIN 0 CONFIG	15	0F
I/O PIN 1 CONFIG	16	10
I/O PIN 2 CONFIG	17	11
I/O PIN 3 CONFIG	18	12
I/O PIN 4 CONFIG	19	13
I/O PIN 5 CONFIG	20	14
I/O PIN 6 CONFIG	21	15
I/O PIN 7 CONFIG	22	16
TEST MODE 0	85	55

EDH 0 ~ 2 レジスタ (アドレス 01h から 03h)

コントロール・レジスタ内の EDH Force ビットをセットすると、更新済み EDH パケットがシリアル出力データに挿入されます。EDH Force コントロール・ビットは、入力パラレル・データ内の以前の EDH チェック・ワードとフラグの条件に関わらず、新しい EDH チェック・ワードとフラグをシリアル出力に挿入するビットです。ビデオ・コンテンツの編集などで過去の EDH 情報が無効の場合にこの機能を使います。SMPTE 292M データの場合、パラレル・データ内に CRC キャラクタが存在するかどうかに関わらず、CRC チェック・キャラクタは再計算され自動的に挿入されます。LMH0030 リセット後の CRC チェック・キャラクタの初期値は 00h です。

EDH ENABLE ビットは EDH ジェネレータ機能をイネーブルにします。

パラレル入力データ内に存在する EDH アンシラリー・データ・パケットで EDH エラー状態が報告されると、EDH ERROR (SD) ビットがセットされます。EDH パケット内の詳しいエラー状態は、F/F FLAG ERROR (フルフィールド)、A/P FLAG ERROR (アクティブ・ピクチャ)、ANC FLAG ERROR (アンシラリー) の各フラグ・エラービットと、レジスタ内の個別フラグ・ビットによって報告されます。

EDH フラグを構成する F/F FLAGS[4:0] (フルフィールド)、A/P FLAGS[4:0] (アクティブ・ピクチャ)、ANC FLAGS[4:0] (アンシラリー・データ) は、SMPTE RP 165 で定義されています。EDH フラグはコントロール・レジスタ内に格納されています。EDH 機能がイネーブルの状態では LMH0030 がデータを受信すると、フラグは自動的に更新されます。

入力 SD パラレル・データ内の EDH フラグ・エラーのステータスは、F/F FLAG ERROR、A/P FLAG ERROR、ANC FLAG ERROR の各ビットに反映されます。F/F FLAG ERROR、A/P FLAG ERROR、ANC FLAG ERROR ビットは、EDH チェックワード内の対応する EDH フラグと EDA フラグを論理 OR したものです。

ANC 0 レジスタ (アドレス 04h)

V FIFO DEPTH[2:0] ビットは入力データラッチ後段に存在するビデオ FIFO の深さを制御します。このビットに対応するバイナリ・コードを書き込むことで、深さを 0 段から 4 段までの範囲で設定可能です。例えば、Video FIFO の深さを 2 段に設定するには、ANC 0 コントロール・レジスタに 11010XXXXb を書き込みます (ここで X はこのレジスタの他の機能ビット、先頭の 11b はレジスタ書き込み)。レジスタにあらかじめ書き込まれているビット内容を変更しないためには、レジスタの内容を読み出し、新しいデータと論理 OR を計算し、計算したデータをレジスタに書き戻します。

FIFO EMPTY、FIFO FULL、FIFO OVERRUN の各フラグが ANC 0 レジスタ内に用意されています。これらのフラグはマルチファンクション I/O ポートに出力または入力として割り当てられることも可能です。FIFO OVERRUN フラグは、フル状態の FIFO に書き込みが試みられたことを示します。

ANC CHECKSUM FORCE は、パラレル・アンシラリー・データから受信したアンシラリー・データ・チェックサムの上書きを、ある条件下で許可する制御ビットです。新しいアンシラリー・データ・チェックサムの計算と挿入は、この ANC CHECKSUM FORCE ビットで制御します。チェックサム・エラーが検出され (計算チェックサムと受信チェックサムとが不一致)、かつ、ANC CHECKSUM FORCE ビットがセットされていると、新しいチェックサムがアンシラリー・データ内に挿入され以前のチェックサムを置き換えます。チェックサム・エラーが検出されながらも ANC CHECKSUM FORCE ビットがセットされていない場合、チェックサム不一致が ANC CHECKSUM ERROR ビットから報告されます。

アンシラリー・データのチェックサムはパラレル・アンシラリー入力データとともに受信されます。または、LMH0030 が自動的に計算して挿入します。ANC 5 レジスタ内の CHKSUM ATTACH IN ビットが 1 にセットされている場合、チェックサムは入力データの一部として供給されることを示します。CHKSUM ATTACH IN ビットがセットされていると、入力データからチェックサムが計算され、受信チェックサムに対して比較が行われます。新しいアンシラリー・データ・チェックサムの計算と挿入は、ANC 0 レジスタ内の ANC CHECKSUM FORCE ビットで制御します。チェックサム・エラーが検出され (計算チェックサムと受信チェックサムとが不一致)、ANC CHECKSUM FORCE ビットがセットされていると、新しいチェックサムがアンシラリー・データ内に挿入され以前のチェックサムを置き換えます。チェックサム・エラーが検出されながらも ANC CHECKSUM FORCE ビットがセットされていない場合、チェックサムの不一致が ANC CHECKSUM ERROR ビットから報告されます。

ANC CHECKSUM ERROR ビットは、受信アンシラリー・データのチェックサムが LMH0030 が内部で生成したチェックサムと一致しなかったことを示します。このビットはマルチファンクション I/O ポートから出力可能です。

ANC 1 ~ 4 レジスタ (アドレス 05h から 08h)

アンシラリー・データ・パケットの FIFO へのロードは、コントロール・レジスタ内の ANC MASK[15:0] ビットと ANC ID[15:0] ビットで制御します。ANC ID[7:0] レジスタには、SMPTE 291M で規定されているとおり、コンポーネント・アンシラリー・データ・パケット識別で使われる、有効な 8 ビット Data Identification (DID) を設定します。同様に ANC ID[15:8] レジスタには、有効な 8 ビット Secondary Data Identification (SDID)、または Data Block Number (DBN) コードを設定します。ANC MASK[7:0] は 8 ビット・ワー

デバイスの動作 (つづき)

ドで、特定の DID (または DID 範囲) を持つパケットを、FIFO に選択的にロードする制御に使用します。同様に **ANC MASK[15:8]** は 8 ビット・ワードで、特定の SDID か DBN (または SDID か DBN の範囲) を持つパケットを、選択的にロードする制御に使用します。

ANC MASK[7:0] か **ANC MASK[15:8]** が FFh にセットされている場合、なんらかの DID、SDID、または DBN を持っているパケットが FIFO にロードされます。**ANC MASK[7:0]** か **ANC MASK[15:8]** のいずれかのビットあるいは複数のビットが 1 にセットされている場合、入力パケットの ID の比較処理で、**ANC ID[7:0]** と **ANC ID[15:8]** の対応するビットはドントケアとして扱われます。**ANC MASK[7:0]** か **ANC MASK[15:8]** が 00h にセットされている場合、入力パケットの DID、SDID、または DBN は、コントロールレジスタ内の **ANC ID[7:0]** または **ANC ID[15:8]** とビット単位で正確に一致しなければ、パケットは FIFO にロードされません。**ANC MASK[7:0]** と **ANC MASK[15:8]** の初期値は FFh です。**ANC ID[7:0]** と **ANC ID[15:8]** の初期値は 00h です。

レジスタ **ANC 1** の **ANC ID[7:0]** とレジスタ **ANC 3** の **ANC MASK[7:0]** は DID[7:0] に作用します。レジスタ **ANC 2** の **ANC ID[15:8]** とレジスタ **ANC 4** の **ANC MASK[15:8]** は、SDID[7:0] または DBN[7:0] に作用します。

ANC 5 レジスタ (アドレス 17h)

FIFO INSERT ENABLE は、FIFO に格納されているアンシラリー・データをシリアル・データ・ストリームへの挿入を許可する制御ビットです。このビットが 1 にセットされるとデータ挿入が有効になります。このビットは、シリアル・データ・ストリームへのデータ自動挿入を遅らせる目的で使用します。

FIFO FLUSH STAT ビットを 1 にセットすると FIFO はフラッシュ (クリア) されます。**FIFO FLUSH STAT** の実行中は FIFO にはデータはロードできません。同様に、FIFO へのデータロード動作中は **FIFO FLUSH STAT** をセットしてはなりません。**FIFO FLUSH STAT** はフラッシュ動作が完了すると自動的にリセットされます。FIFO フラッシュ動作の実行には **ACLK** のトグルが必要です。

ANC 6 レジスタ (アドレス 18h)

ANC PARITY MASK をセットすると、ANC データ・パケット内の DATA ID (DID) と SECONDARY DATA ID (SDID)、または Data Block Number (DBN) のパリティ・チェックは無効になります。このビットをクリアするとパリティ・チェックはイネーブルになり、パリティ・エラーが発生した場合パケットはロードされません。

VANC ビットを 1 にセットすると、垂直帰線期間中のアンシラリー・データ挿入がイネーブルになります。

SWITCH POINT 0 ~ 3 レジスタ (アドレス 09h、0Ah、19h、1Ah)

LINE[10:0] と **PROTECT[4:0]** ビットは、高品位フォーマットのフィールド 0 と 1 (または呼び方によってはフィールド 1 と 2) のスイッチング・ポイント・ラインに続く、垂直スイッチング・ポイント・ライン

と保護ライン数を定義します。コンポーネント・デジタル標準品位フォーマットの垂直スイッチング・ポイントは SMPTE RP 168-1993 で規定されています。高品位フォーマットの垂直スイッチング・ポイントの基本定義も同じです。ただし、垂直スイッチング・ポイント・ラインは複数の高品位ラスタ間で必ずしも標準化されていないため、ユーザーが垂直スイッチング・ポイントと保護ライン数を定義できるように、このレジスタを設けてあります。SWITCH POINT レジスタ・セットは標準品位フォーマットでは動作しません。

SWITCH POINT 0 レジスタと **SWITCH POINT 1** レジスタの **LINE[10:0]** ビットには、フィールド 0 のスイッチング・ポイント・ラインを指定する 0 から 1023 の範囲のライン数をロードします。**SWITCH POINT 1** レジスタの **PROTECT[4:0]** ビットには、アンシラリー・データを挿入しない垂直スイッチング・ポイント・ライン後のライン数を 0 から 15 の範囲で定義します。**LINE[10:0]** ビットの構成は LINE(0) が LSB、LINE(10) が MSB です。ビットの順位は **PROTECT[4:0]** ビットも同じです。

SWITCH POINT 2 レジスタと **SWITCH POINT 3** レジスタの **LINE[10:0]** と **PROTECT[4:0]** ビットは、上述した機能と同じ機能をフィールド 1 の垂直スイッチング・ポイントに対して実行します。

FORMAT 0 レジスタ (アドレス 0Bh)

FORMAT 0 レジスタに適切なデータを書き込むと、LMH0030 を単一ビデオ・フォーマット処理に設定することが可能です。**FORMAT SET[4:0]** ビットの設定によって LMH0030 は、14 種類の標準品位または高品位フォーマットの中から指定した 1 つのフォーマットに処理が限定されます。LMH0030 を単一フォーマット処理に設定した場合、フォーマットの自動認識は機能しないため、認識を必要とする他のフォーマットは処理できません。**FORMAT SET[4:0]** ビットではデバイスの動作を複数のスタンダードに制限できません。通常の動作では LMH0030 は自動フォーマット検出モードで動作させてください。つまり、FORMAT 0 レジスタを 00h に設定してください。

利用できるフォーマットとコードの詳細を Table 4 に示します。おおまかに **FORMAT SET[4:0]** コードは次のような意味または分類に相当します。すなわち、**FORMAT SET[4]** はセットで HD フォーマット、クリアで SD フォーマット。**FORMAT SET[3]** はセットで PAL データを処理、クリアで NTSC データを処理。**Format Set[2:0]** は表記のサブスタンダードのうちの 1 つ。なお LMH0030 は、74.25MHz と 74.176MHz のフォーマットとも、データ処理で得られる結果に違いはありません。

HD Only ビットを 1 にセットすると、LMH0030 は高品位データ・レンジと周波数に固定されます。高品位信号のみを取り扱うように設計されたシステムでは、**HD ONLY** をイネーブルにすれば、周波数ロックの確立と処理フォーマットの判定を完了するまでに LMH0030 が必要とする時間を省くことができます。

SD ONLY ビットを 1 にセットすると、LMH0030 は標準品位データレンジと周波数に固定されます。標準品位信号のみを取り扱うように設計されたシステムでは、**SD ONLY** をイネーブルにすれば、周波数ロックの確立と処理フォーマットの判定を完了するまでに LMH0030 が必要とする時間を省くことができます。**SD ONLY** と **HD ONLY** を 0 にすると、デバイスは SD/HD モードで動作します。

TABLE 4. Video Raster Format Parameters

Format Code [4,3,2,1,0]	Format	Specification	Frame Rate	Lines	Active Lines	Samples	Active Samples
00001	SDTV, 54	SMPTE 344M	60i	525	507/487	3432	2880
00010	SDTV, 36	SMPTE 267M	60i	525	507/487	2288	1920
00011	SDTV, 27	SMPTE 125M	60i	525	507/487	1716	1440
01001	SDTV, 54	ITU-R BT 601.5	50i	625	577	3456	2880

デバイスの動作 (つづき)

TABLE 4. Video Raster Format Parameters (continued)

Format Code [4,3,2,1,0]	Format	Specification	Frame Rate	Lines	Active Lines	Samples	Active Samples
01010	SDTV, 36	ITU-R BT 601.5	50I	625	577	2304	1920
01011	SDTV, 27	ITU-R BT 601.5	50I	625	577	1728	1440
10001	HDTV, 74.25	SMPTE 260M	30I	1125	1035	2200	1920
10010	HDTV, 74.25	SMPTE 274M	30I	1125	1080	2200	1920
10011	HDTV, 74.25	SMPTE 274M	30P	1125	1080	2200	1920
11001	HDTV, 74.25	SMPTE 274M	25I	1125	1080	2640	1920
11010	HDTV, 74.25	SMPTE 274M	25P	1125	1080	2640	1920
11100	HDTV, 74.25	SMPTE 295M	25I	1250	1080	2376	1920
11101	HDTV, 74.25	SMPTE 274M	24P	1125	1080	2750	1920
10100	HDTV, 74.25	SMPTE 296M	60P	750	720	1650	1280

FORMAT 1 レジスタ (Address 0Ch)

LMH0030 は入力パラレル・データのフォーマットを自動的に判定します。判定結果は **FORMAT 1** レジスタに格納されます。**FORMAT[4:0]** ビットは、LMH0030 が処理できる数多くのビデオ・データのうち、どれが受信されたかを示します。フォーマット・コードのビット割り当ては **FORMAT SET[4:0]** ビットと同じです。フォーマットとコードを Table 4 に示します。**FORMAT[4]** は、セットで HD データ、クリアで SD データを示します。**FORMAT[3]** は、セットで PAL データを処理、クリアで NTSC データを処理することを示します。**Format[2:0]** は表記載のサブスタンダードのうちの 1 つを示します。

H ビット、**V ビット**、**F ビット**は、TRS 入力データのビット 6、7、8 にそれぞれ対応します。このデータの意味と機能は、標準品位 (SMPTE 125M) と高品位 (SMPTE 292M ルミナンスと色差) のビデオ・データとも同じです。極性は 1 が真です。これらのビットは適用対象となるフィールド期間中にレジスタに反映されません。

TEST 0 レジスタ (アドレス 0Dh)

TEST PATTERN SELECT ビットは、テストパターン・ジェネレータ (TPG) モードまたはビルトイン・セルフテスト (BIST) をイネーブルにしたときに出力するテストパターンを設定します。LMH0030 が生成できるテストパターンと対応するコードを Table 5 に示します。すべての HD カラーバー・テストパターンは BIST データです。標準品位 BIST テストパターンは、NTSC で 27MHz および 4 × 3 カラーバーと、PAL で 27MHz および 4 × 3 PLL パノロジカルです。

TPG ENABLE ビットを 1 にセットするとテストパターン・ジェネレータ機能とビルトイン・セルフテスト (BIST) 機能が有効になります。このビットはデフォルト状態で I/O ポート・ビット 7 にマッピングされています。I/O ポートに内蔵される入力プルダウンは、アンシラリー/コントロール・データ・ポートを介してレジスタに書き込まれるロジック値に優先します。マルチファンクション I/O ポートからではなく TEST 0 レジスタを介して **TPG ENABLE** のステートを制御したい場合は、他のコントロール・レジスタ・ビットを I/O ポート・ビットにマッピングしてください。ただし、再マッピングしたビットでも同じようなデータ優先問題が発生しないよう、読み出し専用機能に再マッピングすることを推奨します。

PASS/FAIL ビットはビルトイン・セルフテストの結果を示します。このビットは 1 でパス (合格) を意味します。このビットはデフォルトで I/O ポートの 6 ビット目にマッピングされています。

VIDEO INFO 0 レジスタ (アドレス 0Eh)

NSP (New Sync Position) ビットは入力データ中に新規または不適当な TRS キャラクタが検出されたことを示します。このビットは 1 にセットされ、次の新規または不適当な TRS によって再びアクティブされない限り、少なくとも 1 水平ライン期間にわたってセットされた状態を保ちます。EAV TRS キャラクタでリセットされます。

EAV (end of active video) と **SAV** (start of active video) は、対応する TRS キャラクタの存在を反映します。

PLL がロックして有効なフォーマットが検出されると、制御信号としてレジスタに反映され **LOCK DETECT** が 1 になります。このビットはマルチファンクション I/O ポートから出力として設定可能で、パワーオン・リセット後のデフォルトでは I/O ポートのビット 4 に割り当てられています。この機能には、PLL がロックしデジタル・ロジック・リセットがネゲートされたあとの、デバイスの安定性を検証するロジックも搭載されています。システムが完全に安定でない場合、ロジックは自動的にリセットされます。また **LOCK DETECT** には、LMH0030 が受信中のビデオ・フォーマットを判定したことを示す機能もあります。フォーマット検出は、ライン長やフレーム内のビデオ・ライン数などの主なラスタ・パラメータの判定によって行われます。フォーマット判定によってライン数のような情報が適切に挿入されます。PLL は 50 μ s (HD レート、SD では 150 μ s) 以下でロックします。ただし、各ラスタ・パラメータの解決に必要な時間がフレームの大半を占めます。

VPG FILTER ENABLE ビットをセットすると、ビデオ・パターン・ジェネレータ・フィルタの動作が有効になります。このフィルタが動作すると、カラーバー・テストパターンで、あるバーから次のバーにパターンが変化するところで、クロマ・データとルマ・データに遷移コードが挿入されます。このフィルタによって、クロマ・データとルマ・データが D/A コンバータや画像モニタに与えられたときに急激な遷移で発生する帯域外周波数成分の振幅が抑えられます。このビットのデフォルトは 0 (オフ) です。

パノロジカル・データ・パターンの発生を防ぐ方法は SD フォーマットで提案されています。LMH0030 は SD フォーマットにこの処理を実装しています。**DITHER ENABLE** と **VERTICAL DITHER ENABLE** ビットは、ビデオ・データの低位 2 ビットに適用される擬似ランダム・ディザの動作を制御します。**DITHER ENABLE** ビットをセットするとディザ処理がアクティブ・ビデオ・データに適用されます。VERTICAL DITHER ENABLE ビットをセットすると、垂直帰線期間内ラインのアクティブ・ビデオに対応するビデオ・ライン部分に適用されます。

デバイスの動作 (つづき)

I/O PIN 0 ~ 7 CONFIG レジスタ (アドレス 0Fh から 16h)

MULTI-FUNCTION I/O BUS PIN CONFIGURATION レジスタ群は、指定したコンフィギュレーション / コントロール・レジスタのビットをマルチファンクション I/O ポートのビットにマッピングするレジスタです。Table 6 に、ポートにマッピングできるコンフィギュレーション / コントロール・レジスタのビットと、指定すべきマッピング・アドレスを示します。各レジスタを指定する **PIN SEL[5]** ビットはポートの入出力を示します。このビットをセットするとポートは入力になり、クリアすると出力になります。入力専用の機能は出力には設定できません。逆も同様です。残りの低位 5 つのアドレス・ビットで機能を指定します。

例：AD ポートを介して、コントロール・レジスタ内の SAV ビットを I/O ポート・ビット 0 に出力として設定する。

1. **ANC/CTRL** を Low に設定します。
2. **RD/WR** を Low に設定します。
3. **I/O PIN 0 CONFIG** レジスタ・アドレスとして **AD[9:0]** に 00Fh を与えます (Table 3 参照)。
4. **ACLK** をトリグします。
5. コントロール・レジスタ内の SAV ビットのビット・アドレスを示すレジスタ・データとして **AD[9:0]** に 30Dh を与えます (Table 6 参照)。
6. **ACLK** をトリグします。

TEST MODE 0 レジスタ (アドレス 55h)

このレジスタの 4 ビットでテスト・モード機能を制御します。これらのビットは通常動作モード用ではありません。レジスタの各ビットは、書き込みによってセット (イネーブル) またはクリア (ディスエーブル) になります。このレジスタを読み出すと、すべてのビットはデフォルトの ON 状態にセット (イネーブル) されます。

SCRAMBLER ENABLE ビットは SMPTE スキャンラ機能をイネーブルにします。このビットは通常 ON です。

NRZI ENABLE ビットは NRZ-to-NRZI 変換機能をイネーブルにします。このビットは通常 ON です。

LSB CLIPPING ビットは LSB クリッピング機能作をイネーブルにします。このビットは通常 ON です。

SYNC DETECT ENABLE ビットは TRS 検出機能をイネーブルにします。このビットは通常 ON です。

デバイスの動作 (つづき)

TABLE 5. Test Pattern Selection Codes

Test Pattern Select Word Bits >	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Video Raster Standard	1=HD 0=SD	1=Progressive 0=Interlaced 1=PAL 0=NTSC			00=Black 01=PLL Path. 10=EQ Path. 11=color Bars	
1125 Line, 74.25 MHz, 30 Frame Interlaced Component (SMPTE 260M)						
Ref. Black	1	0	0	0	0	0
PLL Path.	1	0	0	0	0	1
EQ Path.	1	0	0	0	1	0
color Bars	1	0	0	0	1	1
1125 Line, 74.25 MHz, 30 Frame Interlaced Component (SMPTE 274M)						
Ref. Black	1	0	0	1	0	0
PLL Path.	1	0	0	1	0	1
EQ Path.	1	0	0	1	1	0
color Bars	1	0	0	1	1	1
1125 Line, 74.25 MHz, 25 Frame Interlaced Component (SMPTE 274M)						
Ref. Black	1	0	1	0	0	0
PLL Path.	1	0	1	0	0	1
EQ Path.	1	0	1	0	1	0
color Bars	1	0	1	0	1	1
1125 Line, 74.25 MHz, 25 Frame Interlaced Component (SMPTE 295M)						
Ref. Black	1	0	1	1	0	0
PLL Path.	1	0	1	1	0	1
EQ Path.	1	0	1	1	1	0
color Bars	1	0	1	1	1	1
1125 Line, 74.25 MHz, 30 Frame Progressive Component (SMPTE 274M)						
Ref. Black	1	1	0	0	0	0
PLL Path.	1	1	0	0	0	1
EQ Path.	1	1	0	0	1	0
color Bars	1	1	0	0	1	1
1125 Line, 74.25 MHz, 25 Frame Progressive Component (SMPTE 274M)						
Ref. Black	1	1	0	1	0	0
PLL Path.	1	1	0	1	0	1
EQ Path.	1	1	0	1	1	0
color Bars	1	1	0	1	1	1
1125 Line, 74.25 MHz, 24 Frame Progressive Component (SMPTE 274M)						
Ref. Black	1	1	1	0	0	0
PLL Path.	1	1	1	0	0	1
EQ Path.	1	1	1	0	1	0
color Bars	1	1	1	0	1	1
750 Line, 74.25 MHz, 60 Frame Progressive Component (SMPTE 296M)						
Ref. Black	1	1	1	1	0	0
PLL Path.	1	1	1	1	0	1
EQ Path.	1	1	1	1	1	0
color Bars	1	1	1	1	1	1

デバイスの動作 (つづき)

TABLE 5. Test Pattern Selection Codes (continued)

Test Pattern Select Word Bits >	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
525 Line, 30 Frame, 27 MHz, NTSC 4x3 (SMPTE 125M)						
Ref. Black	0	0	0	0	0	0
PLL Path.	0	0	0	0	0	1
EQ Path.	0	0	0	0	1	0
color Bars (SD BIST)	0	0	0	0	1	1
625 Line, 25 Frame, 27 MHz, PAL 4x3 (ITU-T BT.601)						
Ref. Black	0	1	0	0	0	0
PLL Path. (SD BIST)	0	1	0	0	0	1
EQ Path.	0	1	0	0	1	0
color Bars	0	1	0	0	1	1
525 Line, 30 Frame, 36 MHz, NTSC 16x9 (SMPTE 125M)						
Ref. Black	0	0	0	1	0	0
PLL Path.	0	0	0	1	0	1
EQ Path.	0	0	0	1	1	0
color Bars	0	0	0	1	1	1
625 Line, 25 Frame, 36 MHz, PAL 16x9 (ITU-T BT.601)						
Ref. Black	0	1	0	1	0	0
PLL Path.	0	1	0	1	0	1
EQ Path.	0	1	0	1	1	0
color Bars	0	1	0	1	1	1
525 Line, 30 Frame, 54 MHz (NTSC)						
Ref. Black	0	0	1	0	0	0
PLL Path.	0	0	1	0	0	1
EQ Path.	0	0	1	0	1	0
color Bars	0	0	1	0	1	1
625 Line, 25 Frame, 54 MHz (PAL)						
Ref. Black	0	1	1	0	0	0
PLL Path.	0	1	1	0	0	1
EQ Path.	0	1	1	0	1	0
color Bars	0	1	1	0	1	1

Note: SD の BIST パターンは NTSC 4 × 3 カラーバーと PAL 4 × 3 PLL パンロジカルです。HD の BIST パターンは各フォーマットのカラーバーです。

デバイスの動作 (つづき)

TABLE 6. I/O Configuration Register Addresses for Control Register Functions

Register Bit	Bit Address Pin # SEL [n]						I/P or O/P	Power-On Status
	[5]	[4]	[3]	[2]	[1]	[0]		
reserved	0	0	0	0	0	0		
FF Flag Error	0	0	0	0	0	1	Output	
AP Flag Error	0	0	0	0	1	0	Output	
ANC Flag Error	0	0	0	0	1	1	Output	
CRC Error (SD/HD)	0	0	0	1	0	0	Output	I/O Port Bit 5
Addresses x05h through x0Ch are reserved.								
SAV	0	0	1	1	0	1	Output	
EAV	0	0	1	1	1	0	Output	
NSP	0	0	1	1	1	1	Output	
F	0	1	0	0	1	0	Output	I/O Port Bit 0
V	0	1	0	0	1	1	Output	I/O Port Bit 1
H	0	1	0	1	0	0	Output	I/O Port Bit 2
Format[0]	0	1	0	1	0	1	Output	
Format[1]	0	1	0	1	1	0	Output	
Format[2]	0	1	0	1	1	1	Output	
Format[3]	0	1	1	0	0	0	Output	
Format[4]	0	1	1	0	0	1	Output	I/O Port Bit 3 (SD/HD)
FIFO Full	0	1	1	0	1	0	Output	
FIFO Empty	0	1	1	0	1	1	Output	
Lock Detect	0	1	1	1	0	0	Output	I/O Port Bit 4
Pass/Fail	0	1	1	1	0	1	Output	I/O Port Bit 6
FIFO Overrun	0	1	1	1	1	0	Output	
ANC Chksum Error	0	1	1	1	1	1	Output	
EDH Force	1	0	0	0	0	0	Input	
Test Pattern Select[0]	1	0	0	0	0	1	Input	
Test Pattern Select[1]	1	0	0	0	1	0	Input	
Test Pattern Select[2]	1	0	0	0	1	1	Input	
Test Pattern Select[3]	1	0	0	1	0	0	Input	
Test Pattern Select[4]	1	0	0	1	0	1	Input	
Test Pattern Select[5]	1	0	0	1	1	0	Input	
EDH Enable	1	0	0	1	1	1	Input	
TPG Enable	1	0	1	0	0	0	Input	I/O Port Bit 7
reserved	1	0	1	0	0	1		
Chksum Attach In	1	0	1	0	1	0	Input	
reserved	1	0	1	0	1	1		
VPG Filter Enable	1	0	1	1	0	0	Input	

デバイスの動作 (つづき)

TABLE 6. I/O Configuration Register Addresses for Control Register Functions (continued)

Register Bit	Bit Address Pin # SEL [n]						I/P or O/P	Power-On Status
	[5]	[4]	[3]	[2]	[1]	[0]		
Dither Enable	1	0	1	1	0	1	Input	
FIFO Insert Enable	1	0	1	1	1	1	Input	

ピン説明

ピン番号	名称	説明
1	V _{DDPLL}	正の電源電圧入力 (2.5V 電源、PLL ロジック)
2	V _{SSPLL}	負の電源電圧入力 (2.5V 電源、PLL ロジック)
3	IO0	マルチファンクション I/O ポート
4	IO1	マルチファンクション I/O ポート
5	DV0	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
6	DV1	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
7	DV2	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
8	DV3	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
9	DV4	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
10	V _{SSD}	負の電源電圧入力 (2.5V 電源、デジタル・ロジック)
11	DV5	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
12	DV6	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
13	DV7	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
14	DV8	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
15	DV9	パラレル・ビデオ入力 (HD = 色差、SD = 輝度と色差)
16	V _{DDD}	正の電源電圧入力 (2.5V 電源、デジタル・ロジック)
17	V _{SSD}	負の電源電圧入力 (2.5V 電源、デジタル・ロジック)
18	DV10	パラレル・ビデオ入力 (HD = 輝度)
19	DV11	パラレル・ビデオ入力 (HD = 輝度)
20	DV12	パラレル・ビデオ入力 (HD = 輝度)
21	DV13	パラレル・ビデオ入力 (HD = 輝度)
22	DV14	パラレル・ビデオ入力 (HD = 輝度)
23	V _{DDIO}	正の電源電圧入力 (3.3V 電源、I/O)
24	DV15	パラレル・ビデオ入力 (HD = 輝度)
25	DV16	パラレル・ビデオ入力 (HD = 輝度)
26	DV17	パラレル・ビデオ入力 (HD = 輝度)
27	DV18	パラレル・ビデオ入力 (HD = 輝度)
28	DV19	パラレル・ビデオ入力 (HD = 輝度)
29	V _{SSIO}	負の電源電圧入力 (3.3V 電源、I/O)
30	IO2	マルチファンクション I/O ポート
31	IO3	マルチファンクション I/O ポート
32	IO4	マルチファンクション I/O ポート
33	IO5	マルチファンクション I/O ポート
34	IO6	マルチファンクション I/O ポート
35	IO7	マルチファンクション I/O ポート
36	ACLK	アンシラリ/コントロール・クロック入力
37	V _{DDD}	正の電源電圧入力 (2.5V 電源、デジタル・ロジック)
38	AD0	アンシラリ/コントロール・データ I/O ポート
39	AD1	アンシラリ/コントロール・データ I/O ポート
40	AD2	アンシラリ/コントロール・データ I/O ポート
41	AD3	アンシラリ/コントロール・データ I/O ポート
42	AD4	アンシラリ/コントロール・データ I/O ポート
43	V _{SSD}	負の電源電圧入力 (2.5V 電源、デジタル・ロジック)
44	AD5	アンシラリ/コントロール・データ I/O ポート
45	AD6	アンシラリ/コントロール・データ I/O ポート

ピン説明 (つづき)

ピン番号	名称	説明
46	AD7	アンシラリ/コントロール・データ I/O ポート
47	AD8	アンシラリ/コントロール・データ I/O ポート
48	AD9	アンシラリ/コントロール・データ I/O ポート
49	RD/ $\overline{\text{WR}}$	アンシラリ/コントロール・データ・ポート・リード/ライト制御入力
50	$\overline{\text{ANC/CTRL}}$	アンシラリ/コントロール・データ・ポート機能制御入力
51	V _{DDSD}	正の電源電圧入力 (3.3V 電源、出力ドライバ)
52	R _{REF} PRE	出力プリエンファシス・リファレンス抵抗 (4.75k Ω 、1%)
53	R _{REF} LVL	出力レベル・リファレンス抵抗 (4.75k Ω 、1%)
54	V _{SSSD}	負の電源電圧入力 (3.3V 電源、出力ドライバ)
55	V _{SSSD}	負の電源電圧入力 (3.3V 電源、出力ドライバ)
56	SDO	シリアル・データ出力
57	V _{DDLS}	正の電源電圧入力 (3.3V 電源、レベルシフト)
58	$\overline{\text{SDO}}$	シリアル・データ相補出力
59	V _{SSLS}	負の電源電圧入力 (3.3V 電源、レベルシフト)
60	V _{DDZ}	正の電源電圧入力 (2.5V、シリアライザ)
61	V _{SSPLLA}	負の電源電圧入力 (2.5V、PLL アナログ)
62	V _{DDPLLA}	正の電源電圧入力 (2.5V、PLL アナログ)
63	VCLK	ビデオ・データ・クロック入力
64	Reset	マニュアル・リセット入力 (アクティブ High)

Note: VCLK と ACLK を除くすべての LVCMOS 入力は内部でプルダウンされています。

アプリケーション情報

評価ボード SD130ASM の詳細はナショナル セミコンダクターの web サイトに掲載されています。この回路は LMH0030 の機能を具体化したもので、本来の構成を評価することが可能です。組み立て済みデモボード・キット SD130EVK には、使用説明書、図面類、部品リストが提供されています。注文方法についてはナショナル セミコンダクターの Interface Products Group または Serial Digital Video and Interface Applications Group までお問い合わせください。SD130EVK のボードレイアウト、回路図などの情報は、ナショナル セミコンダクターの web サイトの LMH0030 のアプリケーション情報ページで提供しています。最新の製品情報と供給状況については、www.national.com/appinfo/interface をアクセスしてください。

PCB レイアウトと電源系バイパスのガイドライン

LMH0030 を搭載するプリント基板は、デバイスに対してノイズのない電源を供給するように、レイアウトと層構成を設計しなければなりません。優れたレイアウトでは、不必要にノイズを拾ったり帰還や干渉を最小にするために、高周波の信号と高レベルの入出力信号の分離を行います。また、4 ~ 10 ミル程度の薄い誘電体材料を電源層とグラウンド層の間に挟むことで、電源系の性能を大きく改善できます。つまり、この方式によりプリント基板の電源層の容量が増えるため、特に高周波の電源ノイズに対するフィルタ特性を改善する効果があり、併せて外付けバイパス・コンデンサの容量や配置に対する条件を緩やかにします。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を用いてください。高周波セラミック・コンデンサの値は、0.01 μF から 0.1 μF の範囲を使用します。また、タンタル・コンデンサの値は、2.2 μF から 10 μF の範囲です。タンタル・コンデンサの電圧定格は、使用する電源電圧の 5 倍以上にします。LMH0030 の各電源ピンと高周波バイパス・コンデンサのハンダ・パターンには、2 つのビアを設けることを推奨します。ビアを 2 つにすると、電源またはグラウンドに対するインダクタンス成分が最高で 1/2 に低減されるため、バイパス・コンデンサの実効周波数が向上します。

プリント基板の外層（表面層）は V_{SS} （グラウンド）パターンで満たしてください。そのような外層にすると、信号間の分離とシールド特性が改善され、電源層間の容量も増えます。当然ながら適切な効果を得るには、短い間隔のビアを介して、これらの外層を V_{SS} 電源層に接続しなければなりません。まんべんなく設けたビアにより、電流リターン・パスが短くなるため信号歪みが減少し、伝送線路の波形品質が改善されます。外層では、グラウンド・パターンは信号またはハンダ・パッドに対して、最も幅広の配線パターンの幅が信号層と電源層またはグラウンド層との層間距離の、大きい方の間隔を空けなければなりません。これにより、伝送線路のインピーダンス効果を最小限に抑え、部品のハンダ・パッド近くでの好ましくない寄生容量を低減します。

LMH0030 は 2.5V と 3.3V の 2 系統の電源電圧を使います。これらの電源は 7 系統の電源入力ピンを介してデバイスに与えます。各ピンの機能は「ピン説明」の表にまとめてあります。電源電圧は一般に、コモン 0 ボルトまたはグラウンド・リターンを共有します。分割層または個別電源層のいずれかを使ってデバイスに正の電源電圧を供給します。

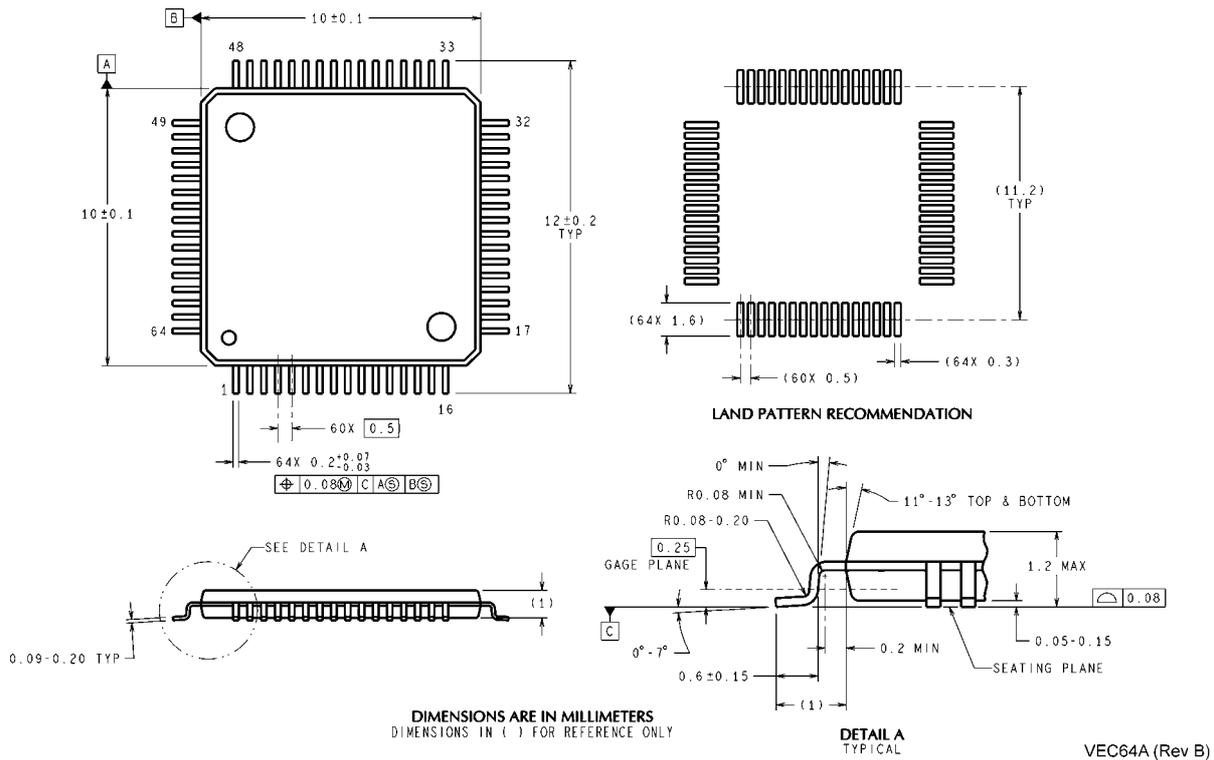
スイッチング電源を使用した場合は特にそうですが、ノイズが多い電源環境では、LMH0030 の PLL アナログ、PLL デジタル、シリアル出力ドライバの各系統の電源ピンに個別のフィルタを使用するとよいでしょう。LMH0030 はこのような状況を想定して設計されています。デジタル・セクションの PLL 電源と出力ドライバ電源は個別に内部回路に供給されています。詳細は「ピン説明」と「ピン配置図」を参照してください。電源のフィルタは、これらの V_{DD} ピンに直列に、L 型か 型の LC フィルタを追加します。このようなフィルタは一部のメーカーから単一パッケージ品で供給されています。なお、LMH0030 は電源系統はそれぞれ個別に設けられていますが、デバイスに与えるすべての電源は、単一電源を使用したかのように同時に印加しなければなりません。

非サポート・フォーマットと pSf ラスタ・フォーマットの処理

HD ラスタ・フォーマットの数と種類は LMH0030 が開発されたのちもさらに増え続けています。LMH0030 はこのような新フォーマットを全面的に処理したり自動処理することはできませんが、データのシリアルライズだけは可能です。ユーザーは、LMH0030 は Table 4 記載のラスタ・フォーマット以外では動作検証されていないことに留意の上で、これらのフォーマットの適用を判断してください。すなわち、非サポート・フォーマットの処理を試みた場合の結果は保証されません。これらの非サポートのラスタ・フォーマットの処理を限定的であっても LMH0030 で行おうとする場合は、デバイスのセットアップに関して以下のガイドラインを参考にしてください。まず、デバイスのフォーマット検出機能と TRS 検出機能を無効に設定し、合わせて、汎用 HD フォーマット・タイプの動作を限定するように構成します（処理する非サポート・フォーマットに類似したフォーマット・グループの概要は Table 4 を参考にしてください）。新フォーマットは HD の 1 つなので、FORMAT 0 レジスタ（アドレス 0Bh）のビット 5 をセットして、LMH0030 を HD-ONLY モードに構成して動作させてください。また、このレジスタの FORMAT SET[4:0] ビットには、不特定 HD サブフォーマットのコードをロードしてください。HD-ONLY ビットをセットしたときに用いる HD サブフォーマット・コードのデータワードは 33Fh です（AD[9:0] の 10 ビットすべて 1）。このフォーマットは表にあるフォーマットとは異なるため、EAV/SAV インジケータはディスプレイになりません。これらのインジケータが使用できないため、ライン番号と CRC 挿入はディスプレイになり、アンシラリー・データ挿入は機能しません。LMH0030 の前段で、パラレル・データに CRC データとライン番号を挿入する処理が外部に必要です。

特殊フォーマットの 1 つがプログレッシブ・セグメント・フレーム・フォーマット (pSf) です。SMPTE 274M-2003、Annex A を参照してください。このフォーマットは、インターレース・ラスタ方式で再配置された、プログレッシブ・スキャン・ラスタのビデオラインで構成されています。偶数番号ラインはフィールド 1 を構成するように配置され、奇数番号ラインはフィールド 2 を構成するように配置されます。そのほかの点ではこのフォーマットは通常のインターレース・フォーマットと同じです。LMH0030 で pSf フォーマットをシリアルライズするには、LMH0030 に与える前に、元々のプログレッシブ・ラスタを外部で再配置する必要があります。

外形寸法図 単位は millimeters



64-Pin TQFP
Order Number LMH0030VS
NS Package Number VEC-64A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2011 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上