

# LP2998

*LP2998 DDR-I and DDR-II Termination Regulator*



Literature Number: JAJSAU6

## LP2998

### DDR- /DDR- ターミネーション・レギュレータ

#### 概要

LP2998 は JEDEC 標準の SSTL-2、SSTL-18 仕様に適合する DDR-SDRAM、DDR-II メモリのターミネーションのリニア・レギュレータです。LP2998 は負荷変動に対して優れた応答を発揮する高速オペアンプを内蔵しています。出力段は貫通電流を防ぐように設計されており、DDR-I-SDRAM ターミネーションに求められる 1.5A の連続電流出力と、DDR-II-SDRAM ターミネーションに求められる 0.5A の連続電流出力を実現しています。V<sub>SENSE</sub> ピンを介した電圧監視により優れた出力負荷レギュレーションを実現するとともに、チップセットや DIMM に必要な V<sub>REF</sub> 電圧も生成して出力します。

このほか LP2998 は、Suspend-to-RAM (STR) 機能をサポートするアクティブ LOW のシャットダウン ( $\overline{SD}$ ) ピンを備えています。 $\overline{SD}$  を Low にすると、V<sub>TT</sub> 出力は TRI-STATE のハイ・インピーダンスとなりますが、V<sub>REF</sub> はアクティブを保ちます。本モードでは待機時消費電流が小さくなるため、電力節減を図れます。

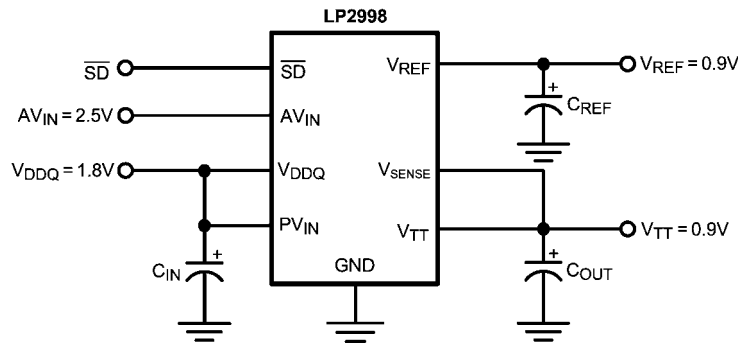
#### 特長

- 電流ソースおよび電流シンク
- 低出力電圧オフセット
- 外付け抵抗不要
- リニア・トポロジー
- Suspend-to-RAM (STR) 機能
- 少ない外付け部品
- サーマル・シャットダウン
- SO-8、PSOP-8 パッケージで供給

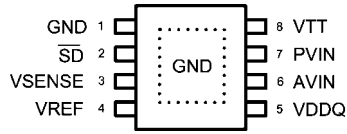
#### アプリケーション

- DDR-I と DDR-II ターミネーション電圧に対応
- SSTL-18 ターミネーション
- SSTL-2 と SSTL-3 ターミネーション
- HSTL ターミネーション

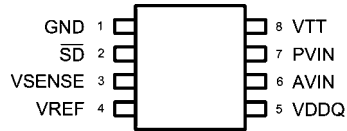
#### 代表的なアプリケーション



ピン配置図



PSOP-8 Layout



SO-8 Layout

ピン説明

SO-8 ピン、 PSOP-8 ピン	名称	機能
1	GND	グラウンド
2	$\overline{SD}$	シャットダウン
3	$V_{SENSE}$	レギュレートされた $V_{TT}$ の電圧フィードバック入力ピン
4	$V_{REF}$	内部リファレンス電圧 $V_{DDQ}/2$ のバッファ出力
5	$V_{DDQ}$	内部リファレンス電圧 $V_{DDQ}/2$ を生成するための入力電圧
6	$AV_{IN}$	内部制御回路電源入力ピン
7	$PV_{IN}$	パワー・オペアンプ出力段専用電源入力ピン
8	$V_{TT}$	ターミネーション抵抗に接続するターミネーション電圧出力
	EP	放熱用パッド。グラウンドに接続してください。

製品情報

Order Number	Package Type	NSC Package Drawing	Supplied As
LP2998MA	SO-8	M08A	95 Units per Rail
LP2998MAX	SO-8	M08A	2500 Units Tape and Reel
LP2998MAE	SO-8	M08A	250 Units Tape and Reel
LP2998MR	PSOP-8	MRA08A	95 Units Tape and Reel
LP2998MRX	PSOP-8	MRA08A	2500 Units Tape and Reel
LP2998MRE	PSOP-8	MRA08A	250 Units Tape and Reel

## 絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

$PV_{IN}$ 、 $AV_{IN}$ 、 $V_{DDQ} \sim GND$

どのピンも  $AV_{IN}$  を超えてはなりません。 - 0.3V ~ + 6V

保存温度範囲 - 65 ~ + 150

接合部温度 150

リード温度 (ハンダ付け、10 秒) 260

SO-8 熱抵抗 (  $J_A$  ) 151 /W

PSOP-8 熱抵抗 (  $J_A$  ) 43 /W

最小 ESD 耐圧 (Note 2) 1kV

## 動作定格

接合部温度範囲 (Note 3) - 40 ~ + 125

GND 基準の  $AV_{IN}$  電圧 2.2V ~ 5.5V

## 電気的特性

標準字体で記載された仕様は  $T_J = 25$  の場合であり、太字で記載されたリミット値は「動作温度範囲」( $T_J = - 40 \sim + 125$ ) に適用されます (Note 4)。特記のない限り、 $V_{IN} = AV_{IN} = PV_{IN} = 2.5V$  です。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$V_{REF}$	$V_{REF}$ Voltage (DDR I)	$V_{IN} = V_{DDQ} = 2.3V$	<b>1.135</b>	1.158	<b>1.185</b>	V
		$V_{IN} = V_{DDQ} = 2.5V$	<b>1.235</b>	1.258	<b>1.285</b>	V
		$V_{IN} = V_{DDQ} = 2.7V$	<b>1.335</b>	1.358	<b>1.385</b>	V
$V_{REF}$	$V_{REF}$ Voltage (DDR II)	$PV_{IN} = V_{DDQ} = 1.7V$	<b>0.837</b>	0.860	<b>0.887</b>	V
		$PV_{IN} = V_{DDQ} = 1.8V$	<b>0.887</b>	0.910	<b>0.937</b>	V
		$PV_{IN} = V_{DDQ} = 1.9V$	<b>0.936</b>	0.959	<b>0.986</b>	V
$Z_{VREF}$	$V_{REF}$ Output Impedance	$I_{REF} = -30$ to $+30 \mu A$		2.5		k $\Omega$
$V_{TT}$	$V_{TT}$ Output Voltage (DDR I) (Note 7)	$I_{OUT} = 0A$				
		$V_{IN} = V_{DDQ} = 2.3V$	<b>1.120</b>	1.159	<b>1.190</b>	V
		$V_{IN} = V_{DDQ} = 2.5V$	<b>1.210</b>	1.259	<b>1.290</b>	V
	$V_{TT}$ Output Voltage (DDR II) (Note 7)	$V_{IN} = V_{DDQ} = 2.7V$	<b>1.320</b>	1.359	<b>1.390</b>	V
		$I_{OUT} = +/- 1.5A$				
		$V_{IN} = V_{DDQ} = 2.3V$	<b>1.125</b>	1.159	<b>1.190</b>	V
$V_{TT}$	$V_{TT}$ Output Voltage (DDR I) (Note 7)	$V_{IN} = V_{DDQ} = 2.5V$	<b>1.225</b>	1.259	<b>1.290</b>	V
		$V_{IN} = V_{DDQ} = 2.7V$	<b>1.325</b>	1.359	<b>1.390</b>	V
		$I_{OUT} = 0A, AV_{IN} = 2.5V$				
	$V_{TT}$ Output Voltage (DDR II) (Note 7)	$PV_{IN} = V_{DDQ} = 1.7V$	<b>0.822</b>	0.856	<b>0.887</b>	V
		$PV_{IN} = V_{DDQ} = 1.8V$	<b>0.874</b>	0.908	<b>0.939</b>	V
		$PV_{IN} = V_{DDQ} = 1.9V$	<b>0.923</b>	0.957	<b>0.988</b>	V
$VOS_{Vtt}$	$V_{TT}$ Output Voltage Offset ( $V_{REF} - V_{TT}$ ) for DDR I (Note 7)	$I_{OUT} = +/- 0.5A, AV_{IN} = 2.5V$				
		$PV_{IN} = V_{DDQ} = 1.7V$	<b>0.820</b>	0.856	<b>0.890</b>	V
		$PV_{IN} = V_{DDQ} = 1.8V$	<b>0.870</b>	0.908	<b>0.940</b>	V
	$V_{TT}$ Output Voltage Offset ( $V_{REF} - V_{TT}$ ) for DDR II (Note 7)	$PV_{IN} = V_{DDQ} = 1.9V$	<b>0.920</b>	0.957	<b>0.990</b>	V
		$I_{OUT} = 0A$				
		$I_{OUT} = -1.5A$	<b>-30</b>	0	<b>30</b>	mV
$VOS_{Vtt}$	$V_{TT}$ Output Voltage Offset ( $V_{REF} - V_{TT}$ ) for DDR I (Note 7)	$I_{OUT} = -1.5A$	<b>-30</b>	0	<b>30</b>	mV
		$I_{OUT} = +1.5A$	<b>-30</b>	0	<b>30</b>	mV
		$I_{OUT} = 0A$				
$VOS_{Vtt}$	$V_{TT}$ Output Voltage Offset ( $V_{REF} - V_{TT}$ ) for DDR II (Note 7)	$I_{OUT} = 0A$	<b>-30</b>	0	<b>30</b>	mV
		$I_{OUT} = -0.5A$	<b>-30</b>	0	<b>30</b>	mV
		$I_{OUT} = +0.5A$	<b>-30</b>	0	<b>30</b>	mV
$I_Q$	Quiescent Current (Note 5)	$I_{OUT} = 0A$		320	<b>500</b>	$\mu A$
$Z_{VDDQ}$	$V_{DDQ}$ Input Impedance			100		k $\Omega$
$I_{SD}$	Quiescent current in shutdown (Note 5)	$SD = 0V$		115	<b>150</b>	$\mu A$
$I_{Q\_SD}$	Shutdown leakage current	$SD = 0V$		2	<b>5</b>	$\mu A$
$V_{IH}$	Minimum Shutdown High Level		<b>1.9</b>			V
$V_{IL}$	Maximum Shutdown Low Level				<b>0.8</b>	V
$I_V$	$V_{TT}$ leakage current in shutdown	$SD = 0V$ $V_{TT} = 1.25V$		1	<b>10</b>	$\mu A$
$I_{SENSE}$	$V_{SENSE}$ Input current			13		nA

## 電気的特性 (つづき)

標準字体で記載された仕様は  $T_J = 25$  の場合であり、太字で記載されたリミット値は「動作温度範囲」( $T_J = -40 \sim +125$ ) に適用されます (Note 4)。特記のない限り、 $V_{IN} = AV_{IN} = PV_{IN} = 2.5V$  です。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
$T_{SD}$	Thermal Shutdown (Note 6)			165		$^{\circ}C$
$T_{SD\_HYS}$	Thermal Shutdown Hysteresis			10		$^{\circ}C$

**Note 1:** 絶対最大定格は、これを超えた場合、デバイスの破壊が発生する可能性があるリミット値を示します。「動作定格」とはデバイスが正しく機能する条件を示しますが、特定の性能限界を保証するものではありません。保証された仕様、そのテスト条件については「電気的特性」を参照してください。保証規格は、表示の試験条件に対してのみ適用されます。デバイスを表示試験条件下で動作させないときは、一部の性能規格は低下することがあります。

**Note 2:** 人体モデルは、100pFのコンデンサから 1.5k $\Omega$  を通じて各ピンに放電します。

**Note 3:** 高温では、熱抵抗に基づいてデバイスをデレーティングする必要があります。SO-8 パッケージでは、ヒートシンクなしで接合部から周囲への熱抵抗  $\theta_{JA} = 151.2$   $^{\circ}C/W$  でデレーティングしてください。

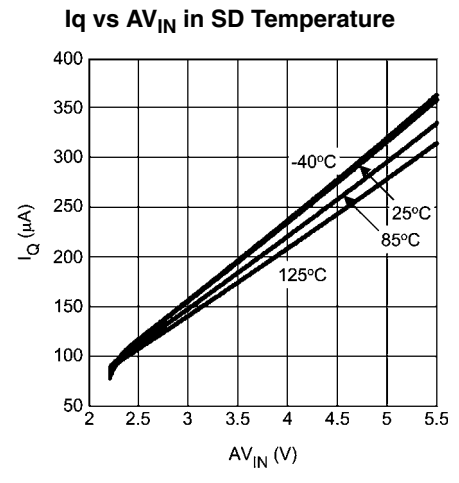
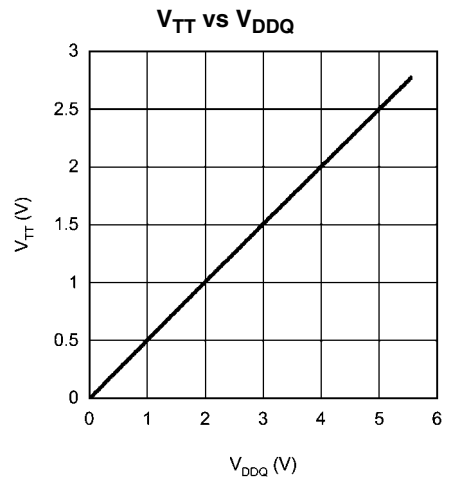
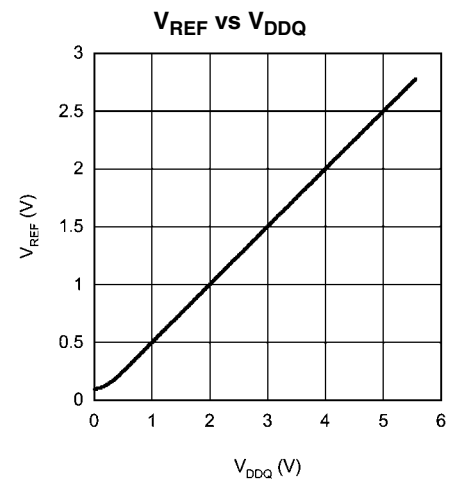
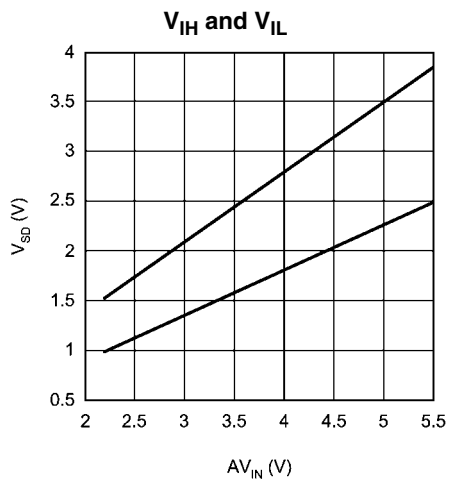
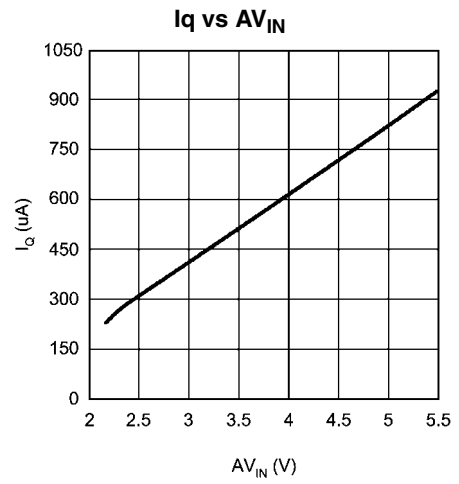
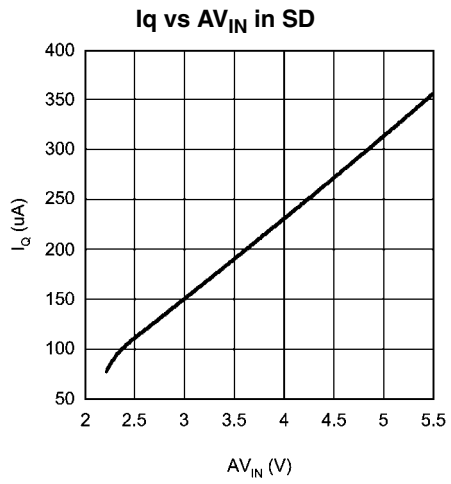
**Note 4:** 25 時のリミット値は 100%テストされます。全動作温度範囲におけるリミット値は、統計的品質管理 (SQC) 方式によって決められた補正データを加味して保証されています。これらのリミット値は、ナショナル セミコンダクターの平均出荷品質レベル (AOQL) の計算に使用されます。

**Note 5:** 待機時消費電流は  $AV_{IN}$  に流れ込む電流として定義されています。

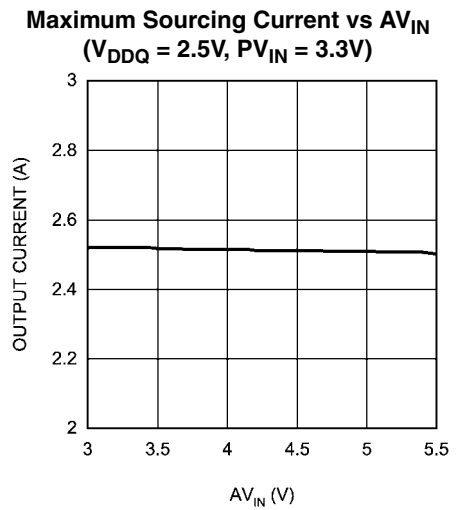
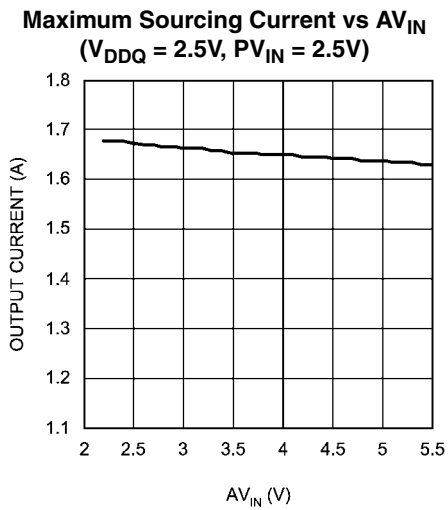
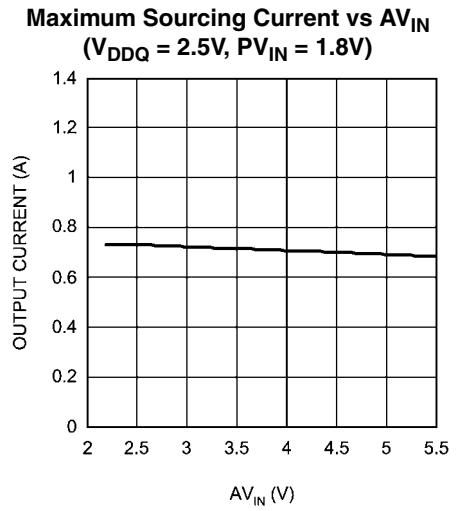
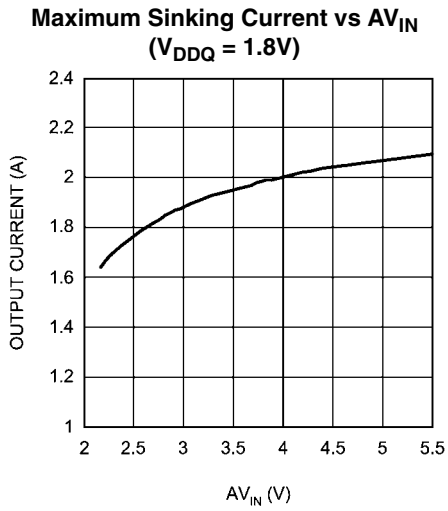
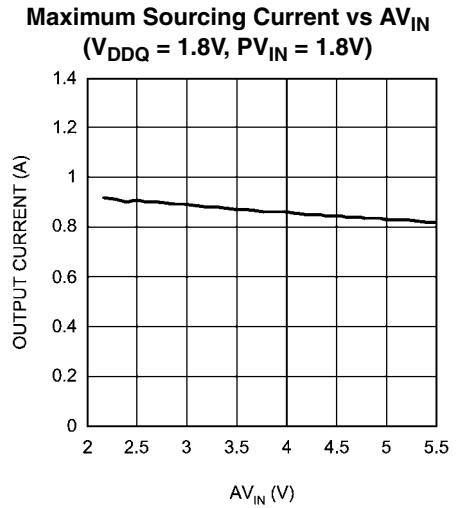
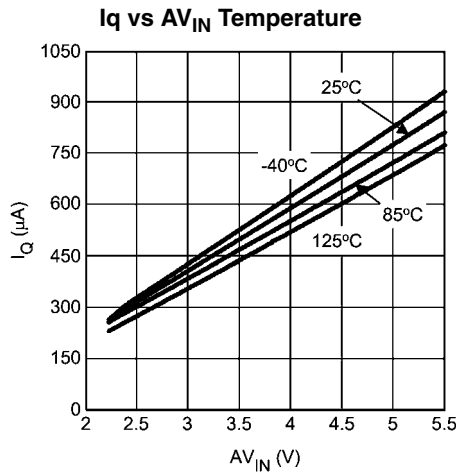
**Note 6:** 最大許容消費電力は、最大接合部温度  $T_{J(MAX)}$ 、接合部・周囲間熱抵抗  $\theta_{JA}$ 、周囲温度  $T_A$  の関数です。最大許容消費電力を超えると、ダイ温度の上昇を招き、レギュレータはサーマル・シャットダウン状態になります。

**Note 7:**  $V_{TT}$  負荷レギュレーションは 10ms の電流パルスを用いて  $V_{TT}$  を測定しテストされています。

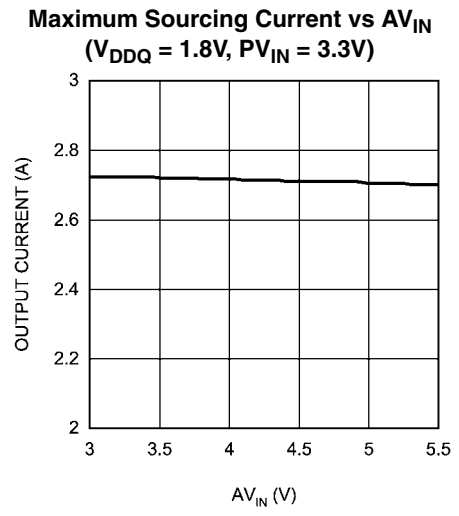
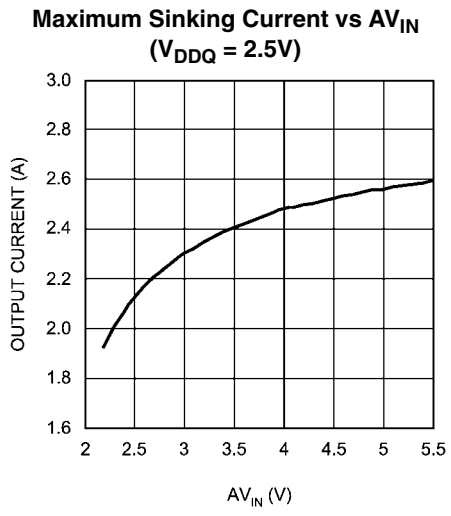
代表的な性能特性



代表的な性能特性 (つづき)

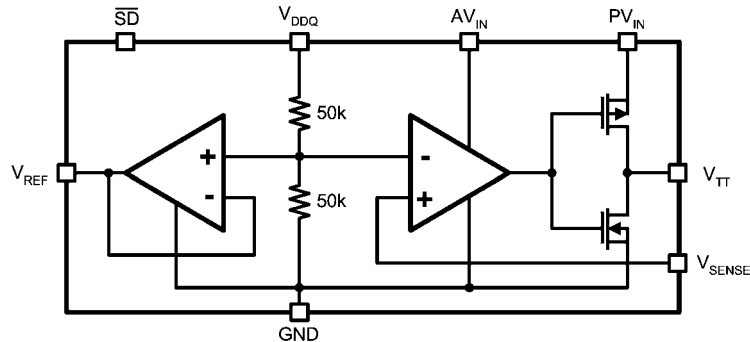


代表的な性能特性 (つづき)





ブロック図



説明

LP2998 は JEDEC 標準の SSTL-2、SSTL-3 仕様に適合する、DDR-SDRAM バス・ターミネーションのリニア・レギュレータです。V<sub>TT</sub> 出力には V<sub>DDQ</sub>/2 に等しいレギュレート電圧が得られ、電流はシンクとソースの両方に対応しています。出力段は優れた負荷レギュレーションを維持するように設計されており、貫通電流の発生が防止されています。また、LP2998 は 2 種類の異なる電源レール（電圧）での動作に対応しており、パワー出力段とアナログ回路を分離できます。電源を分割すると、内部消費電力の低減を図れます。または、次世代の DDR-SDRAM メモリ (DDR II) に対応したターミネーション・ソリューションを構成可能です。また、SSTL-3 や HSTL といった、異なるロジック I/F 用のターミネーション電圧も生成できます。

シリーズ・スタブ・ターミネーテッド・ロジック (SSTL) は、メモリアスのデータ転送時の信号品質を改善するために開発されました。このターミネーション方式は、高い周波数で DDR-SDRAM のデータ転送を行う際に、信号反射によるデータ・エラーを防ぐためには不可欠と言えます。最も一般的なターミネーション回路形式は、チップセットとメモリの間に 1 つの直列抵抗 R<sub>S</sub> を設け、さらにターミネーション抵抗 R<sub>T</sub> を 1 つ用いる、Class II シグナル・パラレル・ターミネーションです。R<sub>S</sub> と R<sub>T</sub> は通常は 25 Ω ですが、LP2998 の電流要件により変更可能です。回路の例を Figure 1 に示します。

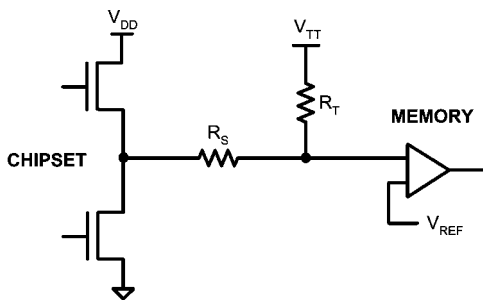


FIGURE 1. SSTL-Termination Scheme

ピン説明

AV<sub>IN</sub> および PV<sub>IN</sub>

AV<sub>IN</sub> および PV<sub>IN</sub> は LP2998 の電源ピンです。AV<sub>IN</sub> は、全内部回路の電源として用いられます。PV<sub>IN</sub> は、V<sub>TT</sub> 生成用の出力段専用電源です。AV<sub>IN</sub> の電圧は常に PV<sub>IN</sub> と同じかそれ以上という条件で、2 つのピンに異なる電源を与えて動作させること

ができます。SSTL-18 アプリケーションでは、PV<sub>IN</sub> をメモリ・コア用に 1.8V の電源レールに接続し、AV<sub>IN</sub> を動作定格内の 2.2V ~ 5.5V (代表値 2.5V) の電源レールに接続することを推奨します。PV<sub>IN</sub> は必ず 1.8V または 2.5V の電源レールで使用します。これにより、過度の内部電力消費による熱リミットへの到達を防ぐことができます。接合部温度がサーマル・シャットダウン温度を超えると、デバイスはマニュアルでのシャットダウン時と同じ状態に入り、V<sub>REF</sub> はそのまま維持されますが、V<sub>TT</sub> は TRI-STATE になります。1.5V などの低電圧を使用できますが、最大出力電流が低下するため、一般的なターミネーション方法は適切ではありません。

V<sub>DDQ</sub>

V<sub>DDQ</sub> は入力で、V<sub>TT</sub> のレギュレートに必要な内部リファレンス電圧の生成に使われます。リファレンス電圧は 2 個の 50k 内蔵抵抗の分圧によって生成されます。これにより、V<sub>TT</sub> の V<sub>DDQ</sub>/2 に対する正確な追従が得られます。リモート・センスとなるように V<sub>DDQ</sub> ピンに配線してください。PV<sub>IN</sub> の代わりに、DIMM 点の 1.8V を V<sub>DDQ</sub> に直接接続すればよいでしょう。こうすると内部リファレンス電圧は、電源配線での電圧降下の影響を受けずに、DDR メモリ部の電源電圧に正確に追従します。SSTL-18 アプリケーションで V<sub>DDQ</sub> は 1.8V なので、ターミネーション電圧 V<sub>TT</sub> として 0.9V が生成されます (温度に対する V<sub>TT</sub> の変化範囲の正確な値は「電気的特性」の表を参照してください)。

V<sub>SENSE</sub>

本センス・ピンの目的は、遠端の負荷レギュレーションの改善にあります。多くのマザーボードでは、V<sub>TT</sub> は長い配線を通してターミネーション抵抗に接続されます。このときの出力点で電圧のセンスを行うと、長い配線によって起こる大きな電圧降下により、バス端のターミネーション電圧はバスの他点より低くなってしまいう問題が生じます。そこでバスの中点付近の電圧を V<sub>SENSE</sub> ピンに与え、バス遠端で電圧が低下する問題を改善するようにしてください。この方法によりバス全体の電圧が良好に保たれます。遠端でのロード・レギュレーションを行わない場合は、V<sub>SENSE</sub> ピンには V<sub>TT</sub> を与えなければなりません。V<sub>SENSE</sub> 信号の配線をメモリに近接して実装する際は注意が必要です。V<sub>SENSE</sub> 配線にノイズが重畳すると V<sub>TT</sub> の正確なレギュレーションに影響を与える場合があります。V<sub>SENSE</sub> ピンの近くに 0.1 μF セラミック・コンデンサを設けると、高周波数信号がフィルタされるので、誤動作を防げます。

## ピン説明 (つぎ)

### シャットダウン

LP2998は、Suspend-to-RAM機能をサポートするため出力をTRI-STATEにするアクティブ Low のシャットダウン・ピンを備えています。この状態では、 $V_{TT}$  出力は TRI-STATE であり、 $V_{REF}$  出力はアクティブ状態を維持し、メモリとチップセットに一定のリファレンス信号を供給します。シャットダウン中は  $V_{TT}$  に  $PV_{IN}$  を超える電圧を与えてはなりません。シャットダウン・ピンを Low にした場合、LP2998 の待機時消費電流は下がりますが、 $V_{DDQ}$  のインピーダンスは内部リファレンス電圧の生成のために 100kΩ で一定です。そのため、シャットダウン時の総電力損失の計算では、両方の電流 (待機時消費電流と  $V_{DDQ}$  を流れる電流) を考慮する必要があります。詳細は「放熱」の項を参照してください。シャットダウン・ピンは内部でプルアップされているため、デバイスをターンオンする場合はシャットダウン・ピンを  $AV_{IN}$  に接続するか開放にします。

### $V_{REF}$

$V_{REF}$  は内部リファレンス電圧  $V_{DDQ}/2$  のバッファ出力です。本出力は、ノースブリッジ・チップセットとメモリに対するリファレンス電圧として使用します。通常それらの入力インピーダンスは高いので、 $V_{REF}$  ピンを流れる電流はわずかです。ノイズ対策としてピン近くにバイパス・コンデンサを設けると、レギュレーション性能が改善されます。推奨品は 0.1  $\mu\text{F}$  から 0.01  $\mu\text{F}$  のセラミック・コンデンサです。 $V_{REF}$  出力は、Suspend-to-RAM 機能をサポートするため、シャットダウン時およびサーマル・シャットダウン時もアクティブ状態を維持します。

### $V_{TT}$

$V_{TT}$  はバスのターミネーション抵抗に与えられるレギュレート電圧出力です。 $V_{DDQ}/2$  電圧に高い精度で追従し、併せて電流ソースと電流シンクの能力を備えています。LP2998 は、優れたロード・レギュレーションによって最大  $\pm 1.5\text{A}$  までのピーク電流変動に対応できるように設計されています。最大連続電流定格を超える変動が長時間にわたり見込まれるのであれば、出力コンデンサ容量を十分大きくして過度の電圧低下の発生を防いでください。高温時に長時間にわたり大電流が求められる場合は、最大接合部温度を超えないように注意が必要です。熱に応じて、使用定格を適切に下げようとしてください (「放熱」を参照)。接合部温度がサーマル・シャットダウン・ポイントを超えると、ヒステリシスを持つトリップ・ポイント温度を下回るまで、 $V_{TT}$  は TRI-STATE となります。

## 部品の選択

### 入力コンデンサ

LP2998 は、入力安定化を目的とする入力コンデンサは必要ではありません。ただし大きな負荷変動時に入力電圧の低下を防ぐために、入力コンデンサの使用を推奨します。入力コンデンサは、可能な限り  $PV_{IN}$  の近くに配置します。アプリケーションの要件によって推奨条件が異なります。アルミ電解コンデンサを用いた場合、推奨容量は 22  $\mu\text{F}$  です。セラミック・コンデンサも使用可能です。セラミック・コンデンサを用いる場合は、容量は 10  $\mu\text{F}$  前後とし、誘電体の温度特性が X5R 以上のコンデンサが理想的といえます。なお、LP2955 が 1.8V DC/DC コンバータの出力コンデンサの近くにレイアウトされている場合は、入力コンデンサを省略しても構いません。 $AV_{IN}$  ピンに小型の 0.1  $\mu\text{F}$  セラミック・コンデンサを追加すれば、不要なノイズがデバイスに入るのを防ぐことができます。

### 出力コンデンサ

LP2998 は、出力コンデンサの容量と ESR (等価直列抵抗) に依存しないよう設計されています。そのため柔軟にコンデンサを選択できます。出力コンデンサは、アプリケーションと負荷変動に対する  $V_{TT}$  の応答要求に基づいて決めてください。DDR-SDRAM を用いた SSTL アプリケーションでは、100  $\mu\text{F}$  以上の低 ESR コンデンサを一般的に推奨します。このうち ESR は、見込まれる最大電流スパイクと、許容される出力電圧低下から決定してください。入手可能なコンデンサ類のうち、代表的な品種について次に説明します。

AL - アルミ電解コンデンサは 120Hz におけるインピーダンスのみを規定している点に注意が必要で、これは高い周波数領域では特性が劣ることを示しています。回路にアルミ電解コンデンサを適用できる条件は、100kHz の高い周波数領域でもインピーダンスが規定されている場合に限られます。アルミ電解コンデンサを複数個並列に接続すると総 ESR を下げられます。ただし問題点は ESR が温度により変化して、低温になると ESR が急激に増大します。

セラミック・セラミック・コンデンサは、一般的に容量は 10  $\mu\text{F}$  ~ 100  $\mu\text{F}$  と大きくありませんが、ESR が極めて小さい (通常 10mΩ 以下) ため、優れたノイズ・バイパス特性を備えています。しかし使用している誘電体の種類によっては、電圧と温度に対して十分な特性を備えていないものも存在します。一般的に容量が小さいといった理由により、セラミック・コンデンサはアルミ電解コンデンサなどに並列接続しての使用を推奨します。また使用するすべてのセラミック・コンデンサには、誘電体の温度特性が X5R 以上の品種を推奨します。

化合物 - OS-CON (有機半導体) や SP (機能性高分子) のような化合物を用いたコンデンサが、数社からリリースされています。これらのコンデンサは低 ESR を維持しながら大きな容量を実現しています。他のコンデンサに比べてコストは高くなりますが、実装サイズと性能が重要な場合に最適なソリューションといえます。

## 放熱

LP2998 はリニア・レギュレータなので、熱の原因となる内部消費電力が  $V_{TT}$  電流によって発生します。デバイスを損壊から守るには最大許容接合部温度を超えてはならないので、見込まれる最大周囲温度と消費電力に基づき、デバイスを定格以下で動作させるよう注意を払う必要があります。最大許容内部温度上昇 ( $T_{Rmax}$ ) は、アプリケーションで与えられる最大周囲温度 ( $T_{Amax}$ ) と、最大許容接合部温度 ( $T_{Jmax}$ ) から求められます。

$$T_{Rmax} = T_{Jmax} - T_{Amax}$$

この式から、デバイスの最大消費電力 ( $P_{Dmax}$ ) は次式で示されます。

$$P_{Dmax} = T_{Rmax} / J_A$$

LP2998 の  $J_A$  は、使用しているパッケージ、プリント基板の銅箔厚み、スルーホールの数、およびエアフローで決まります。たとえば SO-8 パッケージを、標準的な 203 × 102mm、銅箔厚み 35  $\mu\text{m}$  の基板に実装し、エアフローなしの室温で 0.5W を消費させた場合の  $J_A$  は、163  $^{\circ}\text{C}/\text{W}$  です。また JEDEC スタンドアートの 76 × 102mm、70  $\mu\text{m}$  厚銅箔の基板を用いると、 $J_A$  は 151.2  $^{\circ}\text{C}/\text{W}$  に低下します。Figure 2 に上記 2 つの基板における、エアフローに対する  $J_A$  の変化を示します。

放熱 (つづき)

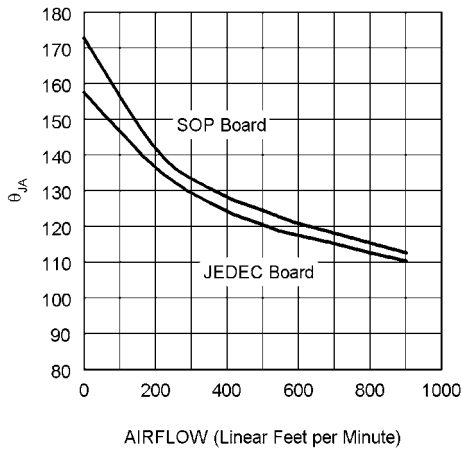


FIGURE 2.  $J_A$  vs Airflow (SO-8)

デバイスの実装とグラウンド内層に熱を放出するためにピアをうまく使用すると、さらなる改善が図れます。基板表面層に幅広かつ銅箔厚を厚くした配線を適用しても同じ効果が得られます。基板のレイアウト設計を注意深く行えば、Figure 2 に示される公称値より低い  $J_A$  になります。

$J_A$  の最適化を行い、あわせて周囲温度が低い基板領域に LP2998 を配置すれば、デバイスをより大きな消費電力で使用可能になります。内部消費電力は主に、シンクかソースに依らない  $V_{TT}$  の出力電流、 $AV_{IN}$  の待機時消費電流、 $V_{DDQ}$  の待機時消費電流といった3種類の損失の合計として求められます。シャットダウンが Low ではないアクティブ状態では、内部消費電力は次の式で算出されます。

$$P_D = P_{AVIN} + P_{VDDQ} + P_{VTT}$$

$$P_{AVIN} = I_{AVIN} \times V_{AVIN}$$

$$P_{VDDQ} = V_{VDDQ} \times I_{VDDQ} = V_{VDDQ}^2 / R_{VDDQ}$$

$V_{TT}$  の最大消費電力を求める場合、電流がシンク時とソース時の両状態で  $V_{TT}$  を検討する必要があります。ただし  $V_{TT}$  はシンクとソースの両方の状態を同時に採り得ないため、合計ではどちらか 1 つの値のみを加算します。

$$P_{VTT} = V_{VTT} \times I_{LOAD} \text{ (シンク時)}$$

$$P_{VTT} = (V_{PVIN} - V_{VTT}) \times I_{LOAD} \text{ (ソース時)}$$

シャットダウン・ステートにある LP2998 の消費電力も計算可能です。 $V_{TT}$  出力は TRI-STATE となしシンク電流もソース電流も流れないため、電力計算において該当項は取り除いて考えます (漏れ電流は無視できる)。シャットダウン中は、低減されてはいるものの  $AV_{IN}$  の待機時消費電流と、 $V_{DDQ}$  ピンに現れる一定のインピーダンスにより、若干の損失が生じます。

$$P_D = P_{AVIN} + P_{VDDQ}$$

$$P_{AVIN} = I_{AVIN} \times V_{AVIN}$$

$$P_{VDDQ} = V_{VDDQ} \times I_{VDDQ} = V_{VDDQ}^2 / R_{VDDQ}$$

### 代表的なアプリケーション回路

LP2998 が構成上取り得るオプションを示すために、さまざまなアプリケーション回路を Figure 3 ~ 12 に示します。個々の回路の性能は、本データシートの前半にある「代表的な性能特性」のグラフに、 $AV_{IN}$  と  $PV_{IN}$  の電圧によって最大出力電流がどのように影響を受けるかが示されています。

### SSTL-2 アプリケーション

SSTL-2 ターミネーション方式の実装をするアプリケーションでは、すべての入力レールを 2.5V レールに接続することを推奨します。消費電力、部品点数、部品選択のトレードオフで最適となるからです。回路例を Figure 3 に示します。

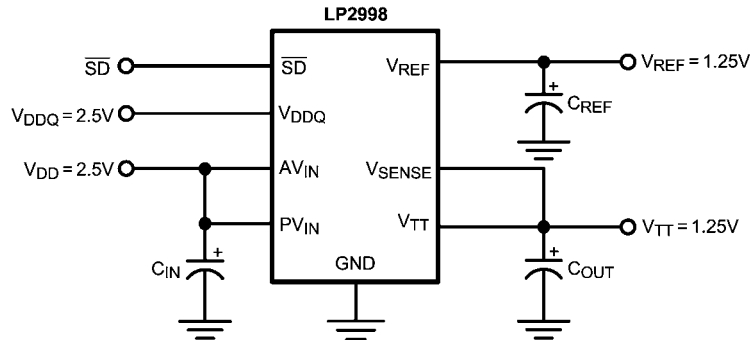


FIGURE 3. Recommended SSTL-2 Implementation

消費電力または効率が設計上の大きな課題となっている場合は、LP2998 を分割電源レールで動作させます (Figure 4)。出力段 ( $PV_{IN}$ ) は 1.8V 程度の低電圧で動作させ、アナログ回路 ( $AV_{IN}$ ) には 2.5V、3.3V、または 5V といった高電圧を与えます。このようにすると、 $V_{TT}$  から電流が供給されたときでも内部消費電力を小さくできます。この回路の問題点は低電圧動作により最大連続

電流が小さくなることですが、SSTL-2 アプリケーションのあらゆるマザーボードでは充分です。出力コンデンサを大きくすると、大きな負荷電流遷移に対応できる時間を長くできます。

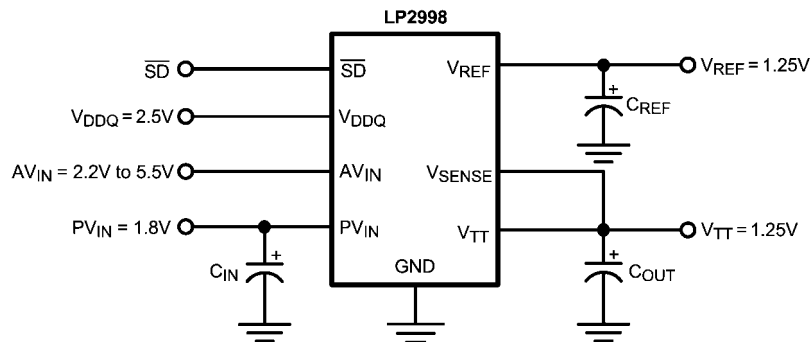


FIGURE 4. Lower Power Dissipation SSTL-2 Implementation

SSTL-2 アプリケーションの第 3 のオプションは、1.8V 電源レールがなく、かつ 2.5V を使用するのが望ましくない状態で、LP2998 の  $PV_{IN}$  を 3.3V レールに接続した場合です (Figure 5)。 $AV_{IN}$  は  $PV_{IN}$  より低くはできないため、この場合  $AV_{IN}$  は、3.3V または 5V レールに限られます。この構成では放熱が大きくなる反面、最大

連続出力電流が得られます。LP2998 が接合部温度を最大定格を超えてしまう大電流レベルの状況にならないように注意が必要です。このようなリスクがあるため、出力段に公称 3.3V より高い電圧を与えることは推奨されません。

代表的なアプリケーション回路 (つづき)

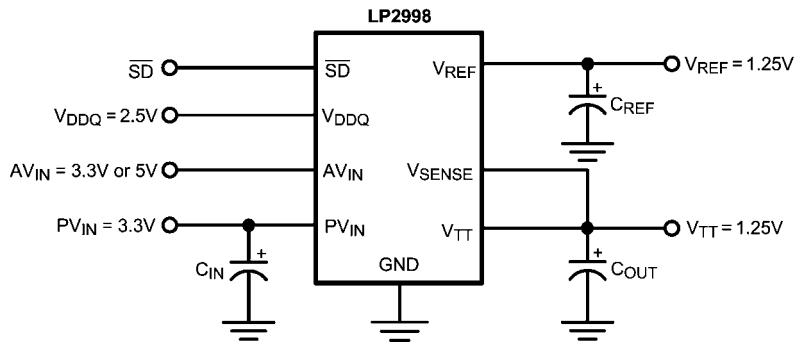


FIGURE 5. SSTL-2 Implementation with higher voltage rails

DDR-II アプリケーション

V<sub>DDQ</sub> ピンと内部抵抗分圧回路は他の回路と切り離されていますので、LP2998 を DDR-II メモリ・アプリケーションに適用することも可能です。Figure 6、7 は推奨回路の実装例です。出力特性

は「代表的な性能特性」のグラフに示されています。Figure 6 は DDR-II アプリケーションの推奨回路構成です。出力段を 1.8V レールに接続し、AV<sub>IN</sub> ピンを 2.5V、3.3V または 5V レールに接続します。

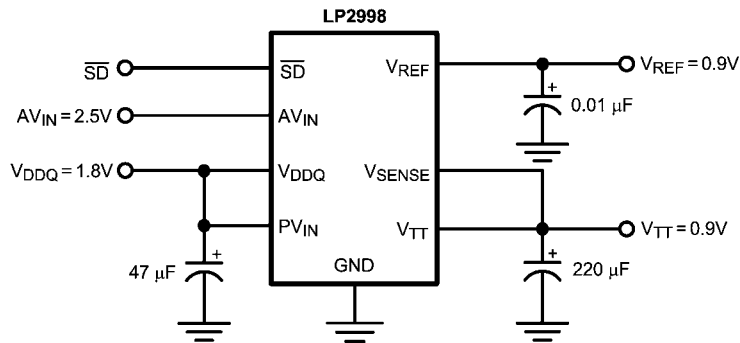


FIGURE 6. Recommended DDR-II Termination

1.8V レールを出力段に使用できない場合は、3.3V レールを接続する案も考えられます。V<sub>TT</sub> 出力電圧が低いため、熱損失の増大によって最大接合部温度を超えないように注意が必要です。そのため、PV<sub>IN</sub> に公称 3.3V 以上の電圧レールを与えるのは推奨

されません。この構成の利点は、ソースとシンクで、最大連続電流を大きくできることです。

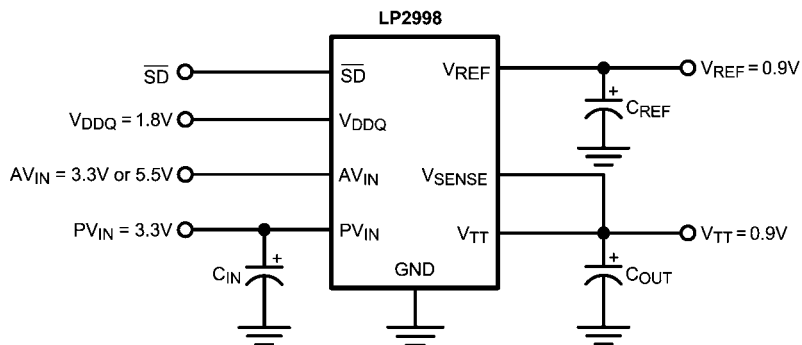


FIGURE 7. DDR-II Termination with higher voltage rails

代表的なアプリケーション回路 (つづき)

レベル・シフト

SSTL-3 など、SSTL-2 以外のスタンダードに適用するために、 $V_{DDQ}$  に対して 0.5 倍以外の係数で出力電圧のレギュレーションを行いたい場合があります。係数を変えて任意の電圧を得るにはいくつかの方法があります。その 1 つは、 $V_{TT}$  から  $V_{SENSE}$  に

帰還抵抗を追加して、出力のレベル・シフトを行う方法です。この方法を用いた回路を Figure 10、11 に示します。Figure 10 は、2 個の追加抵抗を使って、内部リファレンス電圧  $V_{DDQ}/2$  よりも高い電圧にレベル・シフトする回路です。 $V_{TT}$  の正確な電圧は次の式から求められます。

$$V_{TT} = V_{DDQ}/2 (1 + R1/R2)$$

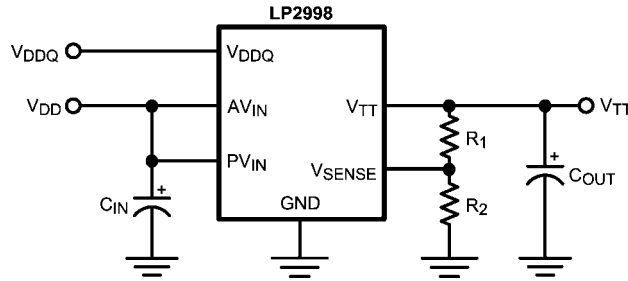


FIGURE 8. Increasing  $V_{TT}$  by Level Shifting

逆に、抵抗  $R2$  を  $V_{SENSE}$  と  $V_{DDQ}$  の間に置けば、 $V_{TT}$  出力を内部リファレンス電圧  $V_{DDQ}/2$  より低くできます。 $V_{TT}$  と抵抗の関係は次の式で表されます。

$$V_{TT} = V_{DDQ}/2 (1 - R1/R2)$$

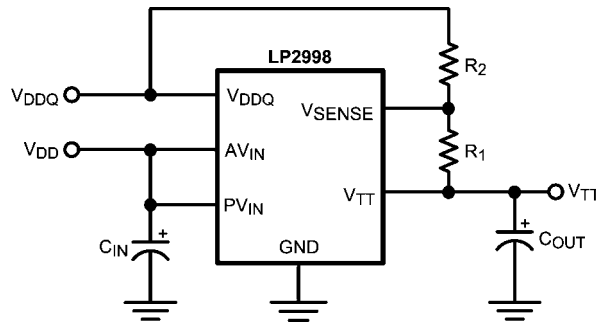


FIGURE 9. Decreasing  $V_{TT}$  by Level Shifting

HSTL アプリケーション

LP2998 は、 $V_{DDQ}$  に 1.5V レールを接続するだけで、簡単に HSTL アプリケーションに適用できます。ターミネーション抵抗に与

えられる  $V_{TT}$  と  $V_{REF}$  電圧はおおよそ 0.75V になります。最適な性能を得るために  $AV_{IN}$  と  $PV_{IN}$  は 2.5V レールに接続してください。

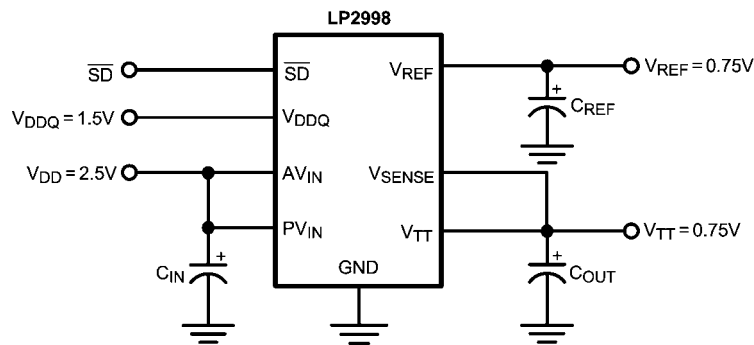


FIGURE 10. HSTL Application

代表的なアプリケーション回路 ( つぎ )

**QDR アプリケーション**

クワッド・データ・レート (QDR) アプリケーションは高いメモリ性能を得るために複数のチャネルを使用します。そのためバス信号線数が増え、ターミネーションに必要な電流レベルも大きくなります。そこでターミネーションでは、複数チャネルの各チャネルごとに個別のを使用することを推奨します。基板レイアウトを単純化でき、各レギュレータの内部消費電力も抑えられます。各レギュレータから出力される個々の  $V_{REF}$  信号を各 DIMM バンクに与えます。チツ

プセット用のリファレンス電圧は、局所的に抵抗分圧を行うか、LP2998 のうちの 1 つから与えます。  $V_{REF}$  は  $V_{TT}$  に追従することが見込まれ、またデバイス間のばらつきは小さいため、各 LP2998 のリファレンス電圧の差はわずかです。

**出力コンデンサの選択**

LP2998 を SSTL-2 I/O 信号のターミネーション用に使用したアプリケーションでは、Figure 11 に示す代表的アプリケーション回路を適用可能です。

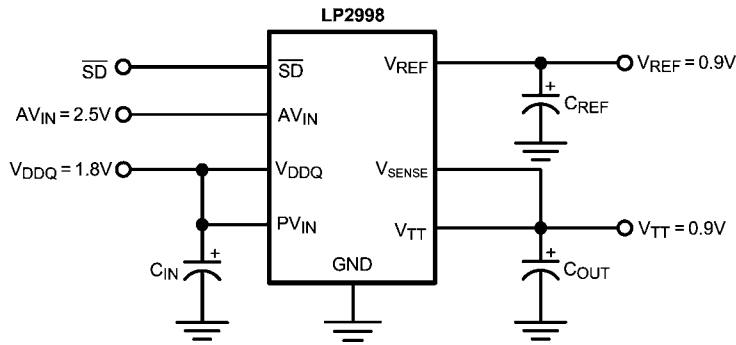


FIGURE 11. Typical SSTL-2 Application Circuit

この回路は、最小の基板面積と最小の部品点数でターミネーション回路を実現しています。選択すべきコンデンサの容量は、ターミネーションする信号線数と最大負荷電流に依存して異なりますが、  $V_{TT}$  が長い配線で分配されているマザーボードやアプリケーションでは、複数のバルク・コンデンサを使用し、さらに高周波デカップリング・コンデンサを追加することが望まれます。次の Figure

12 に、2 個のバルク出力コンデンサを、最適な位置である  $V_{TT}$  層の両端に配置した回路例を示します。 ESR が小さくかつコストが低い大容量アルミ電解コンデンサを使用しています。

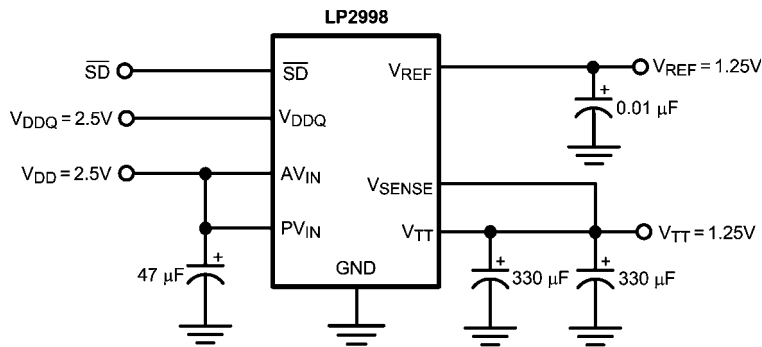


FIGURE 12. Typical SSTL-2 Application Circuit for Motherboards

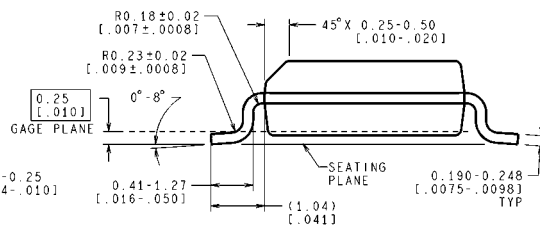
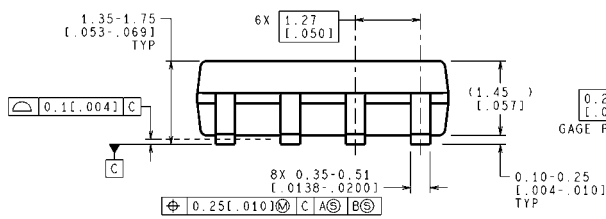
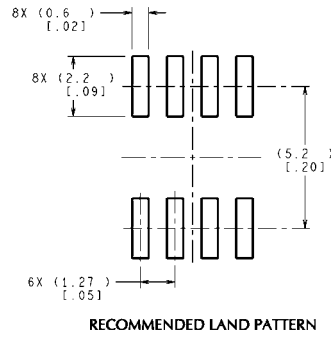
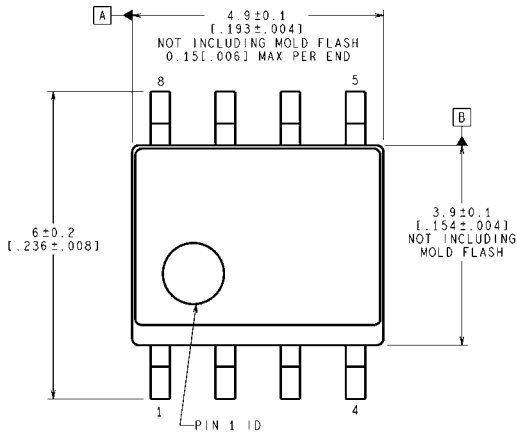
一般の PC アプリケーションでは、モジュールに実装された DDR-SDRAM DIMM によって長いインターコネクタが生じるため、多数のデカップリングが必要です。そのため、通常 1000µF の容量範囲のアルミ電解コンデンサをバルク・コンデンサとして使用します。

### PCB 設計に関する考慮事項

1. パワー・レールの入力コンデンサは、可能な限り  $PV_{IN}$  ピンの近くに配置してください。
2.  $V_{SENSE}$  ピンには、 $V_{TT}$  ターミネーションされるバスのレギュレーションが必要な点に接続してください。マザーボード・アプリケーションではターミネーション・バスの中点が理想的です。
3.  $V_{DDQ}$  入力、DIMMまたはチップセットの  $V_{DDQ}$  電源に対してリモート・センスとなるように接続します。内部リファレンス電圧を最も精度高く生成できるようになります。
4. 熱特性を改善するには、パッケージからの放熱量を増やすために表面層の銅箔を大きくしてください。グラウンド配線と内部グラウンド・プレーンを接続する多数のビアも放熱を助けます。さらに、製造基準として許容されるのであれば、ビアはパッケージ下部にも配置してください。
5.  $V_{SENSE}$  信号の配線設計では、スイッチングする I/O 信号からノイズを拾わないように注意が必要です。 $V_{SENSE}$  ピンの近くに  $0.1\mu\text{F}$  セラミック・コンデンサを置くと、好ましくない高周波信号をフィルタリングできます。 $V_{SENSE}$  配線が長い場合、とくに検討を要します。
6.  $V_{REF}$  にはレギュレーション性能の改善のため、 $0.1\mu\text{F} \sim 0.01\mu\text{F}$  のセラミック・コンデンサを接続してノイズをバイパスしてください。コンデンサは  $V_{REF}$  ピンの可能な限り近くに配置してください。



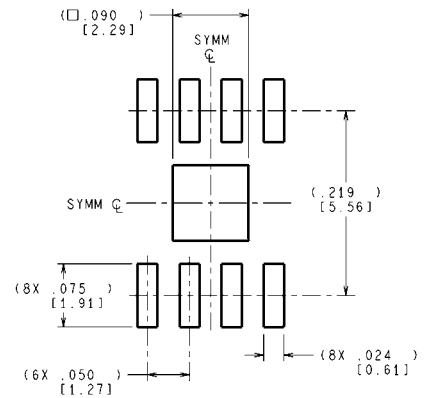
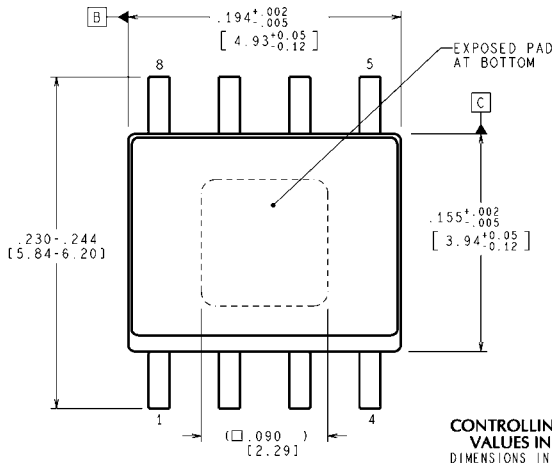
外形寸法図 特記のない限り inches (millimeters)



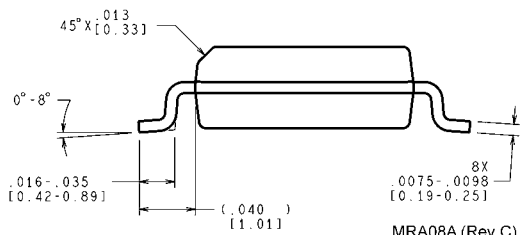
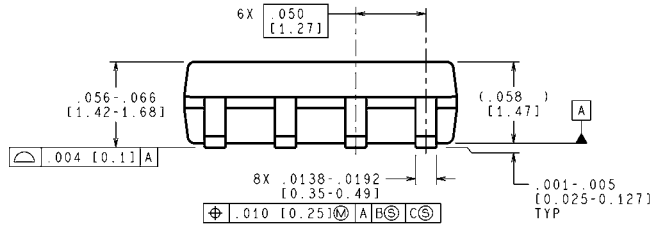
CONTROLLING DIMENSION IS MILLIMETER  
VALUES IN [ ] ARE INCHES  
DIMENSIONS IN ( ) FOR REFERENCE ONLY

M08A (Rev L)

8-Lead Small Outline Package (M8)  
NS Package Number M08A  
単位は millimeters



CONTROLLING DIMENSION IS INCH  
VALUES IN [ ] ARE MILLIMETERS  
DIMENSIONS IN ( ) FOR REFERENCE ONLY



MRA08A (Rev C)

8-Lead PSOP Package (PSOP-8)  
NS Package Number MRA08A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation  
製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上