

高速、完全差動、プログラマブル・ゲイン・アンプ

特長

- 広帯域+5V動作：帯域幅650MHz
- 低インピーダンス、電圧モード出力
- 広いゲイン範囲：-11.5dB ~ +20dB
- 高精度の0.5dBゲイン・ステップ
ステップ間ゲイン誤差 = $\pm 0.03\text{dB}$
- HD2：-93dBc (100MHz)
- HD3：-88dBc (100MHz)
- IMD3：-98dBc (100MHz)、-95dBc (200MHz)
- OIP3：+47dBm (100MHz)
+45dBm以上 (~ 300MHz)
- 柔軟なゲイン制御インターフェイス：
-ラッチ・オプションと非ラッチ・オプションをサポート
-パワーダウン状態中にゲインを設定可能
-高速のセットアップ/ホールド時間：2.5ns
-低ディスエーブル電流：2mA
-鉛フリー (RoHS準拠)、Greenパッケージ

アプリケーション

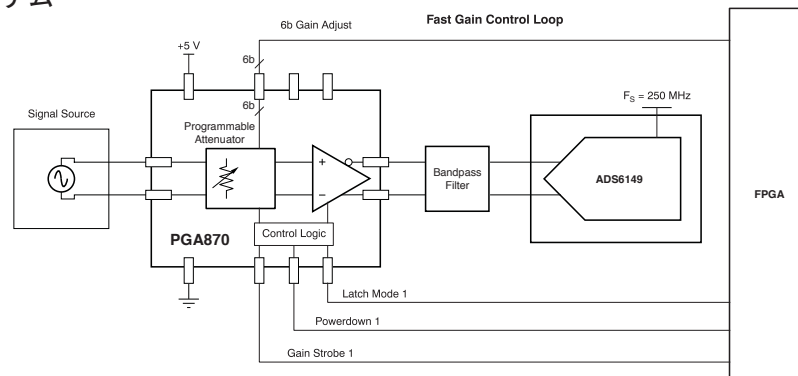
- プログラマブル・ゲインIFアンプ：
-差動シグナル・チェーン
-シングルエンド・差動変換
- 高速ゲイン制御ループ：
-試験/計測機器
-デジタル無線シグナル・チェーン
- ワイヤレス・ベース・ステーション・シグナル・チェーン用ADCドライバ：GSM、WCDMA、MC-GSM
- レーダー/測距システム

概要

PGA870は、高速シグナル・チェーンおよびデータ収集システム用の広帯域プログラマブル・ゲイン・アンプ (PGA) です。PGA870は、高帯域幅、低歪、低ノイズを実現するよう最適化されており、ワイヤレス・ベース・ステーションのシグナル・チェーン・アプリケーションに対する14ビットA/Dコンバータ (ADC) のドライバとして最適なデバイスです。ゲイン範囲は-11.5dB ~ +20dBと幅広く、パラレル・インターフェイスに入力される6ビット制御ワードにより0.5dBステップで調整できます。ゲイン制御インターフェイスはレベル・トリガ・ラッチまたはエッジ・トリガ・ラッチに設定でき、また非ラッチ (透過) モードにすることもできます。6ビットのゲイン制御に加えて、PGA870にはパワーダウン・ピン ($\overline{\text{PD}}$) が用意され、デバイスを低電流のパワーダウン・モードに設定できます。このモードでは、静止電流が2mAに低減低減されますが、ゲイン制御回路は引き続きアクティブであるため、デバイスのパワーアップ前にPGA870のゲインを設定できます。PGA870は、QFN-28 PowerPAD™パッケージで供給されます。

関連製品

デバイス	説明
THS4509	広帯域、低ノイズ、低歪、完全差動アンプ
THS7700	高速、完全差動16ビットADCドライバ
THS9000	50MHz~400MHz IF/RFアンプ
ADS6149	14ビット、250MSPS ADC (DDR LVDS/CMOS出力付き)
ADS6145	14ビット、125MSPS ADC (DDR LVDS/CMOS出力付き)



Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ご発注の手引き ⁽¹⁾

製品名	パッケージ-リード	パッケージ・コード	規定温度範囲	パッケージ捺印	型番	出荷形態、数量
PGA870	QFN-28	RHD	-40°C to +85°C	PGA870	PGA870IRHDT	テープ・リール、250
				PGA870	PGA870IRHDR	テープ・リール、3000

(1) 最新のパッケージおよびご発注情報については、このデータ・シートの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト (www.ti.comまたはwww.tij.co.jp) をご覧ください。

絶対最大定格 ⁽¹⁾

動作温度範囲内（特に記述のない限り）

		PGA870	単位
電源		6	V
内部消費電力		熱特性を参照	
入力電圧範囲		V _S	V
保存温度範囲		-40 to +125	°C
最大ジャンクション接合部温度(T _J)		+150	°C
最大ジャンクション接合部温度(T _J)、連続動作、長期的信頼性		+140	°C
ESD定格	人体モデル (HBM)	2000	V
	デバイス帯電モデル (CDM)	1000	V
	マシン・モデル (MM)	200	V

(1) 絶対最大定格以上のストレスが加わると、永続的な損傷を製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示してあり、このデータ・シートに示された値を越える状態での本製品の機能動作は含まれていません。

定格消費電力 ⁽¹⁾

パッケージ	θ_{JP} (°C/W)	θ_{JA} (°C/W)	電力定格 ⁽²⁾ (T _J = +125°C)	
			T _A = +25°C	T _A = +85°C
QFN-28	4.1	35	2.9 W	0.87 W

(1) これらのデータは、JEDEC High-KテストPCB上で得られたものです。JEDEC Low-KテストPCBの場合、 θ_{JA} は350°C/Wです。

(2) 電力定格は、接合部温度+125°Cで決定されます。この値を超えると、歪みが大幅に増加し始め、長期的な信頼性が低下し始めます。最高の性能および信頼性を得るには、最終的なプリント基板の熱管理で接合部温度を+125°C以下に保持するようにしてください。

電気的特性：V_{S+} = +5 V (続き)

大字の制限は+25°Cで測定。

T_A = +25°C、V_{S+} = +5V、差動入力信号、差動V_{OUT} = 2V_{PP}、R_L = 200Ω差動、G = 20dB、入力 / 出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

パラメータ	測定条件		PGA870IRHD			単位	試験レベル ⁽¹⁾	
			最小	標準	最大			
AC性能								
小信号帯域幅	G = 20 dB, V _O = 100 mV _{PP}			650		MHz	C	
大信号帯域幅	G = 20 dB, V _O = 2 V _{PP}			650		MHz	C	
0.1dBフラット応答の帯域幅				100		MHz	C	
スルー・レート (差動)	2-V ステップ			2900		V/μs	C	
立ち上がり時間	2-V ステップ			0.55		ns	C	
立ち下がり時間	2-V ステップ			0.55		ns	C	
1%へのセトリング・タイム	2-V ステップ			3		ns	C	
0.1%へのセトリング・タイム	2-V ステップ			5		ns	C	
高調波歪	ゲイン = +20 dB, V _O = 2 V _{PP} , R _L = 200 Ω							
2次高調波歪	f = 50 MHz			-108		dBc	C	
	f = 100 MHz			-93		dBc	C	
	f = 200 MHz			-71		dBc	C	
3次高調波歪	f = 50 MHz			-95		dBc	C	
	f = 100 MHz			-88		dBc	C	
	f = 200 MHz			-75		dBc	C	
2次相互変調歪	2MHzのトーン間隔	f ₁ (MHz)	f ₂ (MHz)				C	
		49	51		-87	dBc	C	
		99	101		-90	dBc	C	
3次相互変調歪	2MHzのトーン間隔	49	51		-103	dBc	C	
		99	101		-98	dBc	C	
		199	201		-95	dBc	C	
出力3次インターセプト	V _{OUT} = 2 V _{PP} , R _L = 200 Ω	49	51		50	dBm	C	
		99	101		47	dBm	C	
		199	201		45	dBm	C	
ノイズ指数	150Ωシステム、ゲイン = +20dB、f = 100MHz			13		dB	C	
DC								
出力オフセット電圧	T _A = +25°C			-30	±5	30	mV	A
	T _A = -40°C to +85°C			-35		35	mV	B
平均オフセット電圧ドリフト	T _A = -40°C to +85°C				20		μV/°C	B
入力								
入力反射損失	Z _{SYS} = 150 Ω、周波数 < 300MHz					-40	dB	B
差動入力抵抗				129		150	Ω	B
差動入力容量						1.2	pF	C
シングルエンド入力抵抗						141	Ω	B
同相モード除去比	T _A = +25°C、ゲイン = 20 dB			54		76	dB	A

(1) テスト・レベル:(A) 100% を +25° C で試験。過熱制限は特性とシミュレーションで設定。(B) 制限は特性とシミュレーションで設定。(C) 標準値は参考情報。

電気的特性：V_{S+} = +5 V (続き)

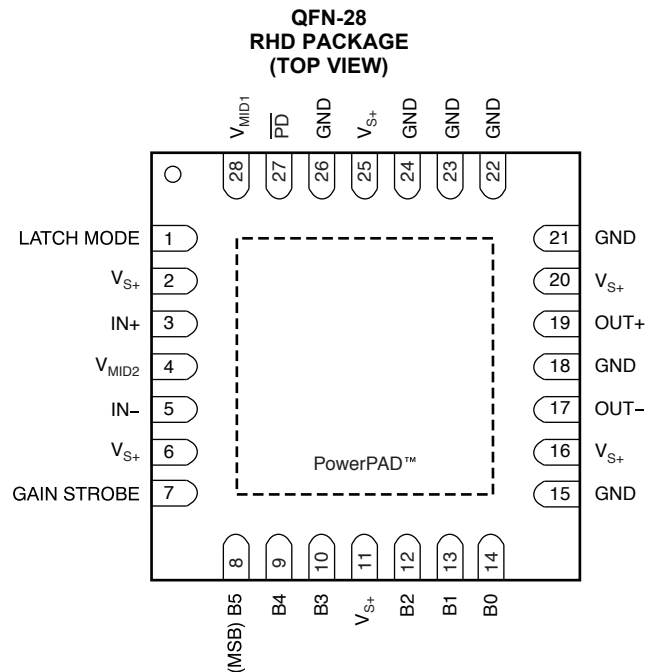
太字の制限は+25°Cで測定。

T_A = +25°C、V_{S+} = +5V、差動入力信号、差動V_{OUT} = 2V_{PP}、R_L = 200Ω差動、G = 20dB、入力 / 出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

パラメータ	測定条件	PGA870IRHD			単位	試験レベル ⁽¹⁾	
		最小	標準	最大			
出力							
最大出力電圧 "High"	各出力と電源 中点間に100Ω	T _A = +25°C	3.5	3.7		V	A
		T _A = -40°C to +85°C	3.4			V	B
T _A = +25°C			1.3	1.5		V	A
T _A = -40°C to +85°C				1.6		V	B
最小出力電圧 "Low"	T _A = +25°C, R _L = 200 Ω		4	4.8		V _{PP}	B
	T _A = -40°C to +85°C		3.6			V _{PP}	B
差動出力電圧振幅	T _A = +25°C, R _L = 20 Ω		40	50		mA _P	A
電源中点からの出力同相モード・オフセット	T _A = +25°C, R _L = 20 Ω		-60	±10	60	mV	A
差動出力インピーダンス	f = 100 MHz			3.5 / 87		Ω / °	B
差動出力インピーダンス・モデル	直列 R _{OUT,EQ} , L _{OUT,EQ}			0.3 / 3.8		Ω / nH	B
電源							
仕様動作電圧			4.75	5	5.25	V	C
静止電流	T _A = +25°C		138	143	148	mA	A
	T _A = -40°C to +85°C		136		150	mA	B
電源除去比 (PSRR)	T _A = +25°C、ゲイン = 20 dB ⁽²⁾		54	76		dB	A
パワーダウン							
デバイス・パワーアップ電圧スレッシュホールド	2.1V以上でオンを保証		2.1			V	A
デバイス・パワーダウン電圧スレッシュホールド	0.9V以下でオフを保証				0.9	V	A
パワーダウン静止電流	T _A = +25°C			2	4	mA	A
	T _A = -40°C to +85°C				4.8	mA	B
パワーダウン状態での順方向アイソレーション	f = 100 MHz			-110		dB	C
P _D ピン入力バイアス電流	P _D = V _{S-}			0.5		μA	B
P _D ピン入力インピーダンス				20 0.5		kΩ pF	C
ターンオン時間遅延	出力オンに対して測定			16		ns	C
ターンオフ時間遅延	出力オフに対して測定			60		ns	C
ゲイン設定							
ゲイン範囲			-11.5		+20	dB	A
ゲイン制御：G0~G5				6		ビット	B
ゲイン・ステップ・サイズ	-11.5 dB ≤ ゲイン ≤ +20 dB			0.50		dB	A
ゲイン範囲全体でのゲイン誤差	絶対ゲイン誤差		-0.35	±0.05	0.35	dB	A
	ステップ間ゲイン誤差		-0.10	±0.03	0.10	dB	A
ゲイン温度係数			0.0018	0.0022	0.0026	dB/°C	B
ゲイン・セトリング・タイム			5			ns	B
デジタル入力							
B0~B5およびラッチ							
デジタル・スレッシュホールド "Low"					0.9	V	A
デジタル・スレッシュホールド "High"			2.1			V	A
デジタル・ピンを流れる電流				±20		nA	C
GAIN STROBE "Low" までのデータ・セットアップ時間				2.5		ns	C
GAIN STROBE "Low" 後のデータ・ホールド時間				0		ns	C
レイテンシ				6.4		ns	C

(2) PSRRは、差動出力の1つを基準に定義されています。

ピン構成



ピン配置

ピン番号	ピン名	説明
1	LATCH MODE	ゲイン制御ワード (B0~B5) のラッチおよび非ラッチの取得を制御します。詳細については、アプリケーション情報の「ゲイン制御およびラッチ・モード」を参照してください。
2, 6, 11, 16, 20, 25	V _{S+}	+5V 電源
3	IN+	非反転入力
4	V _{MID2}	内部電源中点リファレンスのバッファ出力。このアクティブ・バッファの出力は、外部負荷の駆動を意図したものではありません。0.1μFのコンデンサを使用してバイパスする必要があります。
5	IN-	反転入力
7	GAIN STROBE	ゲイン・ラッチ・クロック・ピン
8	B5 (MSB)	ゲイン制御MSB
9	B4	ゲイン制御ビット4
10	B3	ゲイン制御ビット3
12	B2	ゲイン制御ビット2
13	B1	ゲイン制御ビット1
14	B0 (LSB)	ゲイン制御ビット0
17	OUT-	反転出力
15, 18, 21, 22, 23, 24, 26	GND	グラウンド
19	OUT+	非反転出力
27	$\overline{\text{PD}}$	デバイスのアナログ回路用アクティブ・ロー・パワーダウン。 $\overline{\text{PD}}$ が“Low”のとき、ゲイン制御CMOS回路は引き続きアクティブです。
28	V _{MID1}	内部電源中点リファレンスのチップ・バイパス・ピン。これは分圧抵抗回路の midpoint であり、入力としての機能は意図していません。0.1μFのコンデンサを使用してバイパスする必要があります。
サーマル・パッド	PowerPAD	放熱用の熱接点。サーマル・パッドは、電気的グラウンドに接続する必要があります。

標準的特性

$T_A = +25^\circ\text{C}$ 、 $V_{S+} = +5\text{V}$ 、差動入力信号、差動 $V_{OUT} = 2V_{PP}$ 、 $R_L = 200\Omega$ 差動、 $G = +20\text{dB}$ 、入力/出力同相モード = 内部電源中点リファレンス（特に記述のない限り）。

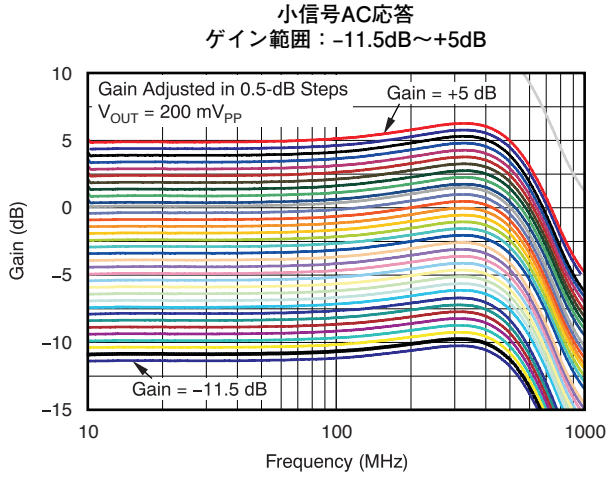


図1.

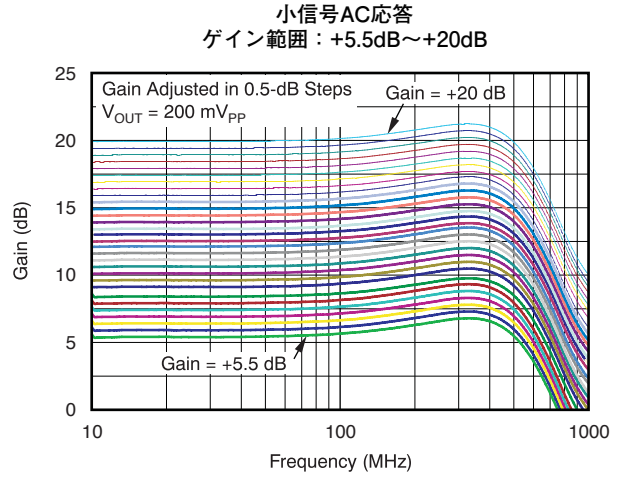


図2.

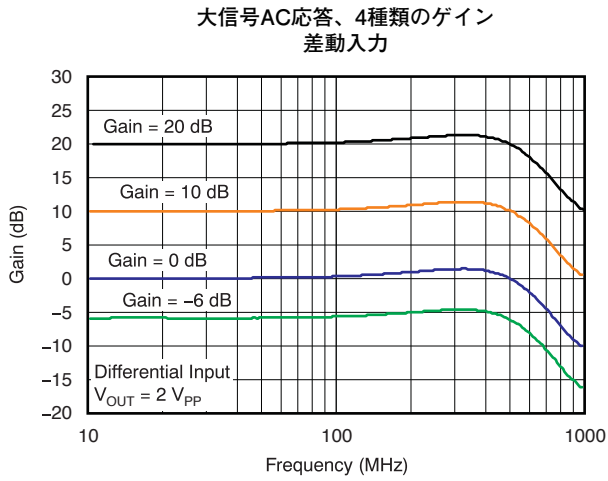


図3.

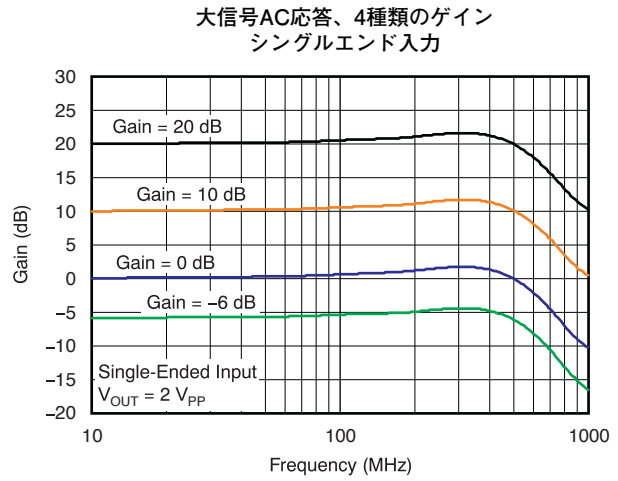


図4.

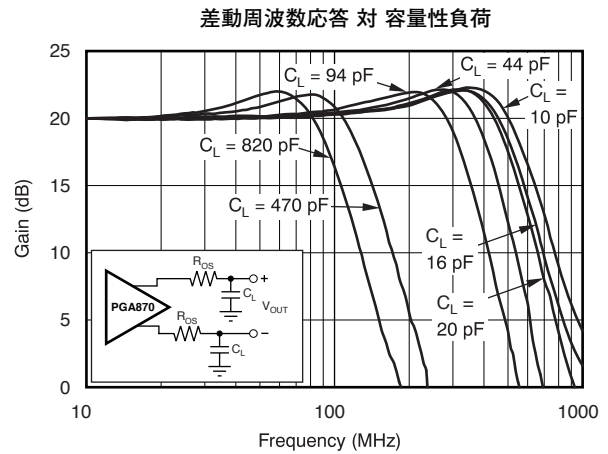


図5.

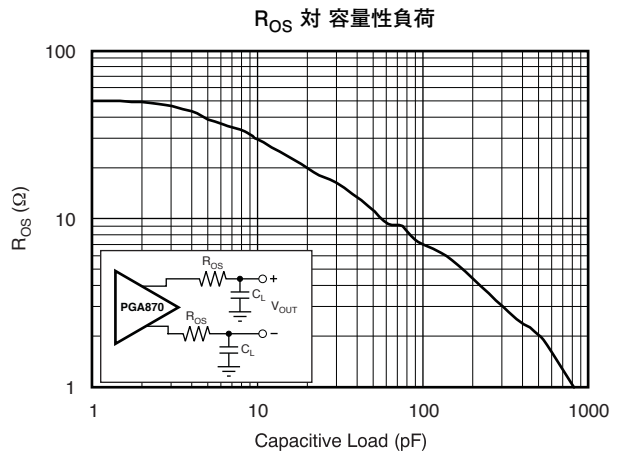


図6.

標準的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_{S+} = +5\text{V}$ 、差動入力信号、差動 $V_{OUT} = 2V_{PP}$ 、 $R_L = 200\Omega$ 差動、 $G = +20\text{dB}$ 、入力/出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

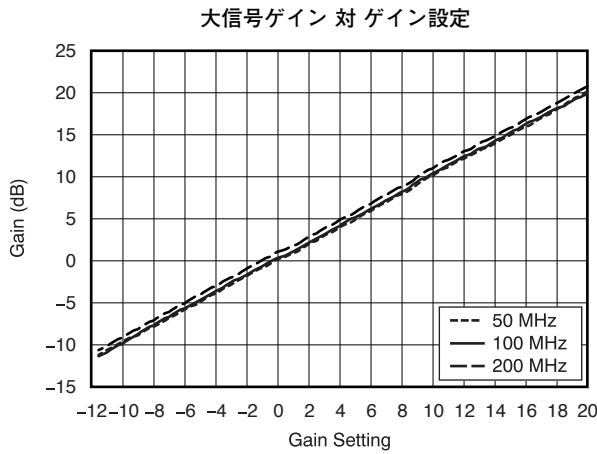


図7.

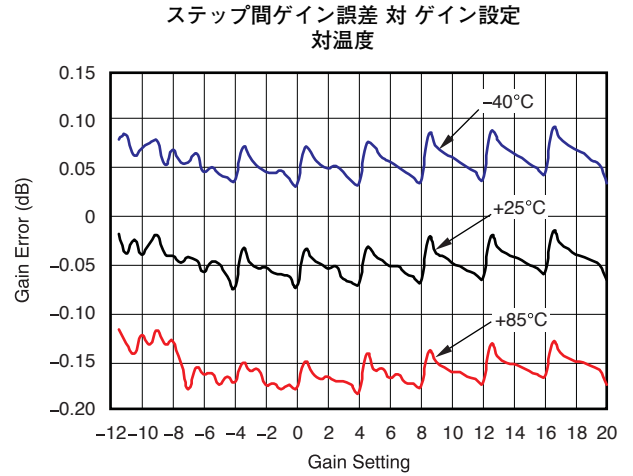


図8.

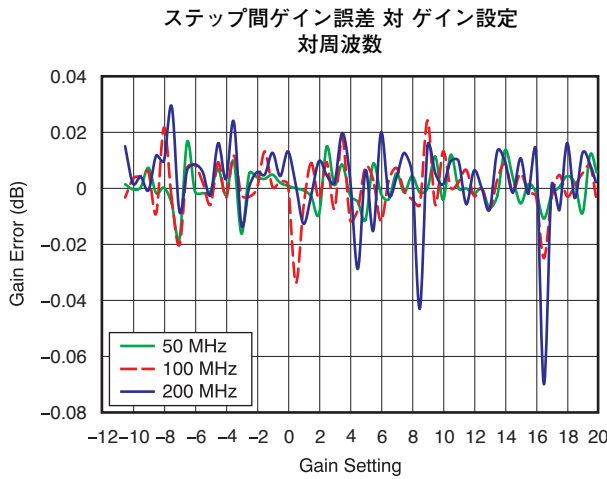


図9.

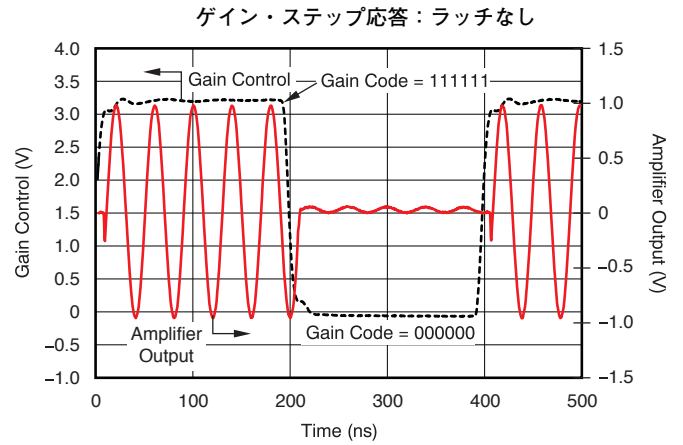


図10.

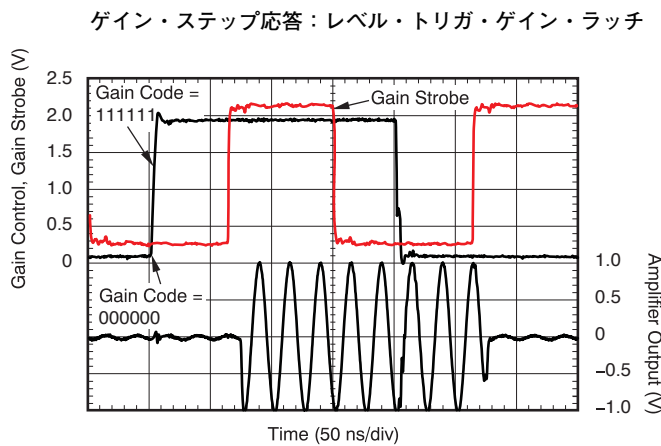


図11.

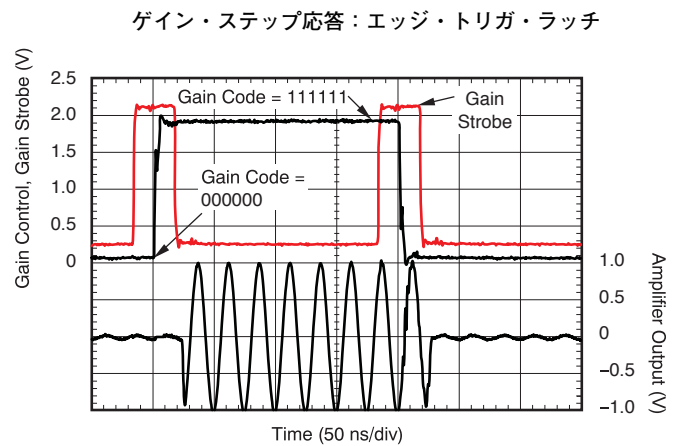


図12.

標準的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_{S+} = +5\text{V}$ 、差動入力信号、差動 $V_{\text{OUT}} = 2V_{\text{PP}}$ 、 $R_L = 200\ \Omega$ 差動、 $G = +20\text{dB}$ 、入力/出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

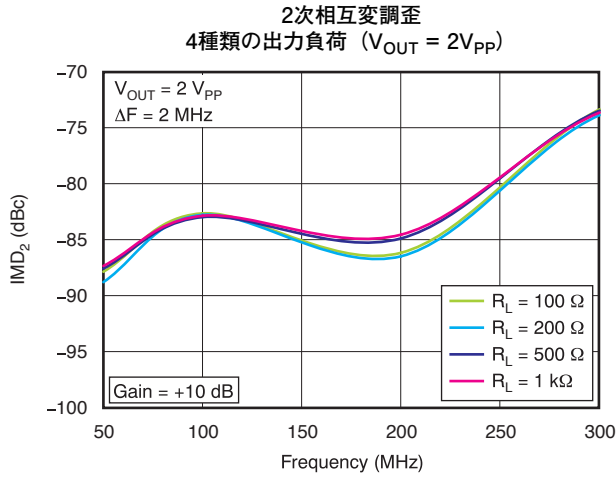


図13.

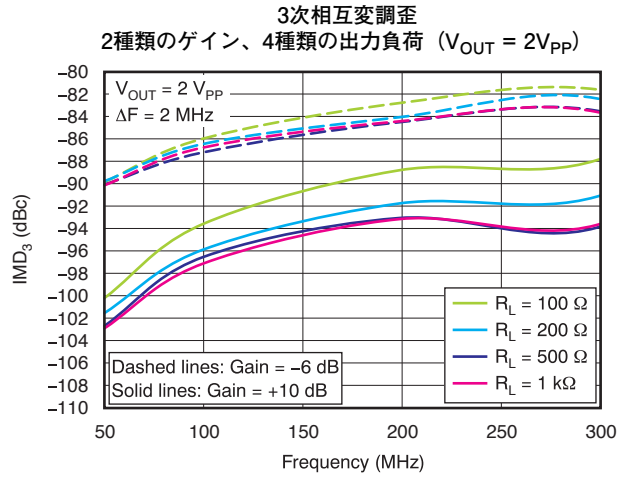


図14.

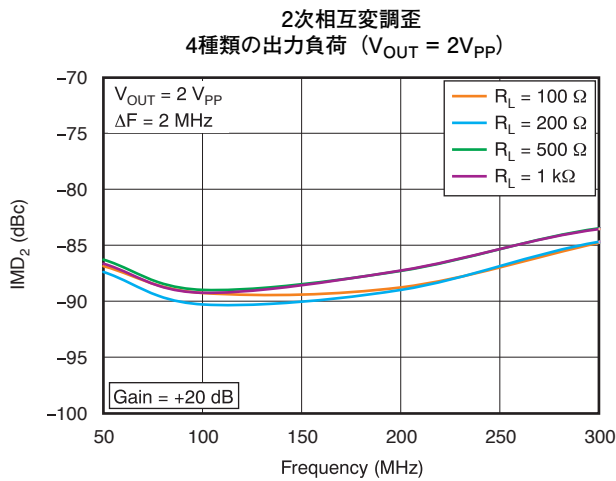


図15.

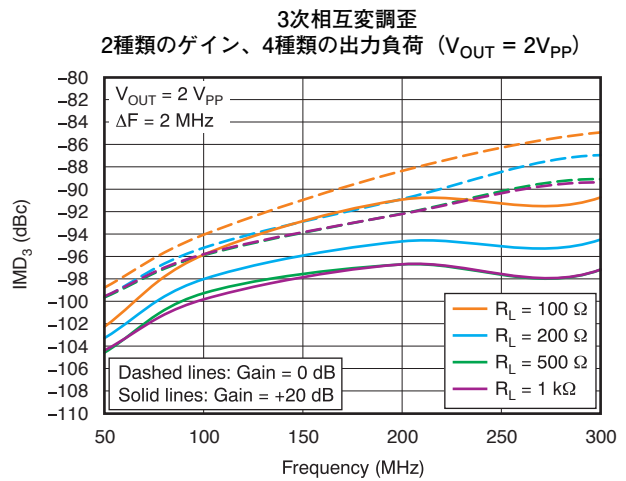


図16.

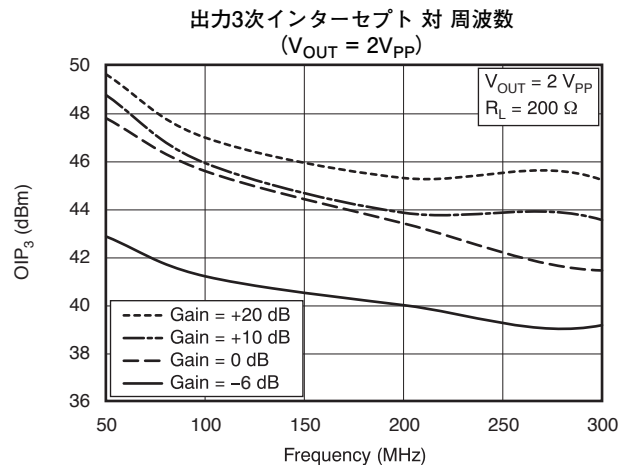


図17.

標準的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_{S+} = +5\text{V}$ 、差動入力信号、差動 $V_{OUT} = 2V_{PP}$ 、 $R_L = 200\Omega$ 差動、 $G = +20\text{dB}$ 、入力/出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

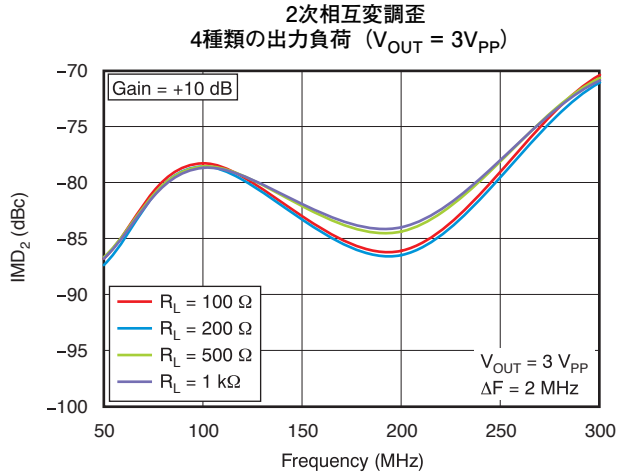


図18.

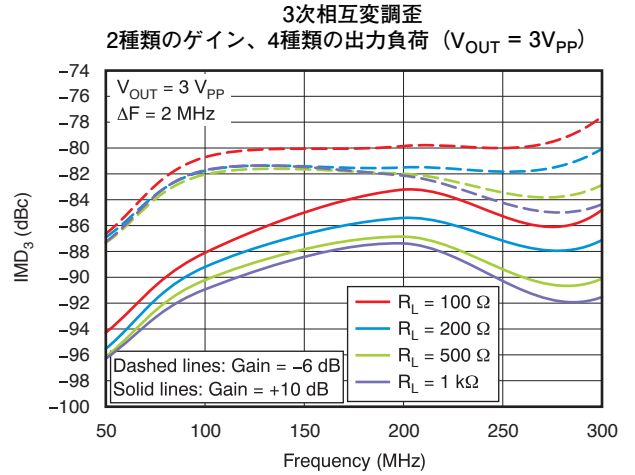


図19.

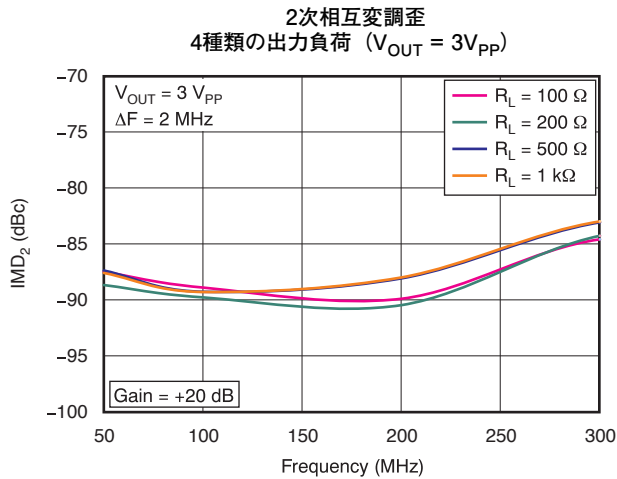


図20.

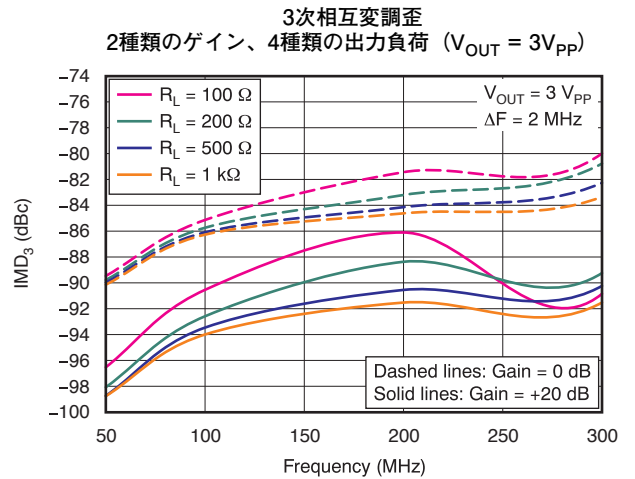


図21.

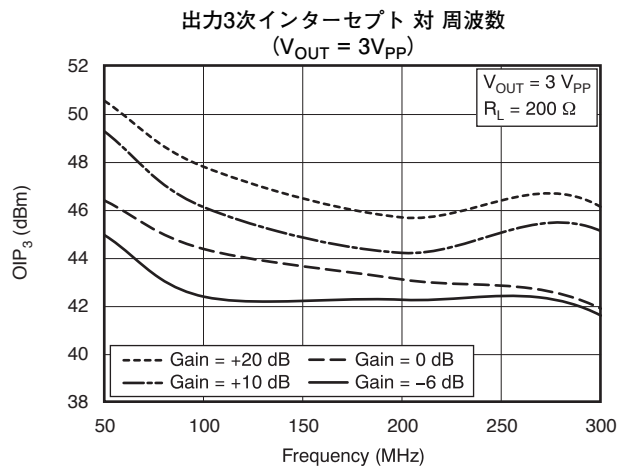


図22.

標準的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_{S+} = +5\text{V}$ 、差動入力信号、差動 $V_{OUT} = 2V_{PP}$ 、 $R_L = 200\Omega$ 差動、 $G = +20\text{dB}$ 、入力/出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

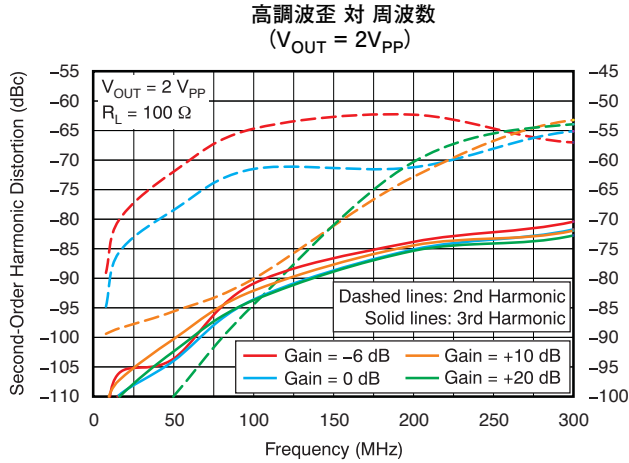


図23.

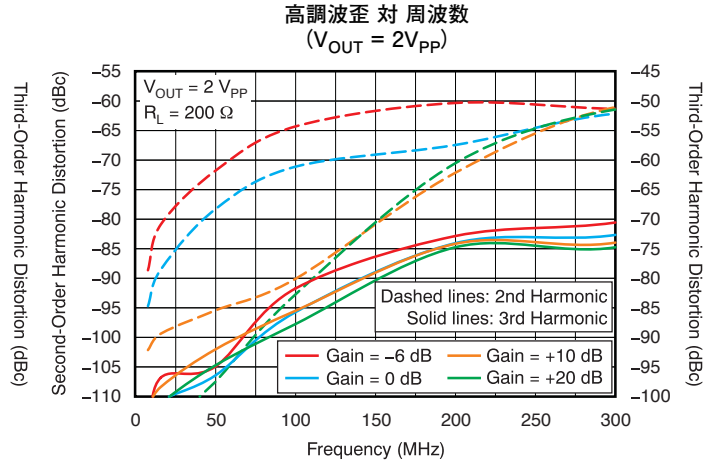


図24.

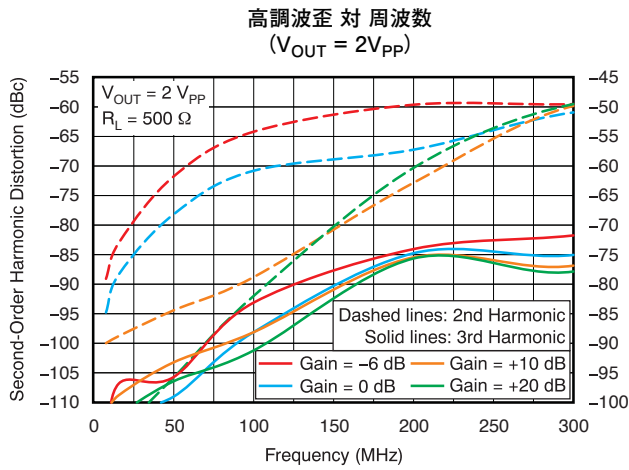


図25.

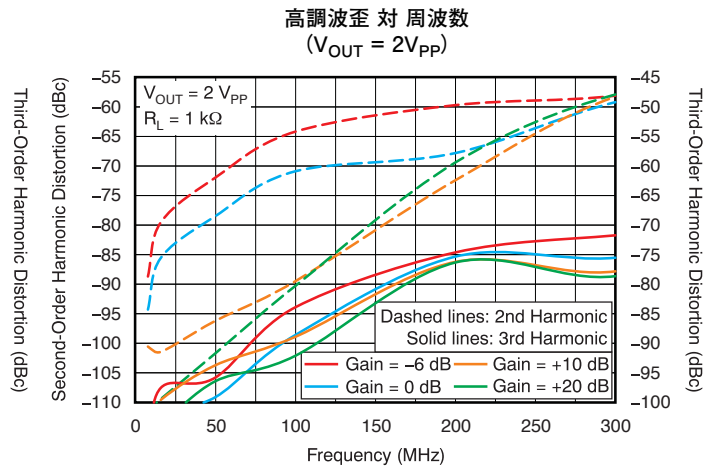


図26.

標準的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_{S+} = +5\text{V}$ 、差動入力信号、差動 $V_{OUT} = 2V_{PP}$ 、 $R_L = 200\ \Omega$ 差動、 $G = +20\text{dB}$ 、入力/出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

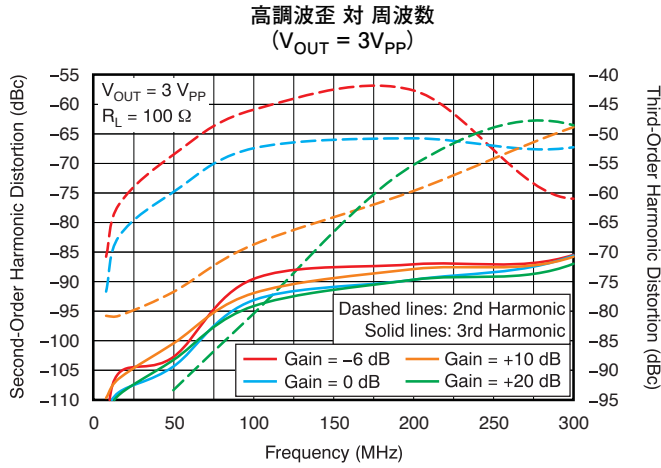


図27.

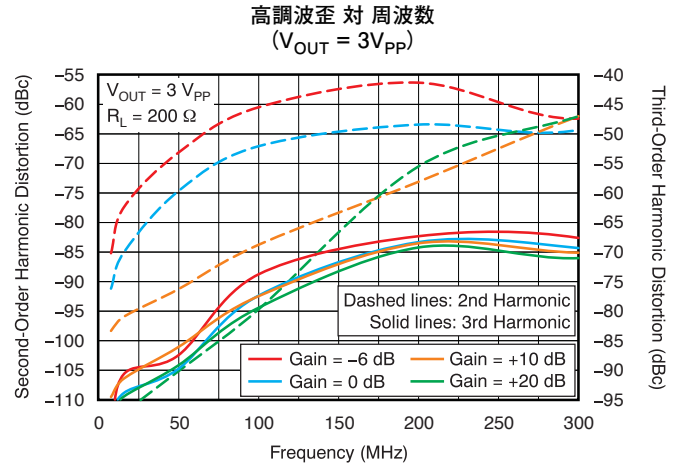


図28.

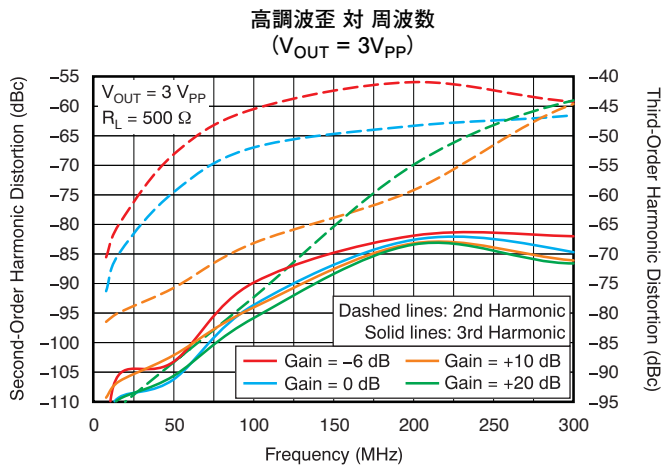


図29.

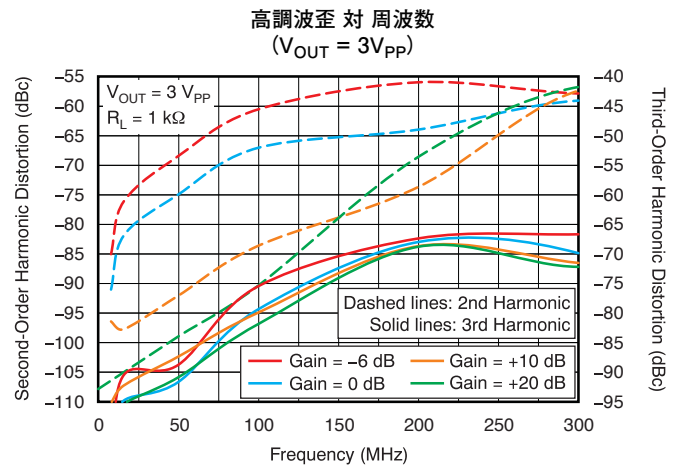


図30.

標準的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_{S+} = +5\text{V}$ 、差動入力信号、差動 $V_{OUT} = 2V_{PP}$ 、 $R_L = 200\ \Omega$ 差動、 $G = +20\text{dB}$ 、入力/出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

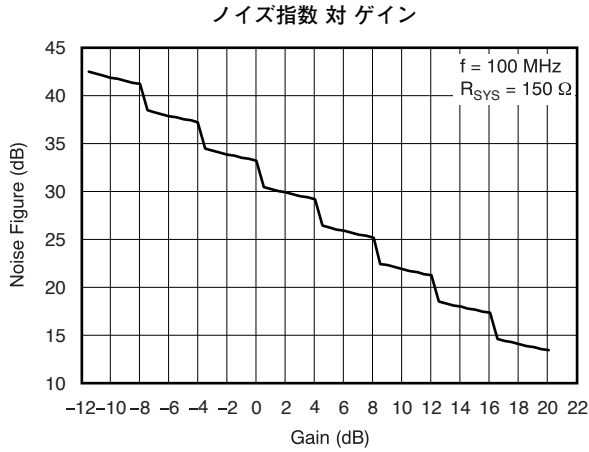


図31.

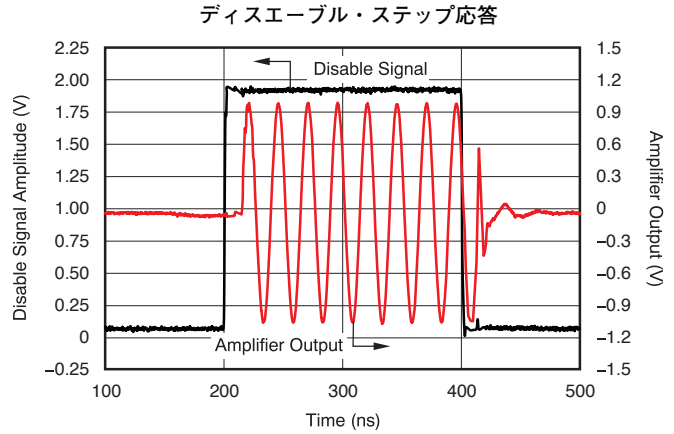


図32.

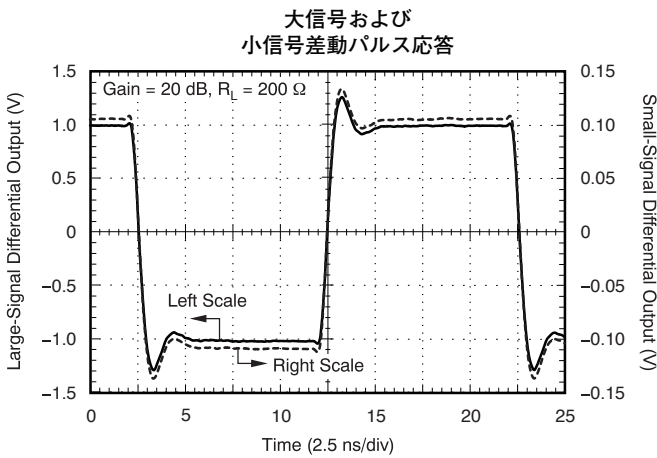


図33.

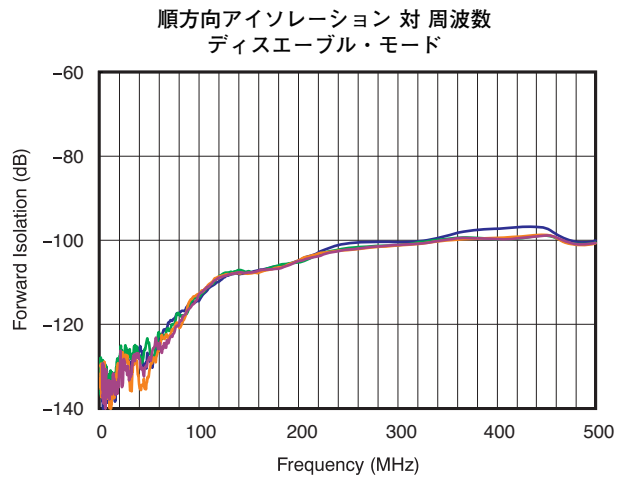


図34.

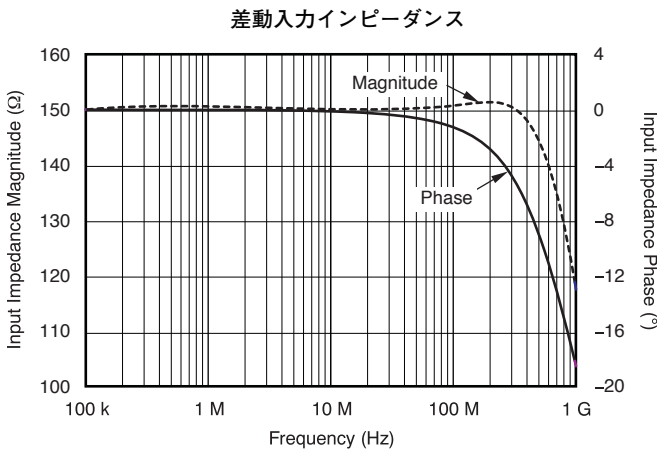


図35.

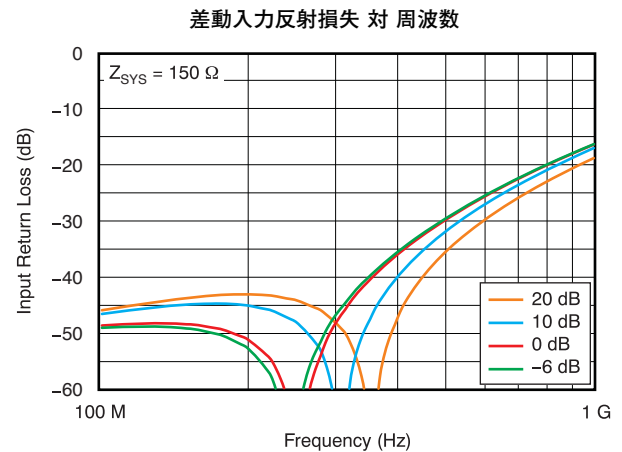


図36.

標準的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $V_{S+} = +5\text{V}$ 、差動入力信号、差動 $V_{OUT} = 2V_{PP}$ 、 $R_L = 200\ \Omega$ 差動、 $G = +20\text{dB}$ 、入力/出力同相モード = 内部電源中点リファレンス (特に記述のない限り)。

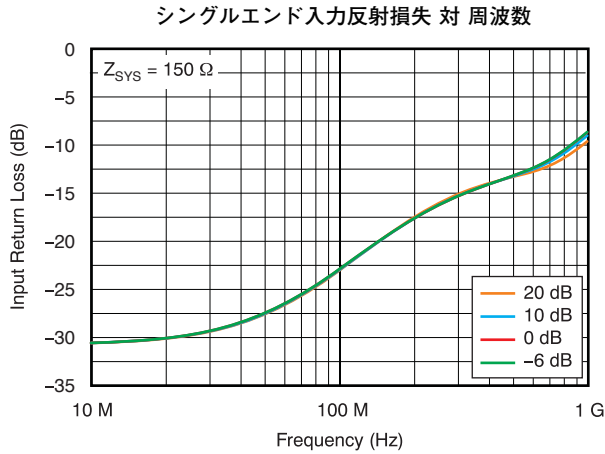


図37.

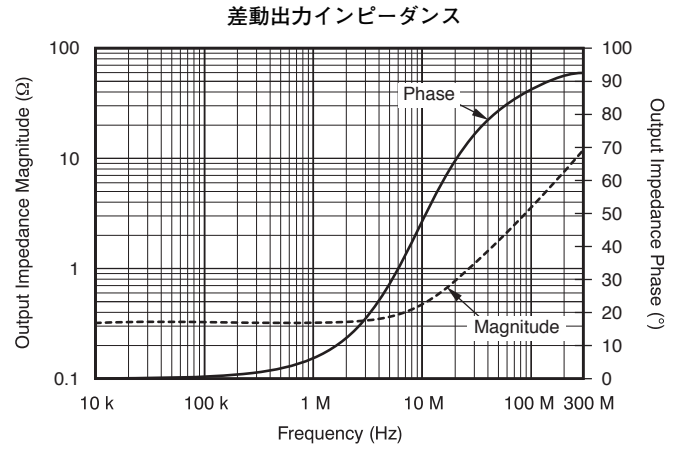


図38.

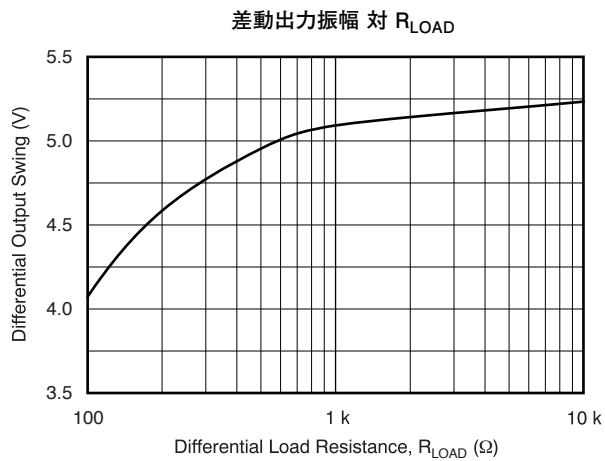


図39.

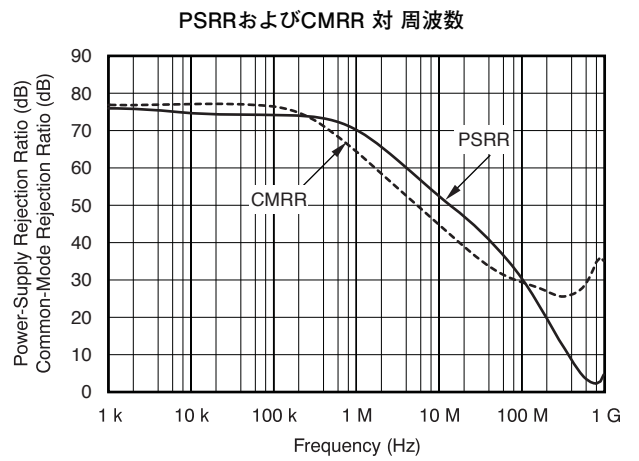


図40.

アプリケーション情報

デバイス動作

PGA870は、広帯域、完全差動のプログラマブル・ゲイン・アンプです。図41のブロック図に示すように、PGA870は以下の機能ブロックに分かれています。

- ・入力アッテネータ
- ・バッファ付きMUX
- ・出力アンプ
- ・8ビット・デジタル・インターフェイス
- ・電源機能

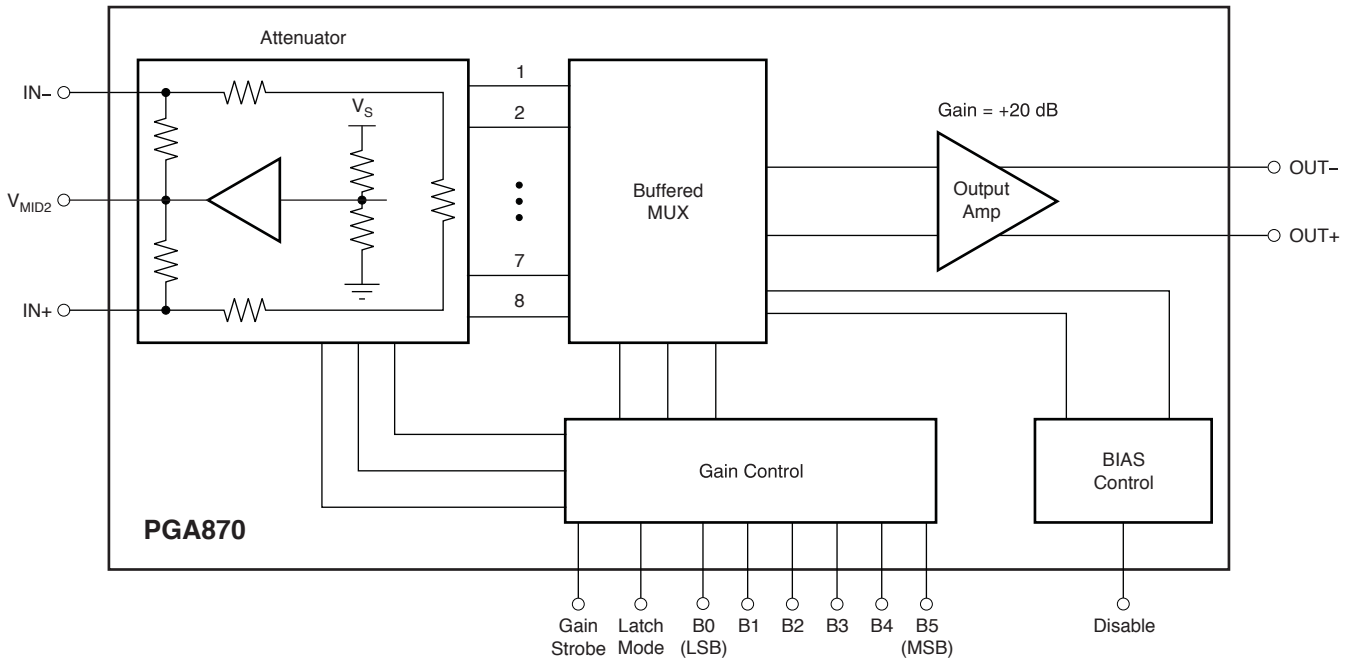


図41. PGA870ブロック図

入力アッテネータ

PGA870の入力段は、対数R2Rラダーによって構成され、前段に対して150Ωの負荷となります。入力反射損失とノイズ指数を最小限に抑えるため、入力に対して150Ωのマッチングを提供することを推奨します。この入力、差動またはシングルエンドで駆動できます。

この抵抗性入力回路は、内蔵バッファ（ピン4のV_{MID2}）によって電源中点に内部でバイアスされています。このノードには、適切なバイパス（0.1μF）が必要です。バッファの電源中点は、パッシブ抵抗回路（ピン28のV_{MID1}）によって生成されます。適切なバイパスのために、V_{MID1}には0.1μFのコンデンサを接続します。V_{MID1}およびV_{MID2}は外部でアクセス可能ですが、これらのピンはいずれも外部駆動を意図したものではありません。また、V_{MID2}は、他のチップに対して電源中点リファレンスを駆動する用途は意図していませんが、必要に応じて、約200μAをソースできます。

パワーダウン動作中、入力は公称差動抵抗を保持します。ただし、V_{MD1}およびV_{MD2}は0Vに降下します。

入力アッテネータは、ゲイン制御の上位3ビットによって制御されます。これら各ビットのステップ・サイズについては、表1を参照してください。

入力アンプおよびバッファ付きMUX

入力アッテネータの後にはプログラマブル・バッファ段が続きます。プログラマブル・バッファのゲインは、ゲイン制御ワードの下位3ビットによって制御されます。これら各ビットのステップ・サイズについては、表1を参照してください。

表1. ゲイン・ビットおよび対応するゲイン・ステップ・サイズ (dB)

(MSB) B5	B4	B3	B2	B1	(LSB) B0
16	8	4	2	1	0.5

出力アンプ

PGA870は、差動の電圧モード出力段を備え、差動出力抵抗は約0.3Ω、等価誘導リアクタンスは3.8nHです。同相モード出力電圧の公称値はVMID2です。この出力アンプは、公称ゲインが+20dBです。

公称負荷は200Ωですが、PGA870は、デバイスの歪特性をほとんど劣化させずに最小100Ωの負荷を駆動できます。

デバイスがパワーダウン状態（つまり、 $\overline{\text{PD}}$ が“Low”）になると、出力ピンはハイ・インピーダンス状態になります。

8ビット・デジタル・インターフェイス

8ビット・デジタル・インターフェイスは、6つのビットから構成されます。上位3ビットは入力アッテネータを制御し、下位3ビットは入力アンプおよびバッファ付きMUXを制御します。このパラレル・インターフェイスの詳細については、「ゲイン制御およびラッチ・モード」を参照してください。

電源機能

PGA870には、パワーダウン ($\overline{\text{PD}}$) ピンが“Low”のときにアナログ回路を低電力のディスエーブル状態にする機能があります。このディスエーブル状態では、デジタル回路は引き続きアクティブであるため、デバイスのパワーアップ前にゲインを設定できます。このピンに公称バイアスを提供する内部回路はありません。このピンをオープンにする場合は、外部プルアップ抵抗でバイアスする必要があります。

PGA870がこの低電力モードになっている間は、8ビット・デジタル・インターフェイスを使用してゲインをプログラミングでき、出力ピンはハイ・インピーダンス状態となり、アッテネータをバイアスする電源中点ピン（ピン4およびピン28）の電圧は0Vになります。

ゲイン制御およびラッチ・モード

PGA870では、6ビットのゲイン制御（B5～B0）により、最大20dBから最小-11.5dBまで幅広い範囲のゲインを設定できます。LSB（B0）は最小のゲイン変化（ステップ・サイズ）である0.5dBを表し、MSB（B5）は16dBのゲイン変化を表します。各ゲイン制御ビットの等価ゲイン・ステップ・サイズを表1に示します。デバイスの電圧ゲインは、次の式で表すことができます。

$$\text{Gain}_{\text{dB}} = 20 \text{ dB} - 0.5 \text{ dB} \times (\text{N}_{\text{G}} - 63)$$

N_{G} は、バイナリ・ゲイン制御ワードに対応する等価な10進数です。表2に、 N_{G} による63の可能なデバイス・ゲインおよび対応するB0～B5の値を示します。

上限と下限の電圧スレッシュホールドにより、すべてのゲイン制御ピンをCMOS回路で制御できます。ゲイン制御ピンには内部プルアップ抵抗がありません。これらのピンをオープンにする場合は、外部プルアップ抵抗でバイアスする必要があります。

PGA870は、GAIN STROBEピンとGAIN MODEピンがともに“High”のときに、6つのゲイン・ビットだけ（ラッチなし）でデバイス・ゲインを制御するよう設定できます。この動作モードでは、デバイス電圧ゲインがピンB0～B5の信号に従います。6つのゲイン・ビットに過渡事象が生じると、このモードではPGA870のゲインにも変化が起きます。この問題に対処するため、PGA870では、GAIN STROBEピン上の信号によってゲイン・ビット・データを取得してラッチする、2つのゲイン・モードがサポートされています。

LATCH MODEピンが“High”のとき、デバイスはレベル・トリガ・ラッチに設定されます。この設定では、GAIN STROBEの信号が“High”のときにだけ6つのゲイン・ビットを取得してラッチできます。GAIN STROBE信号が“Low”になると、ゲイン制御データがラッチされ、PGA870のゲインはGAIN STROBEが再び“High”になるまで6つのゲイン・ビットに依存しません。

PGA870のLATCH MODEピンが“Low”の場合、デバイスはエッジ・トリガ・ラッチに設定され、GAIN STROBE信号の立ち上がりエッジでのみ6つのゲイン制御ビットが取得されてラッチされます。

表2. PGA870のゲインおよび対応するゲイン・ワード値

ゲイン 状態 NG	ゲイン (dB)	(MSB) B5	B4	B3	B2	B1	(LSB) B0	ゲイン 状態 NG	ゲイン (dB)	(MSB) B5	B4	B3	B2	B1	(LSB) B0
63	20	1	1	1	1	1	1	31	4	0	1	1	1	1	1
62	19.5	1	1	1	1	1	0	30	3.5	0	1	1	1	1	0
61	19	1	1	1	1	0	1	29	3	0	1	1	1	0	1
60	18.5	1	1	1	1	0	0	28	2.5	0	1	1	1	0	0
59	18	1	1	1	0	1	1	27	2	0	1	1	0	1	1
58	17.5	1	1	1	0	1	0	26	1.5	0	1	1	0	1	0
57	17	1	1	1	0	0	1	25	1	0	1	1	0	0	1
56	16.5	1	1	1	0	0	0	24	0.5	0	1	1	0	0	0
55	16	1	1	0	1	1	1	23	0	0	1	0	1	1	1
54	15.5	1	1	0	1	1	0	22	-0.5	0	1	0	1	1	0
53	15	1	1	0	1	0	1	21	-1	0	1	0	1	0	1
52	14.5	1	1	0	1	0	0	20	-1.5	0	1	0	1	0	0
51	14	1	1	0	0	1	1	19	-2	0	1	0	0	1	1
50	13.5	1	1	0	0	1	0	18	-2.5	0	1	0	0	1	0
49	13	1	1	0	0	0	1	17	-3	0	1	0	0	0	1
48	12.5	1	1	0	0	0	0	16	-3.5	0	1	0	0	0	0
47	12	1	0	1	1	1	1	15	-4	0	0	1	1	1	1
46	11.5	1	0	1	1	1	0	14	-4.5	0	0	1	1	1	0
45	11	1	0	1	1	0	1	13	-5	0	0	1	1	0	1
44	10.5	1	0	1	1	0	0	12	-5.5	0	0	1	1	0	0
43	10	1	0	1	0	1	1	11	-6	0	0	1	0	1	1
42	9.5	1	0	1	0	1	0	10	-6.5	0	0	1	0	1	0
41	9	1	0	1	0	0	1	9	-7	0	0	1	0	0	1
40	8.5	1	0	1	0	0	0	8	-7.5	0	0	1	0	0	0
39	8	1	0	0	1	1	1	7	-8	0	0	0	1	1	1
38	7.5	1	0	0	1	1	0	6	-8.5	0	0	0	1	1	0
37	7	1	0	0	1	0	1	5	-9	0	0	0	1	0	1
36	6.5	1	0	0	1	0	0	4	-9.5	0	0	0	1	0	0
35	6	1	0	0	0	1	1	3	-10	0	0	0	0	1	1
34	5.5	1	0	0	0	1	0	2	-10.5	0	0	0	0	1	0
33	5	1	0	0	0	0	1	1	-11	0	0	0	0	0	1
32	4.5	1	0	0	0	0	0	0	-11.5	0	0	0	0	0	0

表3. ゲイン制御信号およびラッチ・モード

ラッチ・モード	GAIN STROBE	LATCH MODE	状態
エッジ・トリガ・ラッチ	立ち下がりエッジ	“Low”	GAIN STROBE の立ち下がりエッジでのみ、デバイス・ゲインがゲイン制御ワード (B0 ~ B5) に従い、ラッチされます。
レベル・トリガ・ラッチ	“Low”	“High”	GAIN STROBE と LATCH MODE が両方 “High” のとき、デバイス・ゲインがゲイン制御ワード (B0 ~ B5) に従います。GAIN STROBE が “Low” になると、デバイス・ゲインがラッチされます。
ラッチなし	“Low”	“High”	LATCH MODE が “High” で GAIN STROBE が “High” に保持されたとき、デバイス・ゲインはゲイン制御ワード (B0 ~ B5) によってレベル・トリガされます。

表3および図42に、ゲイン・モードの一覧表とタイミング図を示します。図43のタイミング図は、レベル・トリガとエッジ・トリガの各ラッチ・モードでのセットアップ時間とホールド時間の遷移およびタイミングを定義します。

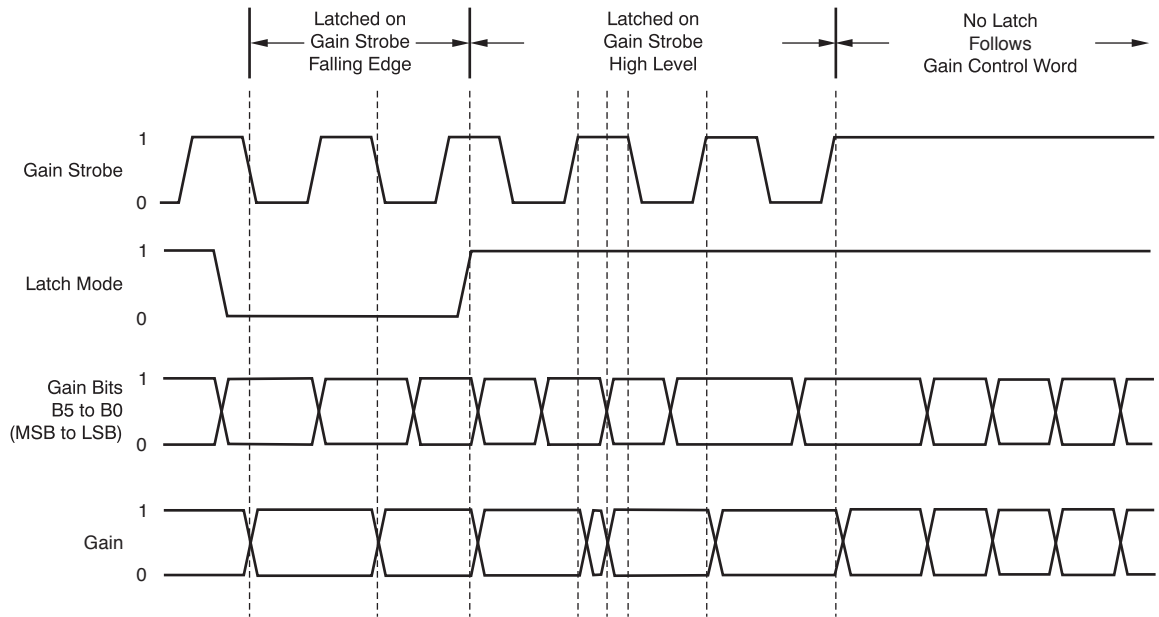


図42. ゲイン・モードのタイミング

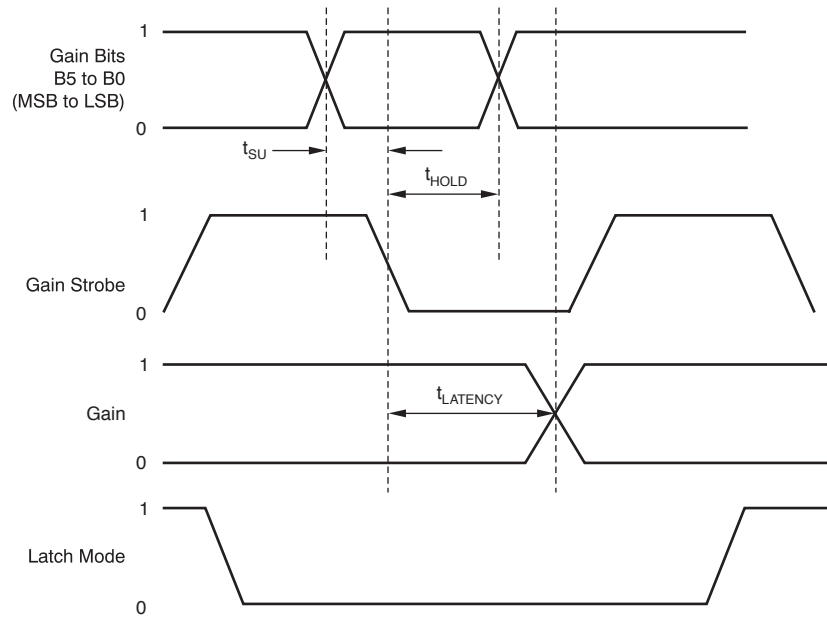
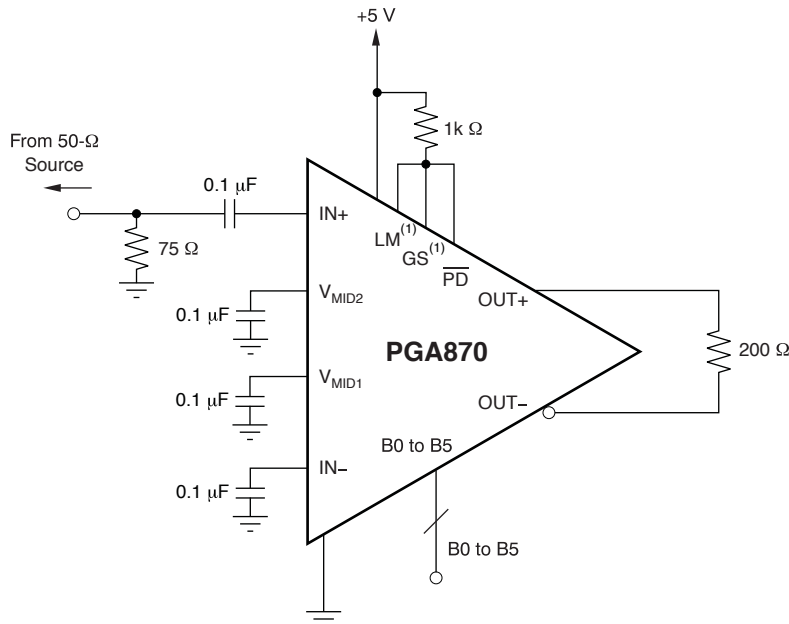


図43. セットアップ時間とホールド時間：レベル・トリガおよびエッジ・トリガ・ラッチ・モード

シングルエンド-差動動作

図44には、50Ωのソースと200Ωの負荷を使用した、シングルエンド-差動変換のテスト構成を示します。電源中点ピンVMID1およびVMID2は適切にバイパスされています。この回路はAC結合されているため、これらのピンにより、PGA870入力段で必要となるバイアス電圧が提供されます。LATCH MODE、GAIN STROBE、およびPDピンは、プルアップ抵抗を介して電源電圧に接続されています。PDピンを“High”にするとPGA870がパワーアップされます。LATCH MODEおよびGAIN STROBEピンを“High”にすると、ラッチ・モードがバイパスされ、B5～B0の変化に従ってゲインが即座に変化します。非反転入力では、75Ωの抵抗が追加されることにより、内部150Ωとの合成で50Ωに変換され、50Ωのソースとマッチングされています。

差動信号源をデバイスにDC結合する場合は、その同相モード電圧が電源中点リファレンスから0.2V以内である必要があります。入力同相モード/DC電圧が電源中点から0.2V以上離れている場合、歪が増加し、性能が低下する可能性があります。PGA870の非駆動入力ピンは、コンデンサを介してグラウンドにAC結合する必要があります。シングルエンド信号源を入力ピンにDC結合し、非駆動入力ピンを接地した場合、PGA870は目的の信号とともに、PGA870の電源中点リファレンスVMID1からのオフセットも増幅します。

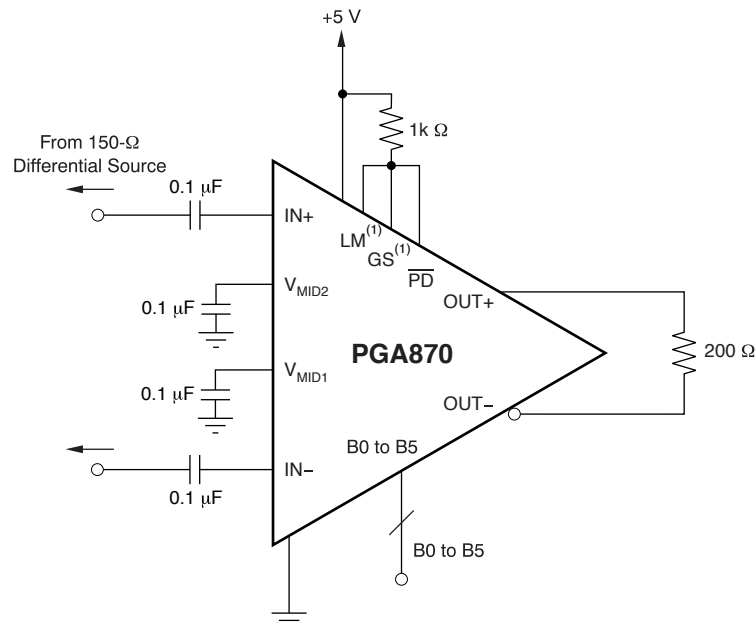


(1) LM = LATCH MODEピン (ピン1)、GS = GAIN STROBEピン (ピン7)

図44. シングルエンド-差動変換の基本的な接続

差動-差動動作

図45に、PGA870の差動動作を示します。この例では、両方の入力ピンが150Ωの差動ソースに接続されています。PGA870は、標準200Ωの負荷を駆動しています。両方の電源中点電圧ピン V_{MID1} および V_{MID2} が、0.1μFのコンデンサでバイパスされています。LATCH MODE、GAIN STROBE、および \overline{PD} ピンは、1kΩのプルアップ抵抗を使用して電源に接続されています。 \overline{PD} ピンを“High”にするとPGA870がパワーアップされます。LATCH MODEおよびGAIN STROBEピンを“High”にすると、ラッチ・モードがバイパスされ、B5～B0の変化に従ってゲインが即座に変化します。



(1) LM = LATCH MODEピン (ピン1)、GS = GAIN STROBEピン (ピン7)

図45. 完全差動動作の基本的な接続

PCBレイアウトに関する推奨事項

PGA870EVMに関する詳細な情報は、PGA870EVMユーザ・ガイドに記載されています。これは、TIのWebサイトのPGA870製品フォルダからダウンロードできます。プリント基板 (PCB) のレイアウトは、以下の一般的なガイドラインに従う必要があります。

1. 信号配線は、デバイスの入力および出力ピンに対して直接、できる限り短い配線で接続します。ビアを使用した異なる層間にわたる信号バスの配線は、できるだけ避けてください。
2. デバイスのPowerPADは、複数のビアを持つソリッド・グラウンド・プレーンに接続します。PowerPADは、電気的グラウンドに接続する必要があります。レイアウト例については、PGA870EVMユーザ・ガイドを参照してください。
3. グラウンドまたは電源プレーンは、アンプの出力ピンの直下へ配置することを避けます。
4. 0.1μFのコンデンサを、 V_{MID} ピンとピン近くのグラウンドとの間に配置します。
5. 各出力リードに出力抵抗を使用し、出力ピンにできる限り近づけて配置することを推奨します。
6. 2個の0.1μFの電源デカップリング・コンデンサを、電源ピンにできる限り近くに配置します。
7. 2個の10μFの電源デカップリング・コンデンサを、デバイスから1インチ (2.54cm) 以内に配置します。
8. デジタル制御ピンは、“High” および “Low” 信号にCMOS論理レベルを使用しますが、+5V電源の “High” レベルも許容できます。デジタル制御ピンに内部プルアップ抵抗はありません。

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
PGA870IRHDR	ACTIVE	VQFN	RHD	28	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA870IRHDT	ACTIVE	VQFN	RHD	28	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

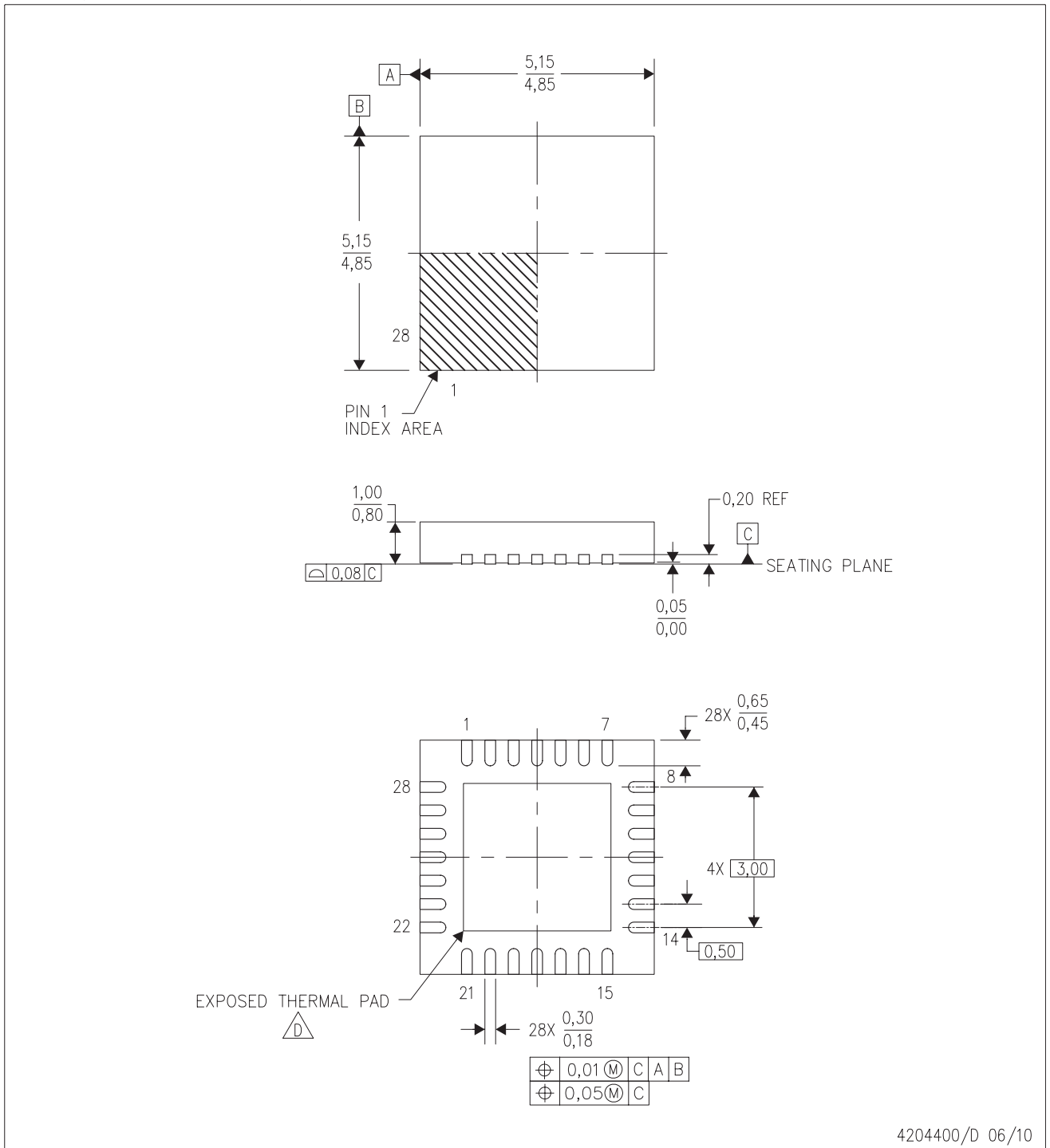
Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free” (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1%を超えない）ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたTIの責任は、このドキュメント発行時点でのTI製品の価格に基づくTIから顧客への合計購入価格（年次ベース）を超えることはありません。



注記:

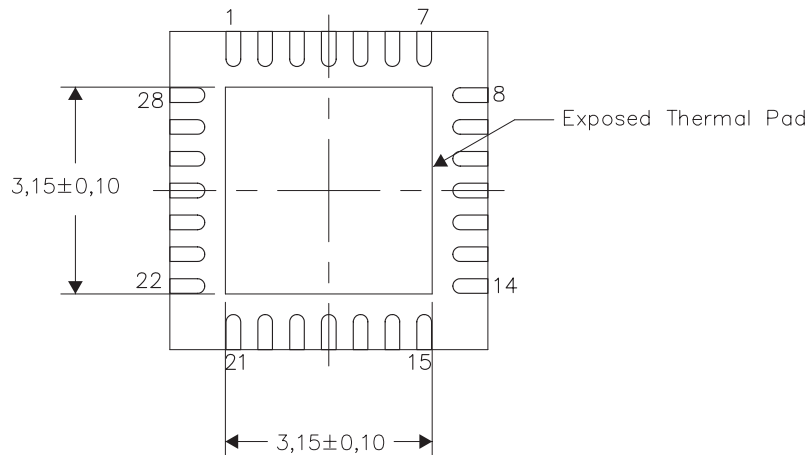
- A. 全ての線寸法の単位はミリメートルです。寸法および許容誤差は ASME Y14.5M-1994 によります。
- B. 図は予告なく変更することがあります。
- C. QFN (Quad Flatpack No-Lead) パッケージ構造
- △ パッケージのサーマル・パッドは熱的 / 機械的特性のためボードにはんだ付けする必要があります。露出サーマル・パッドの寸法の詳細はデータシートを参照してください。
- E. JEDEC MO-220 に準拠します。

サーマル・インフォメーション

このPowerPAD™パッケージには、外付けヒートシンクに直に取り付けるように設計された露出放熱パッドを備えています。放熱パッドは、プリント基板（PCB）に直接半田付けしなくてはなりません。半田付け終了後、PCBはヒートシンクとして使用可能です。さらに、サーマル・ビアを使用することで、放熱パッドは、デバイス用の電気回路図に示すように適正な銅プレーンに直に取り付けることができ、あるいは、PCB内に組み込むような特殊ヒートシンク構造に取り付けることができます。この設計により、集積回路（IC）からの熱移動を最適化します。

PowerPADパッケージおよびその放熱機能の利用方法に関する追加情報については、技術資料、TI文献番号SLMA002、PowerPAD Thermally Enhanced Packageおよびアプリケーション資料、TI文献番号SLMA004、PowerPAD Made Easyをご覧ください。両文献は、www.ti.comにて入手可能です。

本パッケージ用の露出放熱パッドの寸法は、以下のイラストに記しています。

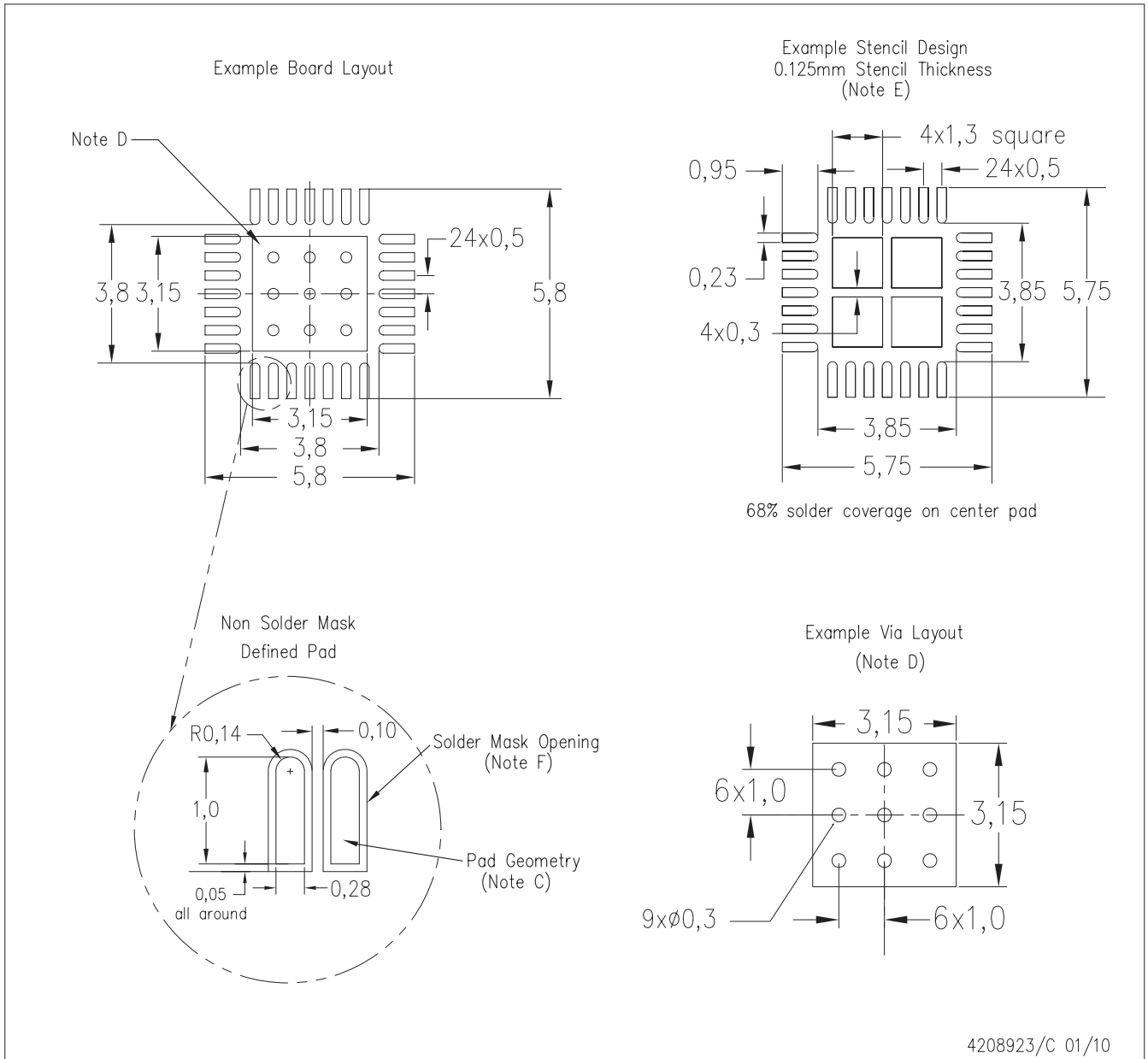


Bottom View

注記：
長さ寸法の単位すべてはミリメートルです。

露出放熱パッド寸法

RHD (S-PVQFN-N28)



4208923/C 01/10

注記:

- A. 全ての線寸法の単位はミリメートルです。
- B. 図は予告なく変更することがあります。
- C. 代替設計については、資料 IPC-7351 を推奨します。
- D. このパッケージはボード上のサーマル・パッドにはんだ付けされるよう設計されています。個また、具体的なサーマル情報、ビア要件、および推奨される基板レイアウトについては、アプリケーション・ノート "QFN Packages" TI 文献番号 SLUA271、およびプロダクト・データシートを参照してください。これらの文献はホームページ www.ti.com で入手できます。
- E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525 を参照してください。
- F. 半田マスクの推奨許容差、およびサーマル・パッドに配置するビアのテンティングに関する推奨事項については、基板組み立て拠点にお問い合わせください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認することを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上