

SNx4AHCT125 3 ステート出力、クワッド・バス・バッファ・ゲート

1 特長

- 入力は TTL 電圧互換
- JESD 17 準拠
250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディスエーブル
- インジケータ LED の制御
- スイッチのデバウンス
- 低速またはノイズの多い入力信号の除去

3 概要

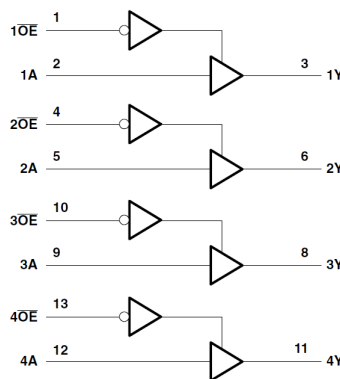
'AHCT125 デバイスはクワッド バス バッファ ゲートで、3 ステート出力の独立したラインドライバを備えています。各出力は、対応する出力イネーブル (\overline{OE}) 入力が HIGH になると、出力はディセーブルされます。ここで、 \overline{OE} が Low の場合、該当するゲートは A 入力からのデータをその Y 出力に渡します。

電源オンまたは電源オフ中、高インピーダンス状態になるため、 \overline{OE} は、プルアップ抵抗経由で V_{CC} に結線する必要があります。その抵抗の最小値はドライバの電流シンク能力で決まります。

製品情報

部品番号	定格	パッケージ (1)
SN54AHCT125	軍用	J (CDIP, 14)
		W (CFP, 14)
		FK (LCCC, 20)
SN74AHCT125	商業用	D (SOIC, 14)
		DB (SSOP, 14)
		DGV (TVSOP, 14)
		N (PDIP, 14)
		NS (SOP, 14)
		PW (SOP, 14)
		RGY (VQFN, 14)
		BQA (WQFN, 14)

(1) 詳細については、[セクション 11](#) を参照してください。



ピン番号は D、DB、DGV、J、N、NS、PW、RGY、W の各パッケージのもので、

論理図 (正論理)



目次

1 特長.....	1	7.3 機能説明.....	9
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	9
3 概要.....	1	8 アプリケーションと実装.....	10
4 ピン構成と機能.....	3	8.1 アプリケーション情報.....	10
5 仕様.....	5	8.2 代表的なアプリケーション.....	10
5.1 絶対最大定格.....	5	8.3 電源に関する推奨事項.....	11
5.2 推奨動作条件 ⁽¹⁾	5	8.4 レイアウト.....	12
5.3 熱に関する情報.....	5	9 デバイスおよびドキュメントのサポート.....	13
5.4 電気的特性.....	6	9.1 ドキュメントの更新通知を受け取る方法.....	13
5.5 スイッチング特性.....	6	9.2 サポート・リソース.....	13
5.6 ノイズ特性.....	7	9.3 商標.....	13
5.7 動作特性.....	7	9.4 静電気放電に関する注意事項.....	13
6 パラメータ測定情報.....	8	9.5 用語集.....	13
7 詳細説明.....	9	10 改訂履歴.....	13
7.1 概要.....	9	11 メカニカル、パッケージ、および注文情報.....	13
7.2 機能ブロック図.....	9		

4 ピン構成と機能

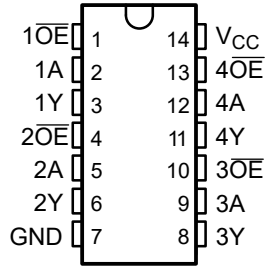


図 4-1. SN54AHCT125 J または W パッケージ、
 SN74AHCT125 D、DB、DGV、N、NS、または PW
 パッケージ (上面図)

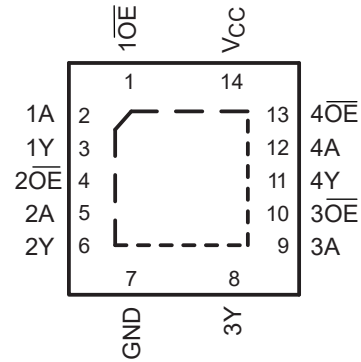
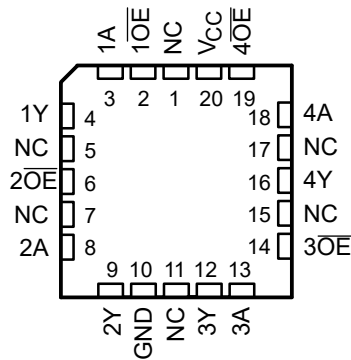


図 4-2. SN74AHCT125 RGY または BQA パッケージ
 (上面図)



NC – No internal connection

図 4-3. SN54AHCT125 FK パッケージ、(上面図)

表 4-1. ピンの機能

名称	ピン		I/O	説明
	D、DB、DGV、N、 NS、J、W、PW、RGY、または BQA	FK		
1 OE	1	2	I	ゲート 1 の出力イネーブル
1A	2	3	I	ゲート 1 入力
1Y	3	4	O	ゲート 1 出力
2 OE	4	6	I	ゲート 2 の出力イネーブル
2A	5	8	I	ゲート 2 入力
2Y	6	9	O	ゲート 2 出力
3 OE	10	14	I	ゲート 3 の出力イネーブル
3A	9	13	I	ゲート 3 入力
3Y	8	12	O	ゲート 3 出力
4 OE	13	19	I	ゲート 4 の出力イネーブル
4A	12	18	I	ゲート 4 入力
4Y	11	16	O	ゲート 4 出力
GND	7	10	—	グランド・ピン
NC	—	1、5、7、 11、15、17	—	内部接続なし
V _{CC}	14	20	—	パワー・ピン

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	7	V
V _I	入力電圧範囲 ⁽²⁾	-0.5	7	V
V _O	出力電圧範囲 ⁽²⁾	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	V _I < 0		-20 mA
I _{OK}	出力クランプ電流	V _O < 0 または V _O > V _{CC}		±20 mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		±25 mA
V _{CC} または GND を通過する連続電流				±50 mA
T _{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 推奨動作条件⁽¹⁾

		SN54AHCT125		SN74AHCT125		単位
		最小値	最大値	最小値	最大値	
V _{CC}	電源電圧	4.5	5.5	4.5	5.5	V
V _{IH}	High レベル入力電圧	2		2		V
V _{IL}	Low レベル入力電圧		0.8		0.8	V
V _I	入力電圧	0	5.5	0	5.5	V
V _O	出力電圧	0	V _{CC}	0	V _{CC}	V
I _{OH}	High レベル出力電流		-8		-8	mA
I _{OL}	Low レベル出力電流		8		8	mA
Δt/Δv	入力遷移の立ち上がりレートと立ち下がりレート		20		20	ns/V
T _A	自由気流での動作温度	-55	125	-40	85	°C

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

5.3 熱に関する情報

熱評価基準 ⁽¹⁾		SNx4AHCT125							単位	
		D (SOIC)	DB (SSOP)	DGV (TVSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	RGY (VQFN)		BQA (WQFN)
		14	14	14	14	14	14	14		14
θ _{JA}	パッケージの熱インピーダンス	124.5	96	127	80	76	147.7	87.1	88.3	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.4 電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			SN54AHCT125		SN74AHCT125		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V _{OH}	I _{OH} = -50μA	4.5V	4.4	4.5		4.4		4.4	V	
	I _{OH} = -8mA		3.94			3.8		3.8		
V _{OL}	I _{OL} = 50μA	4.5V			0.1			0.1	V	
	I _{OL} = 8mA				0.36		0.44	0.44		
I _I	V _I = 5.5V または GND	0V ~ 5.5V			±0.1		±1 ⁽¹⁾	±1	μA	
I _{OZ}	V _O = V _{CC} または GND	5.5V			±0.25		±2.5	±2.5	μA	
I _{CC}	V _I = V _{CC} または GND、 I _O = 0	5.5V			2		20	20	μA	
ΔI _{CC} ⁽²⁾	1つの入力は 3.4V、 その他の入力は V _{CC} または GND	5.5V			1.35		1.5	1.5	mA	
C _i	V _I = V _{CC} または GND	5V		4	10			10	pF	
C _O	V _O = V _{CC} または GND	5V		15					pF	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。

(2) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。

5.5 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5V±0.5V (特に記述のない限り) (図 6-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T _A = 25°C			SN54AHCT125		SN74AHCT125		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
t _{PLH}	A	Y	C _L = 15pF		3.8 ⁽¹⁾	5.5 ⁽¹⁾	1 ⁽¹⁾	6.5 ⁽¹⁾	1	6.5	ns
t _{PHL}					3.8 ⁽¹⁾	5.5 ⁽¹⁾	1 ⁽¹⁾	6.5 ⁽¹⁾	1	6.5	
t _{PZH}	OE	Y	C _L = 15pF		3.6 ⁽¹⁾	5.1 ⁽¹⁾	1 ⁽¹⁾	6 ⁽¹⁾	1	6	ns
t _{PZL}					3.6 ⁽¹⁾	5.1 ⁽¹⁾	1 ⁽¹⁾	6 ⁽¹⁾	1	6	
t _{PHZ}	OE	Y	C _L = 15pF		4.6 ⁽¹⁾	6.8 ⁽¹⁾	1 ⁽¹⁾	8 ⁽¹⁾	1	8	ns
t _{PLZ}					4.6 ⁽¹⁾	6.8 ⁽¹⁾	1 ⁽¹⁾	8 ⁽¹⁾	1	8	
t _{PLH}	A	Y	C _L = 50pF		5.3	7.5	1	8.5	1	8.5	ns
t _{PHL}					5.3	7.5	1	8.5	1	8.5	
t _{PZH}	OE	Y	C _L = 50pF		5.1	7.1	1	8	1	8	ns
t _{PZL}					5.1	7.1	1	8	1	8	
t _{PHZ}	OE	Y	C _L = 50pF		6.1	8.8	1	10	1	10	ns
t _{PLZ}					6.1	8.8	1	10	1	10	
t _{sk(o)}			C _L = 50pF			1 ⁽²⁾			1	ns	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

(2) MIL-PRF-38535 に準拠した製品では、このパラメータは適用されません。

5.6 ノイズ特性

$V_{CC} = 5V$ 、 $C_L = 50pF$ 、 $T_A = 25^\circ C$ ⁽¹⁾

パラメータ		SN74AHCT125		単位
		最小値	最大値	
$V_{OL(P)}$	低ノイズ出力、動的電圧 V_{OL} (最大値)		0.8	V
$V_{OL(V)}$	低ノイズ出力、動的電圧 V_{OL} (最小値)		-0.8	V
$V_{OH(V)}$	低ノイズ出力、動的電圧 V_{OH} (最小値)	4.4		V
$V_{IH(D)}$	High レベル動的入力電圧	2		V
$V_{IL(D)}$	Low レベル動的入力電圧		0.8	V

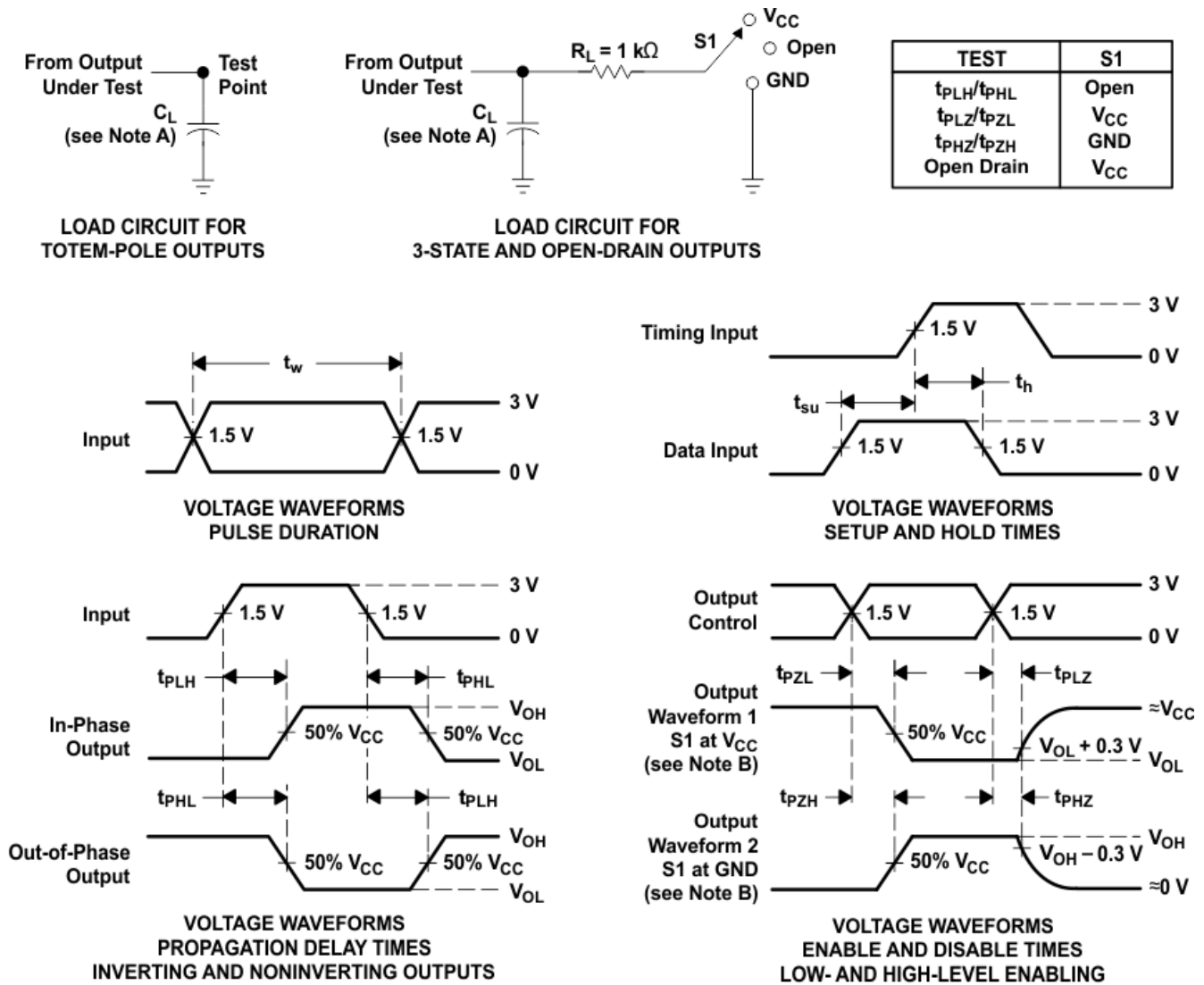
(1) 特性は表面実装パッケージのみが対象です。

5.7 動作特性

$V_{CC} = 5V$ 、 $T_A = 25^\circ C$

パラメータ		テスト条件	代表値	単位
C_{pd}	電力散逸容量	無負荷、 $f = 1MHz$	14	pF

6 パラメータ測定情報



- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1 \text{ MHz}$, $Z_O = 50 \Omega$, $t_r \leq 3 \text{ ns}$, $t_f \leq 3 \text{ ns}$.
 D. The outputs are measured one at a time with one input transition per measurement.
 E. All parameters and waveforms are not applicable to all devices.

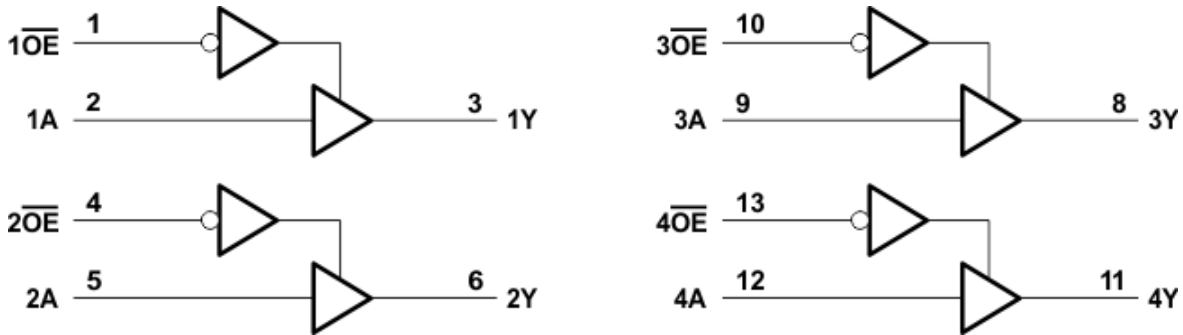
図 6-1. 負荷回路および電圧波形

7 詳細説明

7.1 概要

SNx4AHCT125 デバイスには、4 つのバス・バッファ・ゲートが搭載されています。各ゲートは、それぞれの出力イネーブル・ピンから個別に制御することも、まとめて結線して同時に制御することもできます。これにより、1 つのデバイスから最大 4 つの異なるラインを制御できます。多くの場合、マイクロコントローラは 1 つのピンに対して複数の機能オプションを備えています。GPIO ピンを使用して特定のバッファをイネーブルすることで、SNx4AHCT125 はマルチプレクサとして機能し、マイクロコントローラで選択されているピンの機能に応じて特定のデータ・ラインを選択できます。同時に、選択されていないラインがピンから分離されます。

7.2 機能ブロック図



ここに示すピン番号は D、DB、DGV、J、N、NS、PW、RGY、W の各パッケージのものであります。

7.3 機能説明

各バッファは、独自の出力イネーブルを備えています。これにより、各バッファを個別に制御できます。出力イネーブルが Low のとき、入力は出力に渡されます。出力イネーブルが High のとき、出力は高インピーダンスになります。この機能は、絶縁を必要とする可能性のあるアプリケーションでの使用に適しています。

7.4 デバイスの機能モード

機能表
(各バッファ)

入力		出力 Y
OE	A	
L	H	H
L	L	L
H	X	Z

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、[図 8-1](#) に示すように、3 ステート出力のバッファを使用してデータ信号をディセーブルします。残りの 3 つのバッファは、システム内の別の場所の信号調整に使用することも、入力を接地してチャンネルを未使用のままにすることもできます。

8.2 代表的なアプリケーション

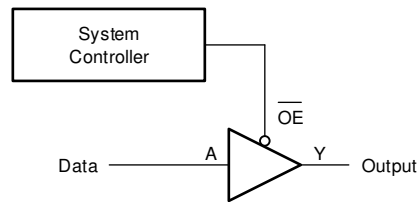


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流 I_{CC} に SNx4AHCT125 のすべての出力がソースとする合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流量のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グラウンドは、SNx4AHCT125 のすべての出力によってシンクされる合計電流に「電気的特性」に記載されている最大電源電流 I_{CC} を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グラウンド接続にシンクできる電流量のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SNx4AHCT125 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SNx4AHCT125 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。HIGH 状態で出力する場合、式の出力電圧は、測定された出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号がロジック LOW と見なされるには $V_{IL(max)}$ を下回る必要があります、ロジック HIGH と見なされるには $V_{IH(min)}$ を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常には使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が HIGH の場合はプルアップ抵抗を使用し、デフォルト状態が LOW の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SNx4AHCT125 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。これらの要因により、多くの場合は 10kΩ の抵抗値が使用されます。

SNx4AHCT125 には CMOS 入力があるため、正しく動作させるためには、「推奨動作条件」表に定義されているように、入力遷移が高速である必要があります。入力遷移が遅いと、発振が発生し、消費電力が増加して、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャンネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 アプリケーション曲線

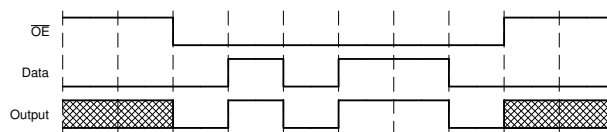


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。以下のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をオープンのままにはしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様で定義されているようにロジック High かロジック Low の電圧に接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック・レベルは、デバイスの機能により異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8.4.2 レイアウト例

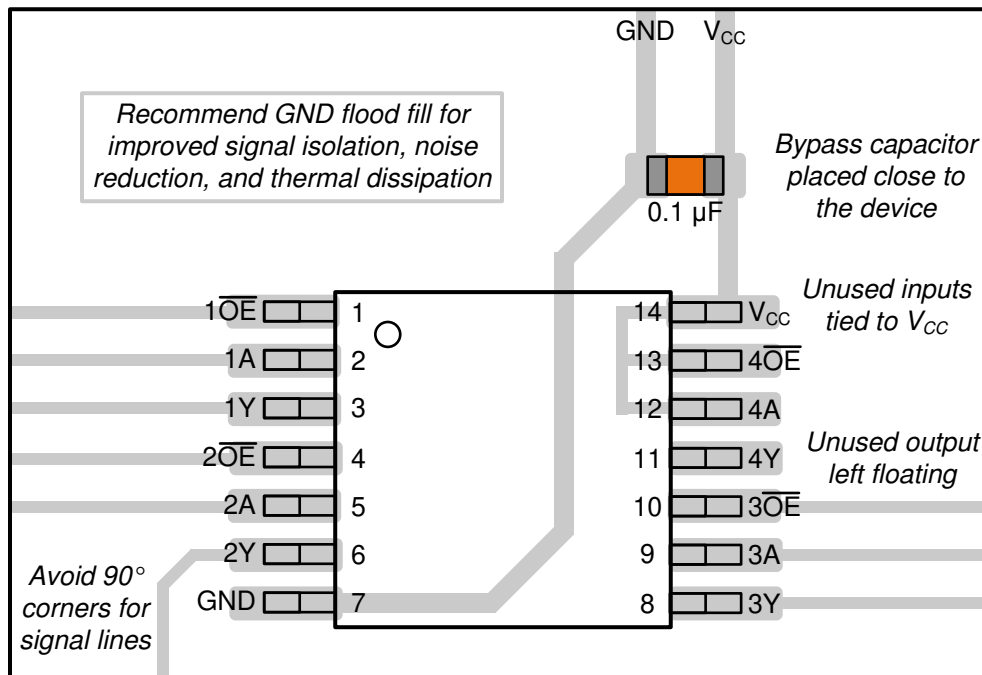


図 8-3. SNx4AHCT125 のレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision Q (October 2023) to Revision R (February 2024) Page

- R0JA の値を更新:RGY = 47~87.1、値はすべて°C/W.....5

Changes from Revision P (June 2023) to Revision Q (October 2023) Page

- R0JA の値を更新:D = 86~124.5、PW = 113~147.7、値はすべて°C/W.....5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9686901Q2A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686901Q2A SNJ54AHCT 125FK	Samples
5962-9686901QCA	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686901QC A SNJ54AHCT125J	Samples
SN74AHCT125BQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHT125	Samples
SN74AHCT125D	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-40 to 125	AHCT125	
SN74AHCT125DBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125	Samples
SN74AHCT125DGVR	ACTIVE	TVSOP	DGV	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125	Samples
SN74AHCT125DR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125	Samples
SN74AHCT125N	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	SN74AHCT125N	Samples
SN74AHCT125NSR	ACTIVE	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT125	Samples
SN74AHCT125PWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	HB125	Samples
SN74AHCT125PWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125	Samples
SN74AHCT125RGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB125	Samples
SNJ54AHCT125FK	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686901Q2A SNJ54AHCT 125FK	Samples
SNJ54AHCT125J	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9686901QC A SNJ54AHCT125J	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHCT125, SN74AHCT125 :

- Catalog : [SN74AHCT125](#)
- Automotive : [SN74AHCT125-Q1](#), [SN74AHCT125-Q1](#)
- Enhanced Product : [SN74AHCT125-EP](#), [SN74AHCT125-EP](#)
- Military : [SN54AHCT125](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT125BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHCT125DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHCT125DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHCT125DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT125DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT125NSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74AHCT125PWR	TSSOP	PW	14	2000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
SN74AHCT125PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT125PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT125PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT125PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT125RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT125BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHCT125DBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74AHCT125DGVR	TVSOP	DGV	14	2000	356.0	356.0	35.0
SN74AHCT125DR	SOIC	D	14	2500	356.0	356.0	35.0
SN74AHCT125DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHCT125NSR	SO	NS	14	2000	356.0	356.0	35.0
SN74AHCT125PWR	TSSOP	PW	14	2000	366.0	364.0	50.0
SN74AHCT125PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT125PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74AHCT125PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT125PWRG4	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74AHCT125RGYR	VQFN	RGY	14	3000	360.0	360.0	36.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-9686901Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
SN74AHCT125N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHCT125N	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AHCT125FK	FK	LCCC	20	55	506.98	12.06	2030	NA

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



4203539-2/1 06/2011

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - QFN (Quad Flatpack No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
 - Package complies to JEDEC MO-241 variation BA.

GENERIC PACKAGE VIEW

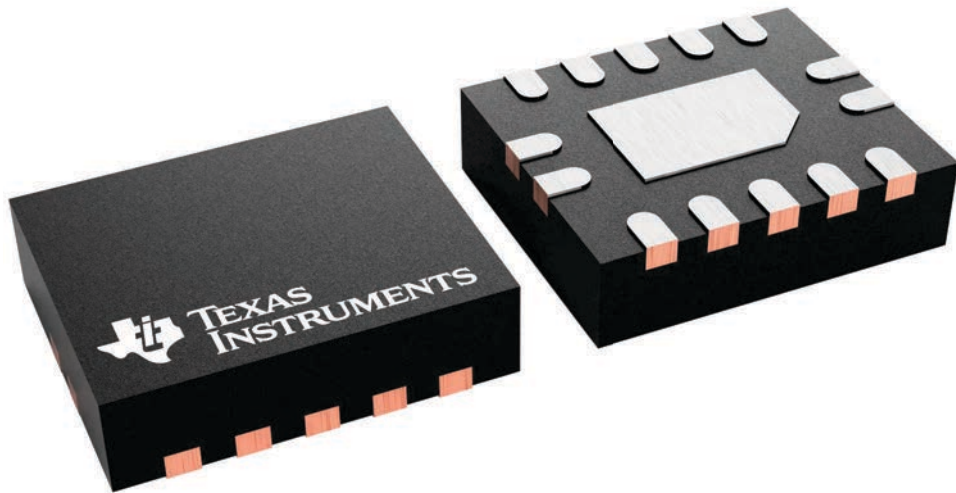
BQA 14

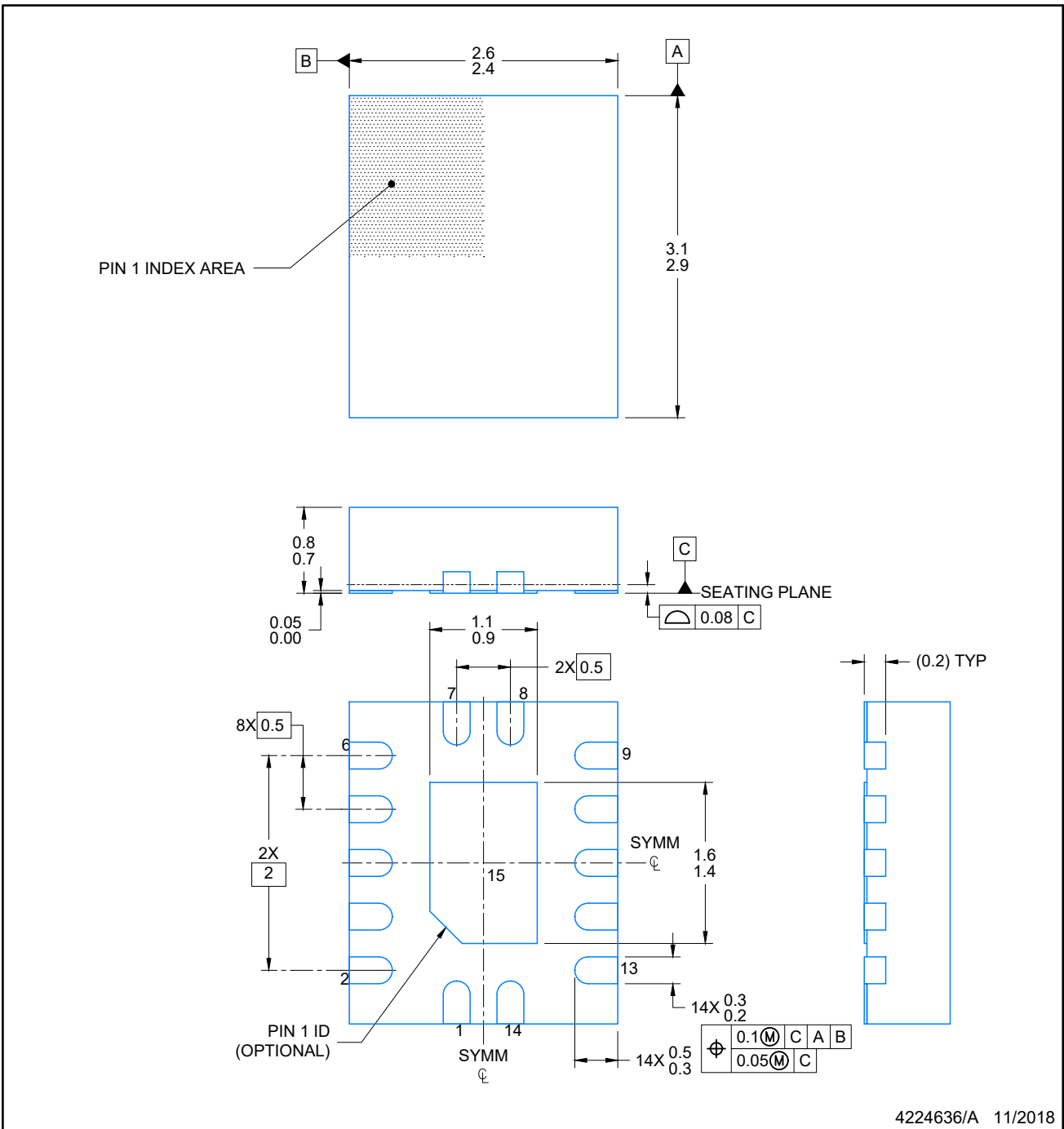
WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4224636/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

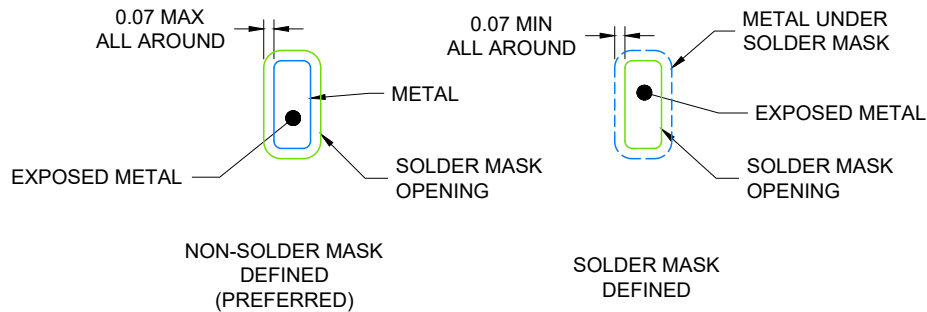
WQFN - 0.8 mm max height

BQA0014A

PLASTIC QUAD FLAT PACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQA0014A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194

DB0014A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - $\triangle D$ The 20 pin end lead shoulder width is a vendor option, either half or full width.

GENERIC PACKAGE VIEW

FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

J 14

GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



4214771/A 05/2017

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4211283-3/E 08/12

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040064-3/G 02/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated