

SN74LV4040A 12 ビット非同期バイナリ・カウンタ

1 特長

- 2V~5.5V の V_{CC} で動作
- 標準 V_{OLP} (出力グランドバウンス) $< 0.8V$ ($V_{CC} = 3.3V, T_A = 25^\circ C$)
- 標準 V_{OHV} (出力 V_{OH} アンダーシュート) $2.3V$ ($V_{CC} = 3.3V, T_A = 25^\circ C$)
- すべてのポートで混在モード電圧動作をサポート
- 高いオン/オフ出力電圧比
- スイッチ間の低いクロストーク
- スイッチの個別制御
- 非常に低い入力電流
- I_{off} により部分的パワーダウンモードでの動作をサポート
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

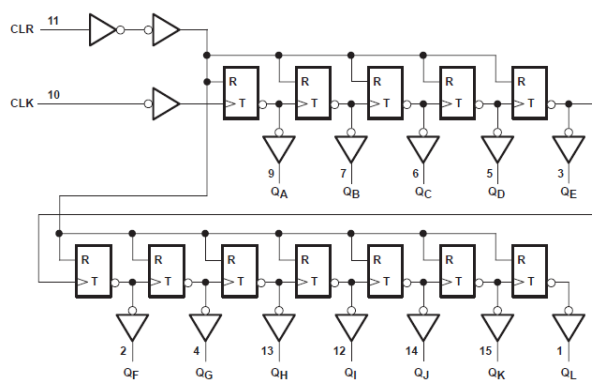
2 概要

'LV4040A デバイスは 12 ビット非同期バイナリカウンタで、すべての段の出力を外部で使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージサイズ (2)	本体サイズ (3)
SN74LV4040A	N (PDIP, 16)	19.3mm × 9.4 mm	19.3mm × 6.35 mm
	D (SOIC, 16)	9.9mm × 6mm	9.9mm × 3.9mm
	NS (SOP, 16)	10.2mm × 7.8mm	10.2mm × 5.3mm
	DB (SSOP, 16)	6.2mm × 7.8mm	6.2mm × 5.3mm
	PW (TSSOP, 16)	5mm × 6.4mm	5mm × 4.4mm
	DGV (TVSOP, 16)	3.6mm × 6.4mm	3.6mm × 4.4mm
	RGY (VQFN, 16)	4mm × 3.5mm	4mm × 3.5mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



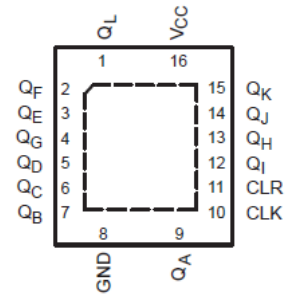
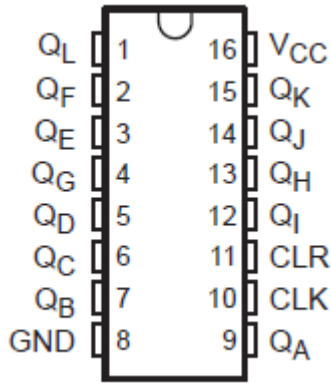
論理図 (正論理)



Table of Contents

1 特長	1	6 Detailed Description	9
2 概要	1	6.1 Overview.....	9
3 Pin Configuration and Functions	3	6.2 Functional Block Diagram.....	9
4 Specifications	4	6.3 Device Functional Modes.....	9
4.1 Absolute Maximum Ratings.....	4	7 Application and Implementation	10
4.2 ESD Ratings.....	4	7.1 Power Supply Recommendations.....	10
4.3 Recommended Operating Conditions.....	4	7.2 Layout.....	10
4.4 Thermal Information.....	5	8 Device and Documentation Support	11
4.5 Electrical Characteristics.....	5	8.1 Documentation Support (Analog).....	11
4.6 Timing Requirements, $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	5	8.2 ドキュメントの更新通知を受け取る方法.....	11
4.7 Timing Requirements, $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	6	8.3 サポート・リソース.....	11
4.8 Timing Requirements, $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	6	8.4 Trademarks.....	11
4.9 Switching Characteristics, $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	6	8.5 静電気放電に関する注意事項.....	11
4.10 Switching Characteristics, $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	6	8.6 用語集.....	11
4.11 Switching Characteristics, $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	7	9 Revision History	11
4.12 Noise Characteristics.....	7	10 Mechanical, Packaging, and Orderable Information	12
4.13 Operating Characteristics.....	7		
5 Parameter Measurement Information	8		

3 Pin Configuration and Functions



A. NC - no internal connection

☒ 3-2. SN74LV4040A RGY Package (Top View)

☒ 3-1. SN74LV4040A D, DB, DGV, N, NS, or PW Package (Top View)

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
Q _L	1	O	Q _L output
Q _F	2	O	Q _F output
Q _E	3	O	Q _E output
Q _G	4	O	Q _G output
Q _D	5	O	Q _D output
Q _C	6	O	Q _C output
Q _B	7	O	Q _B output
GND	8	-	Ground
Q _A	9	O	Q _A output
CLK	10	I	Clock, falling edge triggered
CLR	11	I	Clear, active high
Q _I	12	O	Q _I output
Q _H	13	O	Q _H output
Q _J	14	O	Q _J output
Q _K	15	O	Q _K output
V _{CC}	16	-	Positive supply

(1) I = input, O = output

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage range	-0.5	7	V
V _I	Input voltage range	-0.5	7	V
V _O	Voltage range applied to any output in the high-impedance or power-off state	-0.5	7	V
V _O	Output voltage range	-0.5 V to V _{CC}	0.5	V
I _{IK}	Input clamp current ⁽²⁾	(V _I < 0)	-20	mA
I _{OK}	Output clamp current ⁽²⁾	(V _O < 0)	±50	mA
I _O	Continuous output current	V _O = 0 to V _{CC}	±25	mA
	Continuous current through V _{CC} or GND		±50	mA
T _{stg}	Storage temperature range	-65	150	°C

- (1) Stresses beyond those listed under *absolute maximum ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *recommended operating conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) The input and output voltage ratings may be exceeded if the input and output current ratings are observed.

4.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ¹	±2000
		Charged device model (CDM), per JEDEC specification JESD22-C101 ²	±1000

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

4.3 Recommended Operating Conditions

over recommended operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage	2	5.5	V
V _{IH}	High-level input voltage	V _{CC} = 2 V	1.5	V
		V _{CC} = 2.3 V to 2.7 V	V _{CC} × 0.7	
		V _{CC} = 3 V to 3.6 V	V _{CC} × 0.7	
		V _{CC} = 4.5 V to 5.5 V	V _{CC} × 0.7	
V _{IL}	Low-level input voltage	V _{CC} = 2 V	0.5	V
		V _{CC} = 2.3 V to 2.7 V	V _{CC} × 0.3	
		V _{CC} = 3 V to 3.6 V	V _{CC} × 0.3	
		V _{CC} = 4.5 V to 5.5 V	V _{CC} × 0.3	
V _I	Input voltage	0	5.5	V
V _O	Output voltage	0	V _{CC}	V
I _{OH}	High-level output current	V _{CC} = 2 V	-50	mA
		V _{CC} = 2.3 V to 2.7 V	-2	
		V _{CC} = 3 V to 3.6 V	-6	
		V _{CC} = 4.5 V to 5.5 V	-12	
I _{OL}	Low-level output current	V _{CC} = 2 V	50	
		V _{CC} = 2.3 V to 2.7 V	2	
		V _{CC} = 3 V to 3.6 V	6	
		V _{CC} = 4.5 V to 5.5 V	12	

4.3 Recommended Operating Conditions (続き)

over recommended operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
$\Delta t/\Delta v$	Input transition rise/fall time	$V_{CC} = 2.3 \text{ V to } 2.7 \text{ V}$	200	ns
		$V_{CC} = 3 \text{ V to } 3.6 \text{ V}$	100	
		$V_{CC} = 4.5 \text{ V to } 5.5 \text{ V}$	20	
T_A	Operating free-air temperature	-40	85	°C

(1) All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number [SCBA004](#).

4.4 Thermal Information

THERMAL METRIC ⁽¹⁾	D (SOIC)	DB (SSOP)	DGV (TVSOP)	N (PDIP)	NS (SOP)	PW (TSSOP)	RGY (VQFN)	UNIT	
	16 PINS	16 PINS	16 PINS	16 PINS	16 PINS	16 PINS	16 PINS		
$R_{\theta JA}$	Junction-to-ambient thermal resistance	99.5	82	120	67	64	122.3	39	°C/W

(1) For more information about traditional and new thermal metrics, see [Semiconductor and IC Package Thermal Metrics](#).

4.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V_{CC}	SN74LV4040A			UNIT
			MIN	TYP	MAX	
V_{OH}	$I_{OH} = -50 \mu\text{A}$	2 V to 5.5 V	$V_{CC} - 0.1$			V
	$I_{OH} = -2 \text{ mA}$	2.3 V	2			
	$I_{OH} = -6 \text{ mA}$	3 V	2.48			
	$I_{OH} = -12 \text{ mA}$	4.5 V	3.8			
V_{OL}	$I_{OL} = 50 \mu\text{A}$	2 V to 5.5 V	0.1			V
	$I_{OL} = 2 \text{ mA}$	2.3 V	0.4			
	$I_{OL} = 6 \text{ mA}$	3 V	0.44			
	$I_{OL} = 12 \text{ mA}$	4.5 V	0.55			
I_I	$V_I = 5.5 \text{ V or GND}$	0 to 5.5 V	± 1			μA
I_{CC}	$V_I = V_{CC} \text{ or GND, } I_O = 0$	5.5 V	20			μA
I_{off}	$V_I \text{ or } V_O = 0 \text{ to } 5.5 \text{ V}$	0	5			μA
C_i	$V_I = V_{CC} \text{ or GND}$	3.3 V	1.9			pF

4.6 Timing Requirements, $V_{CC} = 2.5 \text{ V} \pm 0.2 \text{ V}$

timing requirements over recommended operating free-air temperature range, $V_{CC} = 2.5 \text{ V} \pm 0.2 \text{ V}$ (unless otherwise noted)

		$T_A = 25^\circ\text{C}$		SN74LV4040A		UNIT
		MIN	MAX	MIN	MAX	
t_w	Pulse duration	CLK high or low	7	7	ns	
		CLR high	6.5	6.5		
t_{su}	Setup time	CLR inactive before CLK ↓	6.5	6.5		

4.7 Timing Requirements, $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$

timing requirements over recommended operating free-air temperature range, $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$ (unless otherwise noted)

			$T_A = 25^\circ\text{C}$		SN74LV4040A		UNIT
			MIN	MAX	MIN	MAX	
t_w	Pulse duration	CLK high or low	5		5		ns
		CLR high	5		5		
t_{su}	Setup time	CLR inactive before CLK ↓	5		5		

4.8 Timing Requirements, $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$

timing requirements over recommended operating free-air temperature range, $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ (unless otherwise noted)

			$T_A = 25^\circ\text{C}$		SN74LV4040A		UNIT
			MIN	MAX	MIN	MAX	
t_w	Pulse duration	CLK high or low	5		5		ns
		CLR high	5		5		
t_{su}	Setup time	CLR inactive before CLK ↓	5		5		

4.9 Switching Characteristics, $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$

over recommended operating free-air temperature range, $V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$ (unless otherwise noted) ([Load Circuit and Voltage Waveforms](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			SN74LV4040A		UNIT
				MIN	TYP	MAX	MIN	MAX	
f_{max}			$C_L = 15\text{ pF}$	50 ¹	115 ¹		40 ¹		MHz
			$C_L = 50\text{ pF}$	40	95		35		
t_{PLH}	CLK	Q_A	$C_L = 15\text{ pF}$		8.7 ¹	19.4 ¹	1 ¹	23 ¹	ns
t_{PHL}					8.7 ¹	19.4 ¹	1 ¹	23 ¹	
t_{PHL}	CLR	Any Q	$C_L = 15\text{ pF}$		9.3 ¹	19.9 ¹	1 ¹	24 ¹	
t_{PLH}	$\overline{\text{CLK}}$	Q_A	$C_L = 50\text{ pF}$		10.5	24.1	1	28	
t_{PHL}					10.5	24.1	1	28	
t_{PHL}	CLR	Any Q	$C_L = 50\text{ pF}$		11.7	24.5	1	28	ns
Δt_{pd}		Q_n	Q_{n+1}		1.7	5.9		7	

(1) On products compliant to MIL-PRF-38535, this parameter is not production tested.

4.10 Switching Characteristics, $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$

over recommended operating free-air temperature range, $V_{CC} = 3.3\text{ V} \pm 0.3$ (unless otherwise noted) ([Load Circuit and Voltage Waveforms](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			SN74LV4040A		UNIT
				MIN	TYP	MAX	MIN	MAX	
f_{max}			$C_L = 15\text{ pF}$	75 ¹	160 ¹		75		MHz
			$C_L = 50\text{ pF}$	55	130		50		
t_{PLH}	CLK	Q_A	$C_L = 15\text{ pF}$		6.1 ¹	11.9 ¹	1	14	ns
t_{PHL}					6.1 ¹	11.9 ¹	1	14	ns
t_{PHL}	CLR	Any Q	$C_L = 15\text{ pF}$		7.1 ¹	12.8 ¹	1	15	ns
t_{PLH}	$\overline{\text{CLK}}$	Q_A	$C_L = 50\text{ pF}$		7.5	15.4	1	17.5	ns
t_{PHL}					7.5	15.4	1	17.5	ns
t_{PHL}	CLR	Any Q	$C_L = 50\text{ pF}$		9	16.3	1	18.5	ns

4.10 Switching Characteristics, $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$ (続き)

over recommended operating free-air temperature range, $V_{CC} = 3.3\text{ V} \pm 0.3$ (unless otherwise noted) ([Load Circuit and Voltage Waveforms](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			SN74LV4040A		UNIT
				MIN	TYP	MAX	MIN	MAX	
Δt_{pd}	Q_n	Q_{n+1}	$C_L = 50\text{ pF}$		1.2	4.4		5	ns

(1) On products compliant to MIL-PRF-38535, this parameter is not production tested.

4.11 Switching Characteristics, $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$

over recommended operating free-air temperature range, $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ (unless otherwise noted) ([Load Circuit and Voltage Waveforms](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	$T_A = 25^\circ\text{C}$			SN74LV4040A		UNIT
				MIN	TYP	MAX	MIN	MAX	
f_{max}			$C_L = 15\text{ pF}$	150 ¹	235 ¹		125		MHz
			$C_L = 50\text{ pF}$	95	185		80		
t_{PLH}	CLK	Q_A	$C_L = 15\text{ pF}$		4.2 ¹	7.3 ¹	1	8.5	ns
t_{PHL}					4.2 ¹	7.3 ¹	1	8.5	ns
t_{PHL}	CLR	Any Q	$C_L = 15\text{ pF}$		5.3 ¹	8.6 ¹	1	10	ns
t_{PLH}	$\overline{\text{CLK}}$	Q_A	$C_L = 50\text{ pF}$		5.3	9.3	1	10.5	ns
t_{PHL}					5.3	9.3	1	10.5	ns
t_{PHL}	CLR	Any Q	$C_L = 50\text{ pF}$		6.8	10.6	1	12	ns
Δt_{pd}	Q_n	Q_{n+1}	$C_L = 50\text{ pF}$		0.8	3.1		3.5	ns

(1) On products compliant to MIL-PRF-38535, this parameter is not production tested.

4.12 Noise Characteristics

$V_{CC} = 3.3\text{ V}$, $C_L = 50\text{ pF}$, $T_A = 25^\circ\text{C}$

PARAMETER ⁽¹⁾		SN74LV4040A			UNIT
		MIN	TYP	MAX	
$V_{OL(P)}$	Quiet output, maximum dynamic V_{OL}		0.5	0.8	V
$V_{OL(V)}$	Quiet output, minimum dynamic V_{OL}		-0.5	-0.8	V
$V_{IH(D)}$	High-level dynamic input voltage		2.31		V
$V_{IL(D)}$	Low-level dynamic input voltage			0.99	V

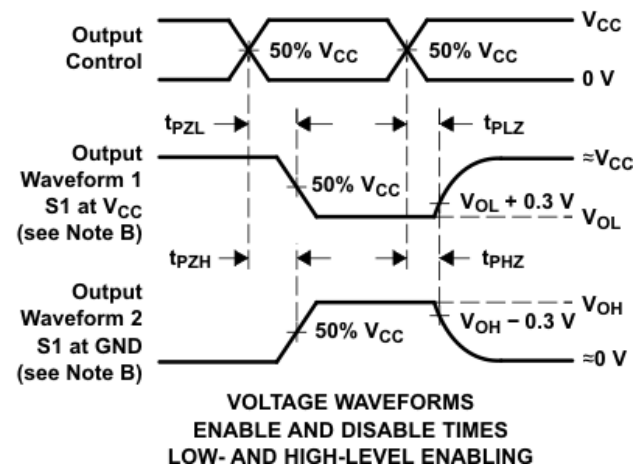
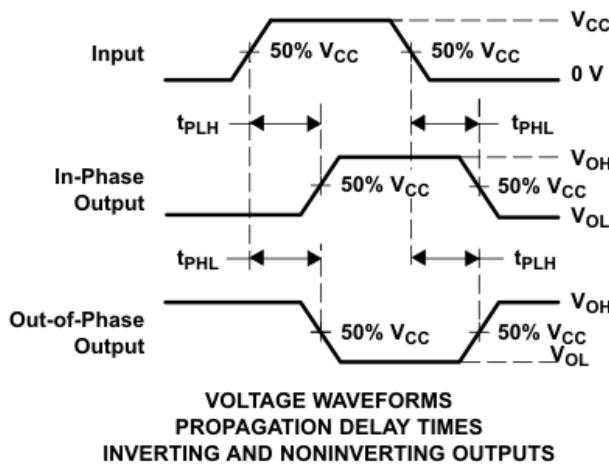
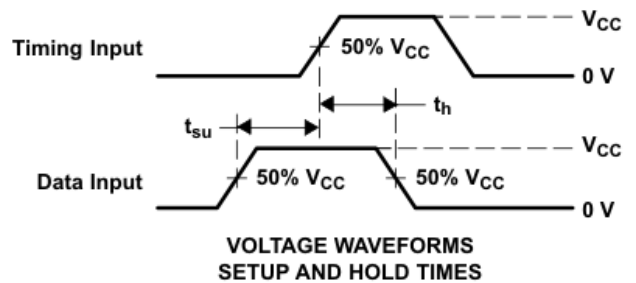
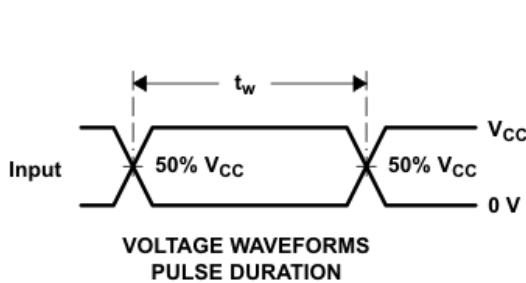
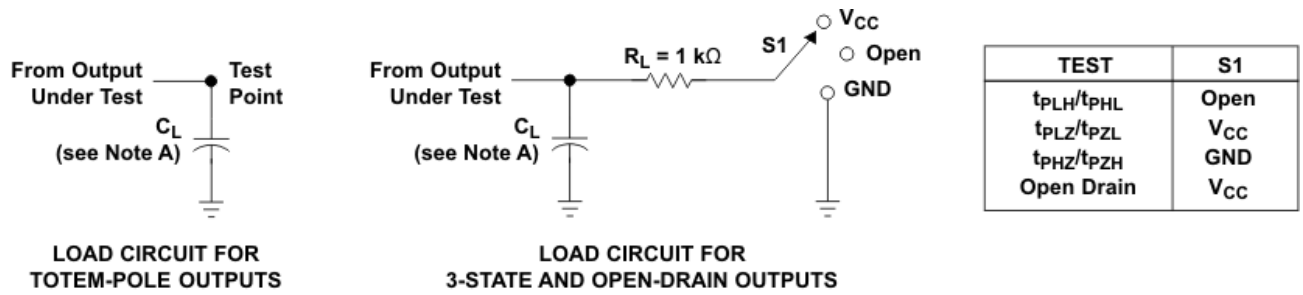
(1) Characteristics for surface-mount packages only.

4.13 Operating Characteristics

$T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS		V_{CC}	TYP	UNIT
C_{pd}	Power dissipation capacitance	$C_L = 50\text{ pF}$,	$f = 10\text{ MHz}$	3.3 V	11.9	pF
				5 V	13.1	

5 Parameter Measurement Information



- A. C_L includes probe and jig capacitance.
- B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
- C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1 \text{ MHz}$, $Z_O = 50 \Omega$, $t_r \leq 3 \text{ ns}$, and $t_f \leq 3 \text{ ns}$.
- D. The outputs are measured one at a time, with one input transition per measurement.
- E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
- F. t_{PZL} and t_{PZH} are the same as t_{en} .
- G. t_{PHL} and t_{PLH} are the same as t_{pd} .
- H. All parameters and waveforms are not applicable to all devices.

5-1. Load Circuit and Voltage Waveforms

6 Detailed Description

6.1 Overview

The 'LV4040A devices are 12-bit asynchronous binary counters with the outputs of all stages available externally. A high level at the clear (CLR) input asynchronously clears the counter and resets all outputs low. The count is advanced on a high-to-low transition at the clock (CLK) input. Applications include time-delay circuits, counter controls, and frequency-dividing circuits.

These devices are fully specified for partial-power-down applications using I_{off} . The I_{off} circuitry disables the outputs, preventing damaging current backflow through the devices when they are powered down.

6.2 Functional Block Diagram

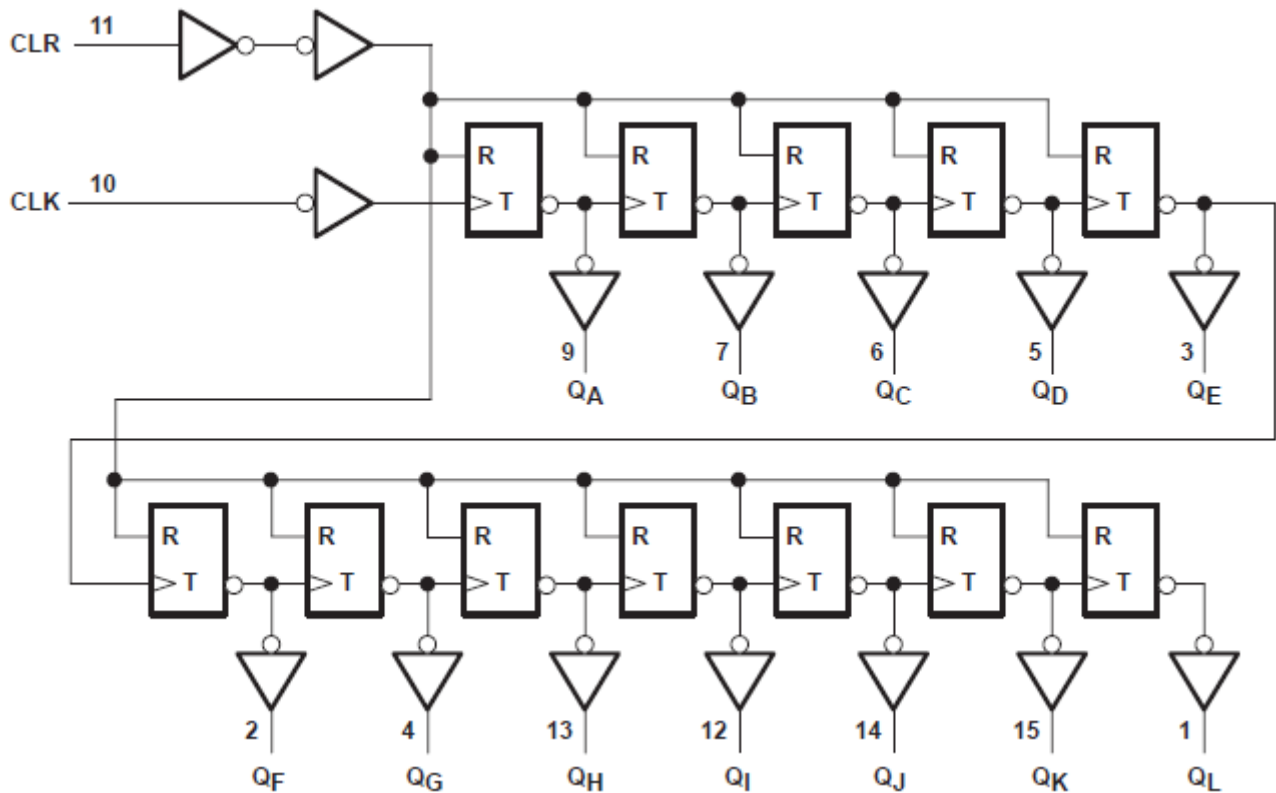


図 6-1. Logic Diagram (Positive Logic)

6.3 Device Functional Modes

表 6-1. Function Table
(Each Buffer)

INPUTS		FUNCTION
CLK	CLR	
↑	L	No change
↓	L	Advance to next stage
X	H	All outputs L

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Power Supply Recommendations

The power supply can be any voltage between the MIN and MAX supply voltage rating located in the [Recommended Operating Conditions](#) table.

Each V_{CC} pin should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, 0.1 μF is recommended. If there are multiple V_{CC} pins, 0.01 μF or 0.022 μF is recommended for each power pin. It is acceptable to parallel multiple bypass caps to reject different frequencies of noise. A 0.1 μF and 1 μF are commonly used in parallel. The bypass capacitor should be installed as close to the power pin as possible for best results.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple bit logic devices inputs should not ever float.

In many cases, functions or parts of functions of digital logic devices are unused, for example, when only two inputs of a triple-input AND gate are used or only three of the four buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. Specified below are the rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or V_{CC} whichever make more sense or is more convenient. Floating outputs is generally acceptable, unless the part is a transceiver. If the transceiver has an output enable pin it will disable the outputs section of the part when asserted. This will not disable the input section of the I.O's so they also cannot float when disabled.

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 Documentation Support (Analog)

8.1.1 Related Documentation

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
SN74LV4040A	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision J (July 2023) to Revision K (September 2024)	Page
「パッケージ情報」の表に本体サイズを追加	1
Updated <i>Pin Functions</i> table.....	3
Added <i>Application and Implementation</i> section.....	10

Changes from Revision I (May 2005) to Revision J (July 2023)
Page

- パッケージ情報の表、ピンの機能の表、ESD 定格の表、熱に関する情報の表、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
 - Updated thermal values for RθJA: D = 73 to 99.5, PW = 108 to 122.3, all values in °C/W5
-

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated