

USB充電ポート・パワー・スイッチおよびコントローラ

特長

- DCPおよびCDPのバッテリー充電仕様BC1.2に準拠
- 中国電気通信業界標準YD/T 1591-2009に準拠
- ほとんどの市販Apple®デバイスおよびBC1.2準拠デバイスに対してスリープ・モード充電をサポート
- USB2.0および3.0パワー・スイッチ要件に対応
- 帯域幅2.6GHzのUSB2.0データ・スイッチ
- 73mΩ(typ)のハイサイドMOSFET
- 最大2.8A(typ)の可変電流制限
- CTLx = 000(TPS2540/40A)またはDSC(TPS2541/41A)入力によるOUT放電
- 長い取り外し検出時間 (TPS2540A/41A) によりレガシー・デバイスもサポート
- 16ピンQFNパッケージで供給

アプリケーション

- USBポート/ハブ
- ノートパソコン
- ユニバーサル充電アダプタ

概要

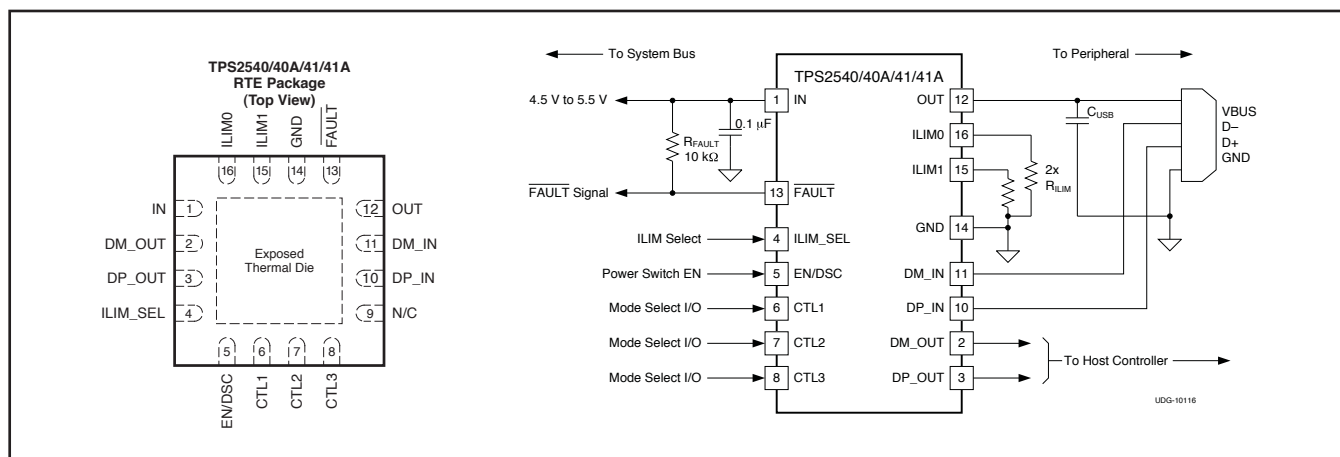
TPS2540/40AおよびTPS2541/41Aは、電流制限USBポート・パワー・スイッチおよびUSB2.0高速データ・ライン(D+/D-)スイッチに、USB充電ポート識別回路を組み合わせたデバイスです。ノートパソコンや他のインテリジェントUSBホスト・デバイスなどのアプリケーションに使用できます。データ・ライン・スイッチは広い帯域幅 (2.6GHz) を持ち、容量およびオン抵抗も低いいため、エッジおよび位相の歪を最小限に抑えて信号を通過させることができます。TPS2540/40A/41/41AはD+およびD-を監視し、準拠するクライアント・デバイスとの間に正しいハンドシェイク・プロトコルを提供します。

TPS2540/40A/41/41Aは、以下の充電ロジック方式をサポートします。

- ・ USB 2.0 BC1.2
- ・ 中国電気通信標準YD/T 1591-2009
- ・ iPod®やiPhone®などのAppleデバイスに準拠したデバイダ・モード

CTL1~CTL3ロジック入力を使用して、TPS2540/40AおよびTPS2541/41Aで提供される各種の充電モードのいずれかを選択します。これらの充電モードでは、ホスト・デバイス

TPS2540/40A/41/41A RTEパッケージおよび標準アプリケーション図



Apple, iPod, iPhoneは、Apple Inc.の登録商標です。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

が、DCP(Dedicated Charging Port) (ACアダプタ・エミュレーション)、CDP(Charging Downstream Port) (1.5AをサポートするアクティブUSB 2.0データ通信)、またはSDP(Standard Downstream Port) (500mAをサポートするアクティブUSB 2.0データ通信)のいずれかをアクティブに選択できます。TPS2540/40A/41/41Aには、バッテリー充電仕様(BC1.2)のDCP方式とデバイダ・モードの両方をサポートする自動検出機能も内蔵され、外部でのユーザによる操作は不要です。

TPS2540A/41Aの自動検出モードでは、取り外し検出時間が長い場合、特定の独自の非標準デバイスをサポートできます。TPS2540/40A/41/41Aパワー・ディストリビューション・スイッチは、大きな容量性負荷や短絡が発生する可能性のあるアプリケーション向けに設計され、73mΩのNチャンネルMOSFETを1つのパッケージに内蔵しています。出力負荷が電流制限スレッショルドを超えると、定電流モードが使用されます。ILIM_SEL

論理入力は、2つの電流制限スレッショルドのいずれかを選択します。各スレッショルドを外付け抵抗で個別に調整可能です。他のUSBスイッチ機能として、デグリッチ付き出力障害通知($\overline{\text{FAULT}}$)、論理レベル・イネーブルのEN (TPS2540/40A)、OUT放電制御DSC (TPS2541/41A)などを備えています。TPS2540/40Aでは、モード“000”を使用して強制的に出力放電を行います。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

T _A	機能	T _{DCPLOW} ⁽²⁾	パッケージ	捺印
-40°C ~ 85°C	イネーブル	≤ 0.9 s	QFN16	2540
	出力放電			2541
	イネーブル	≤ 9 s		2540A
	出力放電			2541A

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージオプション」を参照するか、www.ti.comでデバイスの製品フォルダをご覧ください。

(2) DCPモード内Low DP_INは図31をご参照ください。

絶対最大定格⁽¹⁾

動作温度範囲内、電圧はGNDを基準とします(特に記述のない限り)

パラメータ		MIN	MAX	単位
Supply voltage range	IN	-0.3	7	V
Input voltage range	EN (TPS2540/40A), DSC (TPS2541/41A), ILIM0, ILIM1, ILIM_SEL, CTL1, CTL2, CTL3	-0.3	7	
Voltage range	OUT, $\overline{\text{FAULT}}$ ⁽²⁾	-0.3	7	
Voltage range	IN to OUT	-7	7	
Voltage range	DP_IN, DM_IN, DP_OUT, DM_OUT	-0.3	(IN + 0.3) or 5.7	
Input clamp current	DP_IN, DM_IN, DP_OUT, DM_OUT		±20	mA
Continuous current in SDP or CDP mode	DP_IN to DP_OUT or DM_IN to DM_OUT		±100	
Continuous current in BC1.2 DCP mode	DP_IN to DM_IN		±35	
Continuous output current	I _{OUT}		Internally limited	mA
Continuous output sink current	$\overline{\text{FAULT}}$		25	
Continuous output source current	ILIM0, ILIM1		1	
Continuous total power dissipation			Internally limited	kV
ESD rating, Human Body Model (HBM)	IN, ILIM_SEL, EN, DSC, CTL1, CTL2, CTL3, N/C, OUT, $\overline{\text{FAULT}}$, GND, ILIM1, ILIM0		2	
	DP_IN, DM_IN, DP_OUT, DM_OUT		8	
ESD rating, Charged Device Model (CDM)			500	V
Operating Junction temperature	T _J		Internally limited	°C
Storage temperature range	T _{stg}	-65	150	

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) 外部電圧源を直接印加しないでください。

推奨動作条件

動作温度範囲内(特に記述のない限り)

パラメータ		MIN	NOM	MAX	単位
V _{IN}	Input voltage, IN	4.5		5.5	V
	Input voltage, logic-level inputs, (CTL1, CTL2, CTL3, EN (TPS2540/40A), DSC (TPS2541/41A), ILIM_SEL)	0		5.5	
	Input voltage, data line inputs, (DP_IN, DM_IN, DP_OUT, DM_OUT)			5.5	
	Continuous current, data line inputs, (SDP or CDP mode, DP_IN to DP_OUT or DM_IN to DM_OUT)			±30	mA
	Continuous current, data line inputs, (BC1.2 DCP mode, DP_IN to DM_IN)			±10	
I _{OUT}	Continuous output current, OUT	0		2.5	A
R _{ILIMx}	Current-limit set resistors, (ILIM0 to GND, ILIM1 to GND)	16.9		750	kΩ
T _J	Operating virtual junction temperature	-40		125	°C

熱特性について

THERMAL METRIC ⁽¹⁾		TPS2540 TPS2540A TPS2541 TPS2541A	単位
		RTE	
		16 PINS	
θ _{JA}	Junction-to-ambient thermal resistance ⁽²⁾	53.4	°C/W
θ _{JCtop}	Junction-to-case (top) thermal resistance ⁽³⁾	51.4	
θ _{JB}	Junction-to-board thermal resistance ⁽⁴⁾	17.2	
ψ _{JT}	Junction-to-top characterization parameter ⁽⁵⁾	3.7	
ψ _{JB}	Junction-to-board characterization parameter ⁽⁶⁾	20.7	
θ _{JCbot}	Junction-to-case (bottom) thermal resistance ⁽⁷⁾	3.9	

- 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。
- 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。
- 接合部-ケース(上面)間の熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。
- 接合部-基板間の熱抵抗は、JESD51-8の規定に従い、PCB温度を制御するリング型冷却板測定器を用いた環境でのシミュレーションによって求められます。
- 接合部-上面間の特性化パラメータψ_{JT}は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いてθ_{JA}を求めるシミュレーション・データから抽出されます。
- 接合部-基板間の特性化パラメータψ_{JB}は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いてθ_{JA}を求めるシミュレーション・データから抽出されます。
- 接合部-ケース(底面)間の熱抵抗は、露出したパッド(PowerPAD)上での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。

電気的特性

$-40 \leq T_J \leq 125^\circ\text{C}$ (特に記述のない限り)。 V_{EN} (TPS2540またはTPS2540Aの場合) = V_{DSC} (TPS2541またはTPS2541Aの場合) = $V_{IN} = 5\text{V}$ 、 $R_{FAULT} = 10\text{k}\Omega$ 、 $R_{ILIM0} = 210\text{k}\Omega$ 、 $R_{ILIM1} = 20\text{k}\Omega$ 、 $I_{LIM_SEL} = 0\text{V}$ 、 $CTL1 = CTL2 = \text{GND}$ 、 $CTL3 = V_{IN}$ (TPS2540/40A)、または $CTL3 = \text{GND}$ (TPS2541/41A) (特に記述のない限り)。ピンに流れ込む方向が正電流です。標準値は 25°C での値です。すべての電圧値はGNDを基準にしています (特に記述のない限り)。

パラメータ		テスト条件	MIN	TYP	MAX	単位	
Power Switch							
$R_{DS(on)}$	Static drain-source on-state resistance	$I_{OUT} = 2\text{ A}$, $V_{ILIM_SEL} = \text{Logic HI}$		73	120	m Ω	
		$I_{OUT} = 100\text{ mA}$, $V_{ILIM_SEL} = \text{Logic LO}$		73	120		
		$-40^\circ\text{C} \leq T_A = T_J \leq 85^\circ\text{C}$, $I_{OUT} = 2\text{ A}$, $V_{ILIM_SEL} = \text{Logic HI}$		73	105		
		$T_A = T_J = 25^\circ\text{C}$, $I_{OUT} = 2\text{ A}$, $V_{ILIM_SEL} = \text{Logic HI}$		73	84		
t_r	Rise time, output	$C_L = 1\ \mu\text{F}$, $R_L = 100\ \Omega$, (図27、図28 参照)		1	1.5	ms	
t_f	Fall time, output	$C_L = 1\ \mu\text{F}$, $R_L = 100\ \Omega$, (図27、図28 参照)	0.2		0.5		
R_{DIS}	OUT discharge resistance		400	500	630	Ω	
I_{REV}	Reverse leakage current	$V_{OUT} = 5.5\text{ V}$, $V_{IN} = V_{EN} = 0\text{ V}$, $T_J = 25^\circ\text{C}$		0	1	μA	
Enable Input EN (TPS2540/40A), Output Discharge Input DSC (TPS2541/41A)							
V_{EN}	Enable pin turn on/off threshold, falling		0.9	1.1	1.65	V	
V_{EN_HYS}	EN Hysteresis			200		mV	
I_{EN}	Input current	$V_{EN} = 0\text{ V}$ or 5.5 V	-0.5		0.5	μA	
V_{DSC}	DSC pin turn on/off threshold, falling		0.9	1.1	1.65	V	
V_{DSC_HYS}	DSC Hysteresis			200		mV	
I_{DSC}	Input current	$V_{DSC} = 0\text{ V}$ or 5.5 V	-0.5		0.5	μA	
t_{ON}	Turn-on time	$C_L = 1\ \mu\text{F}$, $R_L = 100\ \Omega$ (図27、図29 参照)		3.4	5	ms	
t_{OFF}	Turn-off time	$C_L = 1\ \mu\text{F}$, $R_L = 100\ \Omega$ (図27、図29 参照)		1.7	3		
Current Limit							
V_{ILIM_SEL}	I_{LIM_SEL} turn on/off threshold, falling		0.9	1.1	1.65	V	
V_{ILIM_HYS}	I_{LIM_SEL} Hysteresis			200		mV	
	I_{LIM_SEL} input current	$V_{ILIM_SEL} = 0\text{ V}$ or 5.5 V	-0.5		0.5	μA	
I_{SHORT}	Maximum DC output current from IN to OUT	$V_{ILIM_SEL} = \text{Logic LO}$	$R_{ILIM0} = 210\text{ k}\Omega$	185	230	265	mA
			$R_{ILIM0} = 100\text{ k}\Omega$	420	480	530	
		$V_{ILIM_SEL} = \text{Logic HI}$	$R_{ILIM1} = 20\text{ k}\Omega$	2150	2430	2650	
			$R_{ILIM1} = 16.9\text{ k}\Omega$	2550	2840	3100	
		$V_{ILIM_SEL} = \text{Logic LO}$	$R_{ILIM0} = 698\text{ k}\Omega$	25	55	85	
		$-40 \leq T_J \leq 85^\circ\text{C}$					
t_{IOS}	Response time to short-circuit	$V_{IN} = 5.0\text{ V}$ (図30 参照)		1.5		μs	
Supply Current							
I_{CCL}	Supply current, switch disabled	$V_{EN} = V_{DSC} = 0\text{ V}$, OUT grounded, $-40 \leq T_J \leq 85^\circ\text{C}$		0.1	2	μA	
I_{CCH}	Supply current, operating	$V_{EN} = V_{DSC} = V_{IN}$	$V_{ILIM_SEL} = \text{Logic HI}$	150	185		
			$V_{ILIM_SEL} = \text{Logic LOW}$	130	170		

電氣的特性

$-40 \leq T_J \leq 125^\circ\text{C}$ (特に記述のない限り)。 V_{EN} (TPS2540またはTPS2540Aの場合) = V_{DSC} (TPS2541またはTPS2541Aの場合) = $V_{IN} = 5\text{V}$ 、 $R_{FAULT} = 10\text{k}\Omega$ 、 $R_{ILIM0} = 210\text{k}\Omega$ 、 $R_{ILIM1} = 20\text{k}\Omega$ 、 $I_{LIM_SEL} = 0\text{V}$ 、 $CTL1 = CTL2 = \text{GND}$ 、 $CTL3 = V_{IN}$ (TPS2540/40A)、または $CTL3 = \text{GND}$ (TPS2541/41A) (特に記述のない限り)。ピンに流れ込む方向が正電流です。標準値は 25°C での値です。すべての電圧値はGNDを基準にしています (特に記述のない限り)。

パラメータ		テスト条件	MIN	TYP	MAX	単位
Undervoltage Lockout						
V_{UVLO}	Low-level input voltage, IN	V_{IN} rising	3.9	4.1	4.3	V
	Hysteresis, IN			100		mV
FAULT						
	Output low voltage, $\overline{\text{FAULT}}$	$I_{\overline{\text{FAULT}}} = 1\text{ mA}$			100	mV
	Off-state leakage	$V_{\overline{\text{FAULT}}} = 5.5\text{ V}$			1	μA
	$\overline{\text{FAULT}}$ deglitch	$\overline{\text{FAULT}}$ assertion or de-assertion due to over-current condition	5	8.5	12	ms
CTLx Inputs						
V_{CTL}	CTLx pins turn on/off threshold, falling		0.9	1.1	1.65	V
V_{CTL_HYS}	CTLx hysteresis			200		mV
	Input current	$V_{CTL} = 0\text{ V}$ or 5.5 V	-0.5		0.5	μA
Thermal Shutdown						
	Thermal shutdown threshold		155			$^\circ\text{C}$
	Thermal shutdown threshold in current-limit		135			
	Hysteresis			10		
High-Bandwidth Analog Switch						
R_{HS_ON}	On resistance DP/DM high-speed switch	$V_{DP/DM_OUT} = 0\text{ V}$, $I_{DP/DM_IN} = +30\text{ mA}$		2	4	Ω
		$V_{DP/DM_OUT} = 2.4\text{ V}$, $I_{DP/DM_IN} = -15\text{ mA}$		3	6	
ΔR_{HS_ON}	On resistance match between channels DP/DM switch	$V_{DP/DM_OUT} = 0\text{ V}$, $I_{DP/DM_IN} = +30\text{ mA}$		0.05	0.15	Ω
		$V_{DP/DM_OUT} = 2.4\text{ V}$, $I_{DP/DM_IN} = -15\text{ mA}$		0.05	0.15	
C_{IO_OFF}	DP/DM off state capacitance ⁽¹⁾	$f = 1\text{ MHz}$, switch off		3	3.6	pF
C_{IO_ON}	DP/DM on state capacitance ⁽²⁾	$f = 1\text{ MHz}$, switch on		5.4	6.2	
O_{IRR}	Off state isolation	$R_L = 50\ \Omega$, $f = 250\text{ MHz}$, $-40 \leq T_J \leq 125^\circ\text{C}$		33		dB
X_{TALK}	On-state cross channel isolation	$R_L = 50\ \Omega$, $f = 250\text{ MHz}$, $-40 \leq T_J \leq 125^\circ\text{C}$		52		
I_{OFF}	Off state leakage	$V_{DM_IN} = V_{DP_IN} = 3.6\text{ V}$, $V_{DM_OUT} = V_{DP_OUT} = 0\text{ V}$		0.1	1.5	μA
BW	Bandwidth (-3dB)	$R_L = 50\ \Omega$		2.6		GHz
t_{pd}	Propagation delay			0.25		ns
t_{sk}	Skew between opposite transitions of the same port ($t_{PHL} - t_{PLH}$)			0.1	0.2	

(1) GNDに対してこの寄生容量に直列な抵抗は、標準で $250\ \Omega$ です。

(2) GNDに対してこの寄生容量に直列な抵抗は、標準で $150\ \Omega$ です。

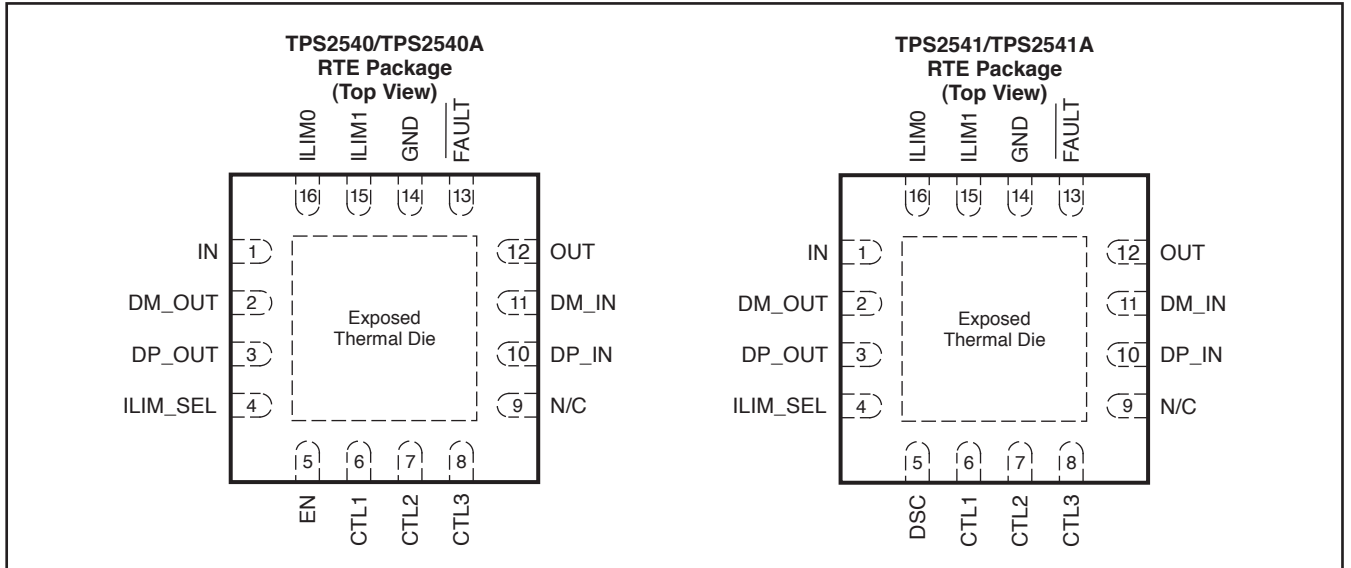
電気的特性

$-40 \leq T_J \leq 125^\circ\text{C}$ (特に記述のない限り)。 V_{EN} (TPS2540またはTPS2540Aの場合) = V_{DSC} (TPS2541またはTPS2541Aの場合) = $V_{IN} = 5\text{V}$ 、 $R_{FAULT} = 10\text{k}\Omega$ 、 $R_{ILIM0} = 210\text{k}\Omega$ 、 $R_{ILIM1} = 20\text{k}\Omega$ 、 $I_{LIM_SEL} = 0\text{V}$ 、 $CTL1 = CTL2 = \text{GND}$ 、 $CTL3 = V_{IN}$ (TPS2540/40A)、または $CTL3 = \text{GND}$ (TPS2541/41A) (特に記述のない限り)。ピンに流れ込む方向が正電流です。標準値は 25°C での値です。すべての電圧値はGNDを基準にしています (特に記述のない限り)。

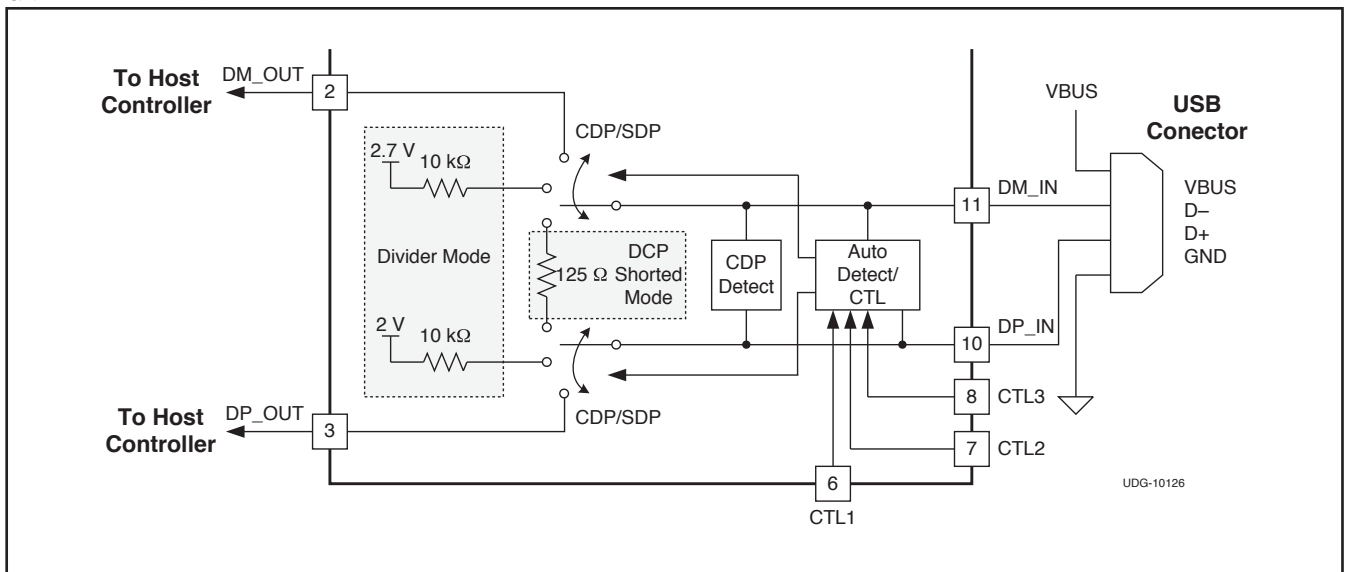
パラメータ		テスト条件	MIN	TYP	MAX	単位
DCP Shorted Mode Charger Interface						
R_{DPM_short}	DP_IN/DM_IN shorting resistance	CTLx configured for DCP BC1.2		125	200	Ω
R_{DCHG_PW}	Discharge resistance DM_IN and DP_IN to GND	CTLx configured for DCP BC1.2	2	3.2	6	$\text{M}\Omega$
Divider Mode Charger Interface						
V_{DP_AM}	DP_IN output voltage	CTLx configured for divider mode	1.9	2	2.1	V
V_{DM_AM}	DM_IN output voltage		2.57	2.7	2.84	
Z_{OUT_DP}	DP_IN output impedance		8	10	12.5	$\text{k}\Omega$
Z_{OUT_DM}	DM_IN output impedance		8	10	12.5	
CDP Interface						
V_{DM_SRC}	Voltage source on DM_IN for CDP detect	$V_{DP_IN} = 0.6\text{V}$, CTLx configured for CDP	0.5	0.6	0.7	V
V_{DAT_REF}	DP_IN rising voltage threshold to activate V_{DM_SRC}	$I_{DM_IN} = -250\ \mu\text{A}$, CTLx configured for CDP	0.25		0.4	
	V_{DAT_REF} hysteresis		50			mV
V_{LGC_SRC}	DP_IN rising voltage threshold to deactivate V_{DM_SRC}		0.8		1	V
	V_{LGC_SRC} hysteresis		100			mV
I_{DP_SINK}	DP_IN sink current	$0.4\text{V} \leq V_{DP_IN} \leq 0.8\text{V}$, CTLx configured for CDP operation	50		150	μA
Timings						
t_{VDMSRC_EN}	DM_IN voltage source enable time, CDP mode	From $V_{DP_IN} = 0 \rightarrow 0.6\text{V}$ to $V_{DM_IN} = V_{DM_SRC}$, CTLx configured for CDP	1		10	ms
t_{VDMSRC_DIS}	DM_IN voltage source disable time, CDP mode	From $V_{DP_IN} = 0.6\text{V} \rightarrow 0\text{V}$ to $V_{DM_IN} = 0\text{V}$, CTLx configured for CDP			10	
t_{VBUS_REAPP}	Time for OUT to be reapplied after V_{OUT} falls below 0.7V during discharge	Any transition to and from CDP, or to and from SDP. Also during Auto-detect to shorted mode.	200		500	
Timing Requirements						
$t_{SLVD_CON_P}$	Session valid (IN high) to VDP_SRC in DCP mode	TPS2540/TPS2541			1	s
t_{DCPLOW}	Low DP_IN period in DCP mode	When VBUS is high, (TPS2540, TPS2541)			0.9	
		When VBUS is high, (TPS2540A, TPS2541A)			9	

製品情報

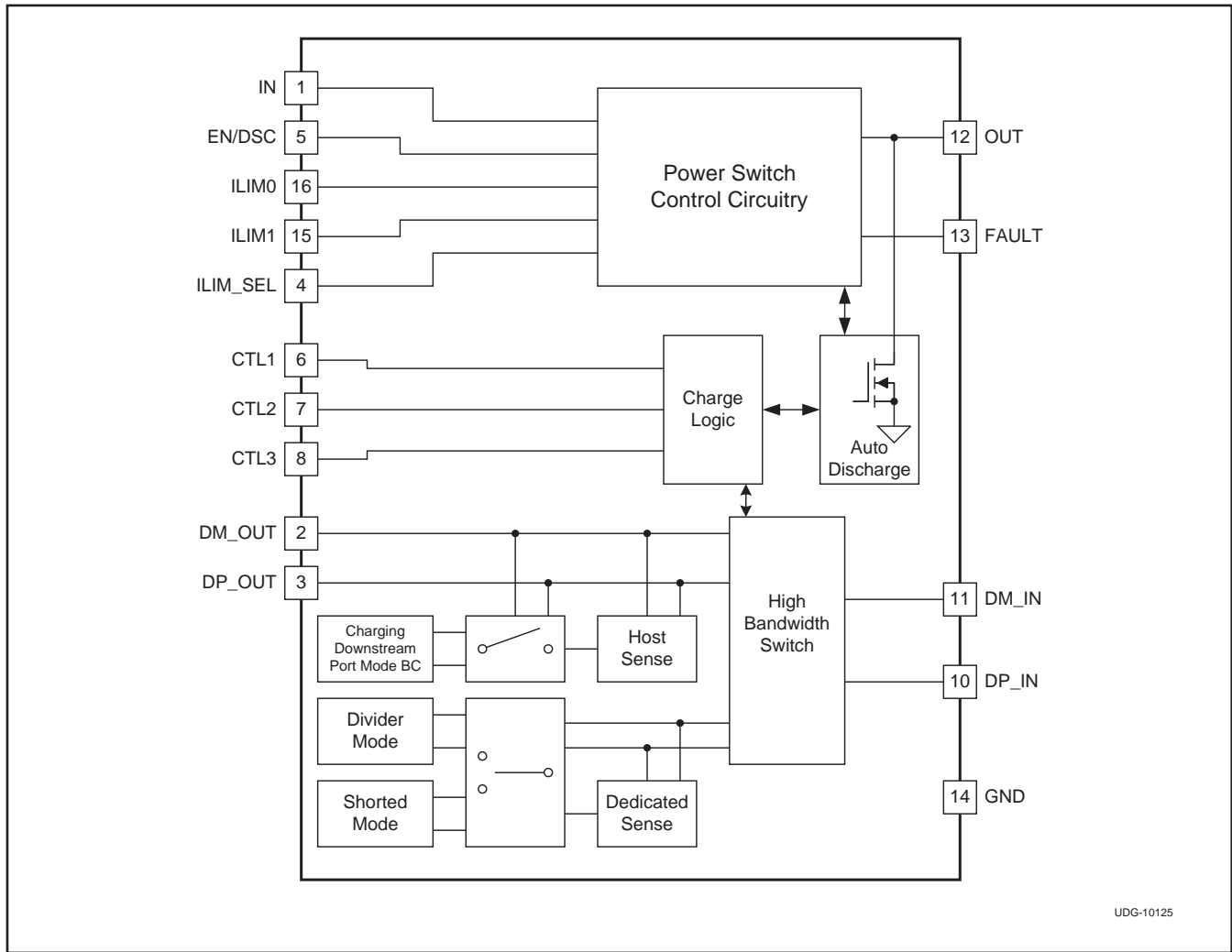
TPS2540、TPS2540A、TPS2541、TPS2541A



検出ブロック図



TPS2540/40A/41/41A上位機能ブロック図



ピン説明

名前	ピン	I/O	説明
パワー・スイッチ			
IN	1	PWR	入力電圧。INとGNDの間に、0.1 μ F以上のセラミック・コンデンサをできるだけデバイスに近づけて配置してください。
OUT	12	PWR	パワー・スイッチ出力。
GND	14	PWR	グラウンド接続。外部でPowerPADに接続する必要があります。
POWERPAD	N/A		内部でGNDに接続されています。デバイスを基板上のパターンにヒートシンクするために使用します。GNDプレーンに接続します。
電流制限スレッシュホールドおよび通知			
ILIM0	16	I	ILIM_SELがLowのときに電流制限スレッシュホールドを設定する外部抵抗。 $16.9k\Omega \leq R_{ILIM} \leq 750k\Omega$ を推奨します。
ILIM1	15	I	ILIM_SELがHighのときに電流制限スレッシュホールドを設定する外部抵抗。 $16.9k\Omega \leq R_{ILIM} \leq 750k\Omega$ を推奨します。
ILIM_SEL	4	I	パワー・スイッチの電流制限スレッシュホールドを動的に変更するための論理レベル入力信号。LowのときILIM0、HighのときILIM1が選択されます。
$\overline{\text{FAULT}}$	13	O	アクティブ・ローのオープン・ドレイン出力。過熱または電流制限状態でアサートされます。
入力論理制御信号			
EN, DSC	5	I	パワー・スイッチおよび信号スイッチをオン/オフするための論理レベル制御入力。 TPS2540/40A：ENがLowのとき、デバイスはディスエーブルになり、信号スイッチおよびパワー・スイッチがオフになります。 TPS2541/41A：DSCがLowのとき、デバイスはディスエーブルになり、信号スイッチおよびパワー・スイッチがオフになり、出力(OUT)コンデンサが放電されます。
CTL1	6	I	充電モードおよび信号スイッチを制御するための論理レベル制御入力。TPS2540/40AとTPS2541/41Aでは、異なる制御ライン真理値表を使用します。TPS2540/40Aでは、“000”の設定を使用して、出力(OUT)コンデンサを強制的に放電します。
CTL2	7	I	
CTL3	8	I	
D+/D-データ・ライン信号			
DM_IN	11	I/O	コネクタへのD-データ・ライン。ポータブル機器とのハンドシェイクに使用される入力/出力です。
DP_IN	10	I/O	コネクタへのD+データ・ライン。ポータブル機器とのハンドシェイクに使用される入力/出力です。
DM_OUT	2	I/O	USBホスト・コントローラへのD-データ・ライン。
DP_OUT	3	I/O	USBホスト・コントローラへのD+データ・ライン。
N/C	9		接続なし。接地するかフローティングにします。

標準的特性

上昇時のIN UVLO 対 温度

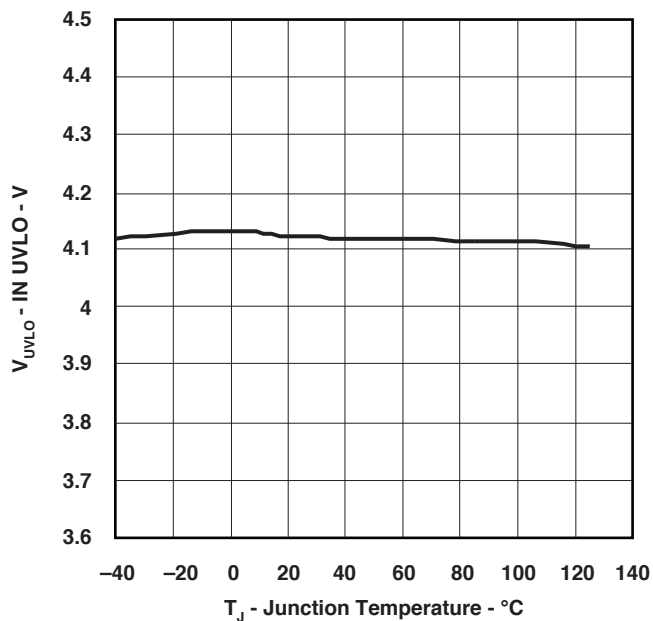


図 1

消費電流 - ディスエーブル時 対 温度

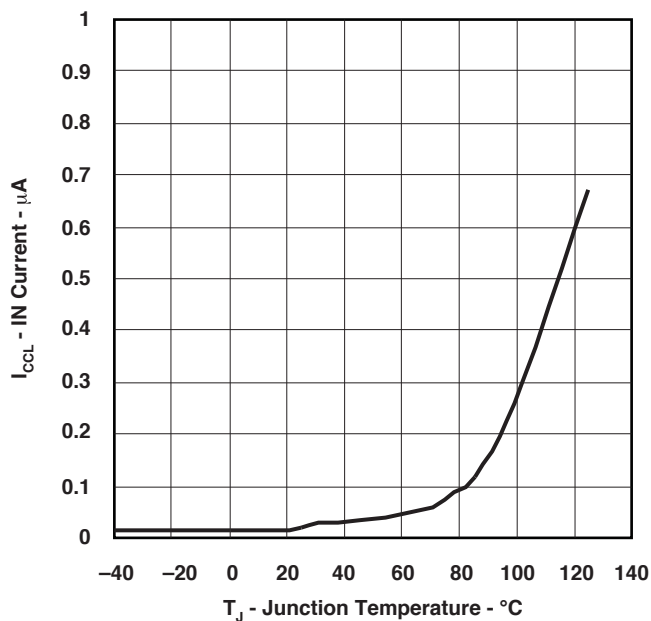


図 2

消費電流 - SDPまたはDCP BC 対 温度

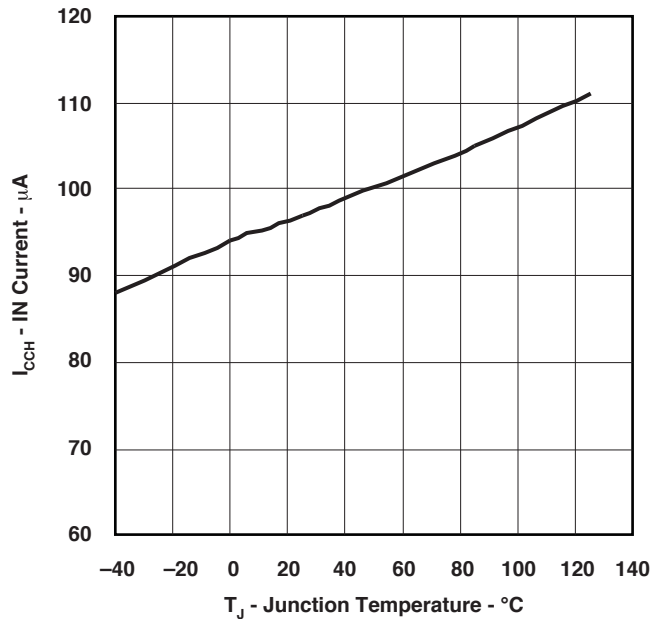


図 3

消費電流 - 自動検出 対 温度

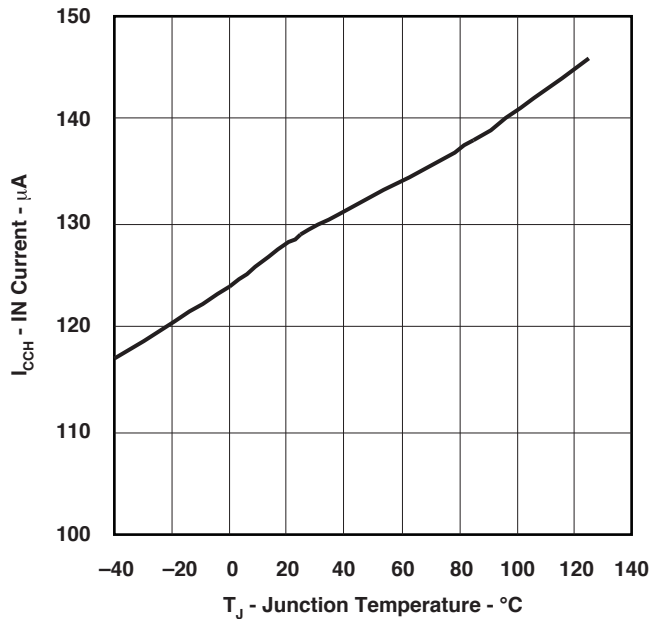


図 4

標準的特性

消費電流 - CDPまたはデバイダ・モード 対 温度

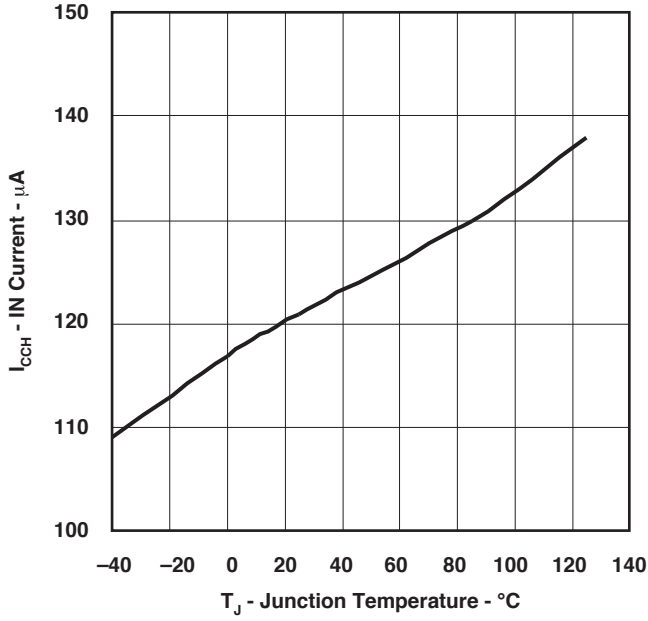


図 5

電流制限 対 電流制限抵抗

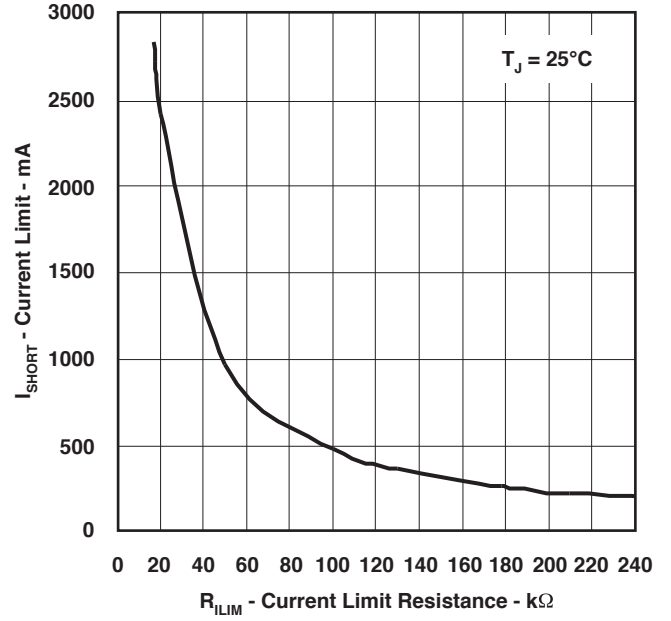


図 6

電流制限 対 温度

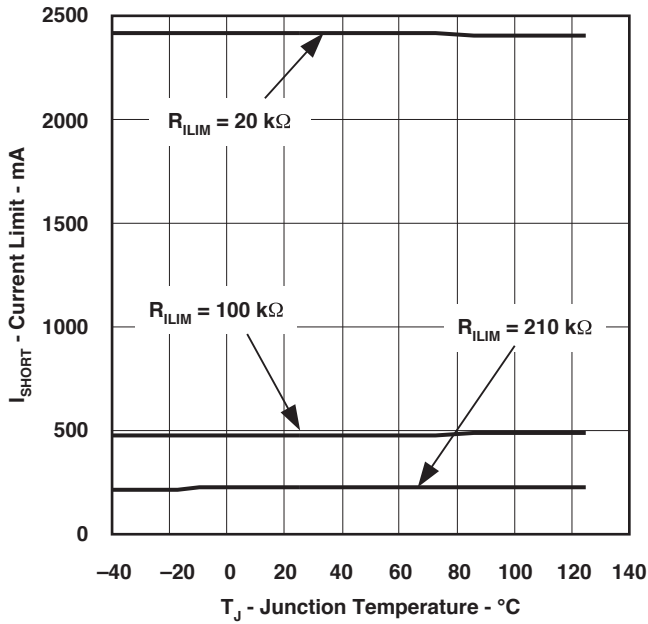


図 7

パワー・スイッチのオン抵抗 対 温度

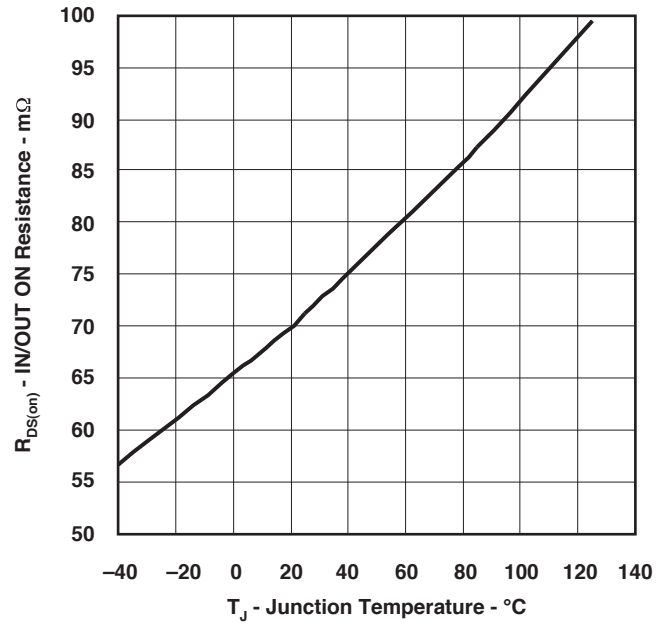


図 8

標準的特性

オン時間、オフ時間 対 温度

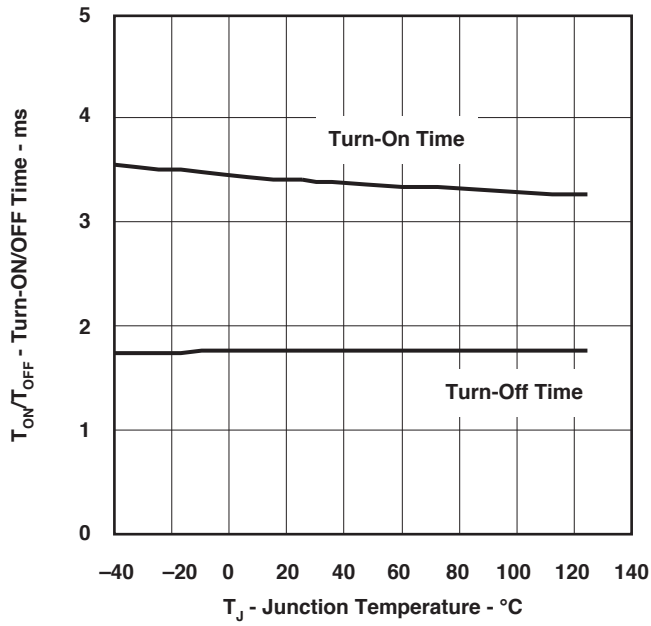


図 9

データ・スイッチのオン抵抗 対 温度

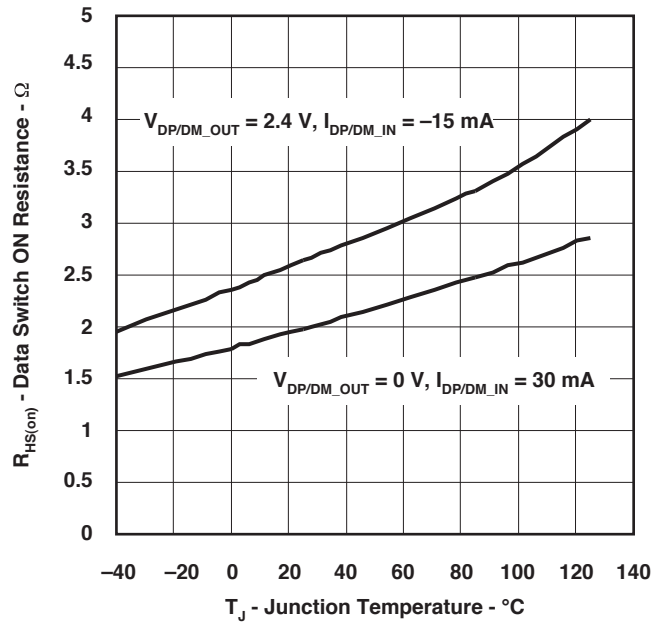


図 10

障害 (FAULT) 出力電圧 対 シンク電流

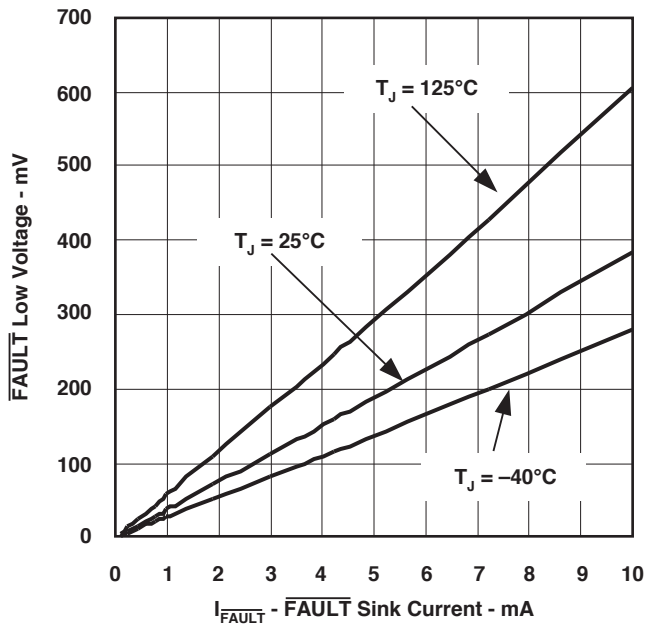


図 11

下降時のENスレッシュホールド 対 温度

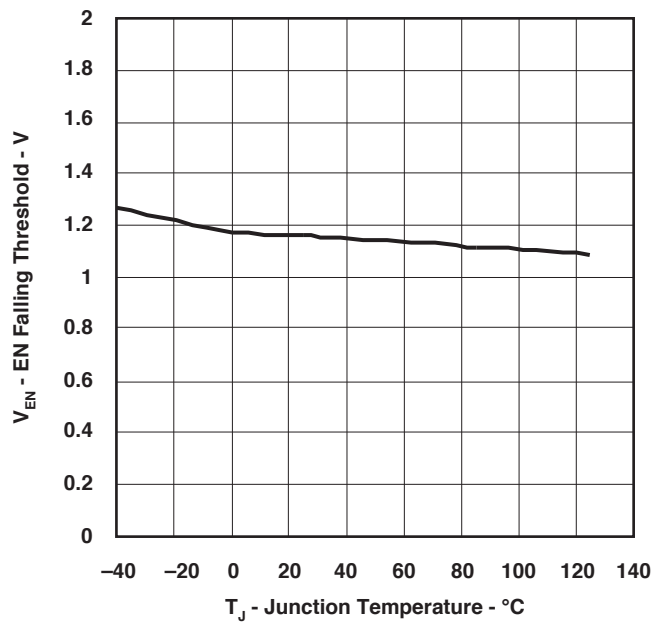


図 12

標準的特性

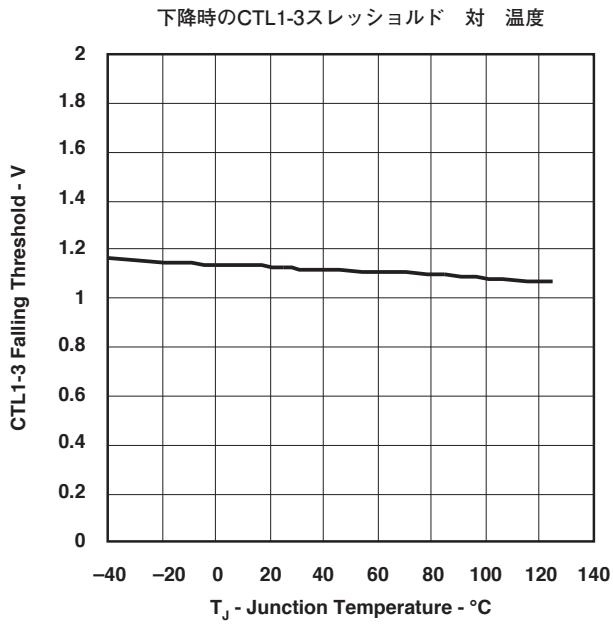


図 13

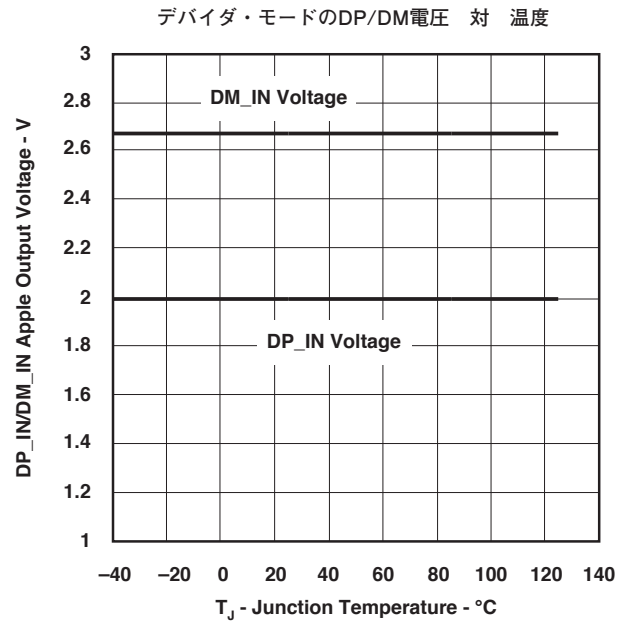


図 14

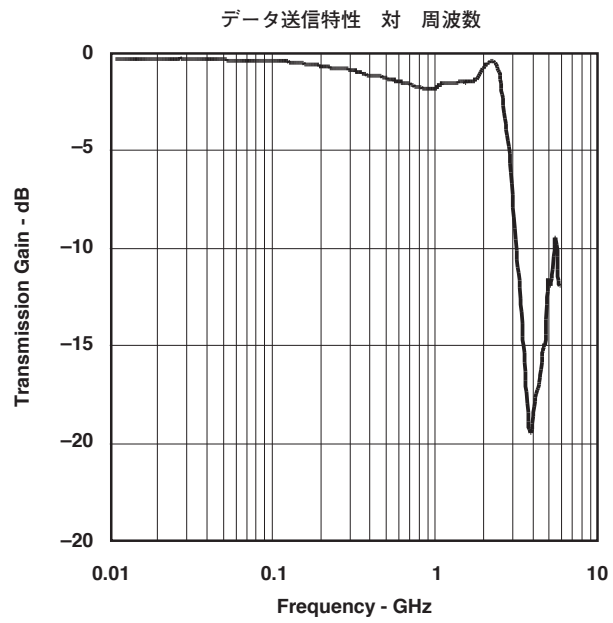


図 15

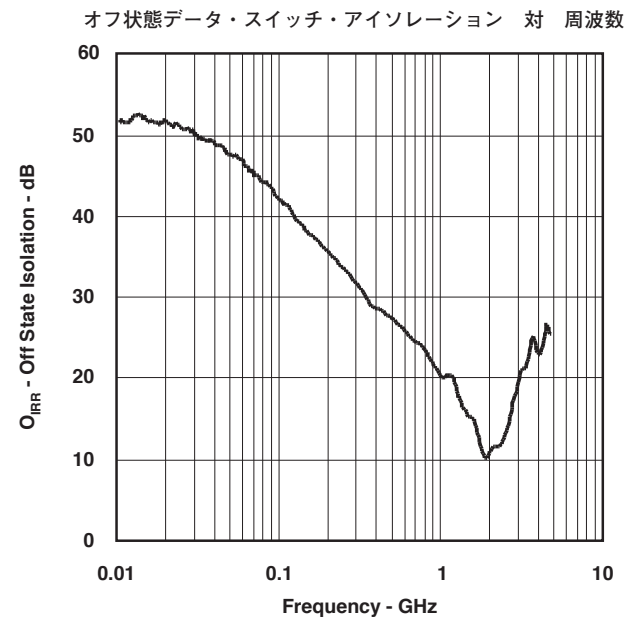


図 16

標準的特性

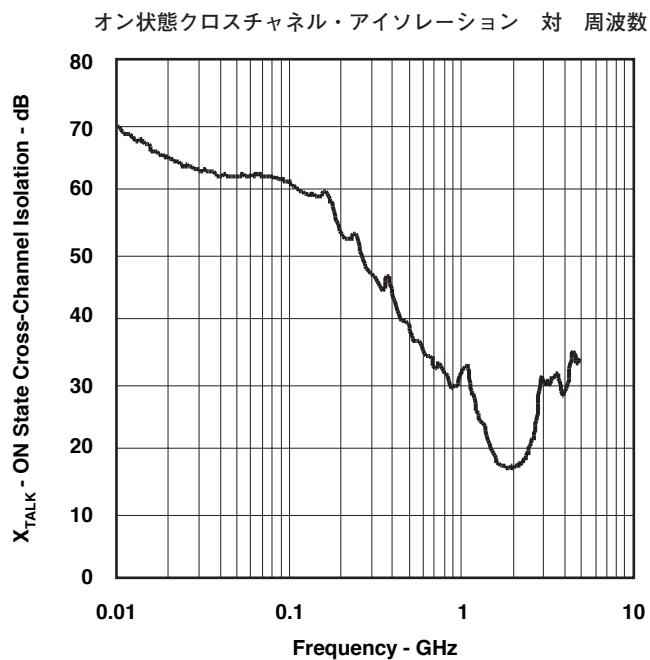


図 17

USB準拠テスト・パターンを使用したアイ・ダイアグラム (スイッチなし)

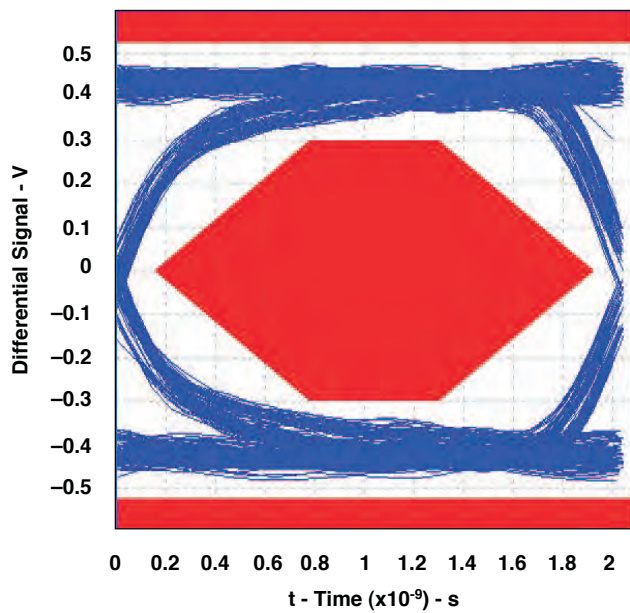


図 18

USB準拠テスト・パターンを使用したアイ・ダイアグラム (データ・スイッチ使用)

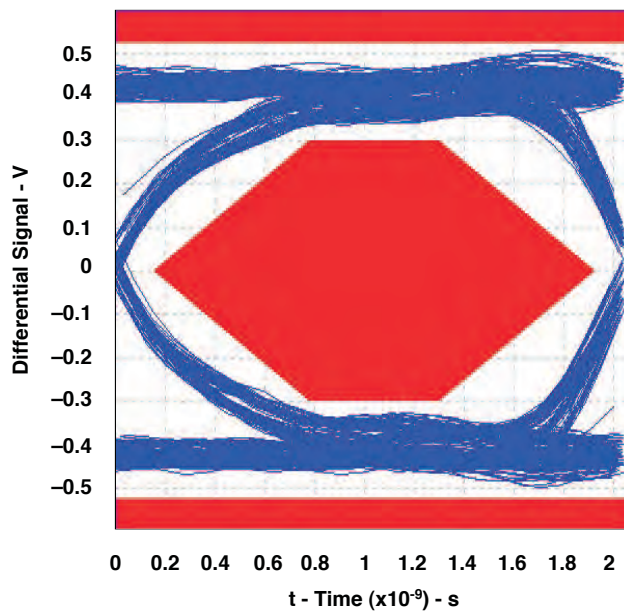
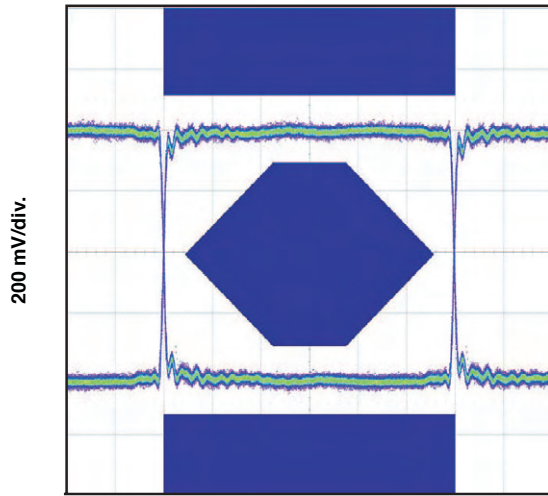


図 19

標準的特性

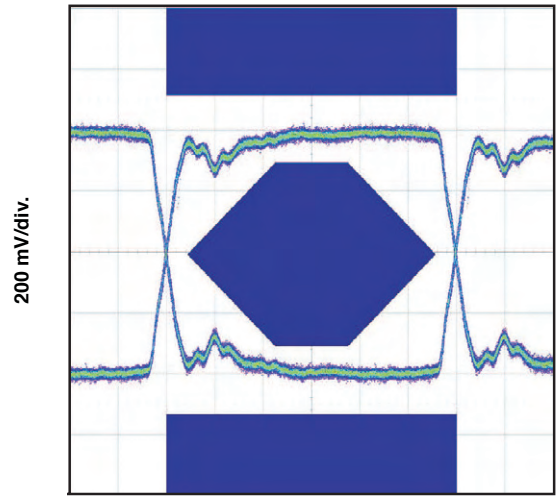
理想に近いパルスのアイ・ダイアグラム
(スイッチなし)



348ps/div.

図 20

理想に近いパルスのアイ・ダイアグラム
(データ・スイッチ使用)

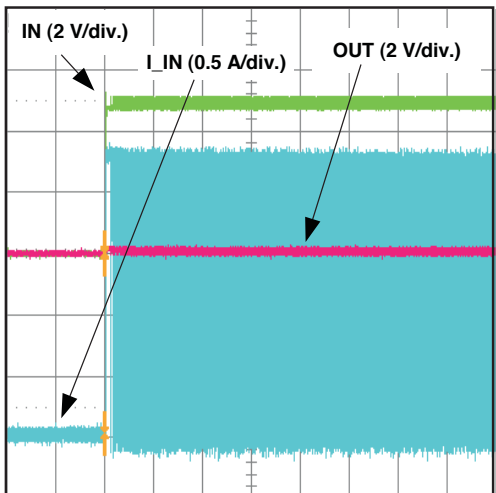


200 mV/div.

348ps/div.

図 21

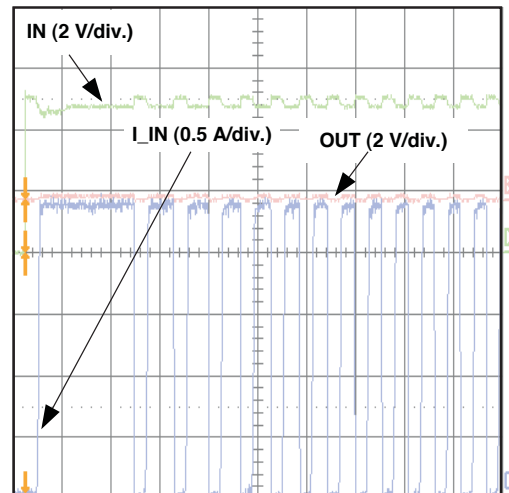
短絡状態への起動



0.2 s/div

図 22

短絡状態への起動

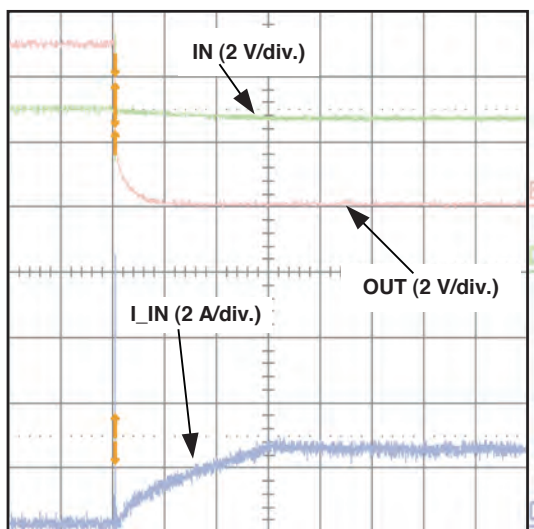


10 ms/div

図 23

標準的特性

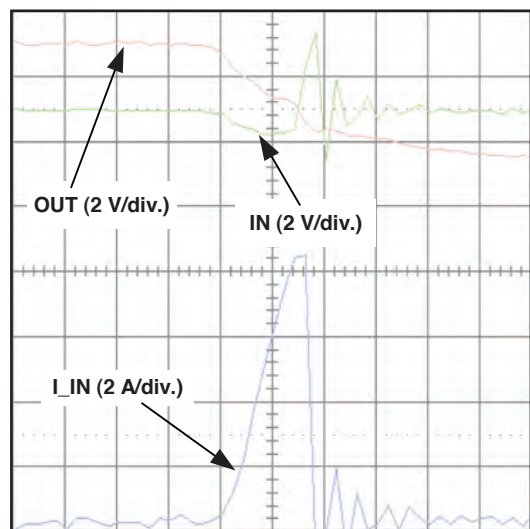
短絡への応答
(無負荷状態から)



100 μ s/div

図 24

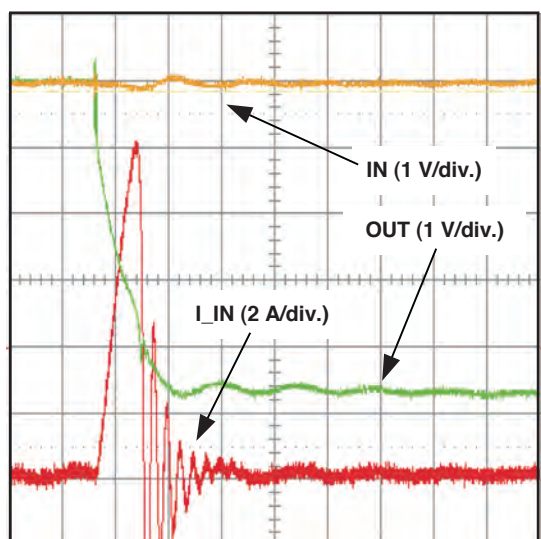
短絡への応答
(無負荷状態から)



1 μ s/div

図 25

無負荷状態から短絡への応答
(TPS51117EVMソースを使用)



2 μ s/div

図 26

パラメータ測定情報

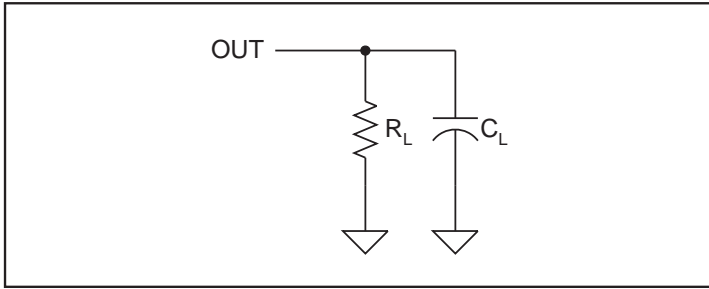


図 27. テスト回路

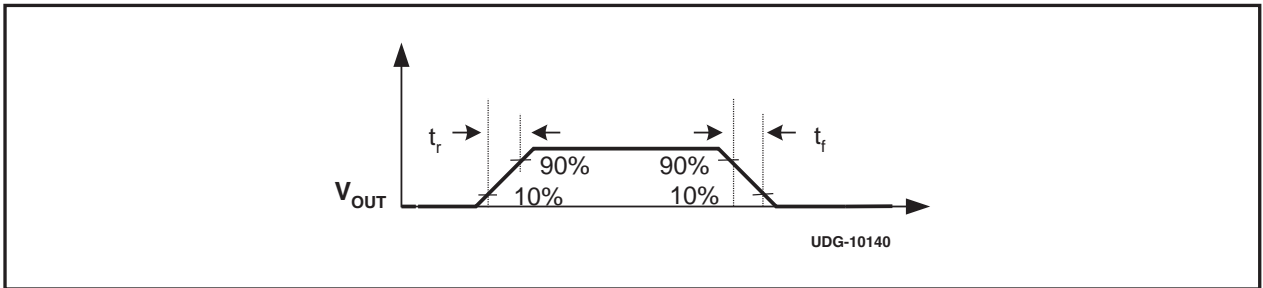


図 28. 電圧波形

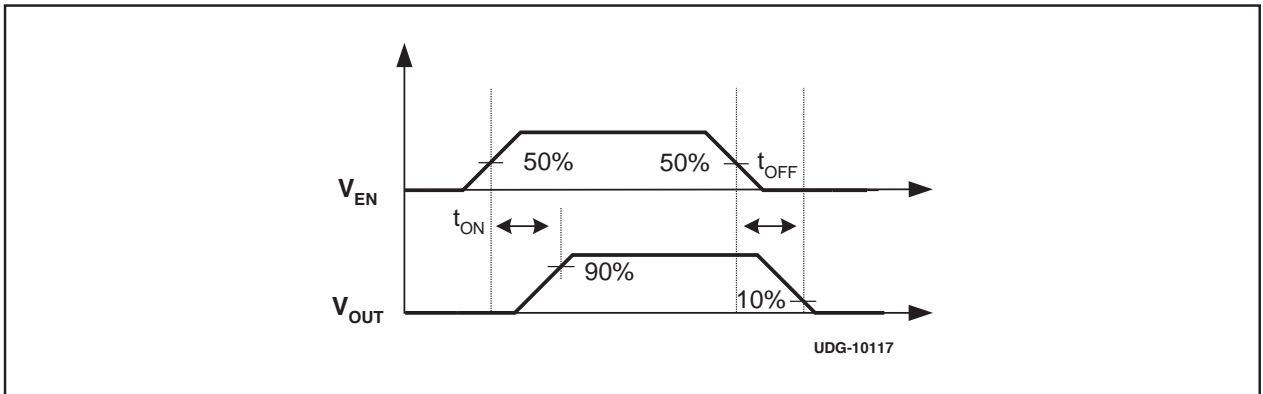


図 29. 電圧波形

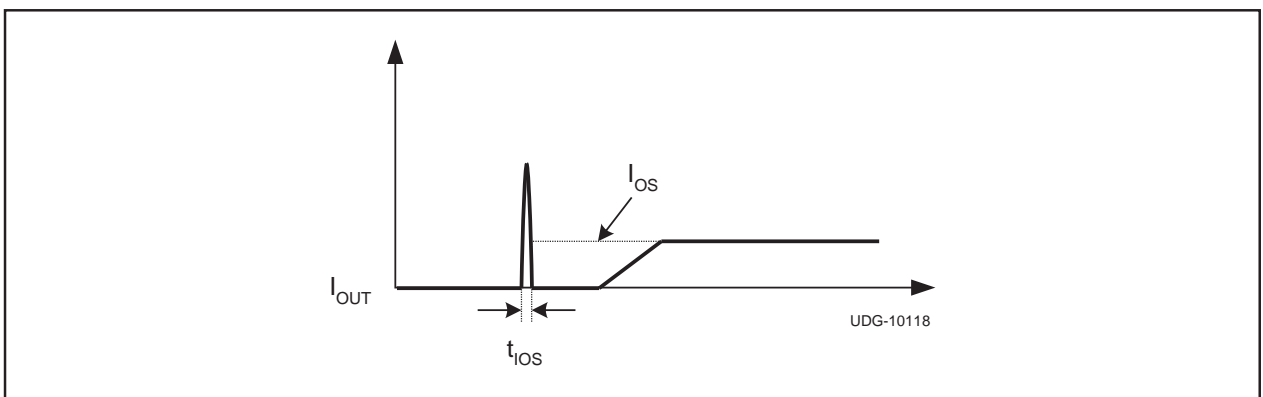


図 30. 短絡波形への応答時間

パラメータ測定情報

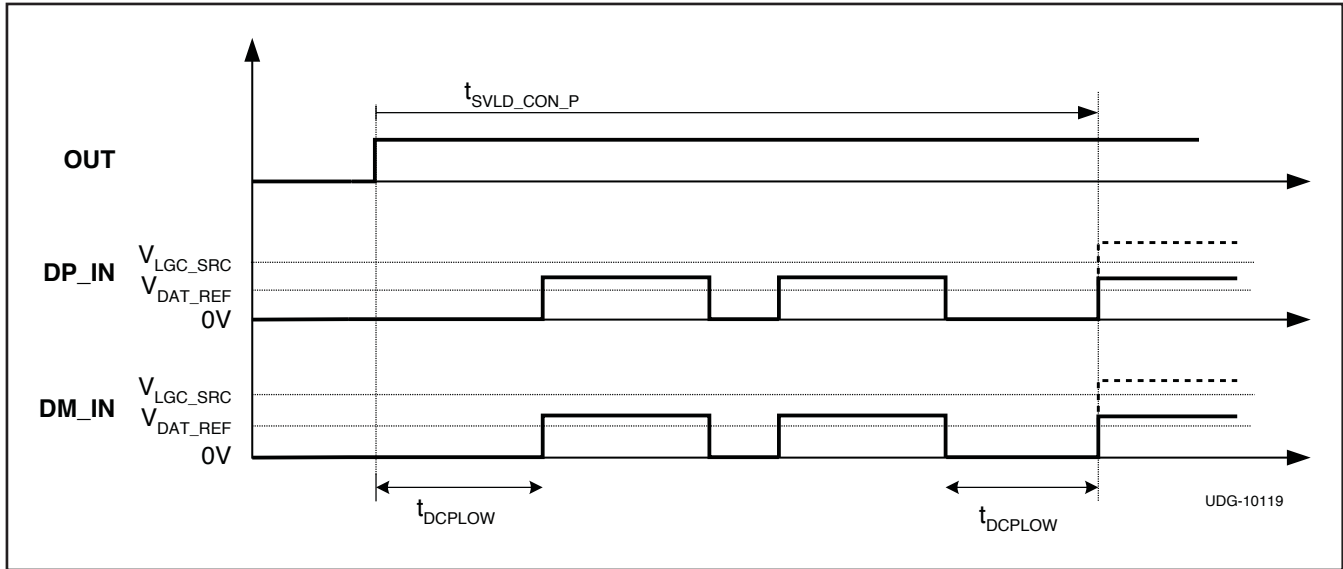


図 31. DCP BC1.2動作

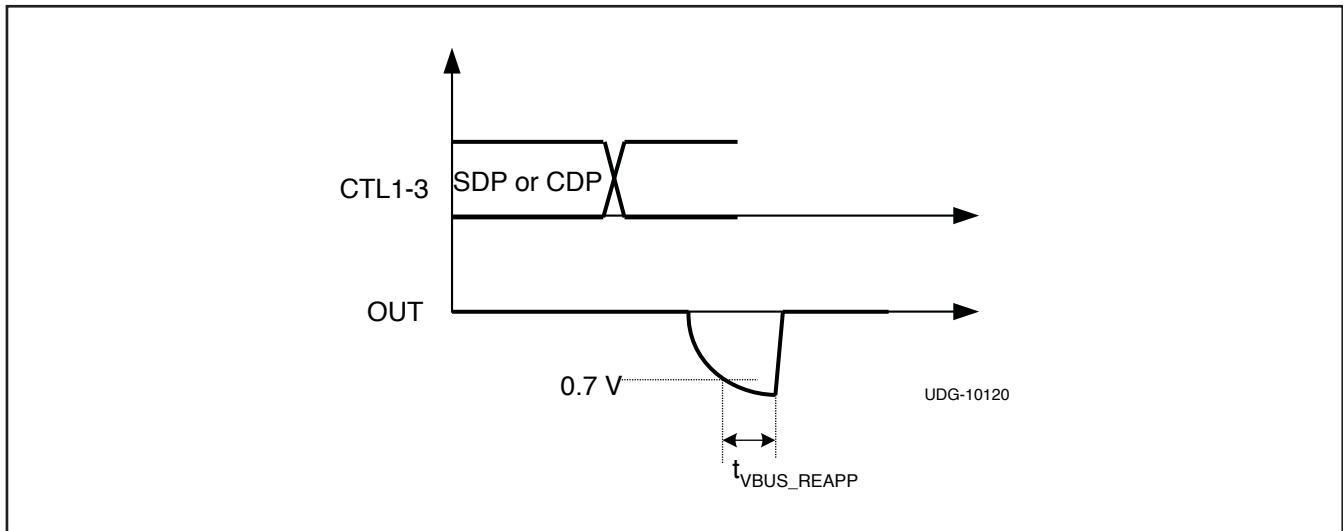


図 32. CTLxライン変化時のOUT放電

デバイダのみモード

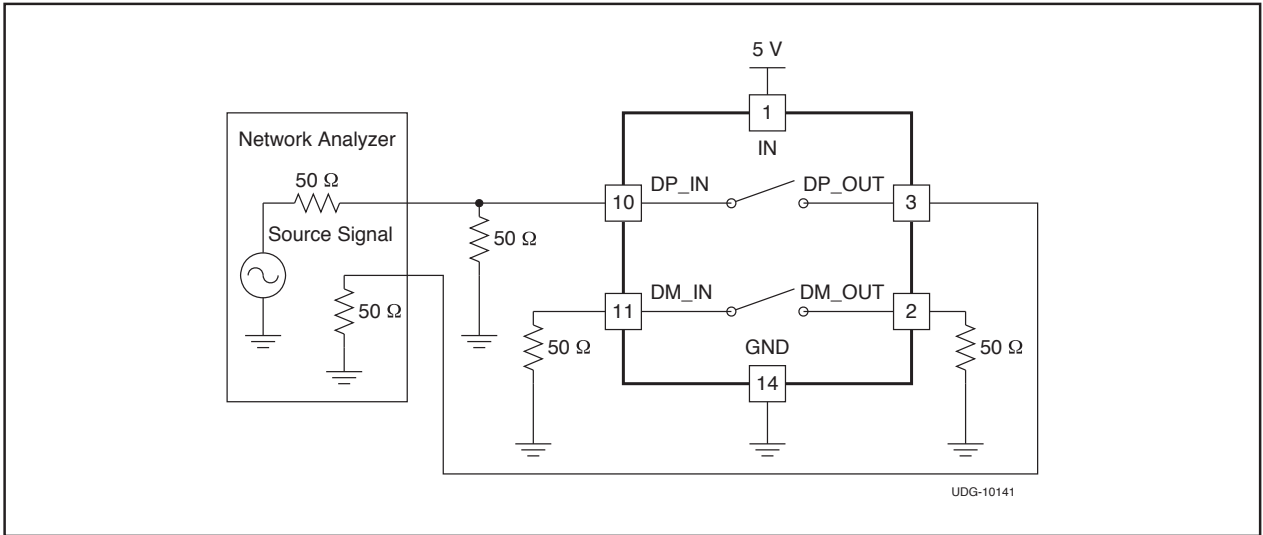


図 33. オフ状態アイソレーション(O_{IRR})

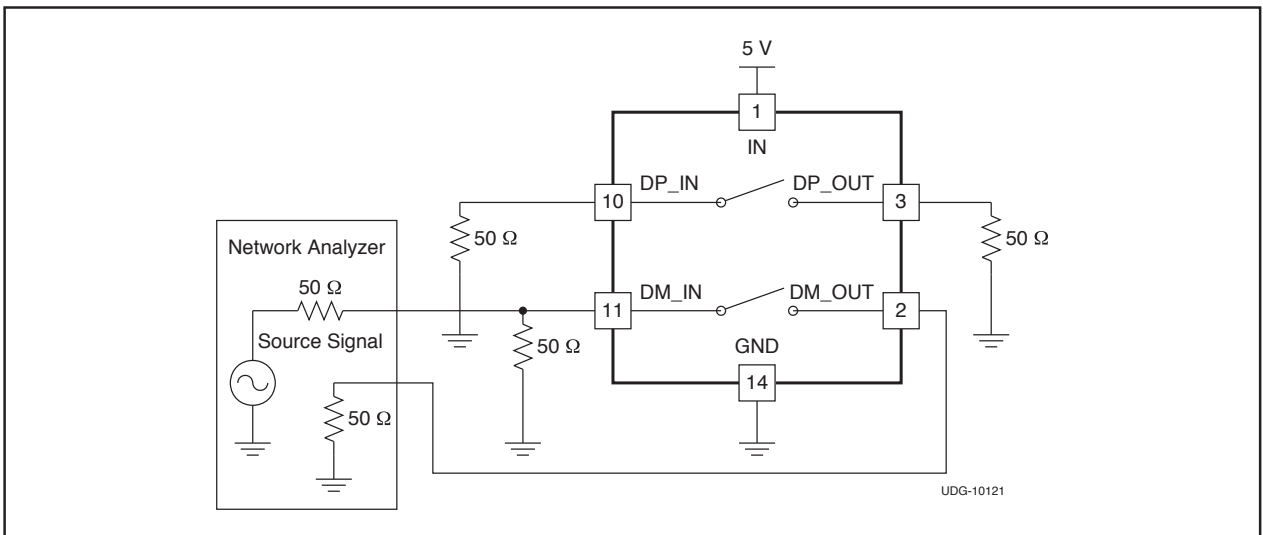


図 34. オフ状態アイソレーション(O_{IRR})

ネットワーク・アナライザの設定

- ソース信号 = 50Ω負荷で600mVピーク・ツー・ピーク
- DCバイアス = 300mV

SDPモード

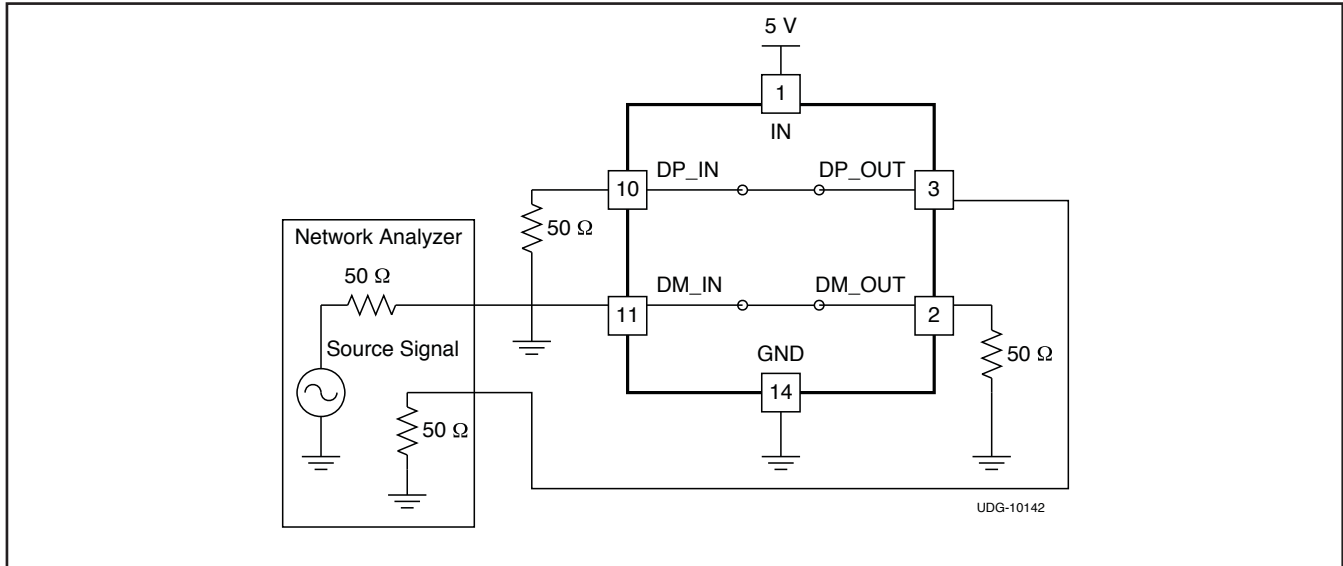


図 35. オン状態クロスチャネル・アイソレーション (X_{TALK})

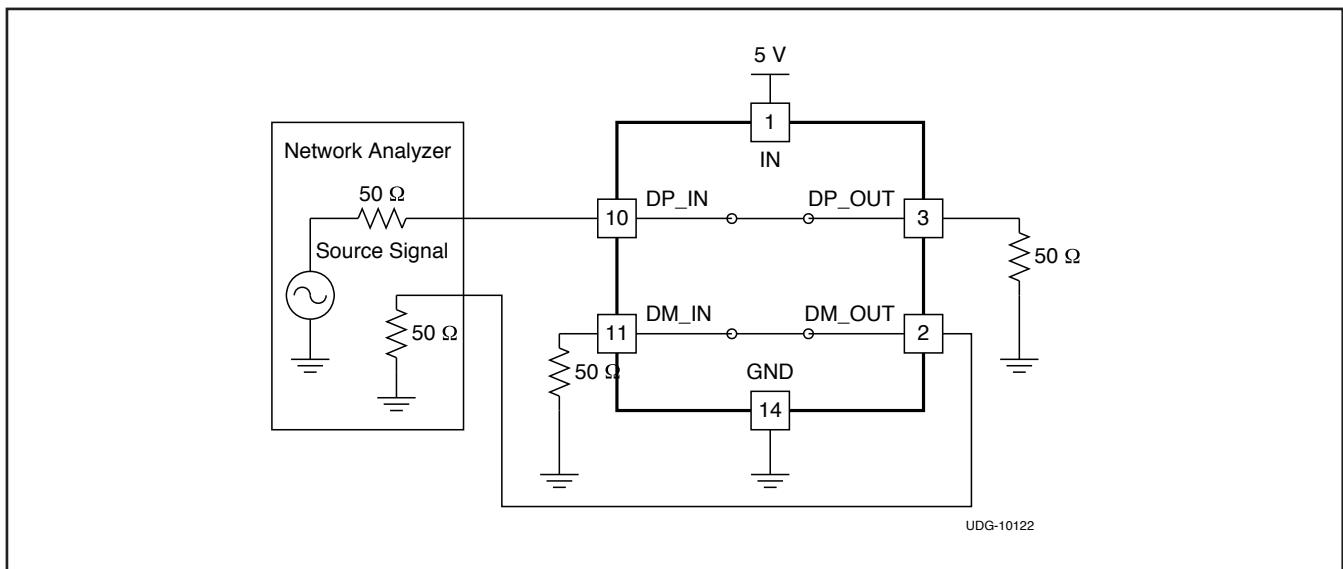


図 36. オン状態クロスチャネル・アイソレーション (X_{TALK})

ネットワーク・アナライザの設定

- ソース信号 = 50Ω負荷で600mVピーク・ツー・ピーク
- DCバイアス = 300mV

SDPモード

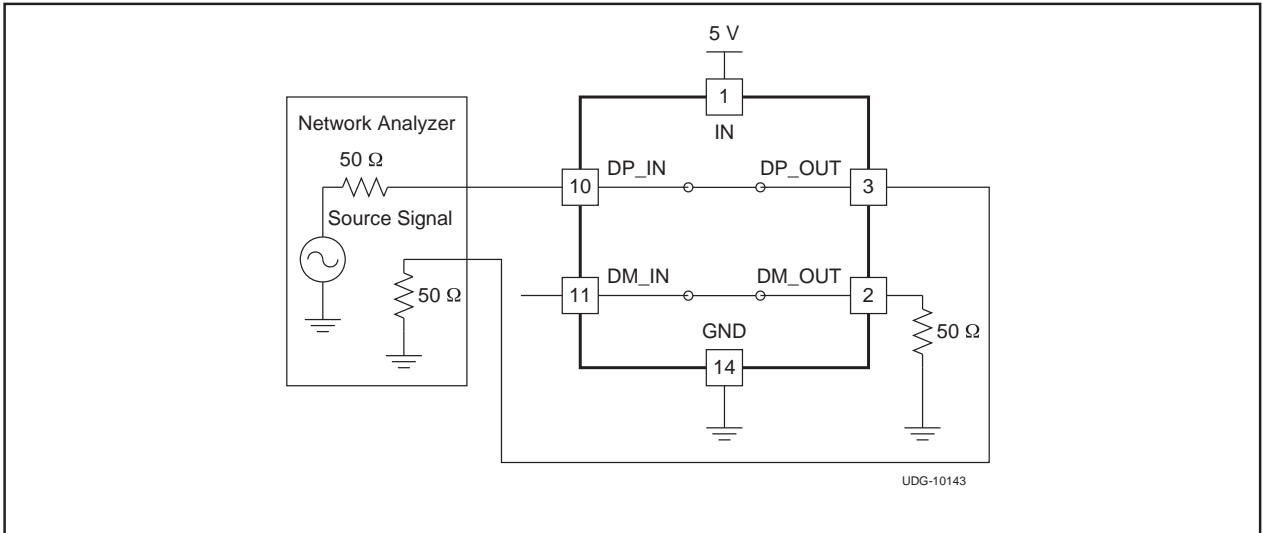


図 37. 帯域幅 (BW)

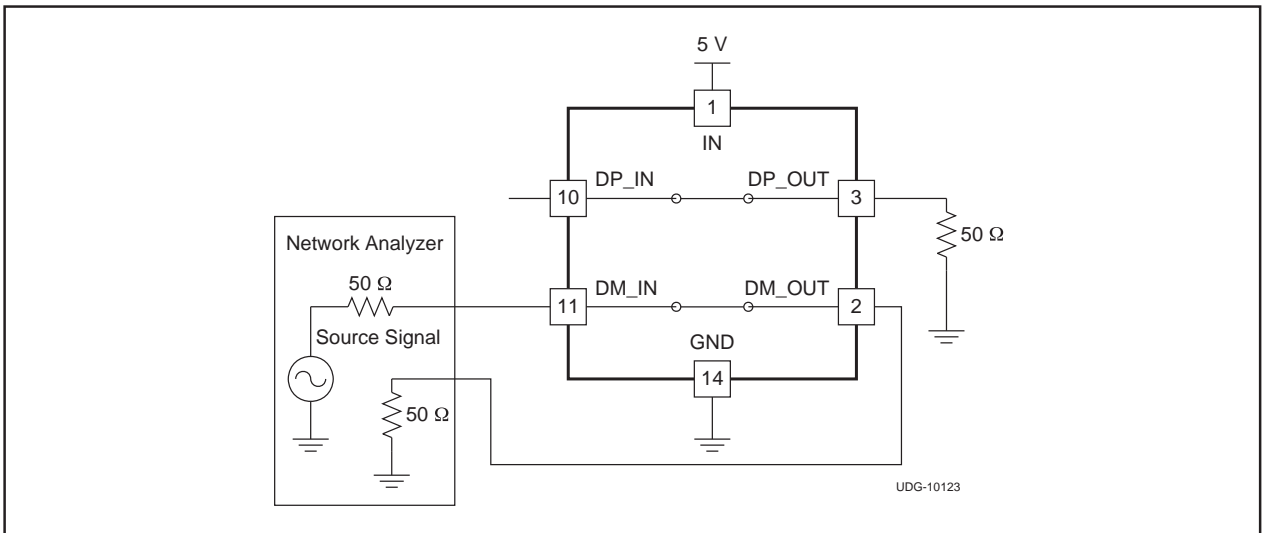


図 38. 帯域幅 (BW)

ネットワーク・アナライザの設定

- ソース信号 = 50Ω負荷で600mVピーク・ツー・ピーク
- DCバイアス = 300mV

SDPモード

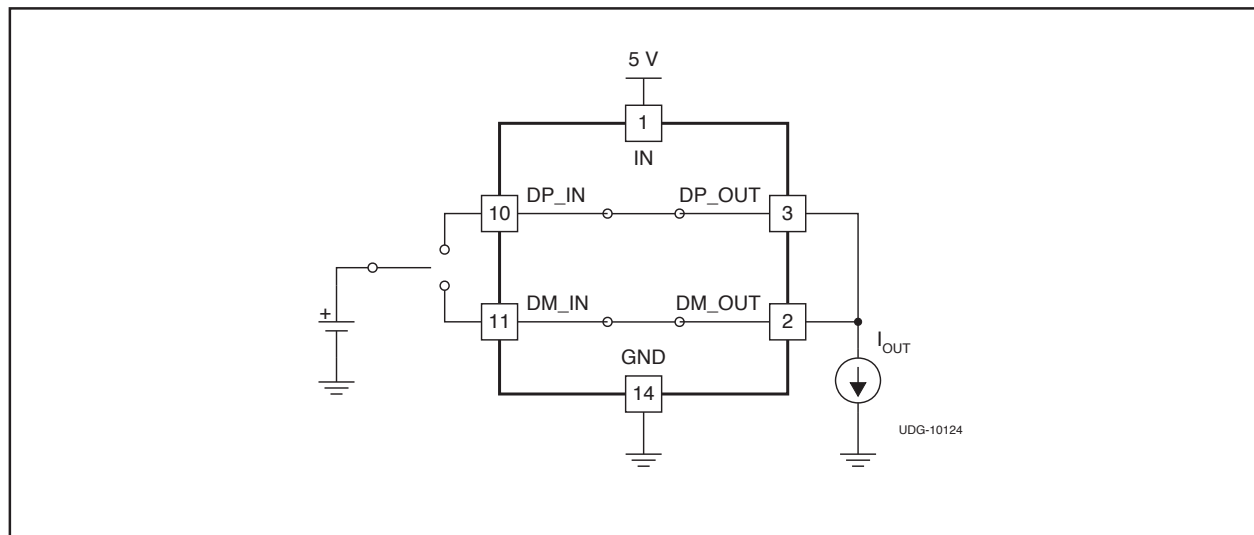


図 39. オン抵抗、DP/DM高速スイッチ (R_{HS_ON})

$$R_{HS_ON} = \frac{V_{DP_IN} - V_{DP_OUT}}{I_{OUT}} \quad (1)$$

$$R_{HS_ON} = \frac{V_{DM_IN} - V_{DM_OUT}}{I_{OUT}} \quad (2)$$

一般情報

概要

以下の概要では、各種の標準を参照しています。最も新しく正確な情報を得るために、常に最新版の標準を参照することを推奨します。

充電可能なポータブル機器では、バッテリーを充電するため外部電源を必要とします。USBポートは5V電源を供給するため、充電のソースとして便利です。ホストおよびクライアント側のデバイスがシステム内で連携し、電源管理要件を満足できるようにするには、国際的に承認された標準が必要となります。一般に、USB 2.0仕様に従うUSBホスト・ポートは、ダウンストリームのクライアント側デバイスに最低500mAを供給する必要があります。バスパワー・ハブを通して1つのUSBポートに複数のUSBデバイスを接続できるため、クライアント側デバイスでは、ホストからの電力割り当てを調整し、合計電流が500mAを超えないようにする必要があります。一般に、各USBデバイスには100mAが割り当てられ、さらに100mA単位で最大500mAまで追加電流を要求できます。ホストは、使用可能な電流に基づいて、割り当てを許可または拒否します。

USBの普及により、ACアダプタ・ケーブルにミニUSBコネクタが使用されることが一般的になりました。これにより、ポータブル・デバイスでは、1つのコネクタでACアダプタとUSBポートの両方から充電が可能です。

その結果、1つの問題が生じています。USBによる充電が普及するにつれて、USB 2.0で定義された最小500mAの電流は、高い充電速度を必要とする多くの携帯電話やパーソナル・メディア・プレーヤーには不十分になってきました。その一方で、ACアダプタは500mAよりもずっと大きな電流を供給できます。いくつかの新しい標準が導入され、ホストおよびクライアント・デバイスが互いに応答しながら、1つのマイクロUSB入力コネクタを使用して、USB 2.0準拠の最小500mAを超える電流を供給できるようなプロトコル・ハンドシェイク手法が定義されています。

TPS2540、TPS2540A、TPS2541、およびTPS2541Aは、最も一般的なプロトコルのうち3つをサポートします。

- ・ USB 2.0バッテリー充電仕様BC1.2
- ・ 中国電気通信業界標準YD/T 1591-2009
- ・ デバイダ・モード

この3つの手法には、それぞれ共通点と相違点がありますが、最も大きな共通点は、いずれもすべて、クライアント側デバイスに充電電流を供給する3種類の充電ポートを定義していることです。これらの充電ポートは、次のように定義されています。

- ・ SDP (Standard Downstream Port) (USB 2.0)
- ・ CDP (Charging Downstream Port)
- ・ DCP (Dedicated Charging Port)

BC1.2では、充電ポートを、ポータブル機器の充電用に電力を供給する、ダウンストリーム方向のUSBポートと定義しています。

BC1.2に従ったこれらのポート間の違いを次の表に示します。

ポートの種類	USB 2.0通信のサポート	ポータブル機器へ供給可能な最大電流 (A)
SDP (USB 2.0)	あり	0.5
CDP	あり	1.5
DCP	なし	1.5

表 1. 動作モード

BC1.2は、ポータブル機器が接続先のポートの種類を判断して、供給可能な最大電流を割り当てることができるようにするためのプロトコルを定義します。ハンドシェイク・プロセスは2つの手順から構成されます。最初の手順は1次検出であり、ポータブル機器がD+ラインに公称0.6Vを出力し、D-ライン上の電圧入力を読み取ります。電圧が公称データ検出電圧0.3Vよりも低い場合、ポータブル機器は、自身がSDPに接続されていると判断します。D-電圧が公称データ検出電圧0.3Vよりも高く、0.8Vより低い場合、ポータブル機器は、自身がCDPまたはDCPに接続されていると判断します。2番目の手順は2次検出であり、これはポータブル機器がCDPとDCPを区別するために必要となります。ポータブル機器はD-ラインに公称0.6Vを出力し、D+ライン上の電圧入力を読み取ります。読み取っているデータ・ラインが公称データ検出電圧0.3Vよりも低い場合、ポータブル機器は、自身がCDPに接続されていると判断します。読み取っているデータ・ラインが公称データ検出電圧0.3Vよりも高く、0.8Vより低い場合、ポータブル機器は、自身がDCPに接続されていると判断します。

SDP (Standard Downstream Port) (USB 2.0)

SDPは、USB 2.0に準拠し、1ポートあたり最小500mAを供給する、従来型のUSBポートです。USB 2.0通信がサポートされ、充電を行うにはホスト・コントローラがアクティブである必要があります。

CDP (Charging Downstream Port)

CDPは、USB 2.0 BC1.2に準拠し、1ポートあたり最小1.5Aを供給するUSBポートです。電力の供給を行い、デバイス列挙のためのUSB 2.0要件を満足しています。USB 2.0通信がサポートされ、充電を行うにはホスト・コントローラがアクティブである必要があります。CDPをSDPから区別するのは、このポートをCDPとして識別するホスト充電ハンドシェイク・ロジックです。CDPは、準拠したBC1.2クライアント・デバイスによって識別可能であり、クライアント・デバイスへの追加の電流供給を可能にします。

CDPのハンドシェイク・プロセスは2つの手順から構成されます。最初の手順では、ポータブル機器がD+ラインに公称0.6Vを出力し、D-ライン上の電圧入力を読み取ります。電圧が公称データ検出電圧0.3Vよりも低い場合、ポータブル機器は、自身がSDPに接続されていると判断します。D-電圧が公称データ検出電圧0.3Vよりも高く、0.8Vより低い場合、ポータブル機器は、自身がCDPまたはDCPに接続されていると判断します。

2番目の手順は、ポータブル機器がCDPとDCPを区別するために必要となります。ポータブル機器はD-ラインに公称0.6Vを出力し、D+ライン上の電圧入力を読み取ります。読み取っているデータ・ラインが公称データ検出電圧0.3Vよりも低い場合、ポータブル機器は、自身がCDPに接続されていると判断します。読み取っているデータ・ラインが公称データ検出電圧0.3Vよりも高く、0.8Vより低い場合、ポータブル機器は、自身がDCPに接続されていると判断します。

DCP(Dedicated Charging Port)

DCPは、充電アプリケーションで使用される特殊な種類のACアダプタであり、micro-Bコネクタを使用してポータブルデバイスに接続します。DCPは、電力だけを供給し、アップストリーム側のポータブル機器の列挙はできません。USB 2.0通信はサポートしませんが、USB 2.0用にリザーブされたデータ・ライン上に特定のインピーダンスを提供するため、専用充電器として識別可能です。

D+およびD-で観測されるインピーダンスは、専用充電器の設計に使用される特定の標準によって異なります。BC1.2および中国電気通信業界標準YD/T 1591-2009では、D+およびD-データ・ラインが200Ωの最大直列インピーダンスで互いに短絡されるよう定義しています。

一方、デバイダ・モードでは、D+およびD-に2Vおよび2.7Vが出力されます。

TPS2540/40A/41/41Aは、両方のDCP方式をサポートする自動検出機能を内蔵しています。起動時は、デバイダ・モードが選択されます。BC1.2互換デバイスが接続されると、TPS2540/40A/41/41Aは、OUTを放電し、パワー・スイッチを再びオンにしてから、BC1.2 DCPモードで動作します。デバイスが接続されている間はこのモードに保持され、デバイスを取り外すとデバイダ・モードに戻ります。

高帯域幅データ・ライン・スイッチ

TPS2540/40A/41/41Aは、D+およびD-データ・ラインをパスルーさせて、充電動作をサポートしながら監視およびハンドシェイクを実現できます。帯域幅の広い信号スイッチを使用することで、信号の整合性を損ねずにデータを通過させることができます。データ・ライン・スイッチは、いずれかのCDPまたはSDP動作モードでオンになります。また、データ・ライン・スイッチをイネーブルにするには、EN(TPS2541/41Aの場合はDSC)入力をHighにする必要があります。

注：

1. CDPモードでは、CDPハンドシェイクの実行中もデータ・スイッチがオンになります。
2. EN (またはDSC) がLowの場合、またはDCPモード(BC1.2、デバイダ・モードまたは自動検出)では、データ・ライン・スイッチはオフになります。パワー・スイッチ(IN-OUT)が電流制限を行っている場合、データ・ライン・スイッチは自動的にオフとはなりません。TPS2540/40Aでは、“000”モード時にもデータ・ライン・スイッチがオフになります。

3. データ・スイッチは、USB 2.0の差動ペアに対してのみ使用されます。USB 3.0ホストの場合は、TPS2540/40A/41/41Aをパスルーさせずに、超高速差動ペアをUSBコネクタに直接ルーティングする必要があります。

論理制御モード

TPS2540/40AおよびTPS2541/41Aはいずれも、CTL1、CTL2、およびCTL3論理I/O制御ピンを使用して、SDP、CDP、およびDCPモードに対する前述の標準をサポートします。ただし、真理値表は下記のように異なります。CTLxの各設定が、それぞれ異なる種類の充電モードに対応します。また、自動検出モードを使用して、デバイダ・モードまたはBC1.2 / YD/T 1591-2009を自動的に選択でき、外部でのユーザによる操作は必要ありません。

注： TPS2540/40Aでは、“000”モードを選択した場合、データ・ライン・スイッチがオフになり、パワー・スイッチもオフになって、出力放電抵抗が接続されます。

CTL1	CTL2	CTL3	モード
0	0	0	OUT放電、パワー・スイッチOFF
0	X	1	DCP、自動検出
X	1	0	SDP、USB 2.0モード
1	0	0	DCP、BC1.2のみ
1	0	1	DCP、デバイダ・モードのみ
1	1	1	CDP、BC1.2

表 2. TPS2540/40Aの制御真理値表

CTL1	CTL2	CTL3	モード
0	0	X	DCP、自動検出
0	1	X	DCP、BC1.2
1	0	X	DCP、デバイダ・モードのみ
1	1	0	SDP、USB 2.0モード
1	1	1	CDP、BC1.2

表 3. TPS2541/41Aの制御真理値表

出力放電

充電ポートからポータブルデバイスに対して電流のネゴシエーションを行うために、TPS2540/40A/41/41AではVBUS放電機能を使用します。この機能では、OUTを放電しながらパワー・スイッチをオフにした後、パワー・スイッチを再度オンにして、OUT電圧を再びアサートします。

この放電機能は、CTLxラインの変化によって以下のいずれかのモード遷移が発生したときに、自動的に適用されます。

- ・ 他モードからCDP、またはCDPから他モードへの遷移
- ・ 他モードからSDP、またはSDPから他モードへの遷移

さらに、TPS2541/41Aには直接放電制御(DSC)が用意され、TPS2540/40Aではモード“000”を使用して放電を実現できます。

過電流保護

過電流状態が検出されると、デバイスは定出力電流を維持し、出力電圧をそれに応じて低下させます。発生する可能性のある過負荷状態は2種類あります。1つ目は、デバイスがイネーブルになる前、または V_{IN} が印加される前に、出力が短絡された場合です。

TPS2540/40A/41/41Aは、短絡を検知して、直ちに定電流出力に切り替えます。2つ目は、デバイスがイネーブルされているときに短絡または過負荷が発生した場合です。過負荷が発生した時点で、電流制限回路が動作する前に、標準1~2 μ sにわたって高電流が流れる可能性があります。電流制限回路が動作した後、デバイスは定電流モードで動作します。障害が長時間継続して熱制限を超えた場合には、完全なシャットダウンが行われます。その後、接合部温度が約10 $^{\circ}$ C低下すると、デバイスは再起動します。過電流状態が解消されるまで、デバイスはこのオン/オフ・サイクルを繰り返します。

電流制限スレッシュホールド

TPS2540/40A/41/41Aには、2つの独立した電流制限スレッシュホールドがあり、それぞれ抵抗によって外部でプログラミングできます。標準の電流制限スレッシュホールドは、次の式でプログラミングされます。

$$I_{SHORT} = \frac{48000}{R_{ILIMx}} \quad (3)$$

ここで、 I_{SHORT} の単位はmA、 R_{ILIMx} の単位はk Ω です。ILIM_SELがLowのとき、RILIMxはRILIM0に対応し、HighのときはRILIM1に対応します。ILIM_SELピンにより、システムでは、2つの電流制限スレッシュホールドのいずれかをデジタル的に選択できます。これは、バッテリーからの電源供給時に、ACアダプタ給電時よりも低い設定を必要とするような応用機器で便利です。

FAULT応答

過熱状態または電流制限状態中は、オープン・ドレイン出力 \overline{FAULT} がアサート(アクティブ・ロー)されます。障害状態が解消されるまで、この出力はアサートされたままです。TPS2540/40A/41/41Aは、外部回路の必要なしに、内部の電流制限用デグリッチ回路を使用することで、誤った \overline{FAULT} 通知を防ぐよう設計されています。これにより、大きな容量性負荷に対する起動時など、通常動作中に \overline{FAULT} が偶発的にアサートされないようにしています。過熱状態はデグリッチされず、直ちに \overline{FAULT} 信号がアサートされます。

低電圧誤動作防止 (UVLO)

低電圧誤動作防止 (UVLO) 回路によって、入力電圧がUVLOターンオン・スレッシュホールドに達するまで、パワー・スイッチはディスエーブルになります。内蔵ヒステリシスにより、大きな電流サージからの入力電圧降下によって出力に不要な発振が生じることを防いでいます。

熱検知

TPS2540/40A/41/41Aは、パワー・ディストリビューション・スイッチの動作温度を監視する2つの独立した熱センス回路によって自身を保護し、温度が推奨動作条件を超えた場合には動作をディスエーブルにします。過電流状態時にはデバイスは定電流モードで動作し、パワー・スイッチでの電圧降下が増加します。パッケージの消費電力はパワー・スイッチでの電圧降下に比例するため、過電流状態中は接合部温度が上昇します。1番目の熱センサは、デバイスが電流制限状態のときにチップ温度が135 $^{\circ}$ Cを超えると、パワー・スイッチをオフにします。2番目の熱センサは、デバイスが電流制限状態であるかどうかに関わらず、チップ温度が155 $^{\circ}$ Cを超えるとパワー・スイッチをオフにします。両方の熱センスにヒステリシスが組み込まれ、デバイスの温度が約10 $^{\circ}$ C低下すると、スイッチはオンになります。障害状態が解消されるまで、スイッチはこのサイクルを繰り返します。過熱シャットダウン状態時には、オープン・ドレインの障害通知出力 \overline{FAULT} がアサート(アクティブ・ロー)されます。

アプリケーション情報

電流制限スレッシュホールドのプログラミング

2つの過電流スレッシュホールドがあり、 R_{ILIM0} および R_{ILIM1} を使用してユーザーがプログラミングできます。TPS2540/40A/41/41Aは、内部のレギュレーション・ループを使用して、レギュレーションされた電圧をILIM0およびILIM1ピンに提供します。電流制限スレッシュホールドは、ILIM0およびILIM1からソースされる電流に比例します。内部レギュレーション・ループの安定性を確保するための、 R_{ILIM0} および R_{ILIM1} の推奨1%抵抗範囲は、 $16.9k\Omega \leq R_{ILIM} \leq 750k\Omega$ です。ただし、210k Ω 以下に保持すると精度が向上します。多くのアプリケーションでは、最小電流制限が特定の電流レベルより上であることや、最大電流制限が特定の電流レベルより下であることが求められるため、 R_{ILIMx} の値を選択する際には、過電流スレッシュホールドの許

容差を考慮することが重要です。以下の式を使用して、特定の外部抵抗値 (R_{ILIMx}) による結果の過電流スレッシュホールドを計算できます。電流制限の精度に対する寄生成分の影響を低減するために、TPS2540/40A/41/41Aに対して R_{ILIMx} を配線するパターンはできる限り短くする必要があります。

下に示す式およびグラフを使用して、定義済みの抵抗値に対する電流制限スレッシュホールドの最小および最大変動を見積もることができます。この変動はあくまで近似であり、抵抗の公差やILIMの変動は考慮していません。ILIMの厳密な変動については、電気的仕様書の電流制限の項を参照してください。

$$I_{SHORT_min} = \frac{48000}{R_{ILIMx}^{1.037}} \quad (4)$$

$$I_{SHORT_max} = \frac{48000}{R_{ILIMx}^{0.962}} \quad (5)$$

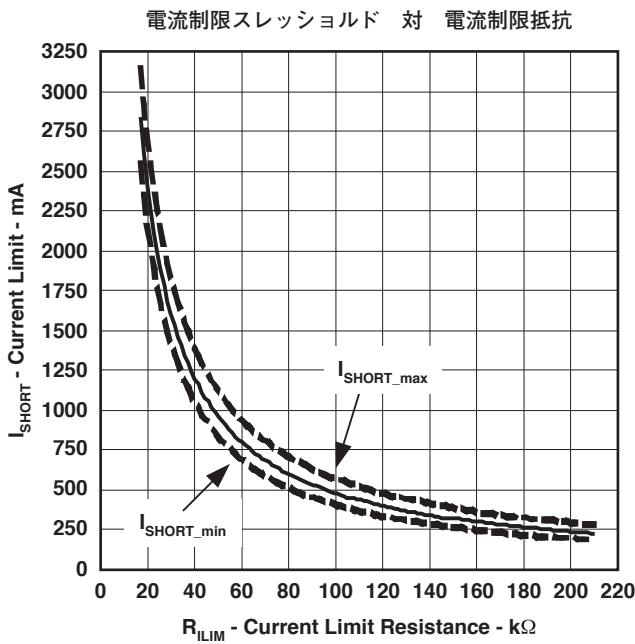


図 40

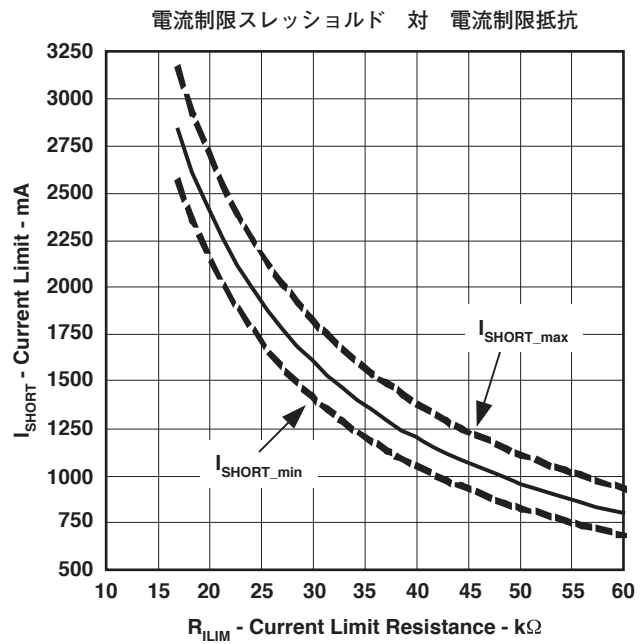


図 41

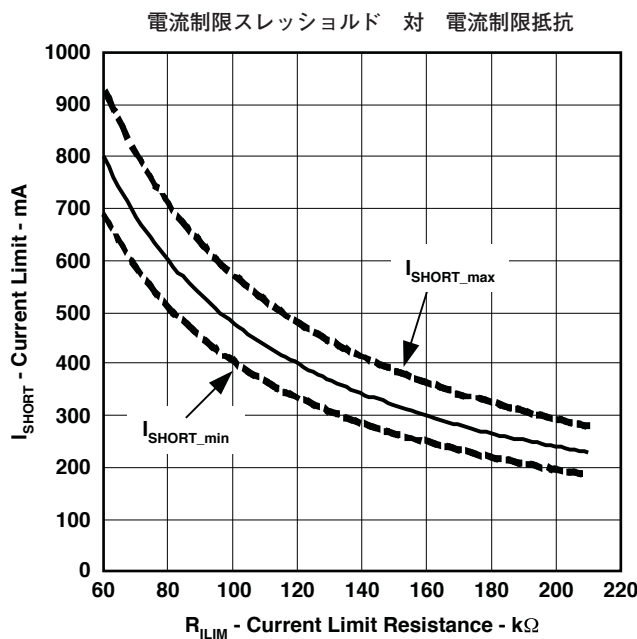


図 42

電流制限設定点の例

次の例では、TPS2540/40A/40/41AがILIMおよび抵抗公差のワースト・ケース条件下でトリップしないようにILIM抵抗を選択します(1%の抵抗公差を仮定)。この例では、 $I_{OS_MIN} = 2500\text{mA}$ です。

$$I_{OS_MIN} = \frac{48000}{R_{ILIMx}^{1.037}} = 2500\text{mA} \quad (6)$$

$$R_{ILIMx} = \left[\frac{48000}{I_{OS_MIN}} \right]^{\frac{1}{1.037}} = \left[\frac{48000}{2500\text{mA}} \right]^{\frac{1}{1.037}} = 17.28\text{k}\Omega \quad (7)$$

抵抗の公差を含めると、目標最大値は次のようになります。

$$R_{ILIMx} = \frac{17.28\text{k}\Omega}{1.01} = 17.11\text{k}\Omega \quad (8)$$

次の抵抗を選択します。

$$R_{ILIMx} = 16.9\text{k}\Omega \quad (9)$$

ノートパソコンのステートに対するCTLピン構成

CTLピンにより、モードに関して高い柔軟性が得られます。例として、ノートパソコンでは、消費電力を制御するためにS0、S3、S4、S5の各ステートが重要です。S0ではホスト・コントローラがアクティブであるため、SDPまたはCDPを選択する必要があります。ノートパソコンでは、SDPの選択時は500mA以上、CDPの選択時は1500mA以上の電流をソースする必要があります。図43は、1つの制御信号(STATE)を使用したTPS2541/41Aの回路接続を示しています。STATE = 0のときは、自動検出が選択されます(S3/S4/S5、1.5A)。STATE = 1のときは、CDPモードが選択されます(S0、1.5A)。

図44は、STATEおよびADAPTER制御信号を使用したTPS2540/40Aの回路接続を示しています。アダプタが存在する場合(ADAPTER = 1)、TPS2540/40Aでは、STATE = 0の場合に自動検出動作をサポートし(S3/S4/S5、1.5A)、STATE = 1の場合にCDP動作をサポートします(S0、1.5A)。アダプタが存在しない場合(ADAPTER = 0)、TPS2540/40Aでは、STATE = 0の場合にスリープ充電をディスエーブルにし(S3/S4/S5、パワー・スイッチOFF)、STATE = 1の場合にSDP動作をサポートします(S0、0.5A)。

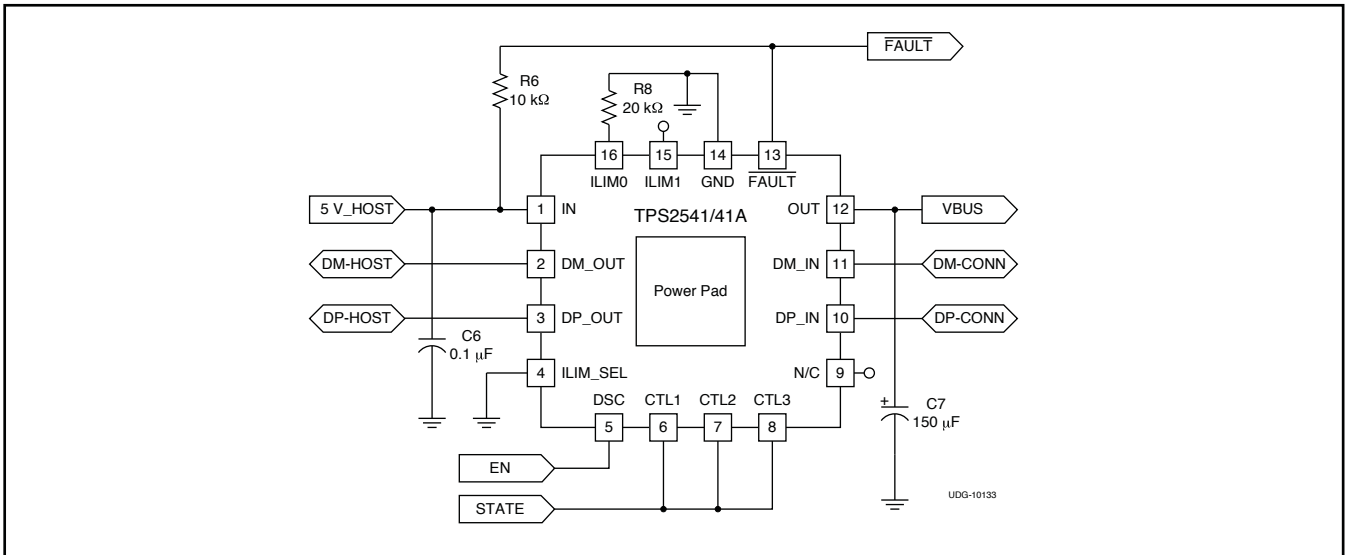


図 43. 1つのSTATE制御信号を使用したTPS2541/41Aアプリケーション

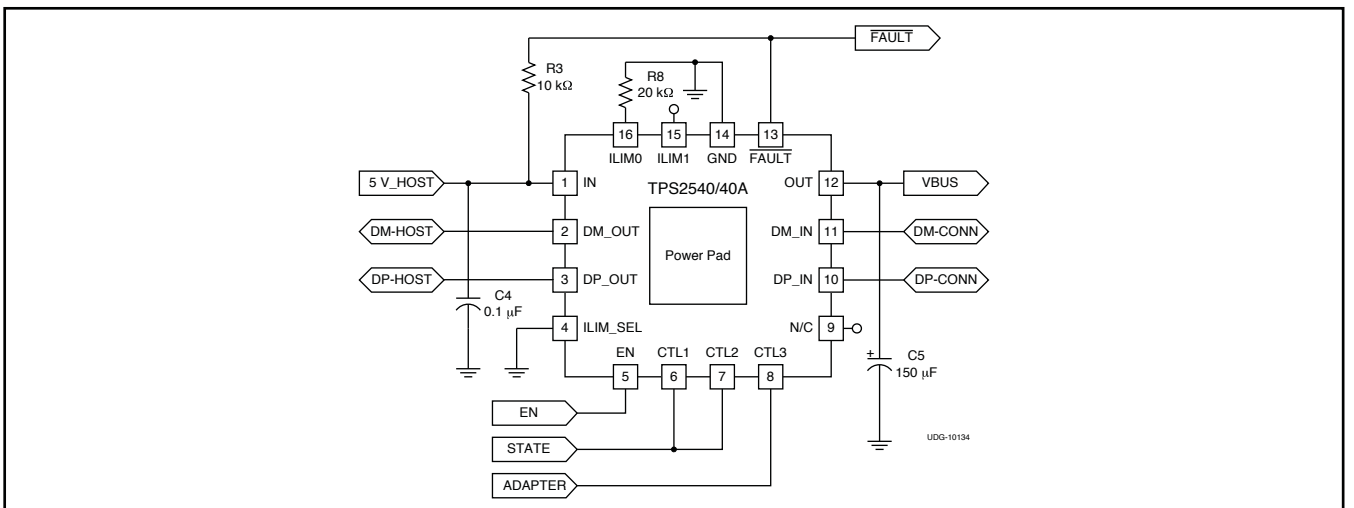


図 44. STATEおよびADAPTER制御信号を使用したTPS2540/40Aアプリケーション

レイアウトのガイドライン

TPS2540/40A/41/41Aの配置：TPS2540/40A/41/41Aは、USB出力コネクタおよび150 μ FのOUTピン・フィルタ・コンデンサの近くに配置します。露出したPowerPADは、GNDピンに接続し、さらにビア・アレイを使用してシステム・グラウンド・プレーンに接続します。

INピンのバイパス容量：0.1 μ Fのバイパス・コンデンサをINピンの近くに配置し、低インダクタンスのパターンを用いて接続します。

D+およびD-のパターン：入力および出力パターンは、USB仕様およびUSB 2.0のIntelガイドラインに従い、インピーダンスが制御された差動ペアとして配線します。高速データ・ラインでは、ビアの使用を最小限にします。

ESD

アップストリーム・データパスでのコモンモード・チョークの使用により、クライアント側のケーブル挿入時の過渡ESD保護を強化できます。さらに、TPD2E001などの低容量ESD保護アレイを使用すると、堅牢なソリューションとなります。TPS2540EVM-623(SLVU401)は、配線および出力データパス保護の優れた例を提供します。

システム基板を使用し、TPS2540EVM-623と同じ設計ルールおよび保護デバイスを適用して、TPS2540はEN61000-4-2に対してテスト済みです。使用したレベルは、8kVの接触放電と、15kVの空中放電です。V-をグラウンドに接続した状態で、D+端子とグラウンドとの間、およびD-端子とグラウンドとの間に過渡電圧が印加されています。テストは給電時と非給電時の両方について実施されています。TPS2540に障害は観測されず、動作は継続されました。

ILIM0およびILIM1ピンの接続

高電圧ソースからILIM0またはILIM1ピンへの浮遊リークによって、電流制限設定点の精度が低下します。PCBのアセンブリ・プロセス中に汚れの蓄積を防ぐため、INピンの銅線/パターンとILIM0ピンのパターンとの間には十分な間隔を確保してください。低い電流制限設定点が必要な場合 (RILIM_x > 200k Ω) は、INピンからより離れているILIM1を使用します。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS2540ARTER	ACTIVE	WQFN	RTE	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2540ARTET	ACTIVE	WQFN	RTE	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2540RTER	ACTIVE	WQFN	RTE	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2540RTET	ACTIVE	WQFN	RTE	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2541ARTER	ACTIVE	WQFN	RTE	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2541ARTET	ACTIVE	WQFN	RTE	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2541RTER	ACTIVE	WQFN	RTE	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2541RTET	ACTIVE	WQFN	RTE	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-250C-1 YEAR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

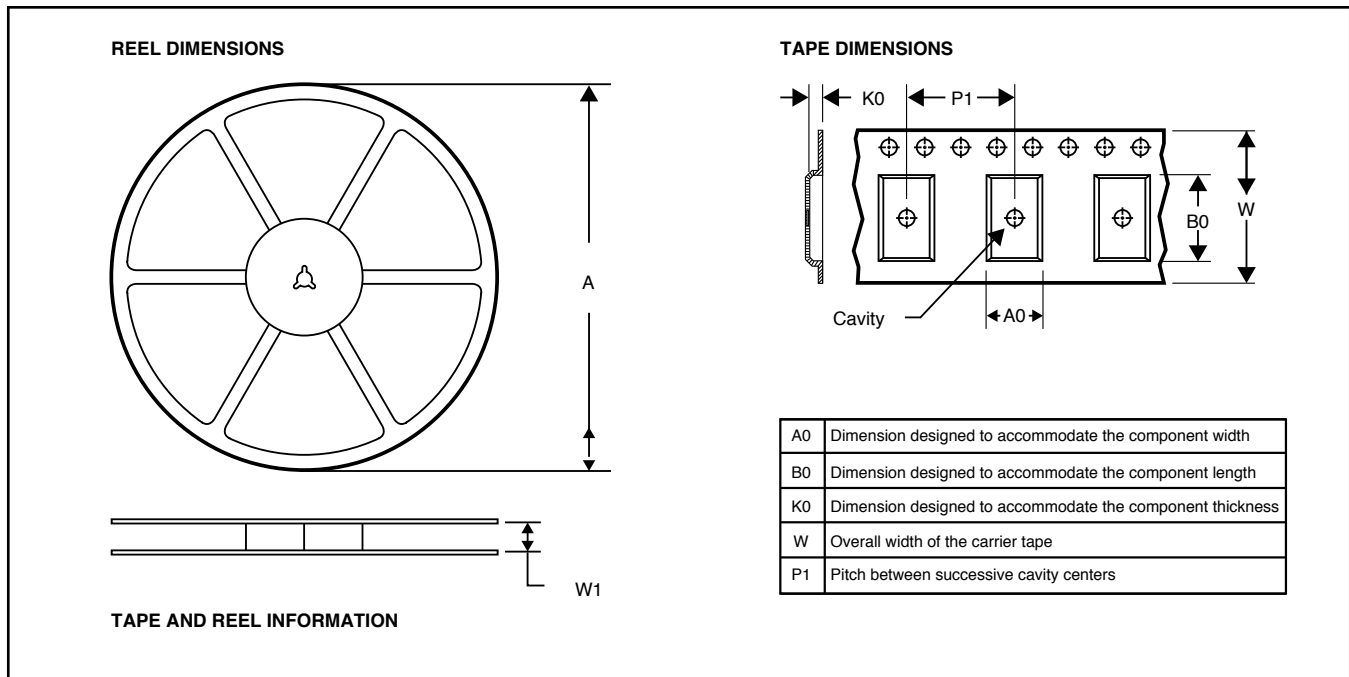
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものとします。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報

テープおよびリール・ボックス情報

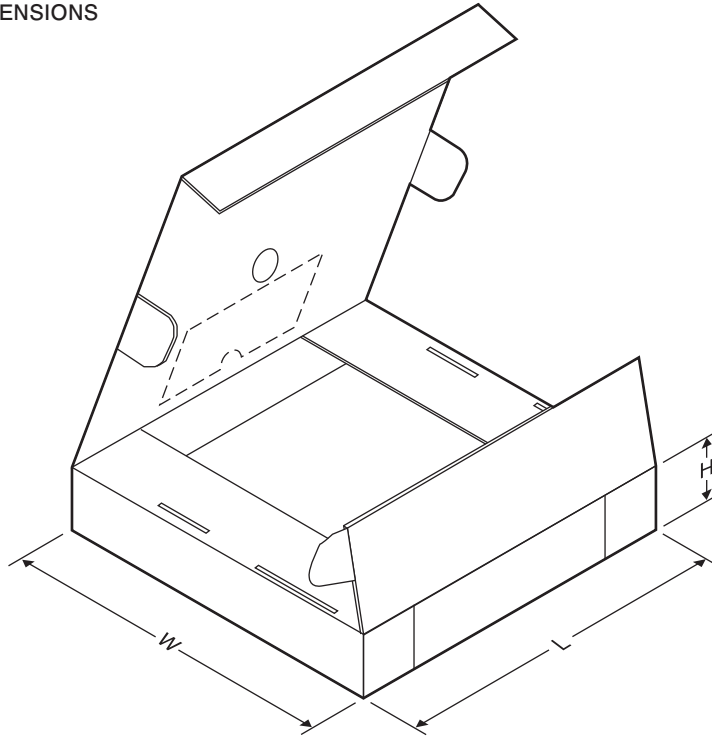


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2540ARTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2540ARTET	WQFN	RTE	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2540RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2540RTET	WQFN	RTE	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2541ARTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2541ARTET	WQFN	RTE	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2541RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2541RTET	WQFN	RTE	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

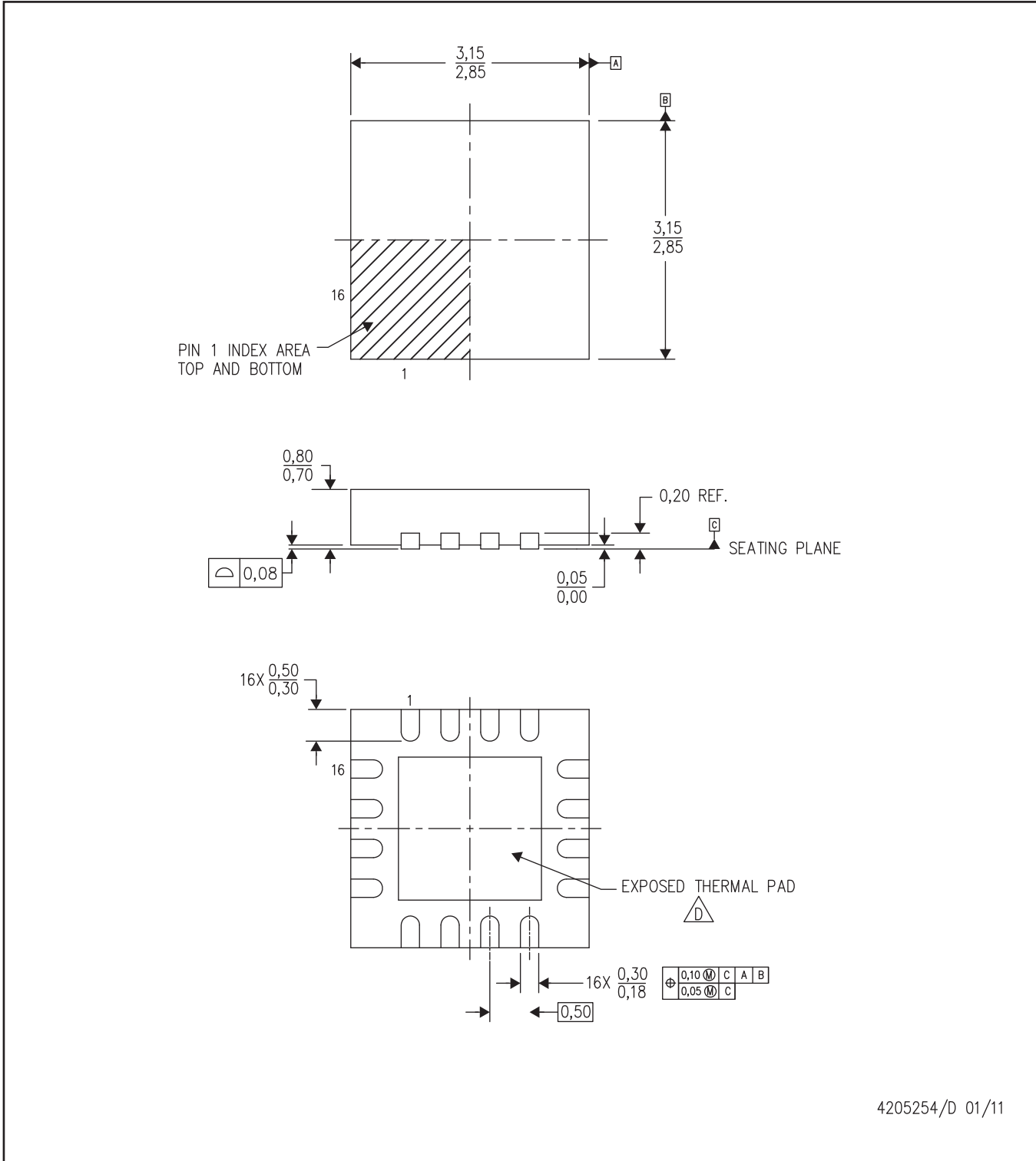
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2540ARTER	WQFN	RTE	16	3000	346.0	346.0	29.0
TPS2540ARTET	WQFN	RTE	16	250	210.0	185.0	35.0
TPS2540RTER	WQFN	RTE	16	3000	346.0	346.0	29.0
TPS2540RTET	WQFN	RTE	16	250	210.0	185.0	35.0
TPS2541ARTER	WQFN	RTE	16	3000	346.0	346.0	29.0
TPS2541ARTET	WQFN	RTE	16	250	210.0	185.0	35.0
TPS2541RTER	WQFN	RTE	16	3000	346.0	346.0	29.0
TPS2541RTET	WQFN	RTE	16	250	210.0	185.0	35.0



4205254/D 01/11

注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。

B. 本図は予告なしに変更することがあります。

C. QFN(クワッド・フラットパック・ノーリード)パッケージ構造。

△ パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。

露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。

E. JEDEC MO-220に準拠します。

サーマルパッド・メカニカル・データ

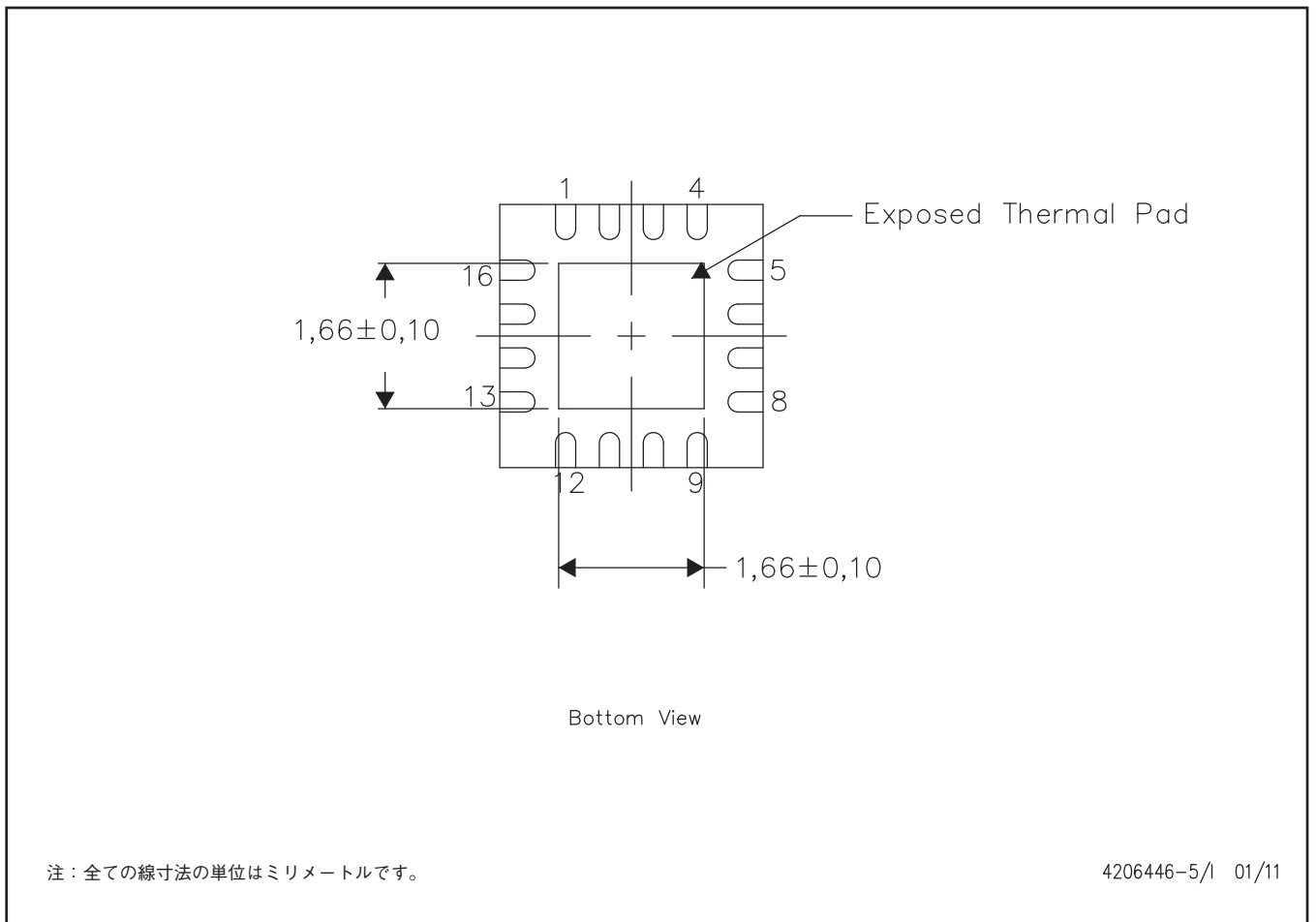
RTE(S-PWQFN-N16)

熱的特性に関する資料

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマルビアを使用して、サーマルパッドをグランドプレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN(Quad Flatpack No-Lead)パッケージとその利点については、アプリケーションレポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SLUA271)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。に設計された、露出したサーマルパッドが装備されています。



サーマルパッド寸法図

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上