

ADC081000

ADC081000 High Performance, Low Power 8-Bit, 1 GSPS A/D Converter



Literature Number: JAJSA49

ADC081000

高性能、低消費電力、8ビット、1GSPS A/Dコンバータ

概要

ADC081000 は、最高サンプリング・レート 1.6 GSPS にてアナログ信号を分解能 8 ビットでデジタル化できる、低消費電力かつ高性能な CMOS A/D コンバータです。1.9V の単一電源で 1GSPS 動作時に代表値で 1.4W を消費する ADC081000 は、全動作温度範囲にわたってミッシング・コードを生じないことが保証されています。独自のセルフキャリブレーション・フォールディング・アーキテクチャ、完全な差動コンバータ設計、画期的な内部サンプル・アンド・ホールド・アンプ回路、さらには自己較正方式の採用によって、すべてのダイナミック・パラメータはナイキスト周波数を上回る周波数帯まで平坦な応答を示し、入力信号が 500MHz でサンプリング周波数が 1GHz のときに 7.5ENOB を達成しています。出力フォーマットはオフセット・バイナリ形式です。LVDS デジタル出力は、同相電圧 (オフセット電圧) を 0.8V に下げている点を除いて、IEEE1596.3-1996 と互換性があります。

このコンバータは 2 組の LVDS パスを出力する 1:2 のデマルチプレクサを備え、それぞれのパスのデータ・レートをサンプリング・レートの半分に抑えています。2 組のコンバータ回路をインタリーブ構成にすることでバスあたりのデータ・レートは 500MHz になり、出力を組み合わせることで 1GSPS が達成されます。

コンバータの消費電力はパワーダウン・モード時に代表値で 10mW 未満です。熱特性を高めた 128 ピンの露出パッド LQFP で供給され、工業温度範囲 (- 40 T_A + 85) で動作します。

特長

- サンプル / ホールド機能内蔵
- 単一 + 1.9V \pm 0.1V 電源動作
- 出力レベル切り換え機能
- ノミッシング・コード保証
- 低消費スタンバイ・モード

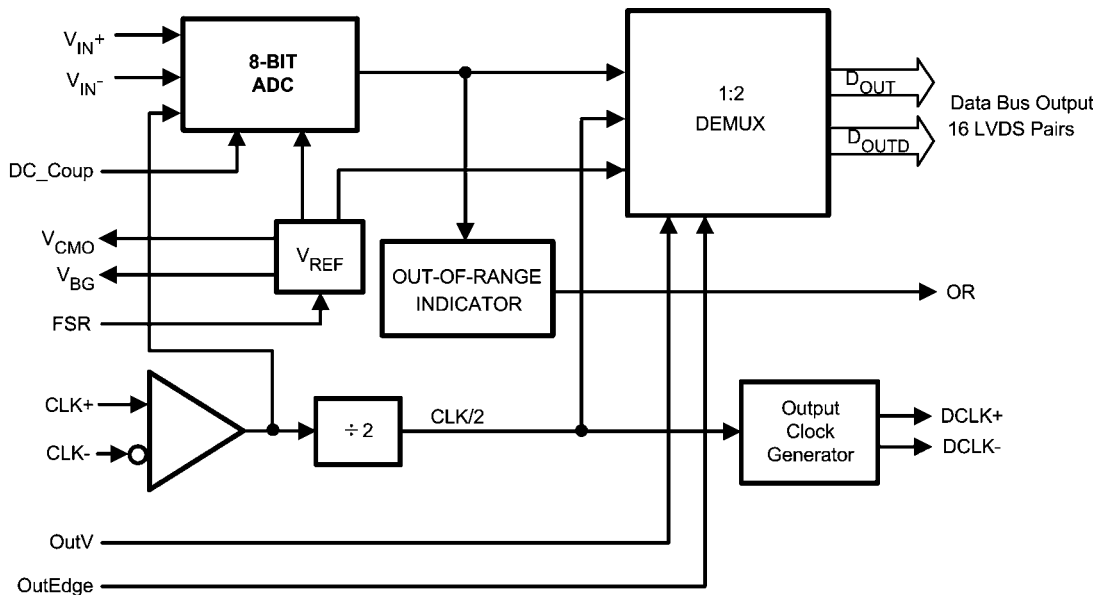
主な仕様

分解能	8 ビット
最大変換レート	1GSPS (min)
有効ビット (ENOB) 500MHz 入力時	7.5 ビット (typ)
DNL	\pm 0.25 LSB (typ)
変換遅延時間	7 および 8 クロック
消費電力	
- 動作時	1.45W (typ)
- パワーダウン・モード	9mW (typ)

アプリケーション

- RF のダイレクトダウン・コンバージョン
- デジタル・オシロスコープ
- セットトップ・ボックス
- 通信システム
- 試験測定機器

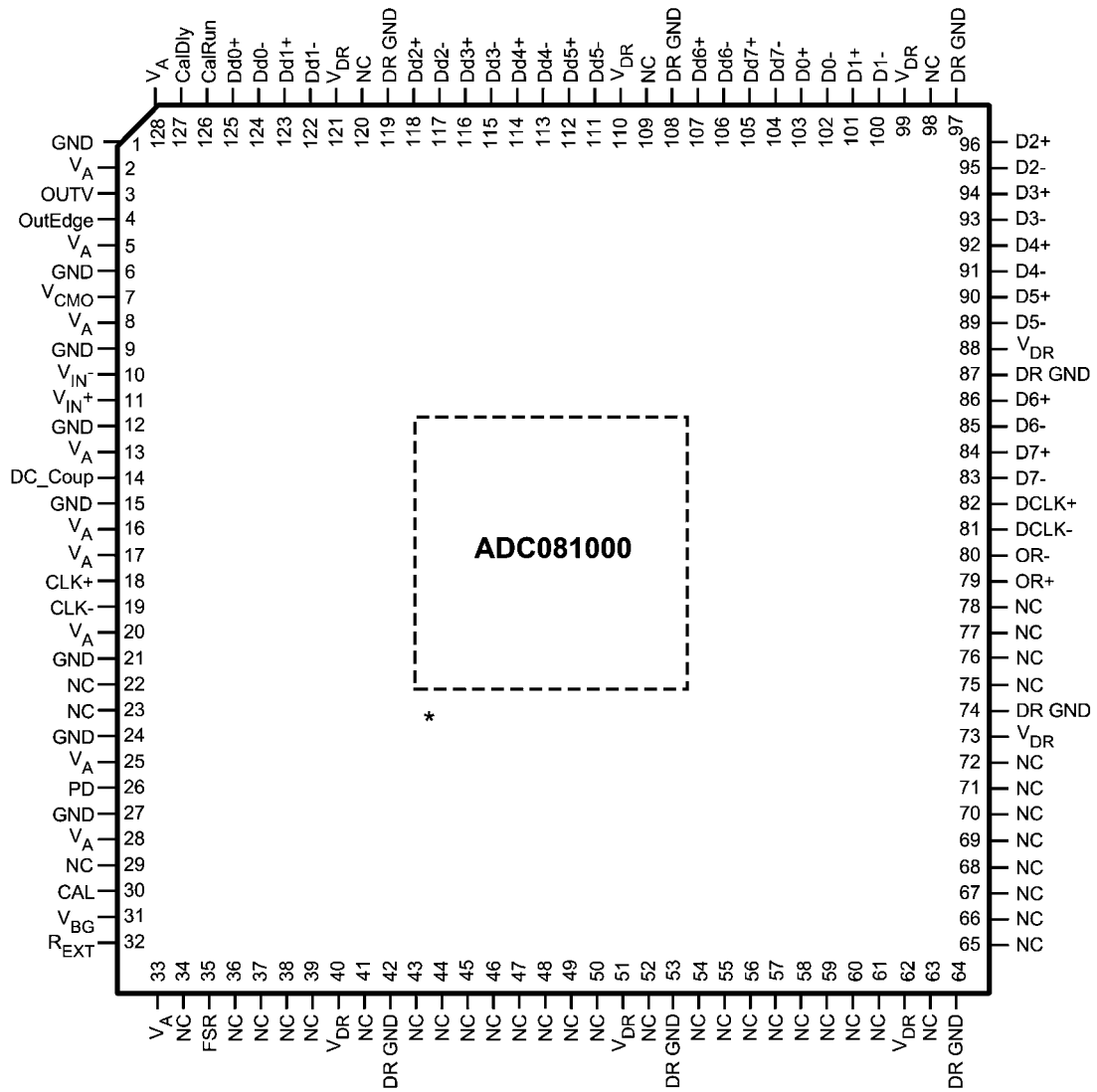
ブロック図



製品情報

Extended Commercial Temperature Range (-40°C < T _A < +85°C)	NS Package
ADC081000CIYB	128-Pin Exposed Pad LQFP
ADC081000EVAL	Evaluation Board
ADC08D1000DEV (use Dual product)	Development Board

ピン配置図



* パッケージ裏面の露出パッドは、定格性能を維持するために、グラウンド層にハンダ付けしてください。

ピン説明および等価回路

機能説明

ピン番号	シンボル	等価回路	説明
3	OutV		出力電圧振幅の選択。通常の差動出力振幅を得るにはこのピンを High に接続します。振幅を小さくして同時に消費電力を抑えるには、このピンをグラウンドに接続します。セクション 1.5 を参照してください。
4	OutEdge		出力エッジの選択。出力データ信号が切り換わる DCLK + (82 ピン) のエッジを設定します。このピンを High にすると出力は DCLK + の立ち上がりエッジで遷移し、Low にすると立ち下がりエッジで遷移します。セクション 5.3 を参照してください。
14	DC_Coup		DC 結合の選択。このピンを High にするとアナログ入力 V_{IN+} と V_{IN-} は DC 結合となり、 V_{CMO} (7 ピン) 出力電圧と等しい入力同相を与えなければなりません。このピンを Low にするとアナログ入力は内部でバイアスされ、入力信号を AC 結合によってアナログ入力に与えなければなりません。セクション 3.0 を参照してください。
26	PD		パワーダウン・ピン。このピンを High にすると A/D コンバータはパワーダウン・モードに移行します。このピンを Low にすると通常動作になります。
30	CAL		較正機能。このピンを 10 クロック以上 Low にしたあと続けて 10 クロック以上 High にすると自己較正シーケンスが始まります。セクション 1.1 を参照してください。
35	FSR		フルスケール・レンジの選択。このピンを Low にするとフルスケール差動入力 $600\text{mV}_{p,p}$ になります。このピンを High にするとフルスケール差動入力 $800\text{mV}_{p,p}$ になります。セクション 1.3 を参照してください。
127	CalDly		較正遅延。パワーアップ後、較正を開始するまでのクロック・サイクル数を設定します。セクション 1.1 を参照してください。
18 19	CLK+ CLK-		
11 10	V_{IN+} V_{IN-}		A/D コンバータのアナログ信号差動入力です。

ピン説明および等価回路(つづき)

機能説明

ピン番号	シンボル	等価回路	説明
7	V_{CMO}		<p>入力を DC 結合で用いる場合に、このピンの出力電圧を V_{IN+} と V_{IN-} の同相入力電圧とする必要があります。セクション 3.0 を参照してください。</p>
31	V_{BG}		<p>バンドギャップ出力電圧。このピンは 1.0μA までソースまたはシンクが可能です。</p>
126	CalRun		<p>較正処理の実行中。較正処理の実行中はこのピンが High になります。</p>
32	R_{EXT}		<p>外付けバイアス抵抗の接続。このピンとグラウンドとの間に 3.3k ($\pm 0.1\%$) を接続してください。セクション 1.1 を参照してください。</p>

ピン説明および等価回路 (つぎ)

機能説明

ピン番号	シンボル	等価回路	説明
83 84 85 86 89 90 91 92 93 94 95 96 100 101 102 103	D7- D7+ D6- D6+ D5- D5+ D4- D4+ D3- D3+ D2- D2+ D1- D1+ D0- D0+		時間シーケンスの中でサンプリングされた LVDS データ出力ビット。各出力は差動 100 Ω 抵抗でからなす終端しなければなりません。
104 105 106 107 111 112 113 114 115 116 117 118 122 123 124 125	Dd7- Dd7+ Dd6- Dd6+ Dd5- Dd5+ Dd4- Dd4+ Dd3- Dd3+ Dd2- Dd2+ Dd1- Dd1+ Dd0- Dd0+		時間シーケンスの中でサンプリングされた LVDS データ出力ビット。各出力は差動 100 Ω 抵抗でからなす終端しなければなりません。
79 80	OR+ OR-		アウト・オブ・レンジ出力。差動 High は差動入力レンジ外にあることを示します (FSR ピンで規定される ± 300mV または ± 400mV のレンジ外)。セクション 1.6 を参照してください。
82 81	DCLK+ DCLK-		出力データのラッチに使用する差動クロック出力。このクロック信号に同期して、遅延データと非遅延データが出力されます。
2, 5, 8, 13, 16, 17, 20, 25, 28, 33, 128	V _A		電源ピンを除きます。GND に対してバイパスを行ってください。
40, 51, 62, 73, 88, 99, 110, 121	V _{DR}		出力ドライバの電源ピン。DR GND に対してバイパスを行ってください。
1, 6, 9, 12, 15, 21, 24, 27	GND		V _A のグラウンド・リターン。
42, 53, 64, 74, 87, 97, 108, 119	DR GND		V _{DR} のグラウンド・リターン。
22, 23, 29, 34, 36 - 39, 41, 43 - 50, 52, 54 - 61, 63, 65 - 72, 75 - 78, 98, 109, 120	NC		未接続ピン。これらのピンには何も接続しないでください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

アナログ電源電圧 (V_A , V_{DR})	2.2V
デジタル電源とアナログ電源の電位差 ($V_{DR} - V_A$)	300mV
ドライバ電源電圧 (V_{DR}) V_A 100mV)	
各入力ピン電圧	- 0.15V ~ ($V_A + 0.15V$)
グラウンド電圧差 GND - DR GND	0V ~ 100mV
各入力ピン電流 (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50 mA
パッケージ消費電力 ($T_A = 25^\circ\text{C}$)	2.0 W
ESD 耐性 (Note 4)	
人体モデル	2500V
マシン・モデル	250V
ハンダ付け温度赤外線 (10 秒) (Note 5)	235
保存温度範囲	- 65 ~ + 150

定格温度範囲 (Note 1、2)

周囲温度範囲	- 40 T_A + 85
電源電圧 V_A	+ 1.8V ~ + 2.0V
ドライバ電源電圧 (V_{DR})	+ 1.8V ~ V_A
アナログ入力同相電圧	+ 1.2V ~ + 1.3V
V_{IN} 差動電圧範囲	- $V_{FS}/2$ ~ + $V_{FS}/2$
グラウンド電圧差 ((GND - DR GND))	0V
CLK ピン電圧範囲	0V ~ V_A
差動 CLK 振幅	0.6V _{P-P} ~ 2.0V _{P-P}

パッケージ熱抵抗

Package	θ_{J-C} (Top of Package)	θ_{J-PAD} (Thermal Pad)
128-Lead Exposed Pad LQFP	10°C / W	2.8°C / W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging をご覧ください。

コンバータの電気的特性

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 V_{IN} FSR(AC 結合) = 差動 800mV_{P-P}、 $C_L = 10pF$ 、0.5V_{P-P} でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25^\circ\text{C}$ です。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
INL	Integral Non-Linearity		±0.35	±0.9	LSB (max)
DNL	Differential Non-Linearity		±0.25	±0.7	LSB (max)
	Resolution with No Missing Codes			8	Bits
V_{OFF}	Offset Error		-0.45	-1.5 0.5	LSB (min) LSB (max)
TC V_{OFF}	Offset Error Tempco	-40°C to +85°C	-3		ppm/°C
PFSE	Positive Full-Scale Error (Note 9)		-2.2	±25	mV (max)
NFSE	Negative Full-Scale Error (Note 9)		-1.1	±25	mV (max)
TC PFSE	Positive Full Scale Error Tempco	-40°C to +85°C	20		ppm/°C
TC NFSE	Negative Full Scale Error Tempco	-40°C to +85°C	13		ppm/°C
Dynamic Converter Characteristics					
FPBW	Full Power Bandwidth		1.7		GHz
B.E.R.	Bit Error Rate		10 ⁻¹⁸		Error/Bit
	Gain Flatness	d.c. to 500 MHz	±0.5		dBFS
		d.c. to 1 GHz	±1.0		dBFS
ENOB	Effective Number of Bits	$f_{IN} = 100$ MHz, $V_{IN} = FSR - 0.5$ dB	7.5		Bits
		$f_{IN} = 248$ MHz, $V_{IN} = FSR - 0.5$ dB	7.5	7.1	Bits (min)
		$f_{IN} = 498$ MHz, $V_{IN} = FSR - 0.5$ dB	7.5	7.1	Bits (min)
SINAD	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 100$ MHz, $V_{IN} = FSR - 0.5$ dB	47		dB
		$f_{IN} = 248$ MHz, $V_{IN} = FSR - 0.5$ dB	47	44.8	dB (min)
		$f_{IN} = 498$ MHz, $V_{IN} = FSR - 0.5$ dB	47	44.8	dB (min)

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN} FSR(AC 結合) = 差動 800mV_{P-P}$ 、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25$ です。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
SNR	Signal-to-Noise Ratio	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	48		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	48	45.5	dB (min)
		$f_{IN} = 498 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	48	45.5	dB (min)
THD	Total Harmonic Distortion	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-57		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-57	-50	dB (max)
		$f_{IN} = 498 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-57	-50	dB (max)
2nd Harm	Second Harmonic Distortion	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-64		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-64		dB
		$f_{IN} = 498 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-64		dB
3rd Harm	Third Harmonic Distortion	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-64		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-64		dB
		$f_{IN} = 498 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-64		dB
SFDR	Spurious-Free dynamic Range	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	58.5		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	58.5	50	dB (min)
		$f_{IN} = 498 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	58.5	50	dB (min)
IMD	Intermodulation Distortion	$f_{IN1} = 121 \text{ MHz}$, $V_{IN} = FSR - 7 \text{ dB}$	-51		dB
		$f_{IN2} = 126 \text{ MHz}$, $V_{IN} = FSR - 7 \text{ dB}$			
	Out of Range Output Code (In addition to OR Output high)	$(V_{IN+}) - (V_{IN-}) > + \text{ Full Scale}$		255	
		$(V_{IN+}) - (V_{IN-}) < - \text{ Full Scale}$		0	

ANALOG INPUT AND REFERENCE CHARACTERISTICS

V_{IN}	Full Scale Analog Differential Input Range	FSR pin Low	600	550	mV_{P-P} (min)
				650	mV_{P-P} (max)
		FSR pin High	800	750	mV_{P-P} (min)
				850	mV_{P-P} (max)
V_{CMI}	Common Mode Analog Input Voltage		V_{CMI}	$V_{CMI} - 50$ $V_{CMI} + 50$	mV (min) mV (max)
C_{IN}	Analog Input Capacitance (Note 10)	Differential	0.02		pF
		Each input to ground	1.6		pF
R_{IN}	Differential Input Resistance		100	94	Ω (min)
				106	Ω (max)

ANALOG OUTPUT CHARACTERISTICS

V_{CMI}	Common Mode Output Voltage	$I_{CMI} = \pm 1 \mu A$	1.21	0.95 1.45	V (min) V (max)
$TC V_{CMI}$	Common Mode Output Voltage Temperature Coefficient	$T_A = -40^\circ C$ to $+85^\circ C$	118		ppm/ $^\circ C$
V_{BG}	Bandgap Reference Output Voltage	$I_{BG} = \pm 100 \mu A$	1.26	1.22 1.33	V (min) V (max)
$TC V_{BG}$	Bandgap Reference Voltage Temperature Coefficient	$T_A = -40^\circ C$ to $+85^\circ C$, $I_{BG} = \pm 100 \mu A$	-28		ppm/ $^\circ C$

CLOCK INPUT CHARACTERISTICS

V_{ID}	Differential Clock Input Level	Square Wave Clock	0.6	0.4 2.0	V_{P-P} (min) V_{P-P} (max)
		Sine Wave Clock	0.6	0.4 2.0	V_{P-P} (min) V_{P-P} (max)
I_I	Input Current	$V_{IN} = 0V$ or $V_{IN} = V_A$	± 1		μA
C_{IN}	Input Capacitance (Note 10)	Differential	0.02		pF
		Each Input to Ground	1.5		pF

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}(AC\ 結合) = 差動\ 800mV_{P-P}$ 、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 $R_{EXT} = 3300 \pm 0.1\%$ 、 アナログ信号ソース・インピーダンス = 100 。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25$ です。(Note 6, 7)

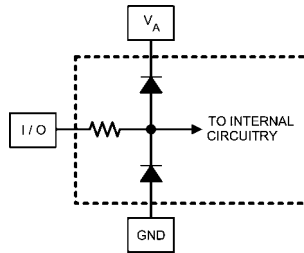
Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
DIGITAL CONTROL PIN CHARACTERISTICS					
V_{IH}	Logic High Input Voltage	(Note 12)		1.4	V (min)
V_{IL}	Logic Low Input Voltage	(Note 12)		0.5	V (max)
I_I	Input Current	$V_{IN} = 0$ or $V_{IN} = V_A$	± 1		μA
C_{IN}	Logic Input Capacitance (Note 13)	Each input to ground	1.2		pF
DIGITAL OUTPUT CHARACTERISTICS					
V_{OD}	LVDS Differential Output Voltage	OutV = V_A , measured single-ended	300	200 450	mV_{P-P} (min) mV_{P-P} (max)
		OutV = GND, measured single-ended	225	140 340	mV_{P-P} (min) mV_{P-P} (max)
$\Delta V_{OD\ DIFF}$	Change in LVDS Output Swing Between Logic Levels		± 1		mV
V_{OS}	Output Offset Voltage		800		mV
ΔV_{OS}	Output Offset Voltage Change Between Logic Levels		± 1		mV
I_{OS}	Output Short Circuit Current	Output+ & Output- connected to 0.8V	-4		mA
Z_O	Differential Output Impedance		100		Ohms
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	PD = Low	646	792	mA (max)
		PD = High	4.5		
I_{DR}	Output Driver Supply Current	PD = Low	108	160	mA (max)
		PD = High	0.1		
P_D	Power Consumption	PD = Low	1.43	1.8	W (max)
		PD = High	8.7		
PSRR1	D.C. Power Supply Rejection Ratio	Change in Offset Error with change in V_A from 1.8V to 2.0V	73		dB
AC ELECTRICAL CHARACTERISTICS					
f_{CLK1}	Maximum Conversion Rate	$T_A = 85^\circ C$	1.1	1.0	GHz (min)
		$T_A \leq 75^\circ C$	1.3		
		$T_A \leq 70^\circ C$	1.6		
f_{CLK2}	Minimum Conversion Rate		200		MHz
	Input Clock Duty Cycle	200 MHz \leq Input clock frequency < 1 GHz	50	20 80	% (min) % (max)
t_{CL}	Input Clock Low Time (Note 12)		500	200	ps (min)
t_{CH}	Input Clock High Time (Note 12)		500	200	ps (min)
	DCLK Duty Cycle (Note 12)		50	45 55	% (min) % (max)
t_{LHT}	Differential Low to High Transition Time	10% to 90%, $C_L = 2.5$ pF	250		ps
t_{HLT}	Differential High to Low Transition Time	10% to 90%, $C_L = 2.5$ pF	250		ps
t_{OSK}	DCLK to Data Output Skew (Note 11)	50% of DCLK transition to 50% of Data transition	0	± 200	ps (max)
t_{AD}	Sampling (Aperture) Delay	Input CLK+ Fall to Acquisition of Data	930		ps
t_{AJ}	Aperture Jitter		0.4		ps rms
t_{OD}	Input Clock to Data Output Delay	50% of Input Clock transition to 50% of Data transition	2.7		ns
	Pipeline Delay (Latency) (Note 11)	"D" Outputs		7	Clock Cycles
		"Dd" Outputs		8	

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN} FSR(AC \text{ 結合}) = \text{差動 } 800mV_{P-P}$ 、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 1GHz$ 、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25$ です。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
t_{WU}	PD low to Rated Accuracy Conversion (Wake-Up Time)		500		ns
t_{CAL}	Calibration Cycle Time		46,000		Clock Cycles

- Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のある制限値をいいます。絶対最大定格での動作は保証されません。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。
- Note 2:** 特記のない限り、すべての電圧は $GND = DRGND = 0V$ を基準にして測定されています。
- Note 3:** いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 (すなわち $V_{IN} < GND$ 、または $V_{IN} > V_A$ のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流すことができるピン数は 2 本に制限されます。これらのリミット値は、電源ピン、グラウンド・ピン、デジタル出力ピンには適用されません。
- Note 4:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5 k を通して各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。
- Note 5:** 面実装デバイスのハンダ付け方法については、1986 年に降に発行された「National Semiconductor Linear Data Book」の "Surface Mount" セクションを参照してください。
- Note 6:** アナログ入力は、以下に示されるように保護されています。絶対最大定格を超える入力電圧振幅はデバイスを破壊することがあります。



- Note 7:** 精度を保証するために、 V_A および V_{DR} 電源ピンにはそれぞれ別個のバイパス・コンデンサを設けて同一電源に接続します。また、定格性能を達成するには、裏面の露出パッドをグラウンドに適切にハンダ付けする必要があります。
- Note 8:** 代表値 (Typical) は、 $T_j = 25$ で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。
- Note 9:** 本デバイスのフルスケール誤差の計算では、実際のリファレンス電圧はその公称値に正確に一致していると仮定しています。そのためデバイスのフルスケール誤差は、フルスケール誤差とリファレンス電圧誤差の組み合わせになります。Figure 2 の伝達特性を参照してください。ゲイン誤差とフルスケール誤差の関係についてはゲイン誤差の仕様定義を参照してください。
- Note 10:** アナログ入力容量とクロック入力容量はダイ容量のみです。リードとボンディング・ワイヤが持つインダクタンスによってダイ容量から分離された状態で、差動ピンにはグラウンドに対して 0.65pF の容量が、他のピンには 0.95pF の容量が、それぞれ存在します。
- Note 11:** このパラメータは設計によって保証されています。製造時の試験は行っていません。
- Note 12:** このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。
- Note 13:** デジタル制御ピン容量はダイ容量のみです。リードとボンディング・ワイヤのインダクタンスによってダイ容量から分離された状態で、各ピンにはグラウンドに対して 1.6pF の容量が存在します。
- Note 14:** ADC081000 はサンプリング・レートの半分のクロック周波数でデータが出力されるインタリーブされた 2 系統の出力バスを備えています。各バスのデータはサンプリング・レートの半分のクロックで出力されます。第二のバス (D0 から D7) は、第一のバス (Dd0 から Dd7) のレイテンシより 1 クロック少ないリバース・レイテンシを有します。

用語の定義

アパーチャ(サンプリグ) デレイ (**APERTURE (SAMPLING) DELAY**) は、クロック入力の立ち下がりがエッジからサンプリグ・スイッチが開くまでに要する時間です。サンプル/ ホールド回路は入力信号の取り込みを効果的に停止させ、クロックが Low レベルになってから t_{AD} 後に「ホールド」モードになります。

アパーチャ・ジッタ (**APERTURE JITTER: t_{AJ}**) は、隣り合うサンプリグ間アパーチャ・デレイのばらつく期間を示します。アパーチャ・ジッタは入力のノイズとして現れます。

ビット誤り率 (**Bit Error Rate: B.E.R.**) は、誤りが発生する確率を表し、単位時間あたりの推定エラー個数をその時間内に観測されるビット数で除算したものと定義されます。10 ~ 18 の B.E.R. は統計的に約 4 年ごとに発生する 1 ビット・エラーに相当します。

クロック・デューティ・サイクル (**CLOCK DUTY CYCLE**) は、クロック周期に対してクロック波形が High となっている時間の比です。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。1GSPS でランプ入力とともに測定されます。

有効ビット (**EFFECTIVE NUMBER OF BITS : ENOB or EFFECTIVE BITS**) は、信号 / (ノイズ + 歪み) 比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (**FULL POWER BANDWIDTH: FPBW**) は、フルスケール入力に対して再現される出力基本周波数特性で低周波数帯域に対して 3dB 低下する周波数として測定されます。

ゲイン誤差 (**GAIN ERROR**) は、伝達関数の実測値と理想カーブとの偏差のことです。ゲイン誤差はオフセット誤差とフルスケール誤差から求められます。

- $\text{PGE} = \text{OE} - \text{PFSE}$
- $\text{NGE} = -(\text{OE} - \text{NFSE}) = \text{NFSE} - \text{OE}$
- $\text{Gain Error} = \text{NFSE} - \text{PFSE} = \text{PGE} + \text{NGE}$

ここで、PGE は正のゲイン誤差、NGE は負のゲイン誤差、OE はオフセット誤差、PFSE は正のフルスケール誤差、NFSE は負のフルスケール誤差です。

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、入力から出力への伝達関数を通る直線を基準とした、各個別コードの偏差を表します。この直線から任意のコードとの偏差は、各コード値の中央から測定します。ベスト・フィット法を使用します。

混変調歪み (**INTERMODULATION DISTORTION: IMD**) は、A/D の入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (**LEAST SIGNIFICANT BIT**) は、全ビットのうち最下位または重み付けの最も小さいビットです。LSB の値は、

$$V_{FS} / 2^n$$

ここで、 V_{FS} は FSR 入力設定される差動フルスケール振幅 V_{IN} 、"n" はビット数を単位とする A/D コンバータの分解能で ADC081000 では 8 です。

LVDS 差動出力電圧 (**LVDS DIFFERENTIAL OUTPUT VOLTAGE: V_{OD}**) は、それぞれグラウンドを基準として測定した V_{D+} 電圧と V_{D-} 電圧の差の絶対値です。

LVDS 出力オフセット電圧 (**LVDS OUTPUT OFFSET VOLTAGE: V_{OS}**) は、D + ピンと D - ピンの出力電圧の midpoint、すなわち $[(V_{D+}) + (V_{D-})]/2$ です。

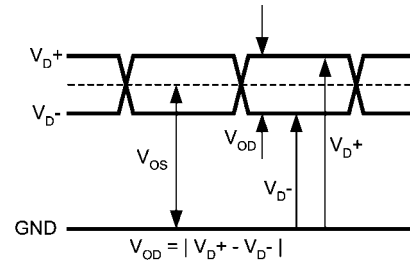


FIGURE 1.

ミッシング・コード (**MISSING CODE**) は、入力電圧をわずかに変化させたときに、あるコードから次位のコードの間に抜けが生じて ADC から出力されないコードです。すべての入力レベルで、ミッシング・コードが発生することはありません。

MSB (**MOST SIGNIFICANT BIT**) は、全ビットのうち最上位または重み付けの最も大きいビットです。MSB の値はフルスケールの 1/2 に相当します。

負のフルスケール誤差 (**NEGATIVE FULL-SCALE ERROR**) は、最初のコード遷移点が、理想的な $-V_{IN}/2$ より 1/2LSB 下の点からどのくらい離れているかを表します。ADC081000 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差の組み合わせたものになります。

オフセット誤差 (**OFFSET ERROR: V_{OFF}**) は、中点が理想ゼロ電圧差動入力からどの程度ずれているかを表します。

出力デレイ (**OUTPUT DELAY: t_{OD}**) は、DCLK の立ち上がりエッジから出力ピンにアップデートされたデータが現れるまでのデレイ時間です。

オーバーレンジ回復時間 (**OVER RANGE RECOVERY TIME**) は、コンバータから見た差動入力電圧が $\pm 1.2V$ から 0V に遷移した時点から、コンバータが回復して定格精度で変換を行えるようになるまでに必要な時間です。

パイプライン・デレイ (**PIPELINE DELAY: LATENCY**) は、変換開始からその変換データが出力ドライバ段に現れるまでの期間をクロック数で表したものです。新しいデータは各クロック・サイクルごとに有効になりますが、パイプライン・デレイと t_{OD} の和による変換により遅延が規定されます。

正のフルスケール誤差 (**POSITIVE FULL-SCALE ERROR: PFSE**) は、最後のコード遷移点が、理想的な $+V_{IN}/2$ より $1 - 1/2LSB$ 下の点からどのくらい離れているかを表します。ADC081000 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差の組み合わせたものになります。

電源電圧変動除去比 (**POWER SUPPLY REJECTION RATIO : PSRR**) は 2 つの仕様を意味します。PSRR1 (DC PSRR) は、電源電圧が 1.8V から 2.0V に変化した結果生じるオフセット誤差の比です。PSRR2 (AC PSRR) は、電源に乗っている AC 信号が出力でどの程度良好に除去されているかを表し、248MHz、50 mV_{p,p} の信号を電源に重畳させて測定します。PSRR2 は、出力におけるその信号の出力振幅と、電源ピンにおけるその信号との比で示します。PSRR は dB で表されます。

用語の定義 (つづき)

信号対ノイズ比 (**SIGNAL TO NOISE RATIO:SNR**) は、出力における入力信号の rms 値と、高調波と DC は含めずに、サンプリング周波数の 1/2 周波数未満のすべてのスペクトル成分の rms 値の合計との比で、単位は dB です。

信号 I (ノイズ + 歪み) 比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO : S/(N + D) or SINAD**) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトル成分の実効値に対する入力信号の出力での実効値の比として dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE : SFDR**) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入力に現われるものではありません。

全高調波歪み (**TOTAL HARMONIC DISTORTION:THD**) は、2次から10次までの高調波の合計出力レベルと基本周波数の出力レベルとの比で、dB で表されます。全高調波歪み THD は次式から求められます。

$$THD = 20 \times \log \sqrt{\frac{A_{f2}^2 + \dots + A_{f10}^2}{A_{f1}^2}}$$

A_{f1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f2} から A_{f10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

- 2 次高調波歪み (**2nd Harm**) は、出力で見た入力周波数の rms パワーと出力で見た 2 次高調波のパワーとの比で、単位は dB です。

- 3 次高調波歪み (**3rd Harm**) は、出力で見た入力周波数の rms パワーと出力で見た 3 次高調波のパワーとの比で、単位は dB です。

変換特性

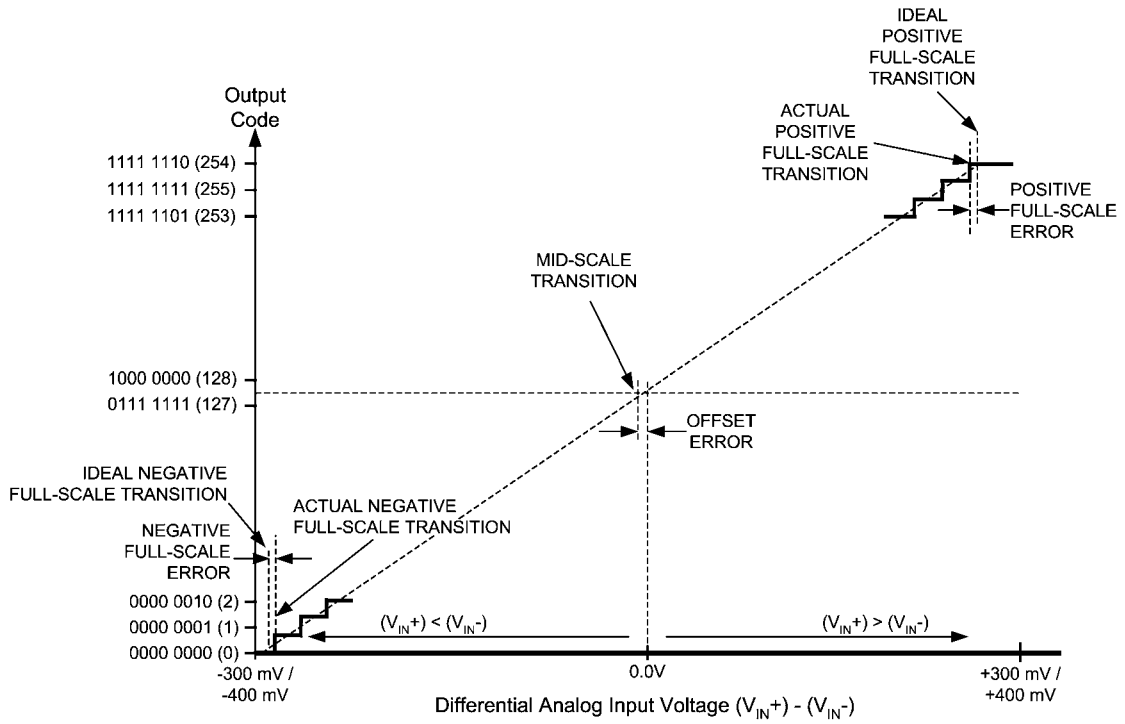


FIGURE 2. Input / Output Transfer Characteristic

タイミング図

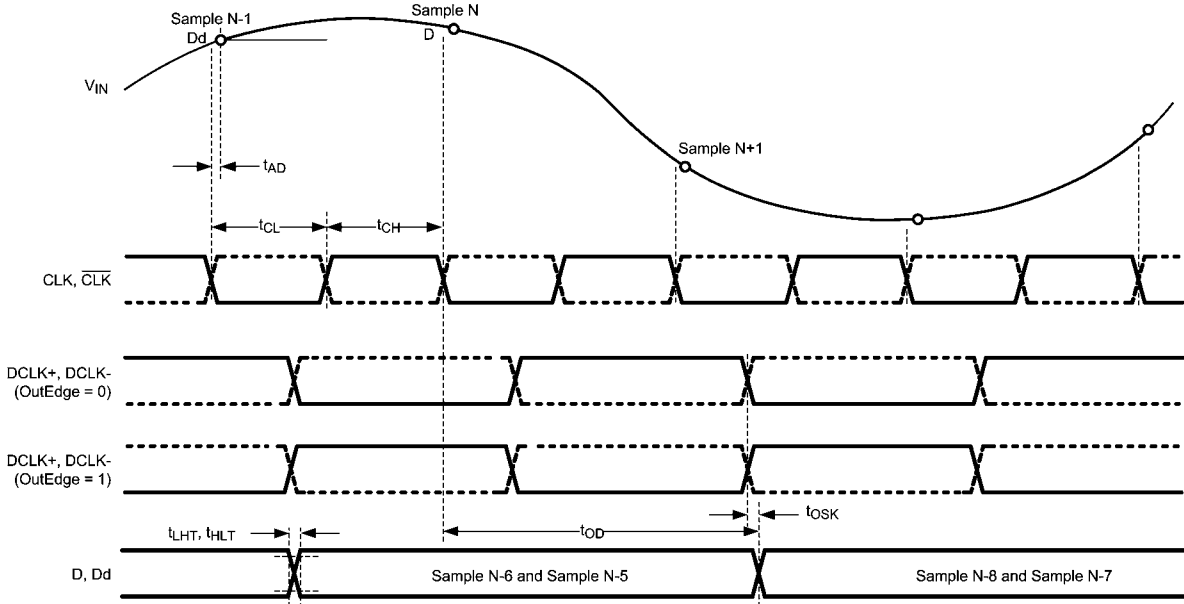
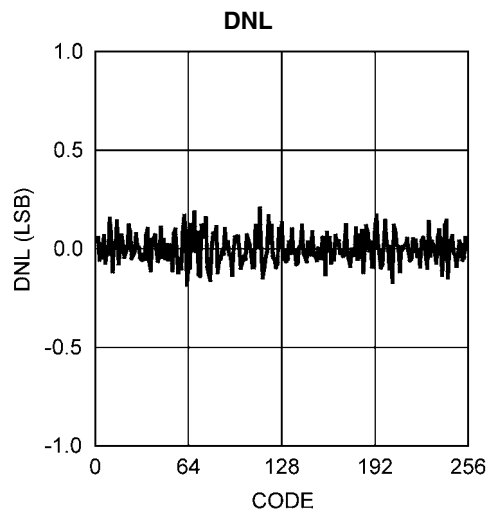
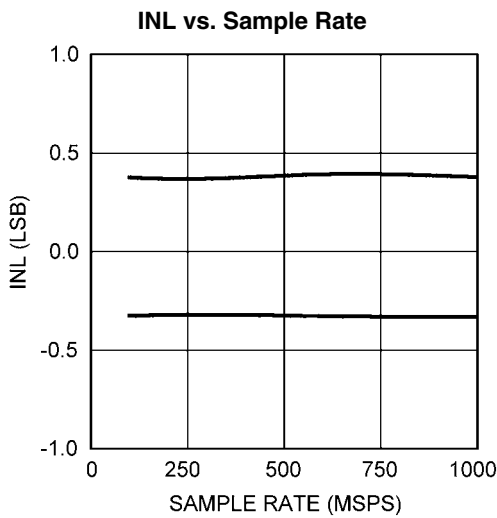
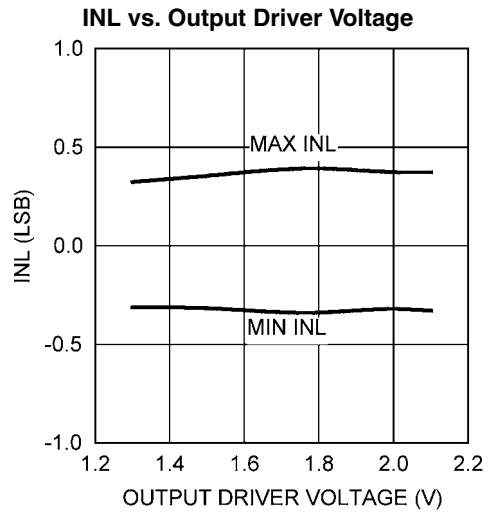
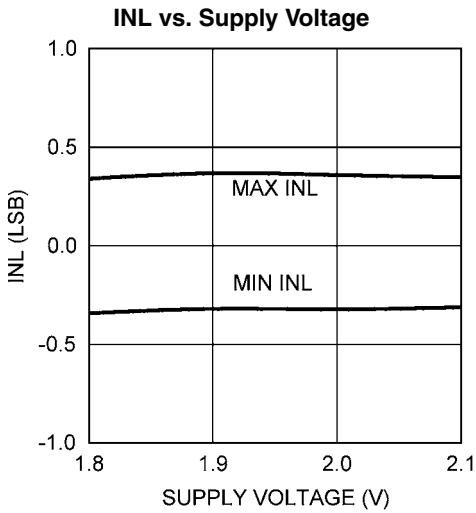
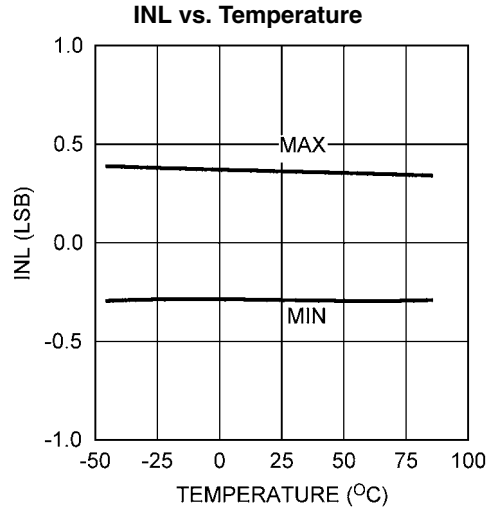
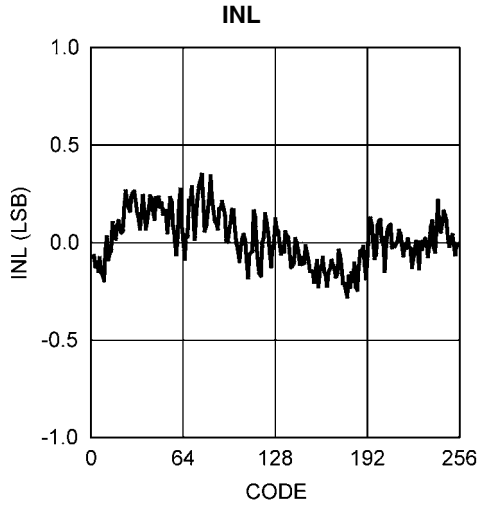


FIGURE 3. ADC081000 Timing

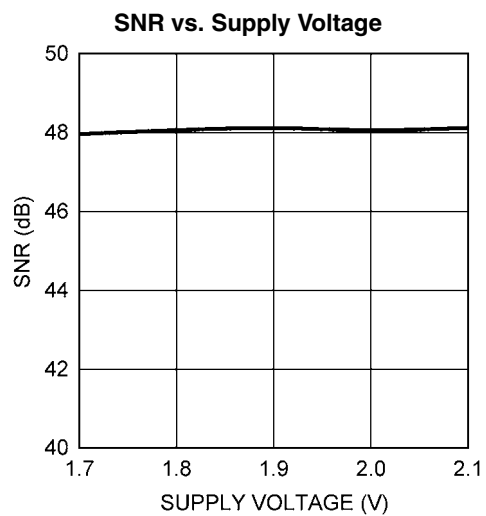
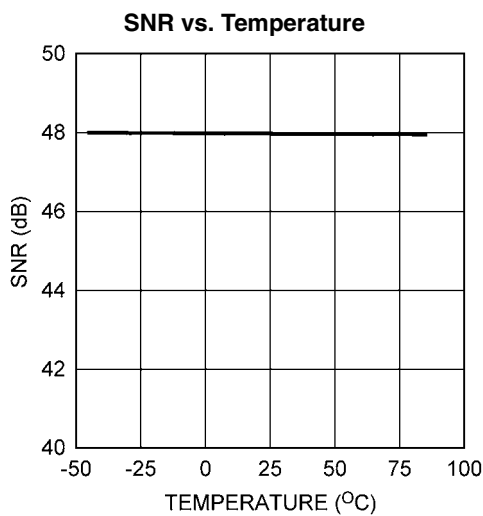
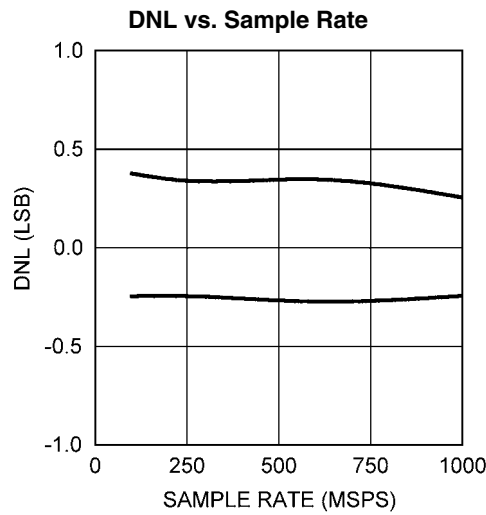
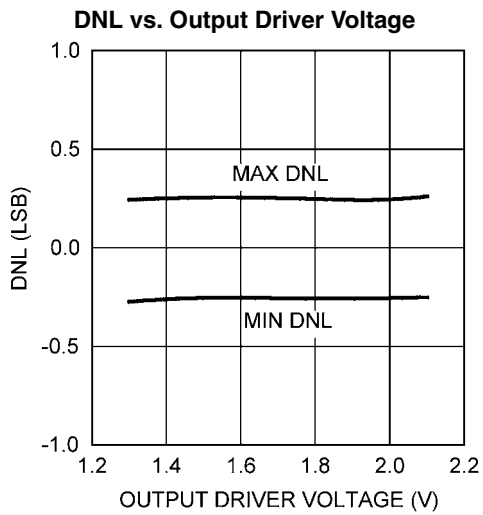
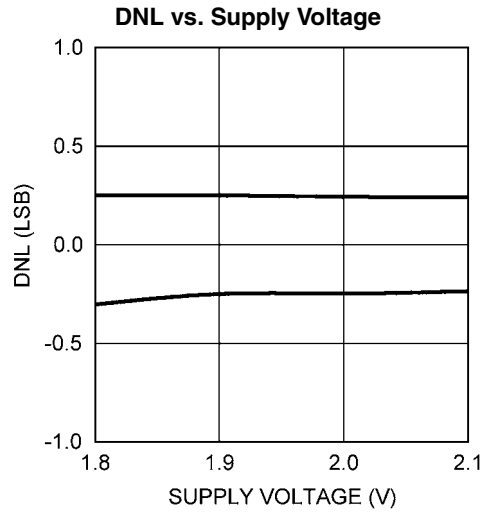
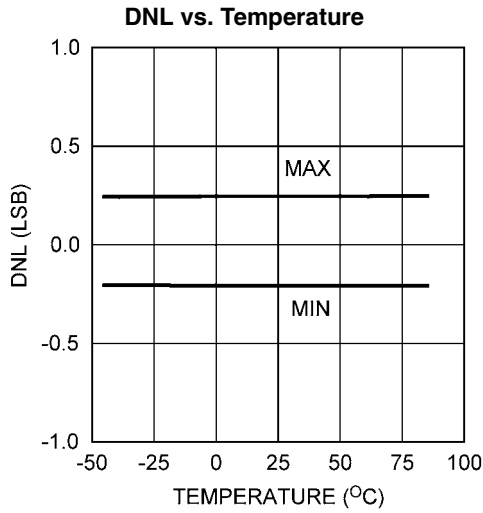
代表的な性能特性

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



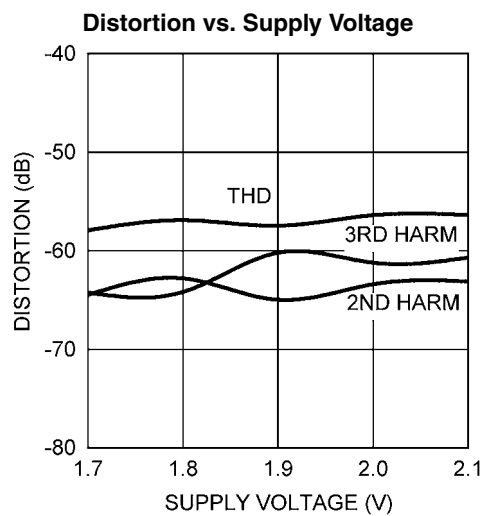
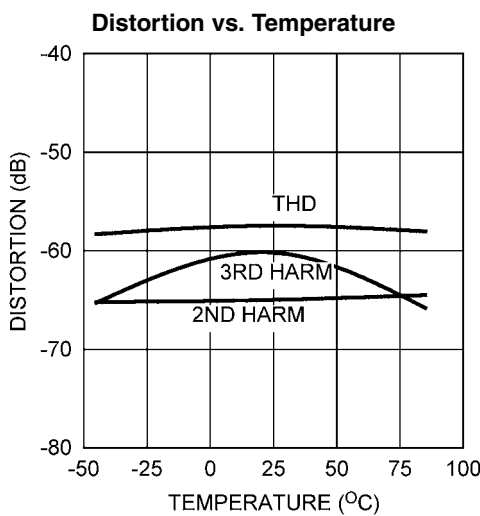
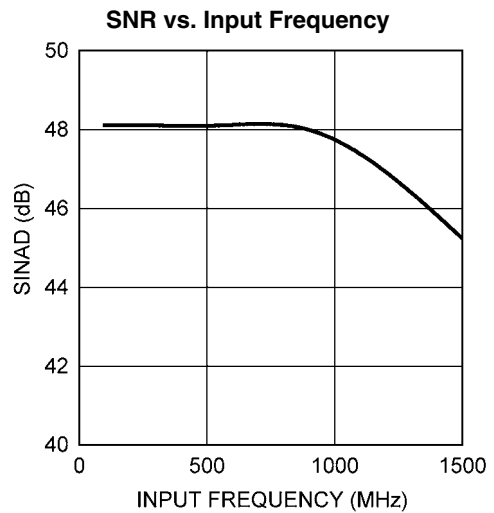
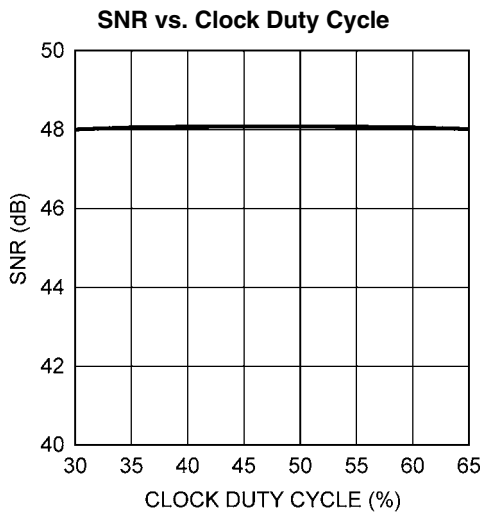
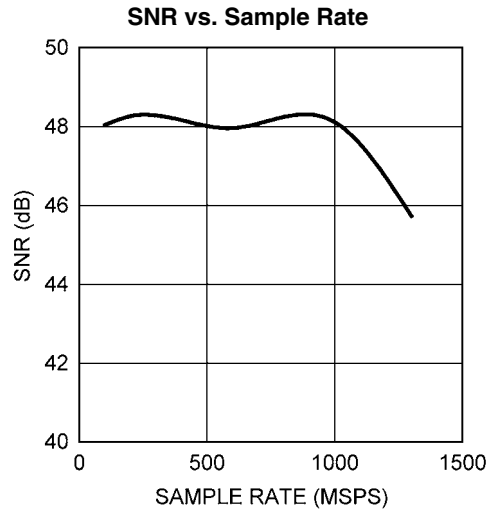
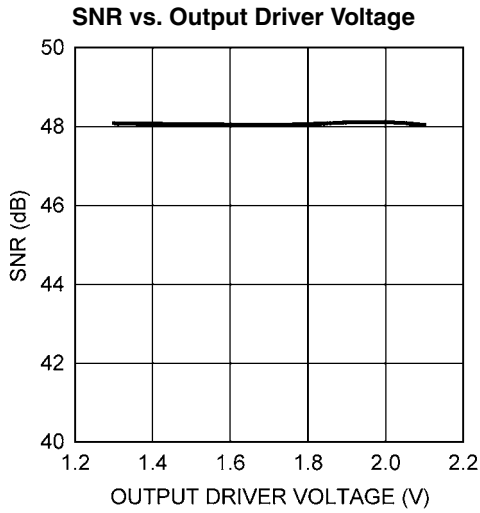
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



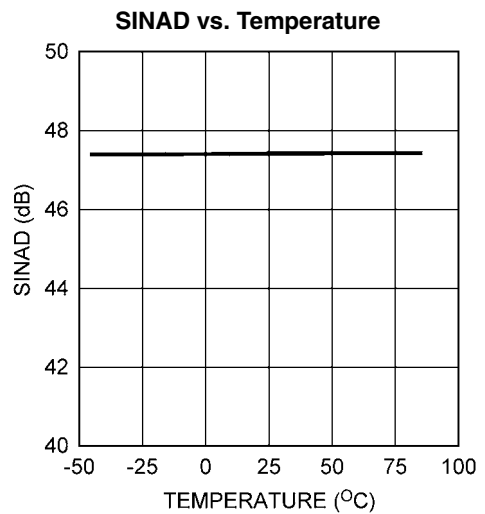
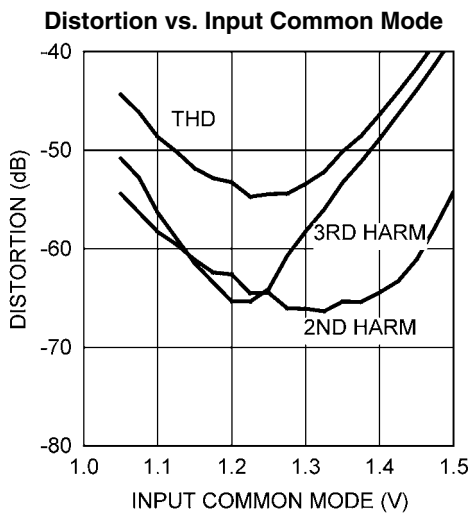
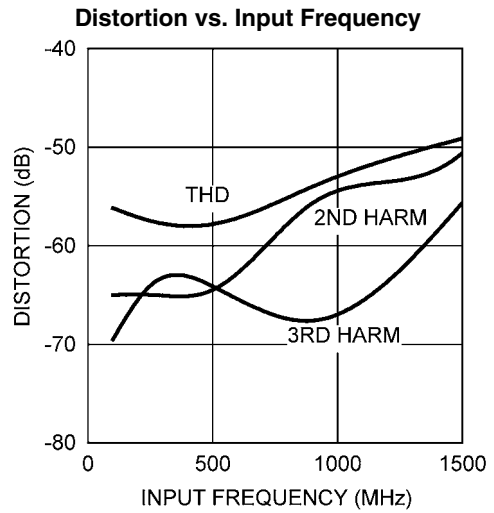
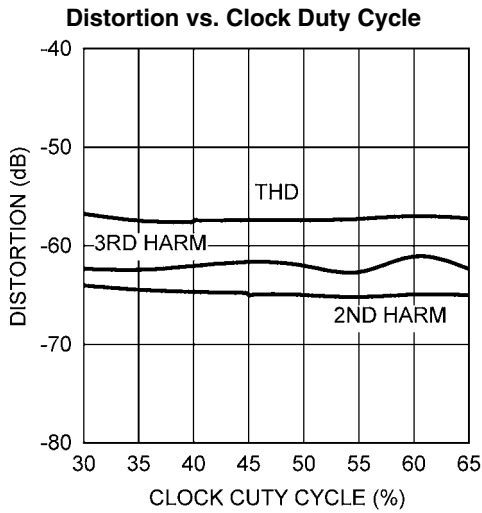
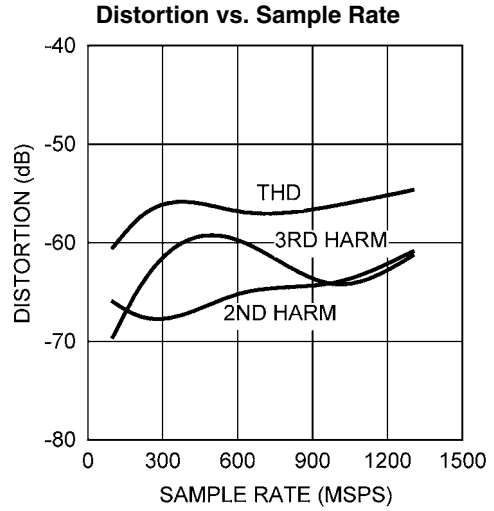
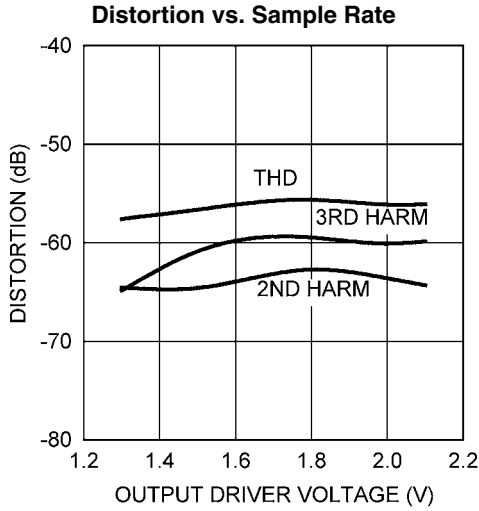
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



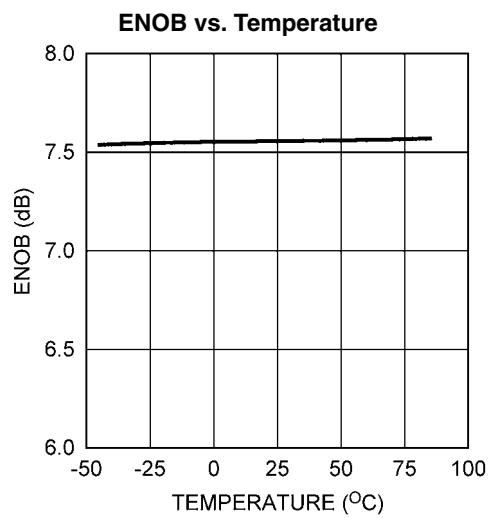
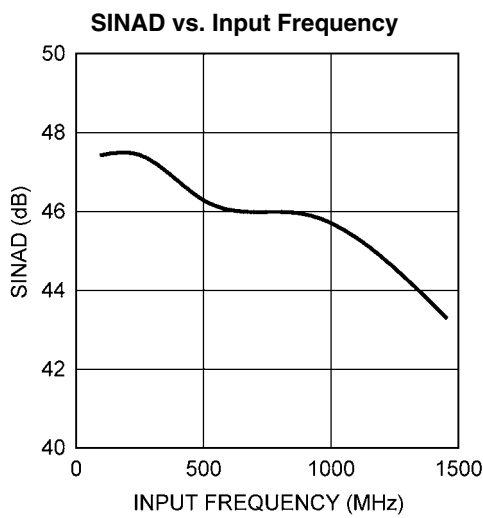
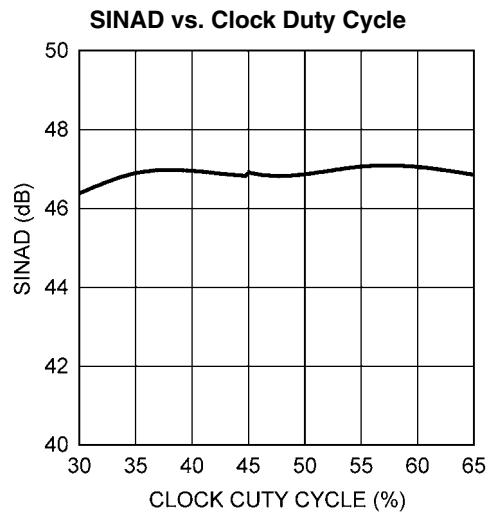
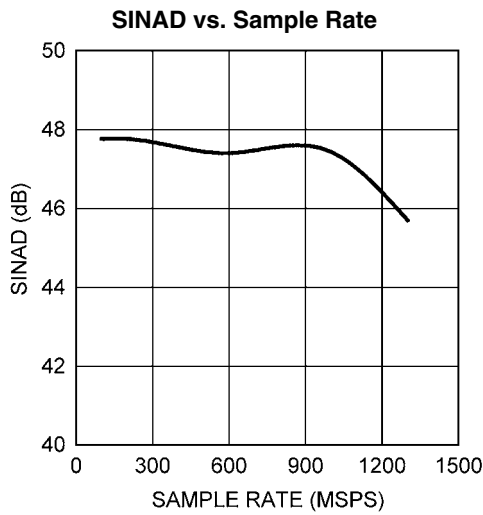
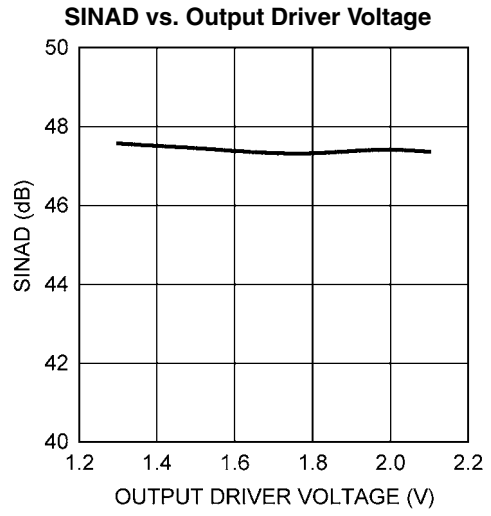
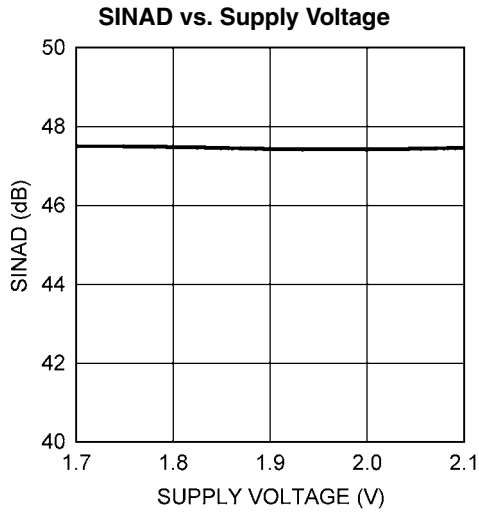
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



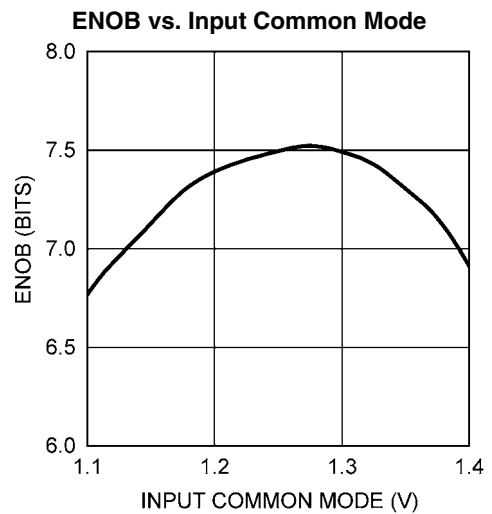
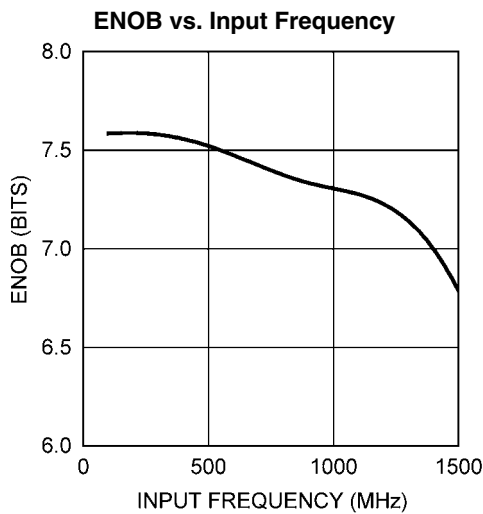
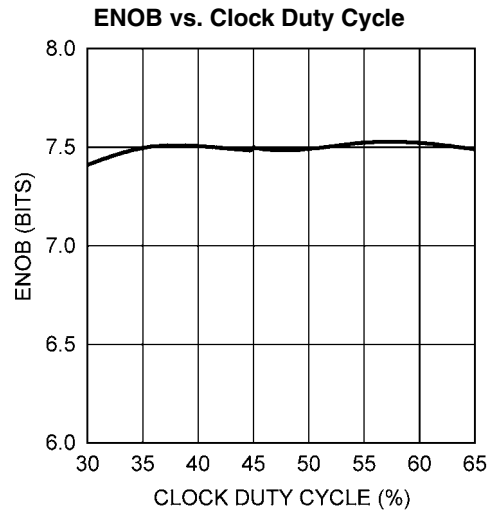
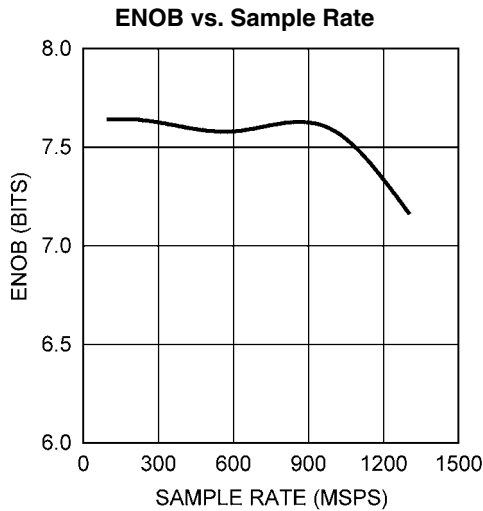
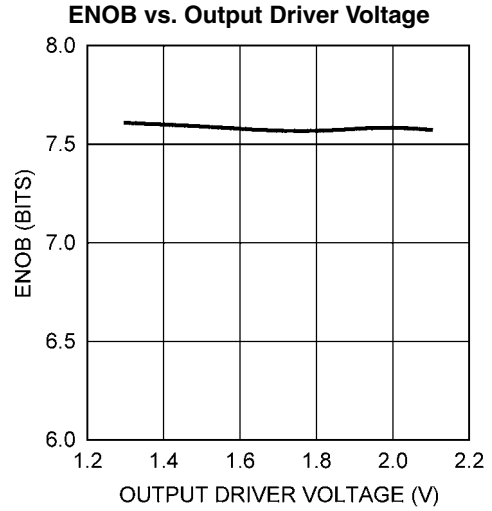
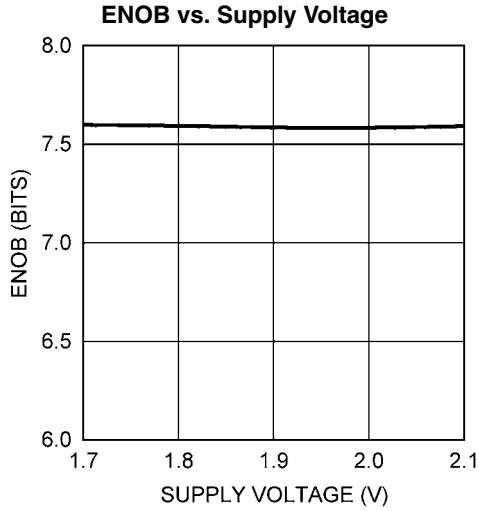
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



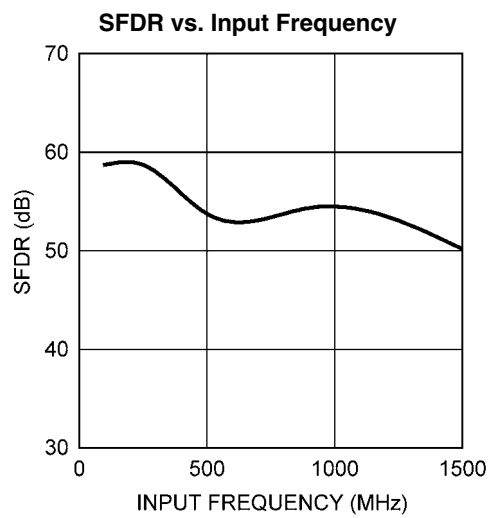
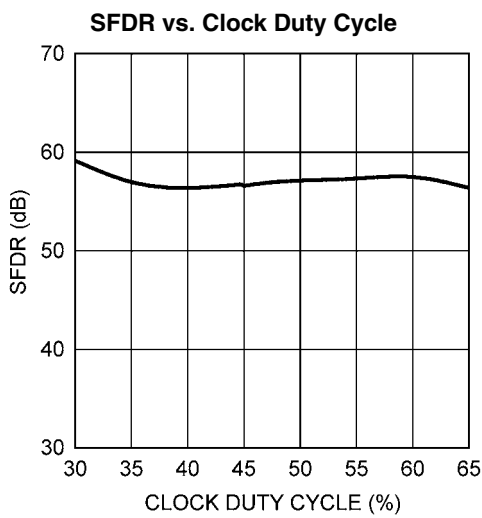
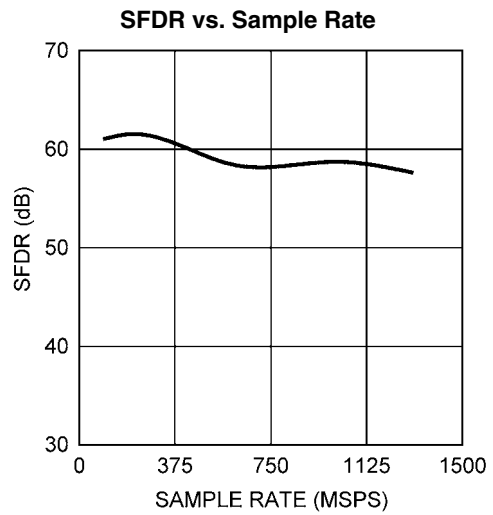
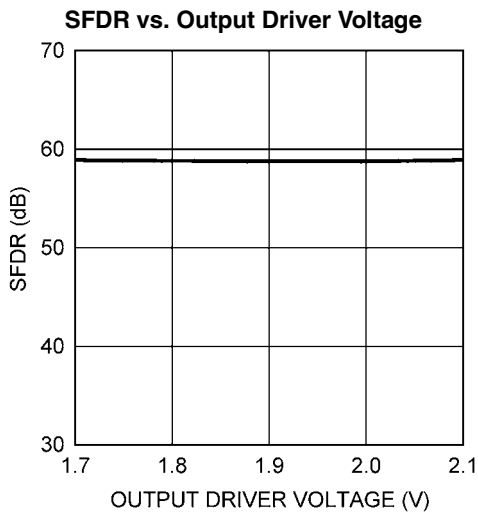
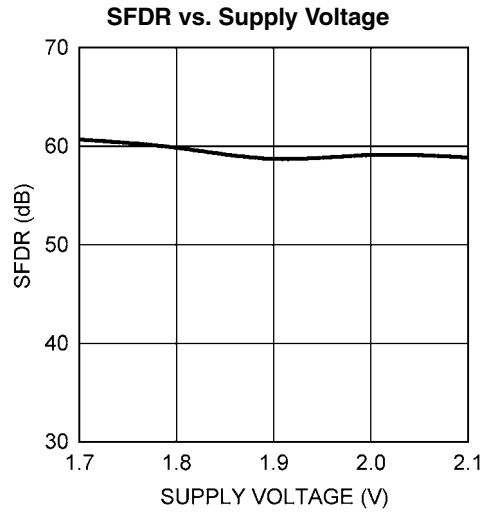
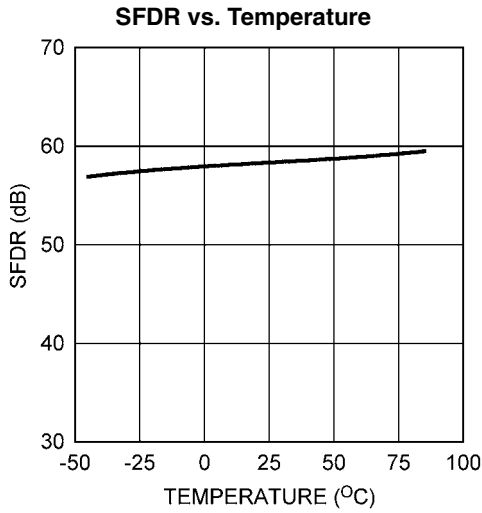
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



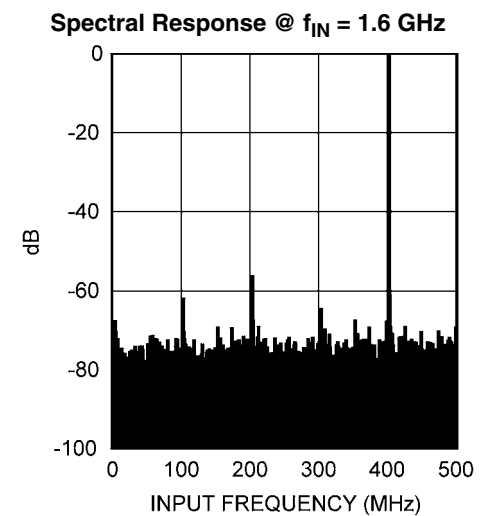
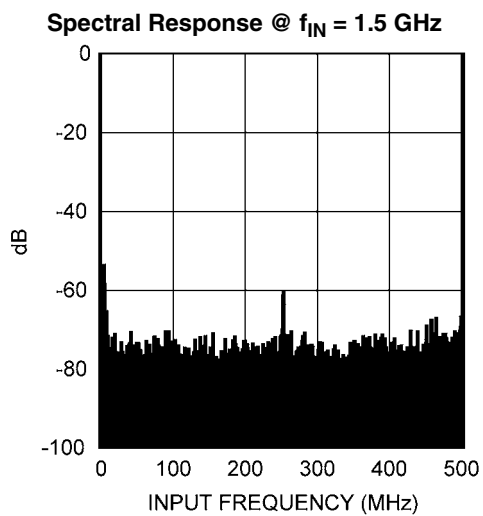
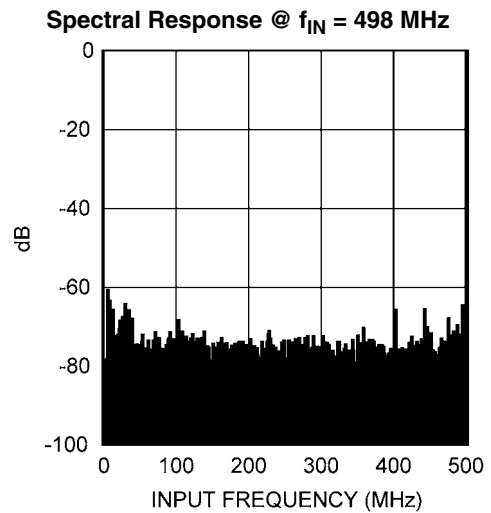
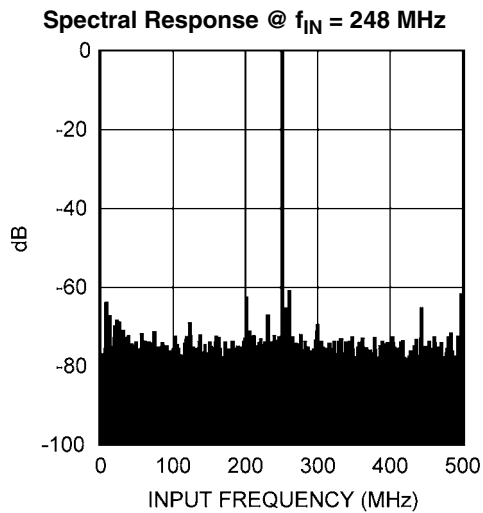
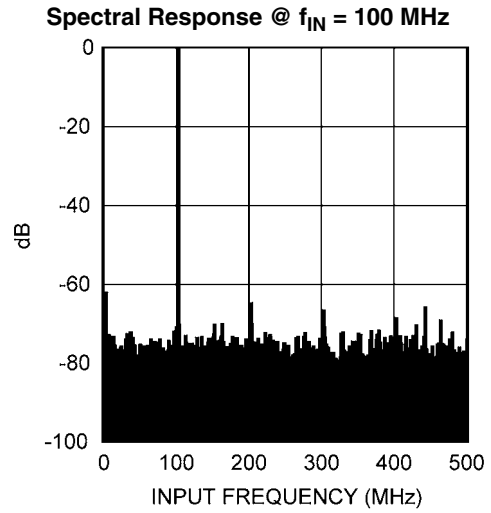
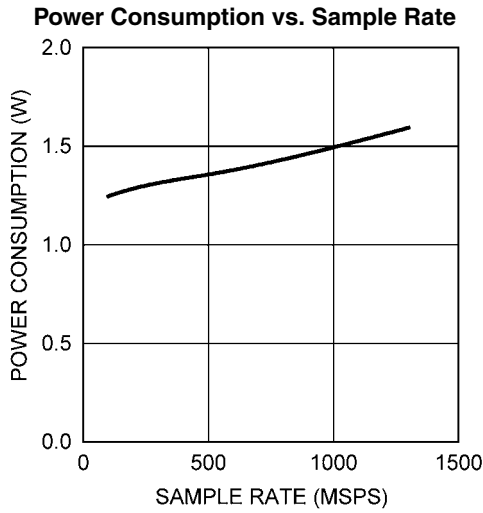
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



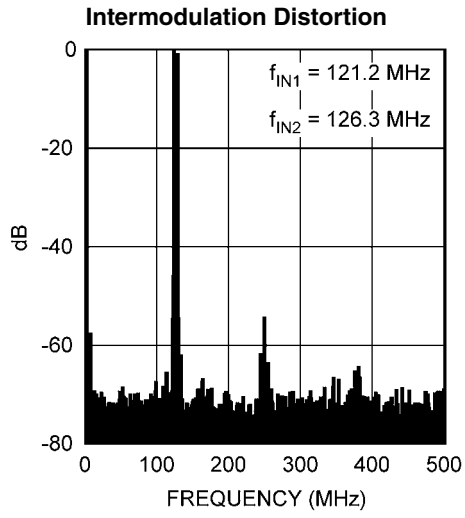
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = +1.9V$ 、 $f_{CLK} = 1GHz$ (差動クロック)、 $f_{IN} = 248MHz$ の差動入力です。温度に対応して示されたパラメータは、各温度において再較正を行ったあとで測定されています。



機能説明

ADC081000 は、高速動作を可能にする革新的なアーキテクチャを備えた、多用途で高性能な使いやすい A/D コンバータです。さまざまな制御機能によって回路ソリューションへの応用が簡単です。ADC081000 はセルフキャリブレーション・フォールディング・アーキテクチャを採用し 7.5 以上の有効ビットを達成しています。フォールディング・アンプの採用によってそれまで必要であった多くのコンパレータの削減と消費電力の節減を果たし、一方で補間によってフロントエンド・アンプの個数を削減し、入力信号の負荷を抑えるとともに電力要件を緩和しています。さらにオンチップ較正機能が、折り返しアーキテクチャにありがちな INL の折れ曲がりを抑えます。結果として、きわめて高速、高性能、かつ低消費電力のコンバータが実現されました。最適な性能を得るために、このセクションと「アプリケーション情報」セクションで述べる要件に従ってください。

1.0 概要

アナログ入力信号、すなわちコンバータの入力電圧範囲は、代表値で 200MSPS から 1.6GSPS のレートにて、8 ビットでデジタル化されます。負のフルスケールに満たない差動入力では出力ワードはすべてゼロになります。正のフルスケールを超える差動入力では出力ワードはすべて 1 になります。出力コードの本来の値が 00h から Ffh の範囲を逸脱した場合、OR (アウト・オブ・レンジ) 出力がアクティブになります。

このコンバータは 2 組の LVDS 出力バスにデータを供給する 1:2 デマルチプレクサを内蔵しています。それぞれのバスからは A/D コンバータのサンプリング・レートの半分のレートでデータ・ワードが出力されます。完全な変換レートで出力ワードを得るために外部でインターリーブが必要です。

出力レベルは通常レベルか低減レベルのいずれかを選択可能です。低減レベルを使用すると電力が節減されますが、特にサンプリング・レートが高いシステムやマージンが少ないシステムで、一部または全部のビットのデータ・キャプチャで誤動作を引き起こす可能性があります。

ADC081000 のリファレンス電圧は 1.254V バンドギャップ・リファレンスから生成され、外部で利用できるように V_{BG} ピンから出力されています。 V_{BG} 出力は $\pm 100\mu\text{A}$ の電流ソースまたはシンクが可能です。

内部バンドギャップから生成されるリファレンス電圧の公称値は、FSR ピンで決まるとおり、600mV または 800mV のいずれかです。詳しくはセクション 1.3 を参照してください。なお、外部リファレンス電圧の使用に関する規定はありません。

完全な差動コンパレータ設計、画期的なサンプル・アンド・ホールド・アンプ設計、さらには自己較正機能の組み合わせによって、1.0GHz を超える SINAD/ENOB 応答を実現しています。ADC081000 出力データ信号方式は LVDS で、その出力フォーマットはオフセット・バイナリです。

1.1 自己較正

自己較正はパワーアップ時に実行されますが、外部からの指示によって実行させることも可能です。較正処理では、100 アナログ入力差動終端抵抗のドリミングと、フルスケール誤差、オフセット誤差、DNL、INL を最小限に抑えるように調整が行われ、その結果、SNR、THD、SINAD(SNDR)、SFDR、ENOB を最大限に高めます。内部バイアス電流も較正処理中に設定されます。電源オン時の較正でも外部指示による較正でも、以上の動作は変わりません。

自己較正の実行はチップの機能にとって重要で、適切な性能を得るためには不可欠です。パワーオン時に実行しなければならぬほか、FSR ピンを変更したときにも自己較正を実行しなければなりません。

最高の性能を得るには、アプリケーションの電源を投入して 20 秒以上が経過してから自己較正を実行するとともに、較正を最後に実行してから周囲温度が 30 以上変化したときに再較正を実行してください。詳細はセクション 5.1.2 を参照してください。

較正プロセスの実行中、入力終端抵抗は $R_{EXT}/33$ に等しくなるようにドリミングされます。外部抵抗 R_{EXT} は 32 ピンとグラウンドの間に接続し、値は $3300 \pm 0.1\%$ でなければなりません。この抵抗値を用いて入力終端抵抗は 100 にドリミングされます。このほか R_{EXT} は、トラック・アンド・ホールド・アンプ、プリアンプ、およびコンパレータが必要とする適切なバイアス電流の設定にも使用されるため、他の抵抗値に変更してはなりません。

通常動作において、較正は電源投入直後のほか、CAL ピンを少なくとも 10 クロック・サイクル Low に維持し続く 10 クロック・サイクル以上 High に維持した場合、有効な較正コマンドが与えられたとして較正処理が実行されます。較正ルーチンの開始では、CAL を 10 クロック・サイクル以上を High にしたあとに CAL ピンを Low にする必要はありません。ただし、パワーオン時に CAL ピンを High に保持していると、CAL ピンが上述のとおり 10 クロック Low 後 10 クロック High になるまで、較正プロセスは実行されません。

CalDly ピンによって電源印加後に開始される較正処理の遅延時間を 2 種類の設定から選択します。CalDly を Low にした場合の較正遅延は 2^{24} クロック・サイクル (1GSPS で約 16.8ms)、CalDly を High にした場合は 2^{30} クロック・サイクル (1GSPS で約 1.07s) です。処理開始を遅延させることで、較正が実行される前に、電源電圧が上昇して安定するまでの時間を確保できます。電源投入時に PD ピンを High に保持すると、PD ピンが Low になるまで較正遅延カウンタはディスエーブルされます。すなわち、電源オン時に PD ピンを High に保つことで、電源投入時の較正サイクルを開始をさらに遅らせることが可能です。

較正処理中は CalRun 出力が High になります。較正が電源投入またはコマンドのいずれで開始された場合でも CalRun 出力の動作は同じです。

デバイスがパワーダウン・モードのときは較正の開始と実行はできません。パワーダウンと較正の関係についてはセクション 1.7 を参照してください。

1.2 入力の取り込み

データは CLK + (18 ピン) の立ち下がりがエッジで取り込まれたあと、デジタル的に等価なデータは、"D" 出力バスには 7 クロック後に、"Dd" 出力バスには 8 クロック後に、それぞれ出力されます。出力にデータが現れるまで実際には t_{OD} の内部遅延がさらに加わります。タイミング図を参照してください。ADC081000 は、クロックが入力され、パワーダウン・ピン PD が Low である限り変換します。

1.3 アナログ入力

ADC081000 は差動入力信号で駆動しなければなりません。入力には、DC_Coup ピンをグラウンドにした場合は AC 結合に、DC_Coup ピンを High にした場合は V_{CMO} 出力電圧に等しくかつ追従する入力同相電圧を持つ DC 結合になります。

フルスケール・レンジは FSR ピンで設定します。FSR を High にすると入力差動フルスケール・レンジは 800mV_{P-P} になり、FSR をグラウンドにすると差動フルスケール・レンジは 600mV_{P-P} に設定されます。

機能説明 (つづき)

1.4 クロック

ADC081000 は AC 結合の差動クロック信号で駆動しなければなりません。クロック入力ピンの使用方法をセクション 4 に示します。また、A/D コンバータからの出力をタッチできるように、差動 LVDS クロックが出力されています。

出力データをキャプチャする外部回路の自由度を高めるため、出力データの同期エッジは、出力データ・クロック (DCLK) の立ち上がりエッジまたは立ち下がりエッジのいずれかに設定が可能です。設定は OutEdge ピンで選択します。OutEdge 入力を High にすると出力データは DCLK の立ち上がりエッジに同期して遷移し、OutEdge を Low にすると DCLK の立ち下がりエッジに同期して遷移します。

1.5 LVDS 出力

データ出力、アウト・オブ・レンジ (OR)、および DCLK は、LVDS に準拠した出力です。差動 100 負荷に対する出力電流源の駆動能力は、OutV 入力が High の場合は 3mA、OutV 入力が Low の場合に 2.2mA です。LVDS の信号線長が短く低ノイズのシステムの場合は、OutV 入力を Low にして低消費電力にしても満足する性能が得られると考えられます。LVDS ラインが長い場合、ADC081000 が使われているシステムにノイズが多い場合、あるいはその両方に該当する場合は、OutV ピンを High にする必要がありますと考えられます。

LVDS レベルは特定の LVDS 仕様を満たすことを想定していませんが、LVDS レシーバとインタフェースがとれる出力レベルにするのが实际的です。

1.6 アウト・オブ・レンジ (OR) 出力

入力信号が範囲外 (アウト・オブ・レンジ) のとき、本来のコードは正のフルスケールより先大くなるか負のフルスケールより先小さくなります。任意のサンプリングに与えられた入力信号がレンジを逸脱している場合、該当ワード時間にわたって OR 出力が High になります。

1.7 パワーダウン

パワーダウン・ピン (PD) が Low のときは、このデバイスはアクティブ状態です。PD ピンを High にするとデバイスはパワーダウン・モードに移行し、デバイスの消費電力は最小限のレベルにまで下がり、出力はハイインピーダンス状態になります。通常動作に復帰する場合、パイプラインは無意味な情報を保持しているため無効として扱わなければなりません。

較正処理の実行中に PD 入力を High にすると、デバイスは較正シーケンスが完了するまではパワーダウン・モードに移行しません。ただし、PD を High にした状態で電源を印加した場合は、PD 入力が Low になるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中にコマンドを使って較正シーケンスを要求した場合でも較正は開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。

1.8 制御ピンと外部利用出力ピンのまとめ

Table 1 と Table 2 に、ADC081000 の各制御ピンと外部利用出力ピンの機能を簡単にまとめます。この表はあくまで参考であり、それぞれのピンの詳細と使用方法についてはデータシート中の説明を参照してください。

TABLE 1. Digital Control Pins

PIN	DESCRIPTION	LOW	HIGH
3	OutV	440mV Outputs	600mV Outputs
4	OutEdge	Data Transition at DCLK Fall	Data Transition at DCLK Rise
14	DC_Coup	A.C. Coupled Inputs	D.C. Coupled Inputs
26	PD	Normal Operation	Power Down
30	CAL	Normal Operation	Run Calibration
35	FSR	600 mV _{p-p} Full-Scale In	800 mV _{p-p} Full-Scale In
127	CalDly	2 ²⁴ Clock Cycles	2 ³⁰ Clock Cycles

TABLE 2. Convenience Output Pins

PIN	DESCRIPTION	USE / INDICATION
7	V _{CMO}	Common Mode Output Voltage.
31	V _{BG}	1.25V Convenience Output.
79 80	OR+ OR-	Differential Out-Of-Range Indication; active high.
126	CalRun	Low is normal operation. High indicates Calibration is running.

アプリケーション情報

2.0 リファレンス電圧

ADC081000 のリファレンス電圧はバンドギャップ・リファレンス電圧 1.254V から生成しており、外部から参照できるように V_{BG} 出力から出力されています。V_{BG} ピンで利用できる出力電流は ±100μA です。これ以上の電流を必要とする場合は V_{BG} 出力をバッファしてください。

内部バンドギャップから生成されるリファレンス電圧によって、セクション 1.3 に説明する FSR ピンのレベルで決まるとおり、フルスケールのピーク・ツー・ピーク振幅が 600mV または 800mV のいずれかに設定されます。外部リファレンス電圧の使用に関する規定はありません。

3.0 アナログ入力

アナログ入力は差動入力で、信号は AC 結合または DC 結合で与えます。Table 3 に FSR ピンを High にしたときの入力と出力の関係を示します。FSR ピンが Low の場合、電圧は Table 3 記載の mV 値の 75% になります。

アナログ入力をバッファした信号で駆動すると A/D コンバータ入力のサンプリングに通常使用される RC ポールは不必要になります。A/D コンバータの前段にアンプを置く場合、適切なノイズ性能と歪み性能、およびアプリケーションが使用する周波数において適切なゲインを持つアンプを選択するようにしてください。

アプリケーション情報 (つづき)

TABLE 3. DIFFERENTIAL INPUT TO OUTPUT RELATIONSHIP (FSR High)

V_{IN+}	V_{IN-}	Output Code
$V_{CM} - 200\text{ mV}$	$V_{CM} + 200\text{ mV}$	0000 0000
$V_{CM} - 99\text{ mV}$	$V_{CM} + 99\text{ mV}$	0100 0000
V_{CM}	V_{CM}	0111 1111 / 1000 0000
$V_{CM} + 101\text{ mV}$	$V_{CM} - 101\text{ mV}$	1100 0000
$V_{CM} + 200\text{ mV}$	$V_{CM} - 200\text{ mV}$	1111 1111

A/D コンバータ入力には高精度な DC 同相電圧を与えなければなりません。DC_Coup(14ピン)がLowで、入力信号がADCとAC結合の場合、必要な同相電圧 V_{CMO} はチップ内部で与えられます。Figure 4を参照してください。

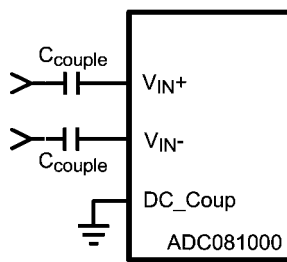


FIGURE 4. Differential Input Drive

DC_CoupピンがHighの場合、アナログ入力はDC結合となり、アナログ入力ピンに対して同相電圧を外部から与える必要があります。この同相電圧は V_{CMO} 出力電圧に追従しなければなりません。 V_{CMO} 出力電圧は温度によって変化する点に注意が必要です。アナログ入力を駆動するデバイスの同相電圧はこの変化に追従できなければなりません。入力同相電圧が V_{CMO} から変位するとフルスケール歪み性能が急激に悪化します。この現象は消費電力を抑えるために低い電源電圧を使用したときに必然的に生じます。入力同相電圧は V_{CMO} の 50mV 以内に維持してください。

正負両方のアナログ入力の入力同相電圧を V_{CMO} の 50mV 範囲内に維持すれば、DC結合時の性能はAC結合時の性能と同等になります。

DC結合を使用する場合は、適切な性能を維持するために、 V_{CMO} ピンを使って入力同相電圧を制御することが最も適切な方法です。

V_{CMO} 出力からの電流は $\pm 1\mu\text{A}$ 以内になるように設定してください。

DC結合モード(DC_CoupピンがHigh)での入力インピーダンスには、 V_{IN+} と V_{IN-} 間に存在する高精度の 100 抵抗と、各入力とグラウンド間に存在する入力容量が含まれます。フルスケールを逸脱して入力を駆動すると、飽和またはクリッピングによって正しいデータが出力されません。

3.1 シングルエンド・アナログ信号の取扱い

ADC081000 はシングルエンド入力信号を適切に扱える手段を備えていません。シングルエンド信号を取り扱う場合は、シングルエンド信号をA/Dコンバータに与える前に差動信号に変換する方法が最も適切です。シングルエンドから差動信号への最も簡単な変換手段は、Figure 5に示すようなバラン接続のトランスです。

バランは、超周波に特化した設計でトランスより広い帯域幅を持つため、超周波で使用の場合はトランスより適しています。

ADC081000 は、シングルエンドで動作させるように設計されていないため、シングルエンドでの使用は推奨できません。ただし、性能の低下が許容できる場合は、使用しない入力をコンデンサでACグラウンドにバイパスするか、直接 V_{CMO} ピンに接続することによってADC081000をシングルエンド信号で駆動します。入力ピンを直接グラウンドに接続しないでください。

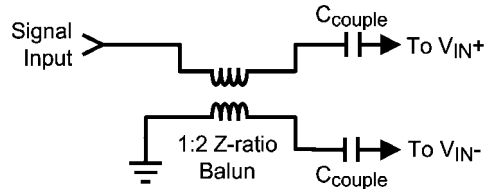


FIGURE 5. Single-Ended to Differential signal conversion with a balun-connected transformer

ADC081000 アナログ入力にDC結合で接続する場合、シングルエンドから差動への信号変換はFigure 6に示すように、LMH6555を使えば簡単です。このようなアプリケーションで LMH6555 は、ADC081000 に必要な低歪みと低ノイズ、および出力の平衡を維持しながら、シングルエンドから差動に信号変換を行います。適当なバッファを介して ADC081000 V_{CMO} ピンを LMH6555 の $V_{CM,REF}$ に接続すると、ADC081000 の最適な性能に必要な同相入力電圧が確保されます。Figure 6を参照してください。ここでは、低電圧で動作しオフセット電圧の小さいLMV321を、Figure 6のバッファに選択しています。ADC081000 V_{CMO} ピンからの出力電流を $1.0\mu\text{A}$ に制限してください。

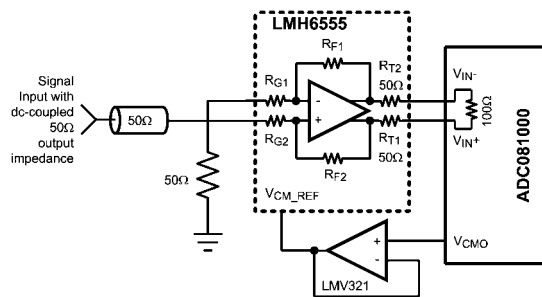


FIGURE 6. Example of Serving the Analog Input with V_{CMO}

3.2 アウト・オブ・レンジ (OR) 出力

クリッピングされた変換結果が得られた場合、OR + が High になり OR - が Low になって、範囲外 (アウト・オブ・レンジ) であることを示します。出力バスのいずれかから出力される本来のデータが 00h から FFh のレンジを逸脱している限り、OR 出力はアクティブの状態を続けます。

3.3 フルスケール入力レンジ

あらゆる A/D コンバータと同様に、入力レンジは A/D コンバータのリファレンス電圧によって決まります。ADC081000 のリファレンス電圧は、内部バンドギャップ・リファレンスから生成しています。FSR ピンは ADC081000 の実効リファレンス電圧を制御し、FSR ピンが High のときアナログ入力の差動フルスケール入力レンジは 800mV_{P-P} 、FSR ピンが Low のときは 600mV_{P-P} になります。最高の SNR は FSR が High の場合に得られますが、より優れた歪み性能と SFDR 性能は FSR が Low のときに得られます。LMH6555 はいずれの設定にも適しています。

アプリケーション情報 (つぎ)

4.0 クロック入力

ADC081000 は差動 LVDS クロック入力 CLK + と CLK - を備えています。これらのクロック・ピンは AC 結合の差動クロック信号で駆動しなければなりません。ADC081000 は差動 1.0GHz クロックで試験され、その性能が保証されていますが、通常は「電気的特性」記載のクロック周波数で良好な性能を発揮します。クロック入力は内部終端され、バイアスが加えられています。クロック信号は Figure 7 に示すように、クロック・ピンに容量性結合している必要があります。

動作定格を超えない条件において、「電気的特性」の表に記載されたサンプリング・レートを上限とする動作が可能です。与えられた周囲温度で、規定されているサンプリング・レートより高いサンプリング・レートで動作させると、デバイスの信頼性と製品寿命を損ねる結果を招く場合があります。その理由は、サンプリング・レートが高くなると消費電力が大きくなり、ダイ温度が上昇するためです。信頼性の確保では適切なサーマル・マネジメントも重要です。セクション 7.2 を参照してください。

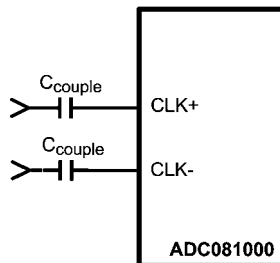


FIGURE 7. Differential (LVDS) Clock Connection

差動クロック・ライン・ペアは 100 の特性インピーダンスを備えていなければなりません。クロック・ラインは、できる限り短く、また、できる限り直接配線してください。ADC081000 のクロック入力はリミング調整されていない内蔵 100 抵抗によって内部終端されています。

クロック・レベルが十分にないとダイナミック性能が悪化します。過度のクロック・レベルはアナログ入力オフセット電圧を変化させる可能性があります。このような問題を防ぐために、クロック・レベルは「動作定格」の規定範囲に従ってください。

ADC081000 はデューティ・サイクル 50% のクロックを用いた 1.0GSPS 動作試験によって性能が規定され保証されていますが、性能は本質的にはクロックのデューティ・サイクルには依存しません。ただし、動作温度範囲にわたって性能を維持するために、クロックの最小 High 時間と最小 Low 時間とが「電気的特性」表で規定される範囲に維持されるように、入力クロックのデューティ・サイクルを管理してください。

ADC081000 のような高速かつ高性能な A/D コンバータは、位相ノイズ、すなわちジッタの少ないきわめて安定したクロックを必要とします。A/D コンバータのジッタ要件は、A/D コンバータの分解能 (ビット数)、A/D コンバータの最高入力周波数、および A/D コンバータ入力フルスケール・レンジに対する入力信号振幅の比で決まります。ジッタに起因する SNR 低下を生じさせない許容される最大ジッタ (すべてのジッタ源に起因するジッタの合計) は次のとおりです。

$$t_{j(\text{MAX})} = (V_{\text{IN(P-P)}}/V_{\text{INFSR}}) \times (1/(2^{(N+1)} \times \pi \times f_{\text{IN}}))$$

ここで、 $t_{j(\text{MAX})}$ は全ジッタ源の rms の合計で単位は秒、 $V_{\text{IN(P-P)}}$ はアナログ入力信号のピーク・ツー・ピーク値、 V_{INFSR} は A/D コンバータのフルスケール・レンジ、"N" は A/D コンバータの分解能で単位はビット数、 f_{IN} は A/D コンバータのアナログ入力の最高入力周波数で単位は Hz です。

上述の最大ジッタは、A/D コンバータ・クロックのジッタ、システムによって A/D コンバータ・クロックと入力信号に追加されるジッタ、および A/D コンバータ自身によって追加されるジッタを含む、すべてのジッタ源の rms 合計です。A/D コンバータが追加するジッタは設計者が管理できる範囲の外にあるため、設計者は、外部回路が追加するクロック・ジッタと、アナログ回路がアナログ信号に追加するジッタの合計を最小限に抑えるように努めなければなりません。

5.0 制御ピン

7 本の制御ピンが ADC081000 の動作に幅広い可能性を与えその応用を広げます。制御ピンによって、フルスケール入力レンジの設定、自己較正の開始、較正遅延の設定、出力同期エッジの選択、LVDS 出力レベルの選択、パワーダウン機能などがサポートされます。

5.1 自己較正

定格性能を発揮するために ADC081000 は自己較正の実行を必要とします。この処理はパワーアップ時に実行されますが、外部からのコマンド指示によって実行させることも可能です。較正処理は、パワーオン時にクロックが印加されている状態でも、あるいは電源印加後にある時間を経過してからクロックを与えた場合でも同一です。較正処理の実行中は CalRun 出力インジケータが High になります。

5.1.1 パワーオン較正

パワーオン較正は、電源を印加後、ある遅延ののちに開始されます。この時間遅延はセクション 1.1 に記載のとおり CalDly の設定で決まります。

電源投入時に CAL ピンを High にしていると較正処理は実行されません。この場合、較正サイクルはコマンドによる較正が行われるまで開始されません。電源投入時に CAL ピンを High にすると、ADC081000 は動作しますが較正は行われなため、十分な性能が得られません。ただし、パワーオン後に CAL ピンを High にすることでマニュアル較正を実行可能です。セクション 5.1.2 の「コマンドによる較正」を参照してください。

内部パワーオン較正回路はランダムな状態で起動します。クロックが電源投入時に入力されておらず、パワーオン較正回路がアクティブな場合、デバイスはアナログ回路をパワーダウンし、消費電力は通常 200mW 未満になります。クロックが与えられると消費電力は通常の値に戻ります。

5.1.2 コマンドによる較正

CAL ピンを少なくとも 10 クロック・サイクルにわたって High にしたあと、少なくとも 10 クロック・サイクルにわたって Low にすると、較正を任意のタイミングで開始することができます。電源投入時に CAL ピンを High にしておくと、CAL ピンを少なくとも 10 クロック・サイクルにわたって Low にしたあと、少なくとも 10 クロック・サイクルにわたって High にするまで、パワーオン較正は行われません。較正サイクルは CAL ピンを High にした 10 クロック後に開始されます。

要求していないにもかかわらずランダムなノイズによって較正が開始されないように、最小 10 クロック・サイクルのシーケンスを必要としています。セクション 1.1 に説明したように、最善の性能を得るには、電源オンから 20 秒以上経過した時点と、また自己較正を最後に実行してから周囲温度が 30 以上変化した場合に自己較正を実行してください。ダイ温度が 30 変化するごとに SINAD 性能はおおよそ 1.5dB 低下し、ENOB はおおよそ 0.25 ビット低下します。

アプリケーション情報 (つぎ)

5.2 較正遅延

CalDly 入力 (127 ピン) は、セクション 1.1 に記載のとおり、電源電圧印加後の較正処理の開始を 2 種類の遅延時間から選択します。較正実行を遅延させることで、較正実行を行う前に電源の安定時間が確保されます。遅延がない場合、あるいは遅延が十分ではない場合、電源が動作状態に安定しない前に較正が実行される可能性があり、最適化されていない較正係数が得られてしまいます。電源投入時に PD ピンを High に保持すると、PD ピンが Low になるまで較正遅延カウンタはディスエーブルされます。すなわち、電源オン時に PD ピンを High に保つことで、電源投入時の較正サイクルの開始をさらに遅らせることが可能です。CalDly ピンの最適な設定は、電源の電圧セトリング時間によって異なります。

5.3 出力エッジ同期

コンバータ出力データを外部回路でラッチできるように DCLK 信号が出力されています。出力データは DCLK 信号のいずれかのエッジに同期が可能です。すなわち、出力データの同期エッジは、出力データ・クロック (DCLK) の立ち上がりエッジまたは立ち下がりがエッジのいずれかに設定することができ、外部の受信回路は DCLK 信号の対応するエッジを使って出力データをラッチします。

OutEdge が High のとき、出力データは DCLK + の立ち上がりエッジに同期 (変化) します。OutEdge が Low のとき、出力データは DCLK + の立ち下がりがエッジに同期します。

ADC081000 が対応可能なきわめて高い周波数では、DCLK とデータ・ラインのわずかなトレース長の違いがデータ・キャプチャの成功あるいは失敗につながります。OutEdge ピンを使うことで、アプリケーション回路とレイアウトに最も適した DCLK エッジでデータをキャプチャすることが可能になります。

5.4 パワーダウン機能

パワーダウン (PD) ピンが High のとき、ADC081000 は低電力モードになり、消費電力が大いに低下します。

デジタル出力ピンは、クロックが停止した場合は最終変換出力コードを維持し、PD ピンを High にした場合はハイインピーダンス状態になります。ただし、通常動作に復帰 (クロックの再印加と PD ピンを Low) する場合、パイプラインは無意味な情報を保持しているため無効として扱わなければなりません。

較正処理の実行中に PD 入力を High にすると、デバイスは較正シーケンスが完了するまではパワーダウン・モードに移行しません。ただし、PD を High にした状態で電源を印加した場合は、PD 入力が Low になるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中にコマンドを使って較正シーケンスを要求した場合でも較正は開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。

6.0 デジタル出力

ADC081000 は出力データを 2 系統の LVDS 出力バスにデマルチプレクスして出力します。

CLK + ピンの奇数立ち下がりがエッジで開始された連続変換の結果は 2 つの LVDS の片方から出力され、CLK + ピンの偶数立ち下がりがエッジで開始された連続変換の結果は他方の LVDS から出力されます。すなわち、各 LVDS バスのワード・レートは ADC081000 クロック・レートの半分になることを意味し、全体で 1GSPS 変換結果を得るために 2 系統のバスをインターリーブして使用します。

このデバイスの推奨最小クロック・レートは 200MSPS であるため、有効なサンプル・レートは 2 つの LVDS バスのいずれかと 200MHz

入力クロックから得られる結果を利用して減らすことができます。この場合、200MSPS を 1/2 に間引きしています。

両方の LVDS 出力を外部でラッチできるように LVDS クロック・ペアが出力されています。データが DCLK + の立ち上がりまたは立ち下がりのいずれかで送出されるかは、セクション 5.3 で説明したように、OutEdge ピンのレベルで決まります。

TOutV ピンは LVDS 差動出力レベルの設定に使用します。セクション 1.5 を参照してください。

出力フォーマットはオフセット・バイナリです。したがって、 V_{IN-} に対して V_{IN+} が正の場合のフルスケール入力レベルの出力コードはすべて 1 となり、 V_{IN-} に対して V_{IN-} が正の場合のフルスケール入力レベルの出力コードはすべてゼロとなり、 V_{IN+} と V_{IN-} が等しい場合の出力コードは 127 または 128 になります。

7.0 電源の考慮事項

A/D コンバータは大きな過渡電流を引き込むため、電源バイパスを適切に行わないと電源回路が損傷します。33 μ F のコンデンサを A/D コンバータの電源ピンから 2.5cm (1 インチ) 以内に配置してください。0.1 μ F のコンデンサを各 V_A ピンのそれぞれに、可能なら 5mm 以内のできるだけ近くに配置してください。リード・インダクタンスの小さなリードレス・チップ・コンデンサを推奨します。電源層とグラウンド層を PC ボードの隣接レイヤに配置すると、ESL の低い優れた電源バイパス・コンデンサが形成されます。

デジタル・ノイズが A/D コンバータのアナログ回路部分に混入しないように、 V_A と V_{DR} 電源ピンは分離してください。共通の電源で両者を駆動する場合は、電源ラインの間に JW Miller 社の FB20009-3B のようなフェライト・チョークを挿入することを推奨します。

他の高速コンバータと同じく ADC081000 の電源除去性能は十分ではありません。大きなデジタル電力を消費するシステムでは、デジタル回路用に使用する電源を ADC081000 の電源として使用しないでください。A/D コンバータ用に専用電源が存在しない場合は、他のアナログ回路用の電源を使用してください。

7.1 電源電圧

ADC081000 は 1.9V \pm 0.1V の電源電圧範囲で動作するように規定されています。ADC081000 はわずかに高い電源電圧でも動作しますが、高い電圧を与えると製品寿命を縮めてしまいますので注意してください。

いかなるピンも、トランジェントによる変動時であっても、電源電圧以上やグラウンドから 150mV 以下になる電圧が印加されないようにしてください。これは回路に供給する電源とパワー・シャットダウン回路に依存する問題です。すべてのアナログおよびデジタル入力が ADC081000 の電源ピンの電圧が立ち上がるより先速く立ち上がらない回路に設計されているかを確認してください。

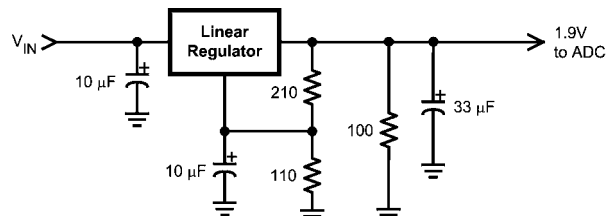


FIGURE 8. Non-Spiking Power Supply

アプリケーション情報 (つづき)

電源投入時およびパワーダウン時も含めて、絶対最大定格には厳密に従わなければなりません。ターンオン時かターンオフ時、またはその両方で電圧スパイクを発生する電源は、ADC081000を破壊する可能性があります。電源オーバーシュートから保護する回路の一例を Figure 8 に示します。

多くのリニア・レギュレータは、最小負荷が存在しないとパワーオン時に出力スパイクを発生します。アクティブなデバイスは電源電圧が数百 mV に達するまではさわめてわずかな電流しか引き込みません。その結果、電源に最小負荷を接続しないでおくと、ADC081000 を破壊し得るターンオン・スパイクが発生します。Figure 8 に示すレギュレータに接続した 100 Ω 抵抗がパワーオン時に最小出力電流を与え、ターンオン・スパイクの発生を防ぎます。

この回路で入力電圧が 4V から 5V の範囲であれば LM317 リニア・レギュレータで十分です。3.3V 電源を使用する場合は LM1086 リニア・レギュレータを推奨します。また、抵抗性損失を抑えるために、電源供給系統のインピーダンスを低くするとともに、電源ノイズを抑えてください。

出力ドライバは動作定格表記載の範囲にある電源電圧 V_{DR} を必要とします。 V_{DR} は電源電圧 V_A を超えてはなりません。また、 $V_A + 100\text{mV}$ 以上のスパイクを重畳させてはなりません。

クロック信号を与えない状態で電源を印加すると、デバイスが引き込む電流は 100mA 未満になることがあります。その理由は、ADC081000 はクロックで動作するロジックでリセットされるためですが、その初期状態はランダムです。リセット・ロジックが「ON」状態でパワーオンした場合、ほとんどのアナログ回路はパワーダウンとなって 100mA 未満の電流しか引き込みません。この電流値がパワーダウン・モードでの電流値より大きい理由は、A/D コンバータのすべての回路がパワーダウンするわけではないからです。デバイス電流は正常なクロックが与えられると消費電力は通常値に戻ります。

7.2 サーマル・マネジメント

ADC081000 は、その動作速度のレベルとしてはさわめて小さな消費電力にて、特筆すべき高速性と高性能を達成しています。しかし、サーマル・マネジメントに注意を払う必要があるほど消費電流は大きな値を示します。信頼性の面からダイ温度は最高 130°C に維持しなければなりません。すなわち、A/D コンバータの消費電力と J_A (接合部周囲熱抵抗) との積に t_A (周囲温度) を加えた値が 130°C を超えてはなりません。ただし、周囲温度の最高が +85°C 以下に保たれ、デバイスが PC ボードにハンダ付けされ、サンプリング・レートが 1GSps 以下であれば問題にはなりません。

以下に露出パッド・デバイスを PCB に実装する一般的な推奨事項を示します。このガイドラインを PCB と製造工程の開発のスタートポイントと考えてください。パッケージ実装の過去の経験に基づいてプロセス開発を行うことを推奨します。

ADC081000 のパッケージ裏面には露出パッドがあり、プリント回路板に対して重要な放熱経路を提供するとともに、電氣的に優れたグラウンド経路を形成します。PCB にリードを実装するランド・パターン設計は従来の LQFP と同じですが、露出パッドはパッケージの熱をできるだけ逃がし、また製品の性能を最高レベルに発揮させるようにボードに実装します。

パッケージから熱をできるだけ逃がすには、パッケージのフットプリント内にサーマル・ランド・パターンを設けます。デバイスの露出パッドは、パッケージから適切な熱伝導が確保されるようにハンダ付けしなければなりません。この露出パッド用のランド・パターンは、パッケージの露出パッド・サイズ 5mm × 5mm より大きく、かつ、デバイスの露出パッド全体がそのサーマル・ランド・パターンに収まるように設計しなければなりません。サーマル・ランド・パターンは電氣的にグラウンドに接続します。露出パッド用ランド・パ

ターンとパッケージ・ピンの実装パッドとの間には、0.5mm 以上のクリアランスを設けてください。

大きなアパーチャはリリースが悪くなるため、Figure 9 に示すランド・パターンのように小さなアパーチャ配列に分割してください。

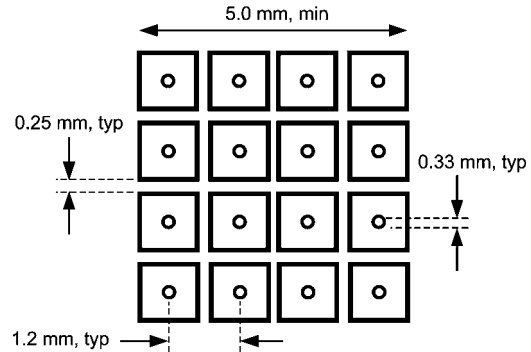


FIGURE 9. Recommended Package Land Pattern

接合部温度をできるだけ下げするために単純なヒートシンクを PCB 上に形成してください。PCB の裏面に 5.1cm × 5.1cm (2 インチ × 2 インチ) 以上の銅箔パッドを設けます。銅箔領域には腐食を防止するためにメッキまたはハンダ・コートが必要ですが、断熱効果のある絶縁コーティングは行わないでください。表面と裏面の銅箔領域どうしをサーマル・ビアで接続します。このサーマル・ビアは、「ヒートパイプ」として、ボードのデバイス面から効果的な放熱が期待できるボード裏面に熱エネルギーを伝えます。9 個から 16 個のサーマルビアを推奨します。

サーマル・ビアは 1.2mm の格子間隔で配置し、その直径は 0.30mm から 0.33mm とします。ハンダ・プロセス中にビア内に入ったハンダによって、パッケージ露出パッドと PCB のサーマル・ランドとの間にボイド (気泡) が生じないように、サーマル・ビア内側にはパレル・メッキを行ってください。このようなボイドはボード上のサーマル・ランドとデバイス間の熱抵抗を高めることがあり、デバイスの温度を上昇させてしまいます。

FR-4 基材のボードと上述の埋め込みヒートシンク (25cm² のパッドと 9 個のサーマル・ビア) を使った場合、ダイ温度はおおよそ 20 秒後に周囲温度から 30°C 高い温度で安定します。

ダイ温度をモニタしたい場合はサーマル・ビア近くのボード上のヒートシンク領域に温度センサを実装します。この場合、温度センサと ADC081000 ダイの J_C の差に消費電力の代表値を乗じた $2.8 \times 1.43 = 4^\circ\text{C}$ の誤差を許容する必要があります。ダイから温度センサに対して 5°C (その他の要因として 1°C を加算) の温度低下を考慮して、パッド温度の最大読み取り値を 125°C 以下に維持すれば、ADC081000 が正しくハンダ付けされサーマル・ビアが適切に設けられていると仮定した場合に、ダイ温度は 130°C を超えることはありません。

アプリケーション情報 (つづき)

8.0 レイアウトとグラウンド

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。グラウンド層はアナログ領域とデジタル領域とに分割するのではなく、単一の信号グラウンド層を使用してください。

デジタル信号のスウィッチング・トランジェントには多くの高周波成分が含まれますが、グラウンド層全体の銅箔質量はロジックに起因するノイズにわずかな効果しか与えないことが、表皮効果理論から理解されます。グラウンド層の全質量より先表面面積のほうが重要です。一般にノイズが多いデジタル回路部分とノイズに高感度なアナログ回路部分をカップリングすると性能低下を招き、両回路の分離とノイズ対策が困難になります。解決策はアナログ回路部分をデジタル回路部分から分離させることです。

アナログ信号部品に電源を供給するリニア部品または電源トレースまたは電源層の上または近くに、大電力を消費するデジタル部品を配置してはなりません。形成されるデジタルのリターン電流パスが、A/D コンバータのアナログ入力の「グラウンド」リターンに変動を与える可能性があり、変換結果に過度のノイズを誘引してしまいます。

一般に、アナログ・ラインとデジタル・ラインを 90° で交差させれば、アナログ・パスにデジタル・ノイズは混入しないものとして考えられます。しかし、ビデオ (高周波) システムでは、アナログ信号ラインとデジタル信号ラインの互いが交差する配線は避けなければなりません。クロック・ラインは、アナログ信号ラインやデジタル信号ラインなどすべてのその他のラインからアイソレートしてください。一般的に受け入れられている 90° でアナログ / デジタル信号ラインを互いに交差させる方法は、高周波でのちょっとしたカップリングによって問題が起こる可能性があるため避けるべきです。高周波で最大限の性能は、まっすぐな信号経路に配線して得られます。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にアイソレートしてください。ADC081000 が必要とする低電圧駆動では特に重要です。コンバータの入力とアナログ・グラウンドの間に接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の十分にクリーンな点に接続してください。すべてのアナログ回路 (入力アンプ、フィルタなど) は、他のあらゆるデジタル部品から離して配置してください。

9.0 ダイナミック特性

ADC081000 は AC 試験の実施によってダイナミック特性が保証されています。公表仕様を満たし、またシッタに起因するノイズを防ぐには、CLK 入力を駆動するクロック・ソースは低 rms シッタでなければなりません。許容可能なシッタは、セクション 4.0 記載のとおり、入力周波数と入力信号レベルの関数です。

A/D コンバータのクロック・ラインは、できるだけ短く配線し、他の信号から適切に離し、かつ、伝送線路として取り扱うことが望まれます。クロック以外の信号がクロック信号に対してシッタの原因となる可能性があります。同様にクロック信号も、アナログ信号と適切に分離していない場合には、アナログ信号にノイズを与えることがあります。

最高のダイナミック性能はパッケージ裏面の露出パッドがグラウンドに適切に接続されている状態で得られます。その理由は、ダイからグラウンドへのパスの方がパッケージのグラウンド・ピンよりインピーダンスが低いからです。

10.0 アプリケーション共通の注意事項

電源電圧の許容値を緩和する

ADC081000 は 1.8V から 2.0V で動作するように規定されています。1.8V 電源を使用した場合、低電圧側への許容度が存在しないことを意味します。セクション 7.1 で説明したように、1.9V を設定できる LM317 や LM1086 のようなリニア・レギュレータを使うことが、適切なソリューションです。

電源電圧を超えて入力 (アナログまたはデジタル) を駆動するデバイスの信頼性の観点から、どの入力にもグラウンドから 150mV 以上低い電圧、あるいは電源電位から 150mV 以上高い電圧を与えてはなりません。これらのリミットを信号の遷移時においても超過すると、性能低下あるいは誤動作を引き起こすだけでなく、デバイスの信頼性を損ねることがあります。高速デジタル回路では、グラウンド電位を下回るアンダーシュートが印加されることは珍しくありません。高速信号ラインのインピーダンスを管理するとともに、それらラインを特性インピーダンスで終端して、オーバーシュートを制御してください。

ADC081000 の入力をオーバー・ドライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

DC 結合モード時に不適切なアナログ入力同相電圧を与えるセクション 1.3 と 3.0 で説明したとおり、入力同相電圧は、 V_{CMO} 出力電圧の 50mV 以内に維持し、かつ温度変動に追従させなければなりません。入力同相電圧が V_{CMO} から 50mV 以上乖離すると歪み性能が低下します。

不適切なアンプを使ってアナログ入力をドライブしないこと
多くの高速アンプは ADC081000 より歪みが大きく、システムの全体性能を悪化させてしまうため、ADC081000 を駆動する高周波アンプの選定には注意が必要です。

 V_{BG} ピンを駆動してリファレンス電圧を変更する

セクション 1.3 に記載したとおり、リファレンス電圧は 2 種類のフルスケール値 (600mV_{P,P} と 800mV_{P,P}) を与えるために固定されています。 V_{BG} ピンを駆動してもフルスケール値が変わることはなく、逆に誤動作を招きます。

クロック入力を過度に高い信号レベルで駆動する

入力オフセット誤差が大きくなる恐れがあるため、A/D コンバータのクロックに「動作定格」表記載の値を超える電圧を与えてはなりません。

不適切なクロック・レベル

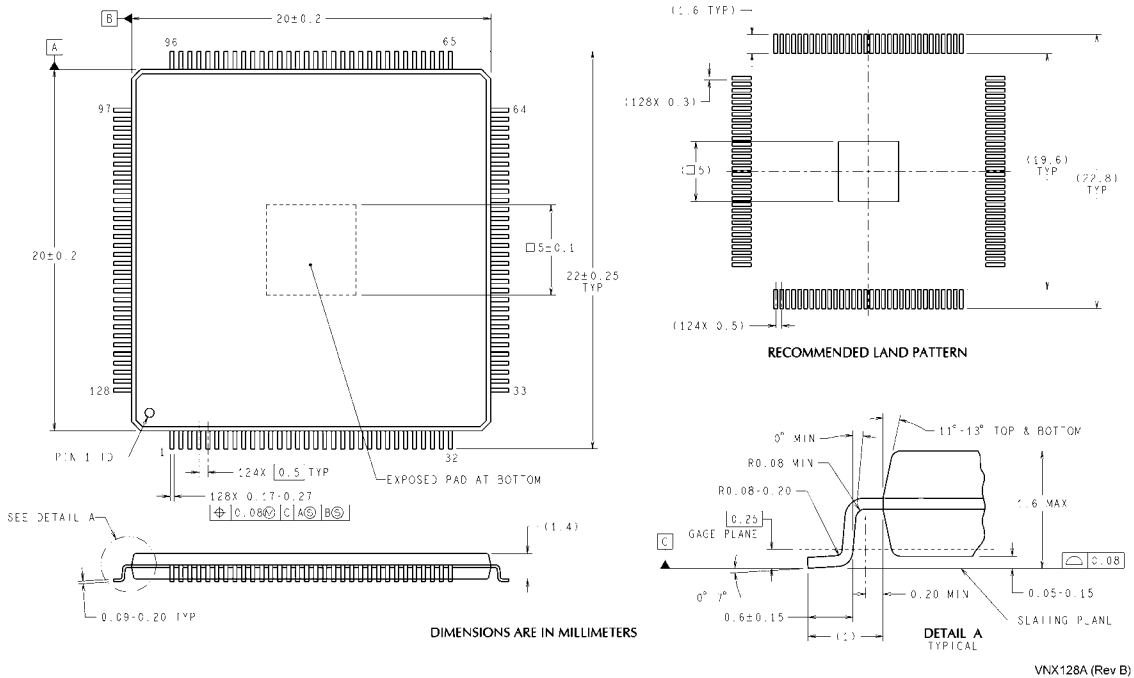
セクション 4.0 で説明したように、不十分なクロック・レベルは性能劣化につながります。過度のクロック・レベルは入力オフセットの増加を招きます。

過度に長いクロック信号トレースを使用する、またはクロック信号トレースに他の信号が結合している
この場合には、サンプリング間隔が変化し、過度の出力ノイズを発生し、かつ SN 比の劣化を招きます。

放熱が適切に行われていない

セクション 7.2 で述べたように、デバイスの信頼性を確保するためには適切な放熱が不可欠です。適当なエアフローがボード上に形成する単純なヒートシンクで実現可能です。適切な性能を得るために裏面のパッドはグラウンドに接続してください。

外形寸法図 特記のない限り inches (millimeters)



NOTE: 特記のない限り
JEDEC 登録 MS-026、VARIATION BFB を参照。

128-Lead Exposed Pad LQFP
Order Number ADC081000CIYB
NS Package Number VNX128A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上