

ADC083000

ADC083000 8-Bit, 3 GSPS, High Performance, Low Power A/D Converter



Literature Number: JAJSAK5



ADC083000

8ビット、3GSPS、高性能、低消費電力 A/D コンバータ

概要

ADC083000 は、最高サンプリング・レート 3.4GSPS でアナログ信号を分解能 8ビットでデジタイズできる回路を搭載した低消費電力かつ高性能な CMOS A/D コンバータです。1.9V の単一電源で 3GSPS 動作時に代表値で 1.9W を消費する ADC083000 は、全動作温度範囲にわたってノー・ミッシング・コードが保証されています。独自のフォールディングおよび補間方式、完全差動コンパレータ設計、内蔵サンプル・ホールド・アンプの革新的な設計と自己較正により、3GHz のサンプル速度を達成して、 10^{-18} の B.E.R を提供し、ナイキスト周波数まですべての動的パラメータの非常に平坦な応答を可能として、748MHz の入力信号でも 7.0 という高い有効ビット (ENOB) を示します。ADC083000 は 1.5GSPS の入力クロックの立ち上がり¹と立ち下がりエッジ²を使用して 3GSPS を達成します。出力フォーマットはオフセット・バイナリ形式です。LVDS デジタル出力は、同相電圧が 0.8 ~ 1.15V に調整可能な点を除いて、IEEE1596.3-1996 に準拠しています。

この A/D コンバータは 4 組の LVDS バスに出力する 1:4 のデマルチプレクサを備え、それぞれのバスのデータ・レートをサンプリング・レートの 4 分の 1 に抑えます。

コンバータの消費電力はパワーダウン・モード時に代表値で 25mW 未満です。熱特性を高めた 128 ピンの露出パッド LQFP で提供され、工業温度範囲 (- 40 T_A + 85) で動作します。

特長

- サンプル / ホールド機能内蔵
- 単一の + 1.9V \pm 0.1V 電源で動作
- SDR または DDR の出力クロック方式を選択可能
- ノー・ミッシング・コード保証
- 拡張制御用シリアル・インタフェース
- 入力フルスケール範囲とオフセットの調整
- 試験用のパターン・データの発生

主な仕様

分解能	8ビット
最大変換レート	3GSPS (min)
ビット・エラー・レート	10^{-18} (typ)
有効ビット (ENOB) 748MHz 入力時	7.0ビット (typ)
748MHz における SNR	44.5dB (typ)
フルパワー帯域幅	3 GHz (typ)
消費電力	
動作時	1.9W (typ)
パワーダウン・モード	25mW (typ)

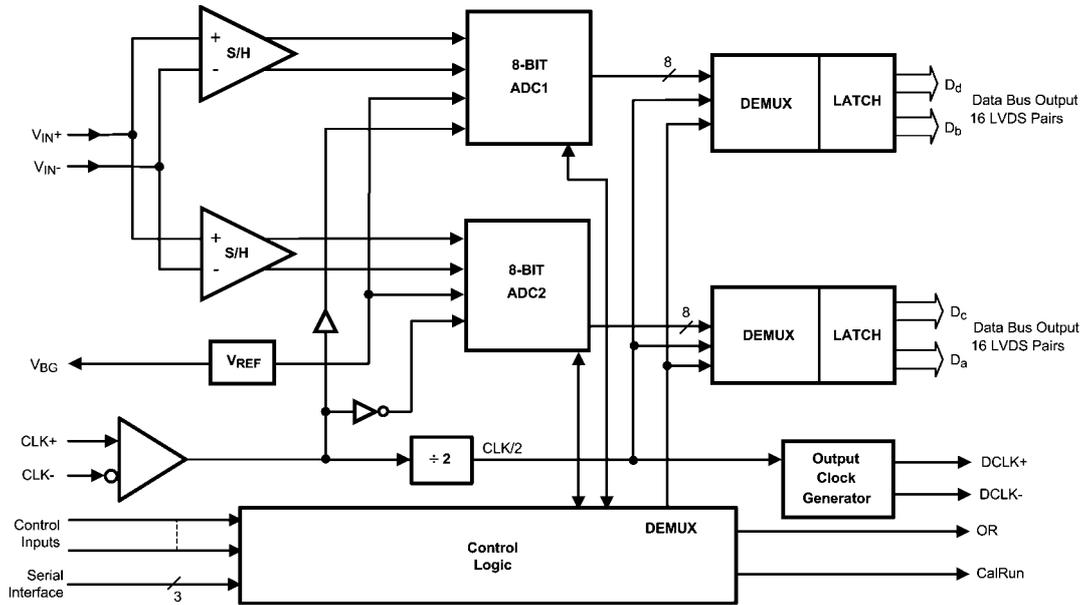
アプリケーション

- RF のダイレクト・ダウン・コンバージョン
- デジタル・オシロスコープ
- セットトップ・ボックス
- 通信システム
- 試験測定機器

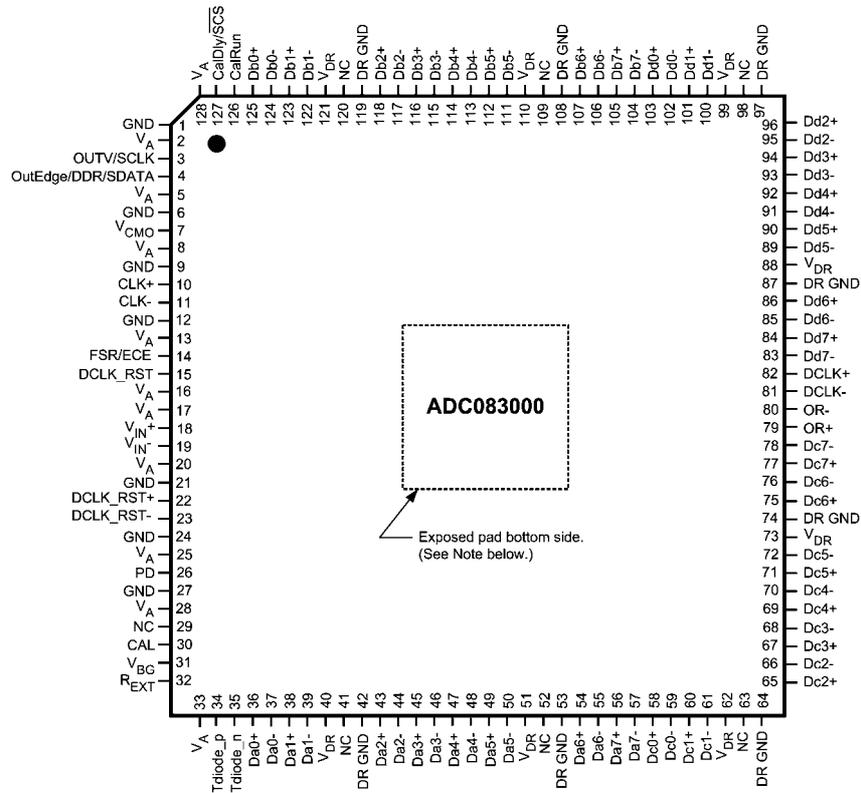
製品情報

Industrial Temperature Range (-40°C < T_A < +85°C)	NS Package
ADC083000CIYB	128-Pin Exposed Pad LQFP
ADC08x3000EB	Development Board

ブロック図



配置図



Note: パッケージ裏面の露出パッドは、定格性能を維持するために、グラウンド層にハンダ付けしてください。

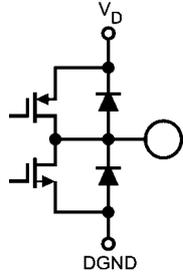
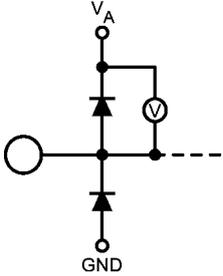
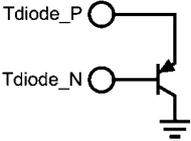
ピン説明および等価回路

機能説明			
ピン番号	シンボル	等価回路	説明
3	OutV / SCLK		<p>出力電圧振幅の選択、またはシリアル・インタフェース・クロック。 (Input): LVC MOS 差動 DCLK 出力と差動データ出力に通常の差動振幅を与えるにはこのピンを High に接続します。振幅を小さくして消費電力を抑えるには、このピンをグラウンドに接続します。セクション 1.1.6 を参照してください。拡張制御モードをイネーブルにすると、このピンはシリアルデータ・クロック SCLK 入力として機能します。拡張制御モードの詳細はセクション 1.2 を参照してください。シリアル・インタフェースの詳細はセクション 1.3 を参照してください。</p>
4	OutEdge / DDR / SDATA		<p>エッジの選択、またはダブル・データレート、またはシリアル・データ入力。 (Input): LVC MOS この入力によって、出力データ信号が遷移する DCLK + の出力エッジを設定します。(セクション 1.1.5.2 を参照してください)。このピンをフローティングにするか電源電圧の 1/2 の電圧に接続すると DDR クロッキングがイネーブルになります。拡張制御モードがイネーブルのときは、このピンは SDATA 入力として機能します。拡張制御モードの詳細はセクション 1.2 を参照してください。シリアル・インタフェースの詳細はセクション 1.3 を参照してください。</p>
15	DCLK_RST		<p>DCLK のリセット。 (Input): LVC MOS 複数デバイスで DCLK 出力のリセットと同期化を行うときにこのピンに正のパルスを与えます。詳細はセクション 1.5 を参照してください。構成レジスタ (アドレス 1h) のビット 14 を 0b にセットすると、このシングルエンド DCLK_RST ピンが選択されます。</p>
26	PD		<p>パワーダウン。 (Input): LVC MOS PD ピンを High にすると A/D コンバータ全体がパワーダウン・モードに移行します。</p>
30	CAL		<p>較正サイクルの起動。 (Input): LVC MOS このピンに 80 入力クロック以上の間、Low を与えたあと 80 入力クロック以上の間、High を与えると自己較正シーケンスが始まります。自己較正シーケンスの概要はセクション 2.4.2 を、コマンドによる較正の説明はセクション 2.4.2.2 を参照してください。</p>
14	FSR/ECE		<p>フルスケール・レンジ選択、または拡張制御イネーブル。 (Input): LVC MOS 拡張制御モードではない場合、このピンを Low にするとフルスケール差動入力力は 600mV_{p,p} に設定されます。このピンを High にするとフルスケール差動入力力は 820mV_{p,p} に設定されます。セクション 1.1.4 を参照してください。シリアル・インタフェースと制御レジスタを用いる拡張制御モードをイネーブルにするには、このピンをフローティングにするか V_A/2 に等しい電圧を与えます。拡張制御モードの詳細はセクション 1.2 を参照してください。</p>

ピン説明および等価回路 (つづき)

機能説明			
ピン番号	シンボル	等価回路	説明
127	CalDly / $\overline{\text{SCS}}$		<p>較正遅延、またはシリアル・インタフェース・チップ選択。 (Input): LVC MOS 14 ピンが High または Low のとき、このピンは較正遅延として機能し、パワーアップ後に較正を開始するまでの入力クロックサイクル数を選択します (セクション 1.1.1 を参照してください)。14 ピンがフローティングのとき、このピンはシリアル・インタフェース入力のイネーブルとして動作し、CalDly (較正遅延) 値はゼロとして取り扱われます (短時間遅延のみで、パワーオン較正の長時間遅延は設定されません)。</p>
10 11	CLK + CLK -		<p>サンプリング・クロック入力。 (Input): LVDS 差動クロックを AC 結合してこれらのピンに与えてください。入力信号は CLK + の立ち上がり / 立ち下がりエッジでサンプリングされます。入力データ取り込みの説明についてはセクション 1.1.2 を、クロック入力の概要についてはセクション 2.3 を参照してください。</p>
18 19	$V_{IN} +$ $V_{IN} -$		<p>入力信号。 (Input): Analog FSR ピンが Low のときは差動フルスケール入力範囲は 600mV_{P-P}、FSR ピンが High のときは差動フルスケール入力範囲は 820mV_{P-P} です。</p>
22 23	DCLK_RST+ DCLK_RST-		<p>サンプリング・クロック・リセット。 (Input): LVDS 複数デバイスで DCLK 出力のリセットと同期化を行うときにこのピンに正のパルスを与えます。詳細はセクション 1.5 を参照してください。構成レジスタ (アドレス 1h) のビット 14 を 1b にセットすると、このシングルエンド DCLK_RST ピンが選択されます。</p>
7	V_{CMO}		<p>同相電圧。 (Output): Analog - 入力を DC 結合で用いる場合、このピンの出力電圧を $V_{IN} +$ と $V_{IN} -$ の同相入力電圧とする必要があります。アナログ入力を AC 結合で使用する場合はこのピンをグラウンドに接続します。このピンは $100\mu\text{A}$ までのソースまたはシンクに対応し、最大 80pF の容量を駆動することができます。セクション 2.2 を参照してください。</p>

ピン説明および等価回路 (つぎ)

機能説明			
ピン番号	シンボル	等価回路	説明
31	V _{BG}		バンドギャップ出力電圧。 (Output): Analog - このピンは 100μA までのソースまたはシンクに対応し、最大 80pF の容量を駆動することができます。
126	CalRun		較正処理の実行中。 (Output): LVCMOS - 較正処理の実行中はこのピンが High になります。
32	R _{EXT}		外付けバイアス抵抗接続。 Analog - このピンとグラウンドとの間に定格 3.3k (± 0.1%) の抵抗を接続してください。セクション 1.1.1 を参照してください。
34 35	Tdiode_P Tdiode_N		温度ダイオード。 Analog - ダイ温度測定用の温度ダイオードの正極 (アノード) と負極 (カソード) です。セクション 2.6.2 を参照してください。

ピン説明および等価回路 (つづき)

機能説明			
ピン番号	シンボル	等価回路	説明
36 / 37 38 / 39 43 / 44 45 / 46 47 / 48 49 / 50 54 / 55 56 / 57 58 / 59 60 / 61 65 / 66 67 / 68 69 / 70 71 / 72 75 / 76 77 / 78	Da0 + / Da0 - Da1 + / Da1 - Da2 + / Da2 - Da3 + / Da3 - Da4 + / Da4 - Da5 + / Da5 - Da6 + / Da6 - Da7 + / Da7 - Dc0 + / Dc0 - Dc1 + / Dc1 - Dc2 + / Dc2 - Dc3 + / Dc3 - Dc4 + / Dc4 - Dc5 + / Dc5 - Dc6 + / Dc6 - Dc7 + / Dc7 -		<p>A/C データ。 (Output): LVDS 第 1 の内部コンバータからのデータ出力です。 変換データは ABCD の順序で取り出さなければなりません。これらの出力は必ず 100 の差動抵抗で終端してください。</p>
83 / 84 85 / 86 89 / 90 91 / 92 93 / 94 95 / 96 100 / 101 102 / 103 104 / 105 106 / 107 111 / 112 113 / 114 115 / 116 117 / 118 122 / 123 124 / 125	Dd7 - / Dd7 + Dd6 - / Dd6 + Dd5 - / Dd5 + Dd4 - / Dd4 + Dd3 - / Dd3 + Dd2 - / Dd2 + Dd1 - / Dd1 + Dd0 - / Dd0 + Db7 - / Db7 + Db6 - / Db6 + Db5 - / Db5 + Db4 - / Db4 + Db3 - / Db3 + Db2 - / Db2 + Db1 - / Db1 + Db0 - / Db0 +		<p>B/D データ。 (Output): LVDS 第 2 の内部コンバータからのデータ出力です。 変換データは ABCD の順序で取り出さなければなりません。これらの出力は必ず 100 の差動抵抗で終端してください。</p>
79 80	OR + OR -		<p>アウト・オブ・レンジ。 (Output): LVDS - 差動 High は差動入力レンジ外にあることを示します (FSR ピンで規定される ± 325mV または ± 435mV のレンジ外)。 各出力は必ず 100 の差動抵抗で終端しなければなりません。</p>
82 81	DCLK + DCLK -		<p>差動クロック。 (Output): LVDS - 出力データのラッチに使用する差動クロック出力です。 このクロック信号に同期して、遅延データと非遅延データが出力されます。DCLK の周波数は、SDR モードではサンプル・クロック・レートの 1/2 になり、DDR モードではサンプル・クロック・レートの 1/4 になります。各出力は必ず 100 の差動抵抗で終端しなければなりません。DCLK 出力は較正サイクルの間はコンフィギュレーション・レジスタ (アドレス 1h) のビット 14 (RTD) の設定によってはアクティブではないことがあります。ビット 14 が High (1b) に設定されている場合の較正サイクル中に DCLK は連続的に現れ、Low (0b) に設定されている場合は較正サイクル中は非アクティブです。</p>

ピン説明および等価回路 (つぎ)

機能説明			
ピン番号	シンボル	等価回路	説明
2, 5, 8, 13, 16, 17, 20, 25, 28, 33, 128	V _A		アナログ電源ピン。 (Power) - 各ピンをグラウンドにバイパスしてください。
40, 51, 62, 73, 88, 99, 110, 121	V _{DR}		出カドライバの電源ピン。 (Power) - 各ピンを DR GND にバイパスしてください。
1, 6, 9, 12, 21, 24, 27	GND		(Gnd) - V _A のグラウンド・リターン。
42, 53, 64, 74, 87, 97, 108, 119	DR GND		(Gnd) - V _{DR} のグラウンド・リターン。
29, 41, 52, 63, 98, 109, 120	NC		未接続ピン。これらのピンには何も接続しないでください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V_A , V_{DR})	2.2V
電源電圧差 $V_A - V_{DR}$	0V ~ -100mV
各入出力ピン電圧 - 0.15V ~ ($V_A + 0.15V$)	
グラウンド電圧差 GND - DR GND	0V ~ 100mV
各ピンの入力電流 (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50mA
T_A 85 における消費電力	2.3W
ESD 耐性 (Note 4)	
人体モデル	2500V
マシン・モデル	250V
保存温度範囲	- 65 ~ + 150

動作範囲 (Note 1、2)

周囲温度範囲	- 40 T_A + 85
電源電圧 (V_A)	+ 1.8V ~ + 2.0V
ドライバ電源電圧 (V_{DR})	+ 1.8V ~ V_A
アナログ入力同相電圧	$V_{CMO} \pm 50mV$
V_{IN+} 、 V_{IN-} の電圧範囲 (同相モードを維持する)	200mV ~ V_A
グラウンド電圧差 (GND - DR GND)	0V
CLK ピン電圧範囲	0V ~ V_A
差動 CLK 振幅	0.4V _{P-P} ~ 2.0V _{P-P}

パッケージの熱抵抗

Package	θ_{JA}	θ_{JC} (Top of Package)	θ_{J-PAD} (Thermal Pad)
128-Lead Exposed Pad LQFP	26°C/W	10°C/W	2.8°C/W

コンバータの電氣的特性

以下の仕様は較正後に適用され、その条件は次のとおりです。 $V_A = V_{DR} = + 1.9V_{DC}$ 、 $OutV = 1.9V$ 、 V_{IN} FSR (AC 結合) = 差動 820mV_{P-P}、 $C_L = 10pF$ 、差動で AC 結合の正弦波入力クロック、 $f_{CLK} = 1.5GHz$ の 0.5V_{P-P} で 50%デューティ・サイクル、 $V_{BG} =$ フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号源インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ の範囲で適用されます。特記のない限り、すべてのリミット値は $T_A = 25$ で規定されます。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
INL	Integral Non-Linearity (Best fit)	DC Coupled, 1MHz Sine Wave Over Ranged	±0.35	±0.9	LSB (max)
DNL	Differential Non-Linearity	DC Coupled, 1MHz Sine Wave Over Ranged	±0.20	±0.6	LSB (max)
	Resolution with No Missing Codes			8	Bits
V_{OFF}	Offset Error		-0.20		LSB
V_{OFF_ADJ}	Input Offset Adjustment Range	Extended Control Mode	±45		mV
PFSE	Positive Full-Scale Error (Note 9)		-1.6	±25	mV (max)
NFSE	Negative Full-Scale Error (Note 9)		-1.00	±25	mV (max)
FS_ADJ	Full-Scale Adjustment Range	Extended Control Mode	±20	±15	%FS
DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth		3		GHz
B.E.R.	Bit Error Rate		10 ⁻¹⁸		Error/Sample
	Gain Flatness	d.c. to 750 MHz	±0.42		dBFS
		d.c. to 1500 MHz	±0.83		dBFS
ENOB	Effective Number of Bits	$f_{IN} = 373$ MHz, $V_{IN} = FSR - 0.5$ dB	7.2	6.85	Bits (min)
		$f_{IN} = 748$ MHz, $V_{IN} = FSR - 0.5$ dB	7.0	6.6	Bits (min)
		$f_{IN} = 1498$ MHz, $V_{IN} = FSR - 0.5$ dB	6.5		Bits
SINAD	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 373$ MHz, $V_{IN} = FSR - 0.5$ dB	45	42.2	dB (min)
		$f_{IN} = 748$ MHz, $V_{IN} = FSR - 0.5$ dB	44.2	40.8	dB (min)
		$f_{IN} = 1498$ MHz, $V_{IN} = FSR - 0.5$ dB	41.1		dB

コンバータの電気的特性 (つぎ)

以下の仕様は較正後に適用され、その条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 $820mV_{P-P}$ 、 $C_L = 10pF$ 、差動で AC 結合の正弦波入力クロック、 $f_{CLK} = 1.5GHz$ の $0.5V_{P-P}$ で 50%デューティ・サイクル、 $V_{BG} =$ フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号源インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ の範囲で適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
SNR	Signal-to-Noise Ratio	$f_{IN} = 373\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	45.3	43.2	dB (min)
		$f_{IN} = 748\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	44.5	41.7	dB (min)
		$f_{IN} = 1498\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	41.8		dB
THD	Total Harmonic Distortion	$f_{IN} = 373\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-57	-49	dB (max)
		$f_{IN} = 748\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-56	-48	dB (max)
		$f_{IN} = 1498\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-49.5		dB
2nd Harm	Second Harmonic Distortion	$f_{IN} = 373\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-68		dB
		$f_{IN} = 748\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-66		dB
		$f_{IN} = 1498\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-56		dB
3rd Harm	Third Harmonic Distortion	$f_{IN} = 373\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-64		dB
		$f_{IN} = 748\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-58		dB
		$f_{IN} = 1498\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	-52		dB
SFDR	Spurious-Free dynamic Range	$f_{IN} = 373\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	57	49	dB (min)
		$f_{IN} = 748\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	54.5	48	dB (min)
		$f_{IN} = 1498\text{ MHz}, V_{IN} = \text{FSR} - 0.5\text{ dB}$	52.0		dB

ANALOG INPUT AND REFERENCE CHARACTERISTICS

V_{IN}	Full Scale Analog Differential Input Range	FSR pin 14 Low	600	550	mV_{P-P} (min)
				650	mV_{P-P} (max)
		FSR pin 14 High	820	770	mV_{P-P} (min)
				870	mV_{P-P} (max)
V_{CMO}	Analog Input Common Mode Voltage		V_{CMO}	$V_{CMO} - 50$ $V_{CMO} + 50$	mV (min) mV (max)
C_{IN}	Analog Input Capacitance (Notes 10, 11)	Differential	1.08		pF
		Each input pin to ground	2.2		pF
R_{IN}	Differential Input Resistance		100	95	Ω (min)
				105	Ω (max)

ANALOG OUTPUT CHARACTERISTICS

V_{CMO}	Common Mode Output Voltage	$I_{CMO} = \pm 100\ \mu A$	1.26	0.95 1.45	V (min) V (max)
V_{CMO_LVL}	V_{CMO} input threshold to set DC Coupling mode	$V_A = 1.8V$	0.60		V
		$V_A = 2.0V$	0.66		V
TC V_{CMO}	Common Mode Output Voltage Temperature Coefficient	$T_A = -40^\circ C$ to $+85^\circ C$	118		ppm/ $^\circ C$
$C_{LOAD\ V_{CMO}}$	Maximum V_{CMO} load Capacitance			80	pF
V_{BG}	Bandgap Reference Output Voltage	$I_{BG} = \pm 100\ \mu A$	1.26	1.20 1.33	V (min) V (max)
TC V_{BG}	Bandgap Reference Voltage Temperature Coefficient	$T_A = -40^\circ C$ to $+85^\circ C$, $I_{BG} = \pm 100\ \mu A$	28		ppm/ $^\circ C$
$C_{LOAD\ V_{BG}}$	Maximum Bandgap Reference load Capacitance			80	pF

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され、その条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 $820mV_{P-P}$ 、 $C_L = 10pF$ 、差動で AC 結合の正弦波入力クロック、 $f_{CLK} = 1.5GHz$ の $0.5V_{P-P}$ で 50% デューティ・サイクル、 $V_{BG} =$ フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号源インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ の範囲で適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます。(Note 6, 7)

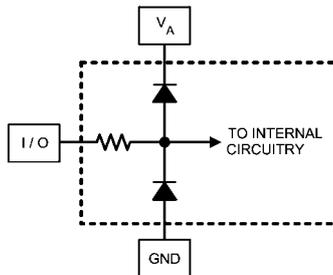
Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
TEMPERATURE DIODE CHARACTERISTICS					
ΔV_{BE}	Temperature Diode Voltage	192 μA vs. 12 μA , $T_J = 25^\circ C$	71.23		mV
		192 μA vs. 12 μA , $T_J = 85^\circ C$	85.54		mV
LVDS INPUT CHARACTERISTICS					
V_{ID}	Differential Clock Input Level	Sine Wave Clock	0.6	0.4 2.0	V_{P-P} (min) V_{P-P} (max)
		Square Wave Clock	0.6	0.4 2.0	V_{P-P} (min) V_{P-P} (max)
I_I	Input Current	$V_{IN} = 0$ or $V_{IN} = V_A$	± 1		μA
C_{IN}	Input Capacitance (Notes 10, 11)	Differential	0.02		pF
		Each input to ground	1.5		pF
LVDS OUTPUT CHARACTERISTICS					
V_{OD}	LVDS Differential Output Voltage	Measured differentially, $OutV = V_A$, V_{BG} = Floating (Note 15)	680	470 920	mV_{P-P} (min) mV_{P-P} (max)
		Measured differentially, $OutV = GND$, $V_{BG} =$ Floating (Note 15)	520	380 720	mV_{P-P} (min) mV_{P-P} (max)
ΔV_{ODIFF}	Change in LVDS Output Swing Between Logic Levels		± 1		mV
V_{OS}	Output Offset Voltage, see Figure 1	$V_{BG} =$ Floating	800		mV
V_{OS}	Output Offset Voltage, see Figure 1	$V_{BG} = V_A$ (Note 15)	1150		mV
ΔV_{OS}	Output Offset Voltage Change Between Logic Levels		± 1		mV
I_{OS}	Output Short Circuit Current	Output+ & Output- connected to 0.8V	± 4		mA
Z_O	Differential Output Impedance		100		Ohms
LVC MOS INPUT CHARACTERISTICS					
V_{IH}	Logic High Input Voltage	(Note 12)		$0.85 \times V_A$	V (min)
V_{IL}	Logic Low Input Voltage	(Note 12)		$0.15 \times V_A$	V (max)
C_{IN}	Input Capacitance (Notes 11, 13)	Each input to ground	1.2		pF
LVC MOS OUTPUT CHARACTERISTICS					
V_{OH}	CMOS H level output	$I_{OH} = -400\mu A$ (Note 12)	1.65	1.5	V
V_{OL}	CMOS L level output	$I_{OH} = 400\mu A$ (Note 12)	0.15	0.3	V
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	PD = Low	734	810	mA (max)
I_{DR}	Output Driver Supply Current	PD = Low	300	410	mA (max)
P_D	Power Consumption	PD = Low	1.9	2.3	W (max)
		PD = High	25		mW

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され、その条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 $820mV_{P-P}$ 、 $C_L = 10pF$ 、差動で AC 結合の正弦波入力クロック、 $f_{CLK} = 1.5GHz$ の $0.5V_{P-P}$ で 50% デューティ・サイクル、 $V_{BG} =$ フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号源インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ の範囲で適用されます。特記のない限り、すべてのリミット値は $T_A = 25^\circ C$ で規定されます。(Note 6, 7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
AC ELECTRICAL CHARACTERISTICS - Sampling Clock					
f_{CLK1}	Maximum Input Clock Frequency	Sampling rate is 2x clock input	1.7	1.5	GHz (min)
f_{CLK2}	Minimum Input Clock Frequency	Sampling rate is 2x clock input	500		MHz
t_{CYC}	Input Clock Duty Cycle	$500MHz \leq$ Input clock frequency ≤ 1.5 GHz (Note 12)	50	20 80	% (min) % (max)
t_{LC}	Input Clock Low Time	(Note 11)	333	133	ps (min)
t_{HC}	Input Clock High Time	(Note 11)	333	133	ps (min)
	DCLK Duty Cycle	(Note 11)	50	45 55	% (min) % (max)
t_{AD}	Sampling (Aperture) Delay	Input CLK transition to Acquisition of Data	1.4		ns
t_{AJ}	Aperture Jitter		0.55		ps rms
t_{OD}	Input Clock to Data Output Delay (in addition to Pipeline Delay)	50% of Input Clock transition to 50% of Data transition	3.7		ns
	Pipeline Delay (Latency) (Notes 11, 14)	Dd Outputs		13	Input Clock Cycles
		Db Outputs		14	
		Dc Outputs		13.5	
		Da Outputs		14.5	
AC ELECTRICAL CHARACTERISTICS - Output Clock and Data (Note 16)					
t_{LHT}	LH Transition Time - Differential	10% to 90%	150		ps
t_{HLT}	HL Transition Time - Differential	10% to 90%	150		ps
t_{SKEWO}	DCLK to Data Output Skew	50% of DCLK transition to 50% of Data transition, SDR Mode and DDR Mode, 0° DCLK (Note 11)	± 50		ps (max)
t_{OSU}	Data to DCLK Set-Up Time	DDR Mode, 90° DCLK (Note 12)	570		ps
t_{OH}	DCLK to Data Hold Time	DDR Mode, 90° DCLK (Note 12)	555		ps
AC ELECTRICAL CHARACTERISTICS - Serial Interface Clock					
f_{SCLK}	Serial Clock Frequency	(Note 11)	67		MHz
t_{SS}	Data to Serial Clock Setup Time	(Note 11)	2.5		ns (min)
t_{HS}	Data to Serial Clock Hold Time	(Note 11)	1		ns (min)
	Serial Clock Low Time			6	ns (min)
	Serial Clock High Time			6	ns (min)
AC ELECTRICAL CHARACTERISTICS - General Signals					
t_{SR}	Setup Time DCLK_RST \pm	(Note 12)	90		ps
t_{HR}	Hold Time DCLK_RST \pm		30		ps
t_{PWR}	Pulse Width DCLK_RST \pm	(Note 11)		4	CLK \pm Cyc. (min)
t_{WU}	PD low to Rated Accuracy Conversion (Wake-Up Time)	(Note 11)	1		μs
t_{CAL}	Calibration Cycle Time		1.4×10^5		CLK \pm Cyc.
t_{CAL_L}	CAL Pin Low Time	See Figure 8 (Note 11)		80	CLK \pm Cyc. (min)
t_{CAL_H}	CAL Pin High Time	See Figure 8 (Note 11)		80	CLK \pm Cyc. (min)
t_{CalDly}	Calibration delay determined by pin 127	See Section 1.1.1, Figure 8, (Note 11)		2²⁵	CLK \pm Cyc. (min)
t_{CalDly}	Calibration delay determined by pin 127	See Section 1.1.1, Figure 8, (Note 11)		2³¹	CLK \pm Cyc. (max)

- Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。絶対最大定格での動作は保証されません。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。
- Note 2:** 特記のない限り、すべての電圧は $GND = DR\ GND = 0V$ を基準にして測定されています。
- Note 3:** いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 (すなわち $V_{IN} < GND$ 、または $V_{IN} > V_A$ のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流すことができるピン数は 2 本に制限されます。このリミット値は、電源ピン、グラウンド・ピン、デジタル出力ピンには適用されません。
- Note 4:** 人体モデルの場合、100pF のコンデンサから 1.5k の抵抗を通して各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。
- Note 5:** リフロー時の温度特性は、そのパッケージが鉛フリーかどうかによって異なります。
- Note 6:** アナログ入力、以下に示されるように保護されています。絶対最大定格を超える入力電圧振幅はデバイスを破壊することがあります。



- Note 7:** 精度を保証するために、 V_A および V_{DR} 電源ピンにはそれぞれ別個のバイパス・コンデンサを設けて同一電源に接続します。また、定格性能を達成するには、裏面の露出パッドをグラウンドに適切にハンダ付けする必要があります。
- Note 8:** 代表値 (Typical) は $T_A = 25^\circ C$ で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。
- Note 9:** 本デバイスのフルスケール誤差の計算では、実際のリファレンス電圧はその公称値に正確に一致していると仮定しています。そのためデバイスのフルスケール誤差は、フルスケール誤差とリファレンス電圧誤差の組み合わせになります。Figure 2 の変換特性を参照してください。ゲイン誤差とフルスケール誤差の関係については、ゲイン誤差の仕様定義を参照してください。
- Note 10:** アナログ入力容量とクロック入力容量はダイ容量のみです。リードとボンディング・ワイヤを持つインダクタンスによってダイ容量から分離された状態で、差動ピンにはグラウンドに対して 0.65pF の容量が、他のピンには 0.95pF の容量が、それぞれ存在します。
- Note 11:** このパラメータは設計によって保証されています。製造時の試験は行っていません。
- Note 12:** このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。
- Note 13:** デジタル制御ピン容量はダイ容量のみです。リードとボンディング・ワイヤのインダクタンスによってダイ容量から分離された状態で、各ピンにはグラウンドに対して 1.6pF の容量が存在します。
- Note 14:** ADC083000 の 2 系統のコンバータはそれぞれ 2 組の LVDS 出力バスを備えており、サンプリング・レートの半分のクロックでデータが出力されます。バス Db は、バス Dd レイテンシより 1 クロック少ないパイプライン・レイテンシを有します。同様に、バス Da は、バス Dc のレイテンシより 1 クロック少ないパイプライン・レイテンシを有します。
- Note 15:** V_{BG} を電源レベルに接続すると、上述の V_{OS} 仕様を示すように、出力オフセット電圧 (V_{OS}) は 400mV (代表値) だけ上昇します。また、 V_{BG} を電源レベルに接続すると、差動 LVDS 出力電圧 (V_{OD}) にも影響が及んで、40mV (代表値) 上昇します。
- Note 16:** すべてのパラメータは伝送線路と 100 Ω 終端を用いて測定しています。オシロスコープのプロブ容量は 0.33pF です。

用語の定義

アパーチャ(サンプリング) デレイ (**APERTURE (SAMPLING) DELAY**) とは、クロック入力のサンプリング・エッジから計測して、入力ピンに与えられた信号がデバイス内部にサンプリングされるまでの遅延を表します。

アパーチャ・ジッタ (**APERTURE JITTER: t_{AJ}**) は、隣り合うサンプリング間アパーチャ・デレイのばらつき期間を示します。アパーチャ・ジッタは入力ノイズとして現れます。

ビット誤り率 (**Bit Error Rate: B.E.R.**) は、誤りが発生する確率を表し、単位時間あたりの推定エラー個数をその時間内に観測されるビット数で除算したものと定義されます。 10^{-18} の BER は統計的に約 4 年ごとに発生する 1 ビット・エラーに相当します。

クロック・デューティ・サイクル (**CLOCK DUTY CYCLE**) は、クロック周期に対してクロック波形が High となっている時間の比です。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は 1LSB の理想ステップ・サイズからの最大偏差として表されます。3GSPS でラング入力とともに測定されます。

有効ビット (**EFFECTIVE NUMBER OF BITS: ENOB or EFFECTIVE BITS**) は、信号 / (ノイズ + 歪み) 比または SINAD の別の規定方法です。ENOB は $(SINAD - 1.76) / 6.02$ として

定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (**FULL POWER BANDWIDTH: FPBW**) は、フルスケール入力に対して再現される出力基本周波数特性で低周波数帯域に対して 3dB 低下する周波数として測定されます。

ゲイン誤差 (**GAIN ERROR**) は、伝達関数の実測値と理想カーブとの偏差のことです。ゲイン誤差はオフセット誤差とフルスケール誤差から求められます。

$$\text{正側ゲイン誤差} = \text{オフセット誤差} - \text{正側フルスケール誤差}$$

$$\text{負側ゲイン誤差} = -(\text{オフセット誤差} - \text{負側フルスケール誤差})$$

$$\begin{aligned} \text{ゲイン誤差} &= \text{負側フルスケール誤差} - \text{正側フルスケール誤差} \\ &= \text{正側ゲイン誤差} + \text{負側ゲイン誤差} \end{aligned}$$

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、入力から出力への伝達関数を通る直線を基準とした、各個別コードの偏差を表します。この直線から任意のコードとの偏差は、各コード値の中央から測定します。ベスト・フィット法を使用します。

混変調歪み (**INTERMODULATION DISTORTION: IMD**) は、A/D の入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

用語の定義 (つづき)

LSB (LEAST SIGNIFICANT BIT) は、全ビットのうち最下位または重み付けの最も小さいビットです。LSB の値は、

$$V_{FS} / 2^n$$

V_{FS} は FSR 入力 (ピン 14) で設定される V_{IN} の差動フルスケール振幅、"n" はビット数を単位とする A/D コンバータの分解能で、ADC083000 では 8 です。

LVDS 差動出力電圧 (LVDS DIFFERENTIAL OUTPUT VOLTAGE: V_{OD}) は、それぞれグラウンドを基準として測定した V_{D+} 電圧と V_{D-} 電圧の差の絶対値です。

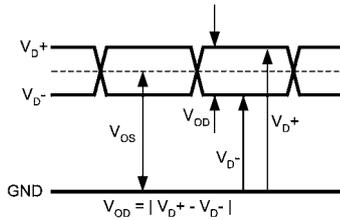


FIGURE 1.

LVDS 出力オフセット電圧 (LVDS OUTPUT OFFSET VOLTAGE: V_{OS}) は D+ ピン出力電圧と D- ピン出力電圧の midpoint で、すなわち、 $[(V_{D+}) + (V_{D-})] / 2$ です。

ミッシング・コード (MISSING CODE) は、入力電圧をわずかに変化させたとときに、あるコードから次位のコードの間に抜けが生じて A/D コンバータから出力されないコードです。すべての入力レベルで、ミッシング・コードが発生することはありません。

MSB (MOST SIGNIFICANT BIT) は、全ビットのうち最上位または重み付けの最も大きいビットです。MSB の値はフルスケールの 1/2 に相当します。

負側フルスケール誤差 (NEGATIVE FULL-SCALE ERROR: NFSE) は、最後のコード遷移点が、差動 $-V_{IN}/2$ から理想 1/2 LSB だけ高い電圧からどの程度ずれているかを表します。ADC083000 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差を組み合わせたものになります。

オフセット誤差 (OFFSET ERROR: V_{OFF}) は、中点が理想ゼロ電圧差動入力からどの程度ずれているかを表します。

オフセット誤差 = 平均 127.5 の出力コードを得る 8,000 サンプルの実入力値の平均

出力ディレイ (t_{OD}) (OUTPUT DELAY: t_{OD}) とは、入力クロックの 50% 遷移点から、出力ピンのデータ遷移の 50% 点までの遅延時間です。

オーバーレンジ回復時間 (OVER RANGE RECOVERY TIME) は、コンバータから見た差動入力電圧が $\pm 1.2V$ から 0V に遷移した時点から、コンバータが回復して定格精度で変換を行えるようになるまでに必要な時間です。

パイプライン・ディレイ (PIPELINE DELAY: LATENCY) は、変換開始からその変換データが出力ドライバ段に現れるまでの期間を入力クロック数で表したものです。新しいデータは各クロック・サイクルごとに有効になりますが、パイプライン・ディレイと t_{OD} の和による変換により遅延が規定されます。

正側フルスケール誤差 (POSITIVE FULL-SCALE ERROR) は、最後のコード遷移点が、差動 $+V_{IN}/2$ から理想 1-1/2LSB だけ低い電圧からどの程度ずれているかを表します。ADC083000 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差を組み合わせたものになります。

電源電圧除去比 (POWER SUPPLY REJECTION RATIO: PSRR) は次の 2 つの仕様を意味します。PSRR1 (DC PSRR) は、電源電圧が 1.8V から 2.0V に変化した結果生じるフルスケール誤差の比です。PSRR2 (AC PSRR) は、電源に乗っている AC 信号が出力でどの程度良好に除去されているかを表し、248MHz、50mV_{p,p} の信号を電源に重畳させて測定します。PSRR2 は、出力におけるその信号の出力振幅と、電源ピンにおけるその信号との比で示されます。PSRR は dB で表されます。

信号対ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、出力における入力信号の rms 値と、高調波と DC は含めずに、サンプリング周波数の 1/2 周波数未満のすべてのスペクトル成分の rms 値の合計との比で、単位は dB です。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD) は、出力における入力信号の rms 値の、入力クロック周波数の 1/2 未満のそれ以外のスペクトル成分 (高調波は含めるが、DC は除く) の rms 値に対する比で、dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE (SFDR)) は、出力における入力信号の rms 値とピーク・スプリアス信号との差で、dB で表されます。ここで言うスプリアス信号とは、DC を除いて入力には存在しなかったが、出力スペクトラムに存在する任意の信号です。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、2 次から 10 次までの高調波の合計出力レベルの基本周波数の出力レベルとの比で、dB で表されます。全高調波歪み THD は次式から求められます。

$$THD = 20 \times \log \sqrt{\frac{A_{f2}^2 + \dots + A_{f10}^2}{A_{f1}^2}}$$

A_{f1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f2} から A_{f10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

- 2 次高調波歪み (2nd Harm) は、出力で見た入力周波数の rms パワーと出力で見た 2 次高調波のパワーとの差で、単位は dB です。

- 3 次高調波歪み (3rd Harm) は、出力で見た入力周波数の rms パワーと出力で見た 3 次高調波のパワーとの差で、単位は dB です。

変換特性

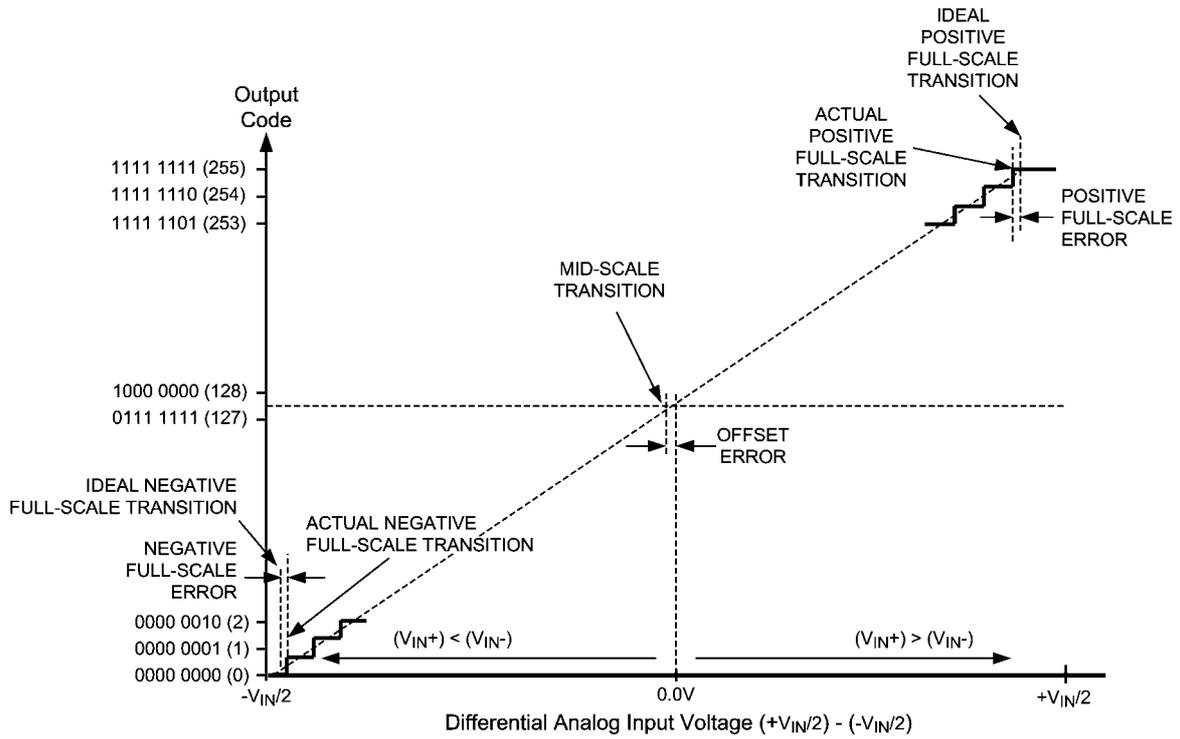


FIGURE 2. Input / Output Transfer Characteristic

タイミング図

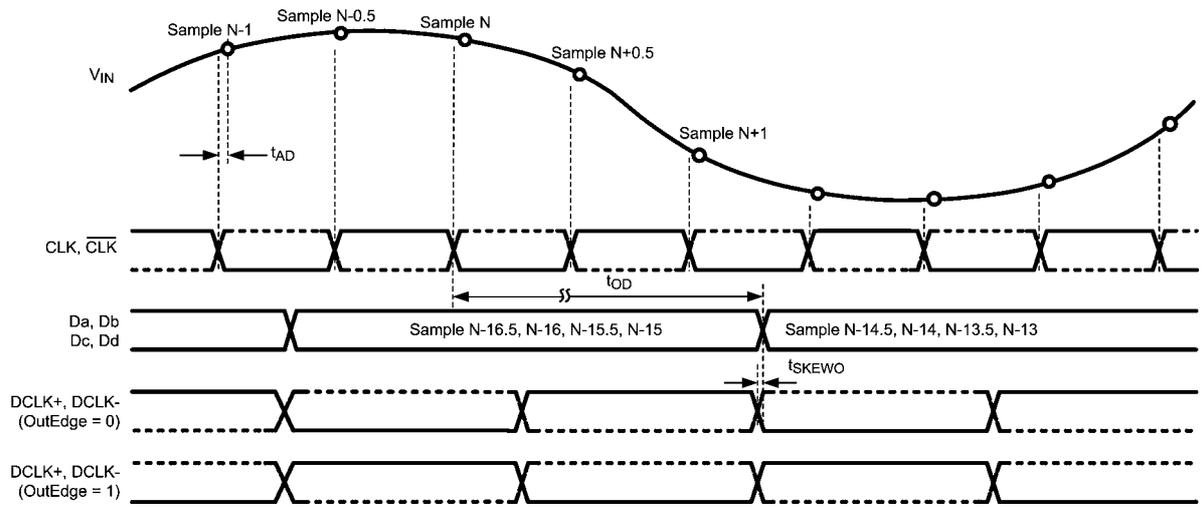


FIGURE 3. ADC083000 Timing — SDR Clcking

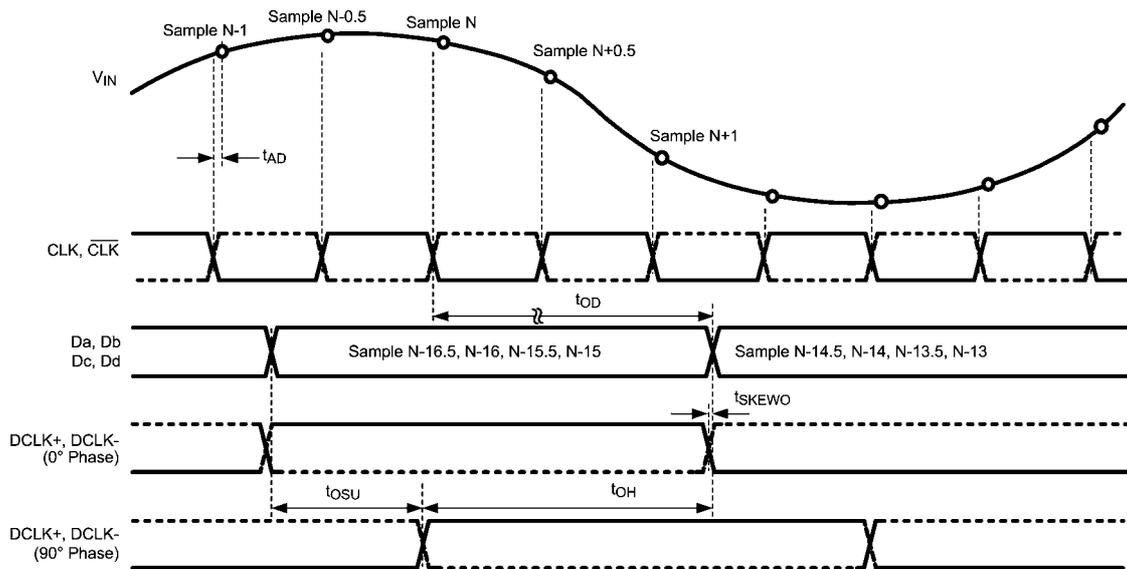


FIGURE 4. ADC083000 Timing — DDR Clcking

タイミング図(つぎ)

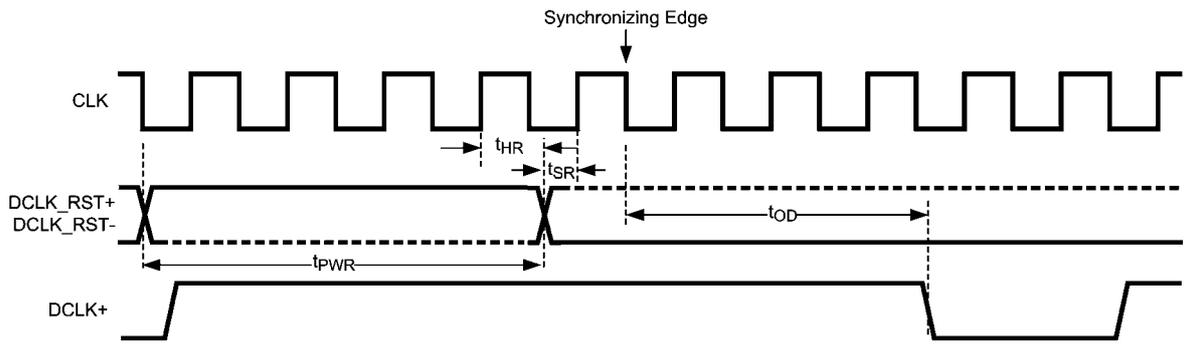


FIGURE 5. Clock Reset Timing in DDR Mode

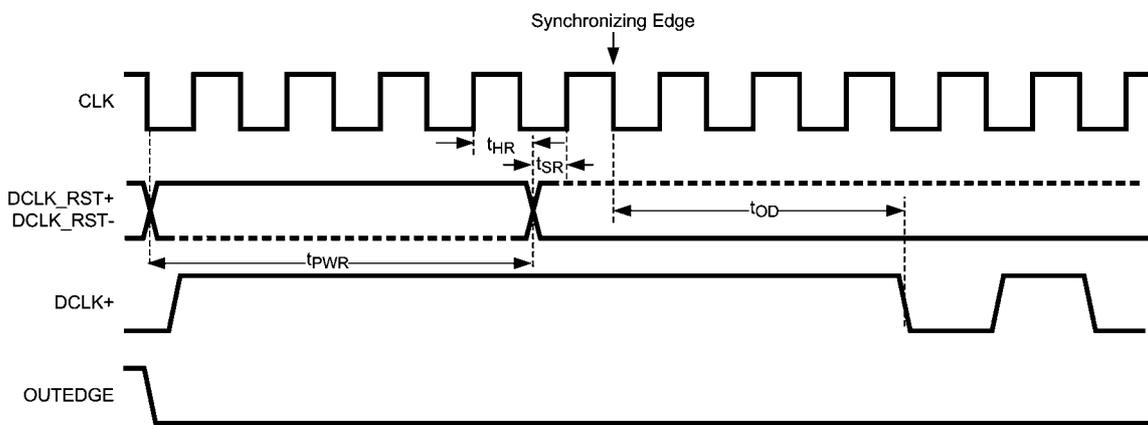


FIGURE 6. Clock Reset Timing in SDR Mode with OUTEDGE Low

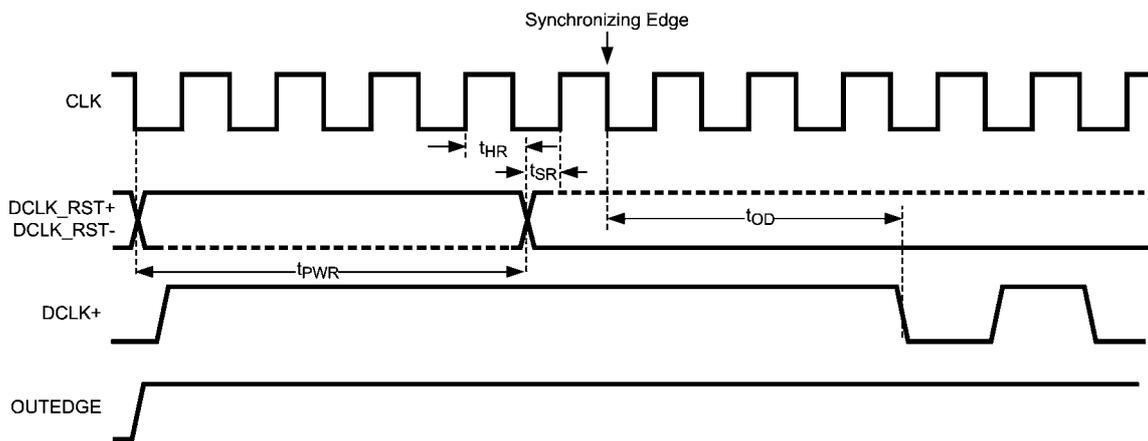


FIGURE 7. Clock Reset Timing in SDR Mode with OUTEDGE High

タイミング図(つぎ)

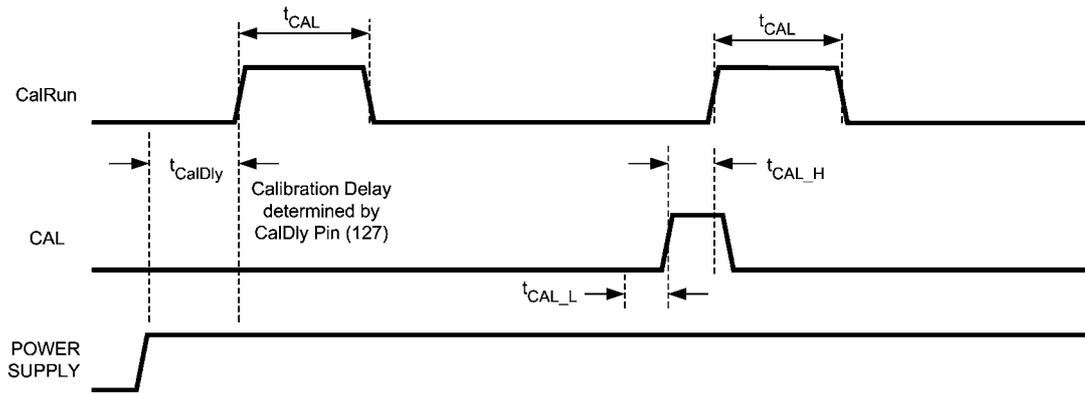


FIGURE 8. Calibration and On-Command Calibration Timing

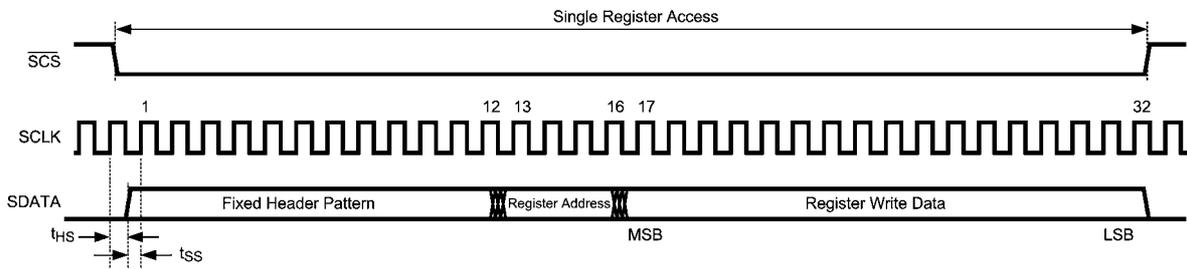
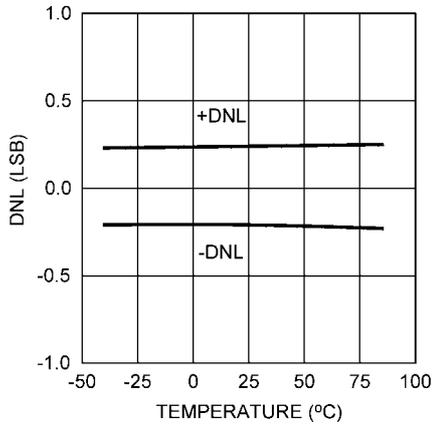


FIGURE 9. Serial Interface Timing

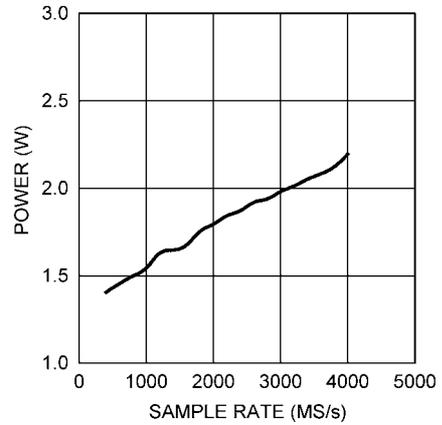
代表的な性能特性

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 1500MHz$ 、 $T_A = 25$ °。

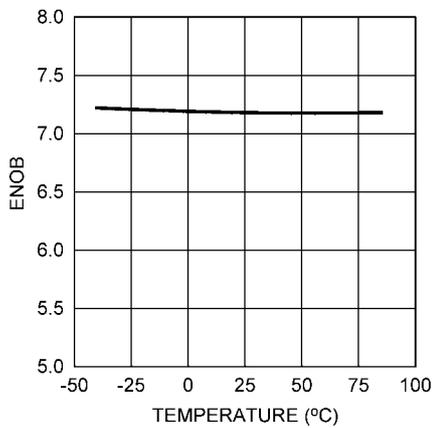
DNL vs. TEMPERATURE



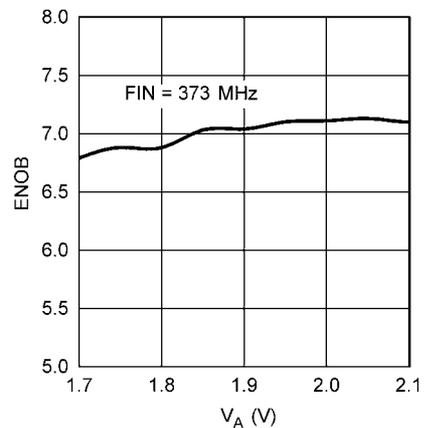
POWER DISSIPATION vs. SAMPLE RATE



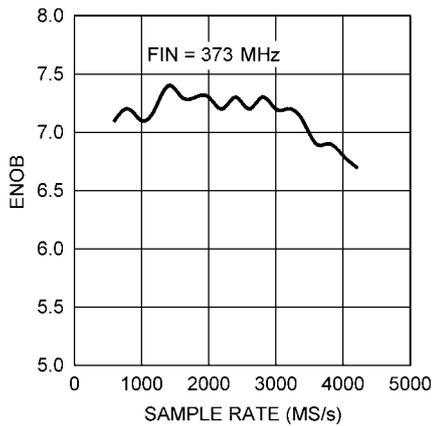
ENOB vs. TEMPERATURE



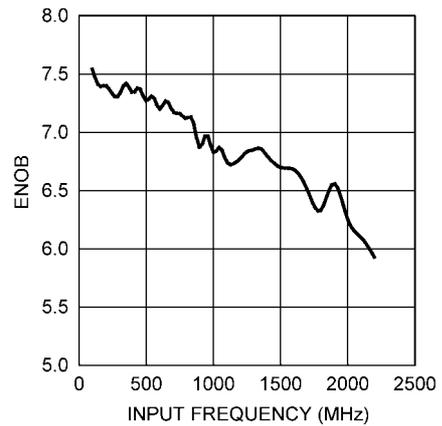
ENOB vs. SUPPLY VOLTAGE



ENOB vs. SAMPLE RATE



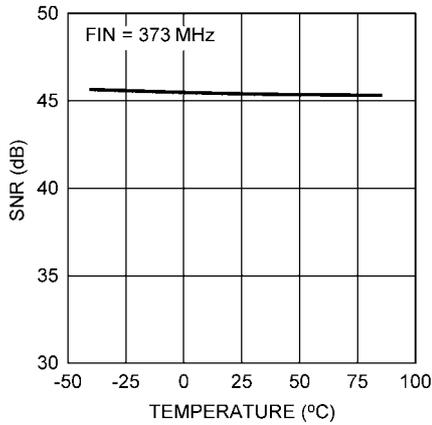
ENOB vs. INPUT FREQUENCY



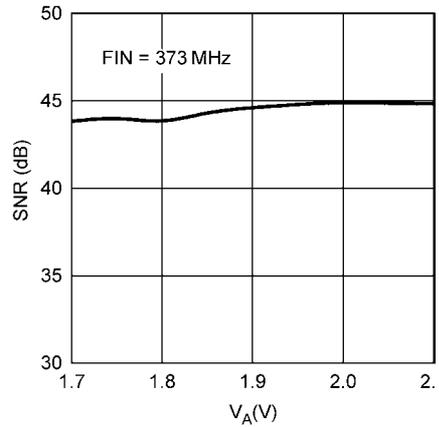
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 1500MHz$ 、 $T_A = 25$ 。

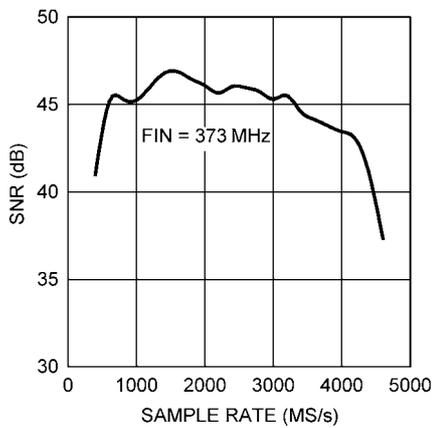
SNR vs. TEMPERATURE



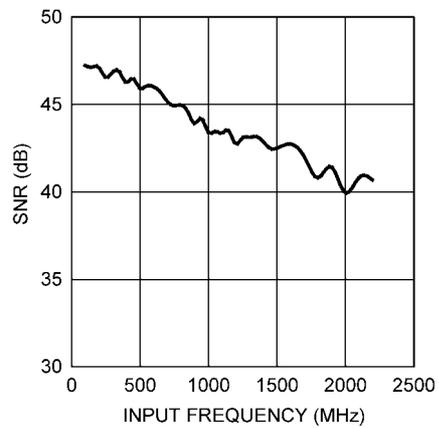
SNR vs. SUPPLY VOLTAGE



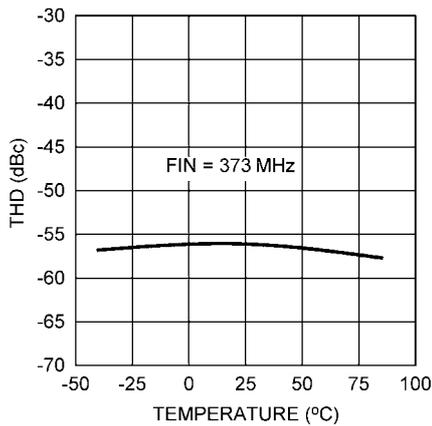
SNR vs. SAMPLE RATE



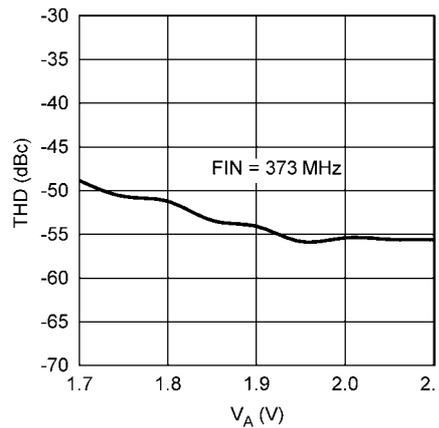
SNR vs. INPUT FREQUENCY



THD vs. TEMPERATURE



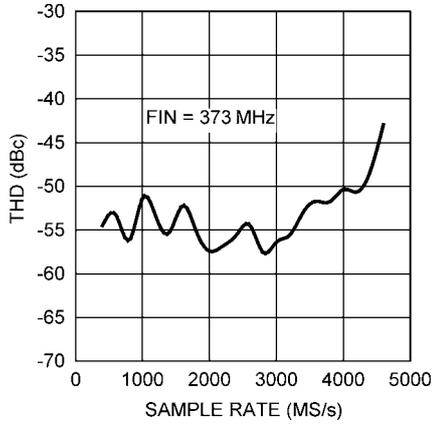
THD vs. SUPPLY VOLTAGE



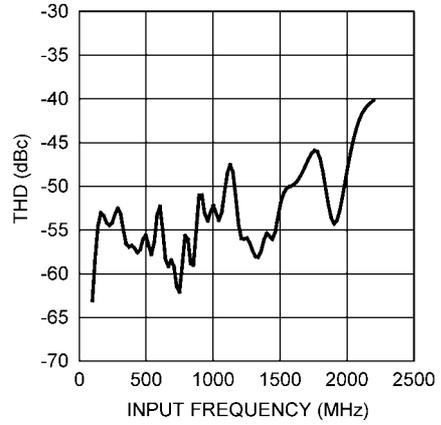
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 1500MHz$ 、 $T_A = 25$ 。

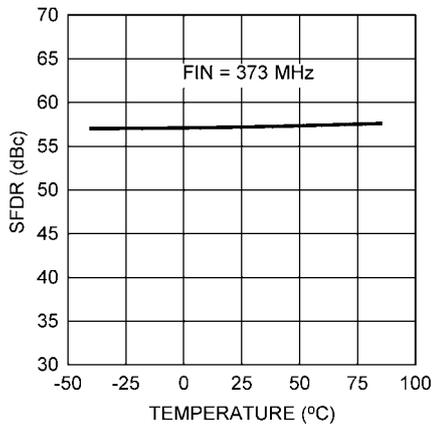
THD vs. SAMPLE RATE



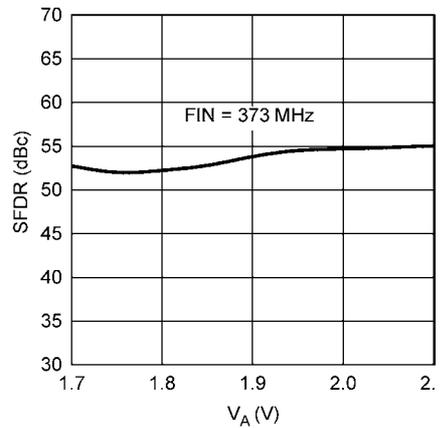
THD vs. INPUT FREQUENCY



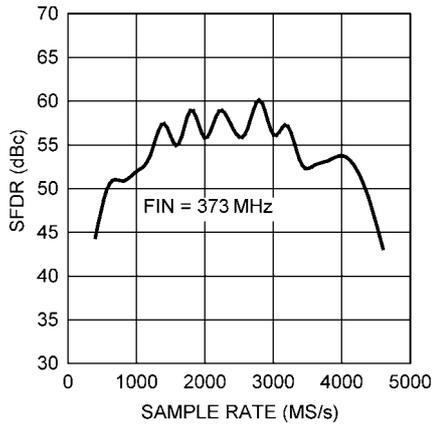
SFDR vs. TEMPERATURE



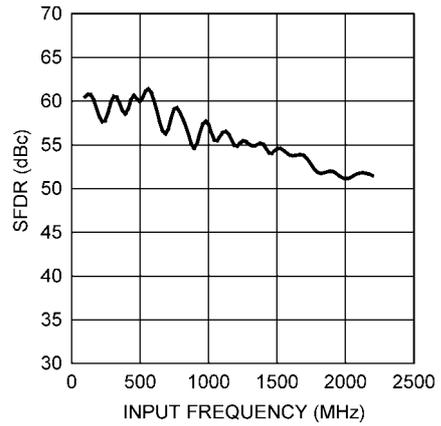
SFDR vs. SUPPLY VOLTAGE



SFDR vs. SAMPLE RATE



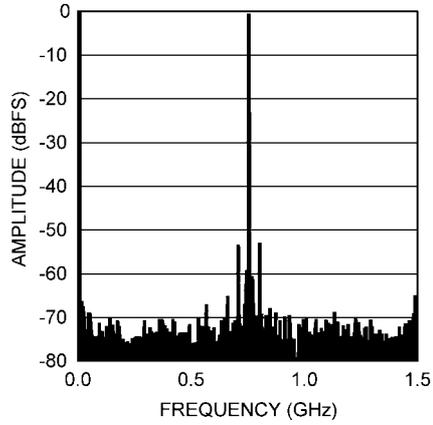
SFDR vs. INPUT FREQUENCY



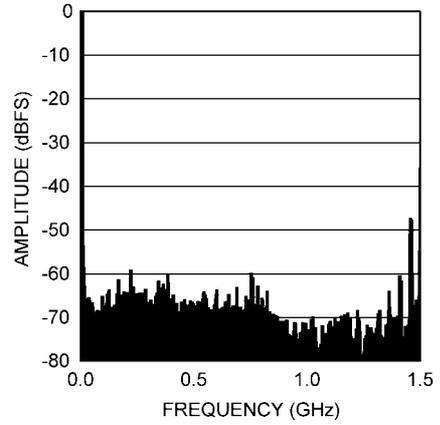
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 1500MHz$ 、 $T_A = 25$ °。

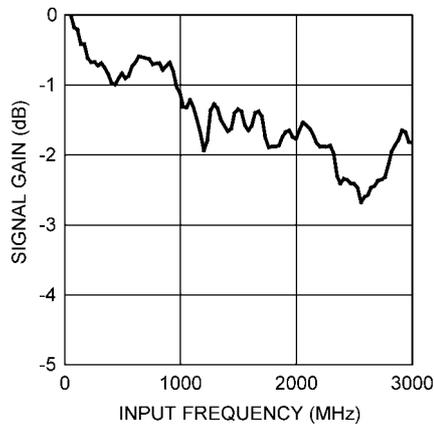
Spectral Response at FIN = 748 MHz



Spectral Response at FIN = 1497 MHz



FULL POWER BANDWIDTH



1.0 機能説明

ADC083000 は高速動作を実現する革新的なアーキテクチャを備えた多用途の A/D コンバータです。さまざまな制御機能によって回路ソリューションへの応用が簡単です。最適な性能を得るために、このセクションと「アプリケーション情報」セクションで述べる要件に従ってください。

一般にアクティブなピンをフローティングにして使用すると性能を劣化させる要因になりますが、ADC083000 の 4 ピン、14 ピンは、フローティングのままでもなら問題なく使用できるように設計されています。本データシート全体を通じて、制御ピンをフローティングにして実現される機能は、該当ピンに V_A の半分の電源電圧を与えても同じ作用が得られます。

1.1 概要

ADC083000 は較正されたフォールディングと補間方式を採用し、7.2 を超える有効ビットを達成しています。フォールディング・アンプの採用によってコンパレータの個数と消費電力の大幅な削減を実現しました。また、補間方式の採用によって、必要なフロントエンド・アンプの個数が削減でき、入力信号の負荷軽減と電力要件の低減を実現しています。さらにオンチップ較正機能が、フォールディング・アーキテクチャにありがちな INL の折れ曲がりを抑えます。結果として、きわめて高速、高性能、かつ低消費電力のコンバータが実現されました。

コンバータの入力電圧範囲のアナログ入力信号は、代表値で 1.0GSPS ~ 3.0GSPS のレートで、8 ビットにデジタル化されます。負のフルスケール電圧より先負の差動入力電圧では出力ワードはすべてゼロになります。正のフルスケール電圧を超える差動入力電圧では出力ワードはすべて 1 になります。アナログ入力でのこれらの条件のいずれかが成立すると OR (アウト・オブ・レンジ) 出力がアクティブになります。この OR 出力は、コンバータの出力コードが、負のフルスケールを下回ったかまたは正のフルスケールを上回ったことを示します。

1:4 のデマルチプレクサが選択されると、4 個の出力バスのすべてに A/D コンバータのサンプリング・レートの 1/4 でデータが出力されます。最高の変換速度で出力ワードを取り出すためには、ユーザーが出力をインタリーブしなければなりません。

出力レベルは通常レベルが低減電圧のいずれかを選択可能です。低減レベルを使用すると電力が節減されますが、特にサンプリング・レートが高いシステムやマージンが少ないシステムで、一部または全部のビットのデータ・キャプチャで誤動作を引き起こす可能性があります。

1.1.1 較正

自己較正はパワーアップ時に実行されますが、外部からのコマンドによって実行させることも可能です。較正処理では、100 アナログ入力差動終端抵抗のトリミングと、フルスケール誤差、オフセット誤差、DNL、INL を最小限に抑えるように調整が行われ、その結果、SNR、THD、SINAD (SNDR)、ENOB を最大限に高めます。内部バイアス電流も較正処理中に設定されます。電源オン時の較正でも外部からの指示による較正でも、以上の動作は変わりません。自己較正の実行はチップの機能にとって重要で、適切な性能を得るためには不可欠です。パワーオン時に実行しなければならないほか、FSR ピンの設定を変更したときにも自己較正を実行しなければなりません。最高性能を得るには、初回電源オン後にデバイスが一定温度に達した段階でコマンドによる較正を実行することを推奨します。また、動作温度がシステム性能要件に対して相対的に大きく変化した場合も、コマンド較正の実行を推奨します。詳細は、セクション 2.4.2.2 を参照してください。デバイスがパワーダウン・モードのときは較正の開始と実行はできません。パワーダウンと較正の関係についてはセクション 1.1.7 を参照してください。

通常動作において、較正は電源投入直後のほか、CAL ピンを少なくとも 80 入力クロック・サイクル Low に維持し、続く 80 入力クロック・サイクル以上 High に維持した場合、有効な較正コマンドが与えられたとして較正処理が実行されます。較正処理に要する時間は「コンバータの電気的特性」の表に記載されています。ただし、パワーオン時に CAL ピンを High に保持していると、CAL ピンが上述のとおり 80 入力クロック Low 後に 80 クロック High になるまで、較正プロセスは実行されません。

CalDly (127 ピン) によって電源印加後に開始される較正処理の遅延時間を 2 種類の設定から選択します。CalDly を Low にした場合の較正遅延は 2^{25} 入力クロック・サイクル (3GSPS で約 22ms)、CalDly を High にした場合は 2^{31} 入力クロック・サイクル (3GSPS で約 1.4 秒) です。処理開始を遅延させることで、較正が実行される前に、電源電圧が上昇して安定するまでの時間を確保できます。電源投入時に PD ピンが High に保持されていると、PD ピンが Low になるまで較正遅延カウンタはディスエーブルされます。すなわち、電源オン時に PD ピンを High に保つことで、電源投入時の較正サイクルを開始をさらに遅らせることが可能です。CalDly ピンの設定は電源の投入時の安定するまでの時間に応じて決めるのが最良です。

較正動作の注意点：

- 較正サイクル中、OR 出力は較正アルゴリズムの結果としてアクティブになることがあります。出力ピンのすべてのデータと OR 出力の値は、較正サイクル中は無効です。
- 電源オン較正中、あるいは抵抗トリム (アドレス 1h、ビット 13) がディスエーブルされていない (0) ときのコマンド較正中は、内部クロックと DCLK を含むすべてのクロックはチップ内で停止し、同時に入力終端抵抗は $R_{EXT}/33$ に等しい値にトリミングされます。このような動作は較正サイクル中の入力抵抗較正時のノイズを抑えるためです。較正コマンド中の DCLK の維持についてはセクション 2.4.2.2 を参照してください。
外付け抵抗は 32 ピンとグラウンドの間に配置します。 R_{EXT} は $3300 \pm 0.1\%$ でなければなりません。この抵抗値を用いて入力終端抵抗は 100 にトリミングされます。このほか R_{EXT} は、トラック / ホールド・アンプ、プリアンプ、コンパレータが必要とする適切な電流の設定にも使用されるため、 R_{EXT} は他の抵抗値に変更してはなりません。
- 較正処理中は CalRun 出力が High になります。較正が電源投入またはコマンドのいずれで開始された場合でも CalRun 出力の動作は同じです。

1.1.2 入力の取り込み

データは CLK+ (10 ピン) の立ち上がりエッジと立ち下がりエッジで取り込まれ、デジタル的に等価なデータが、Dd 出力バスには 13 入力クロック・サイクル後に、Dc 出力バスには 13.5 クロック・サイクル後に、Db 出力バスには 14 クロック・サイクル後に、Da 出力バスには 14.5 クロック・サイクル後に、それぞれ出力されます。Table 1 を参照してください。また、出力が有効になるまでに t_{OD} の内部遅延が必要です。Figure 3、4 を参照してください。ADC083000 は、クロックが入力される限り変換を行います。完全な差動コンパレータ設計、画期的なサンプル / ホールド・アンプ設計、さらには自己較正機能が合わさって、1.5GHz を超える非常に平坦な SINAD/ENOB 応答を実現しています。ADC083000 出力データ信号方式は LVDS で、その出力フォーマットはオフセット・バイナリです。

1.0 機能説明 (つづき)

1.1.3 制御モード

さまざまなユーザー制御機能は外部ピンを使って制御します。例えば、較正サイクルの起動、パワーダウン・モードへの移行、フルスケール・レンジの設定などが可能です。さらに ADC083000 は、シリアル・インタフェースを使用する機能制御用の内部レジスタにアクセスする拡張制御モードも搭載しています。拡張制御モードが動的にイネーブルとディスエーブルに換えられることは想定されていません。常に通常制御モードか拡張制御モードのいずれかを選択して動作させる必要があります。デバイスを拡張制御モードで使用すると、外部ピンを用いた機能制御はレジスタを用いた制御に置き換わり、外部ピンを用いた制御は無効になります。対象となるピンは、OutV (3 ピン)、OutEdge/DDR (4 ピン)、FSR (14 ピン) です。拡張制御モードの詳細はセクション 1.2 を参照してください。

1.1.4 アナログ入力

ADC083000 は差動入力信号で駆動しなければなりません。シングルエンド信号を用いた動作は推奨されません。入力信号は、 V_{CMO} ピンをグラウンドに接続した AC 結合か、 V_{CMO} ピンをフローティングにした DC 結合のいずれかでなければなりません。DC 結合を用いる場合は V_{CMO} 出力電圧に等しい同相電圧を入力に与える必要があります。

フルスケール・レンジは 14 ピン (FSR) で設定します。14 ピンを High にすると入力フルスケール・レンジは $820mV_{P-P}$ になり、14 ピンをグラウンドにするとフルスケール・レンジは $600mV_{P-P}$ に設定されます。

拡張制御モードでのフルスケール入力レンジは、シリアル・インタフェースを介して $560mV_{P-P}$ から $840mV_{P-P}$ までの範囲で設定可能です。セクション 2.2 を参照してください。

1.1.5 クロック

ADC083000 のサンプリング・クロック (CLK+/CLK-) は AC 結合の差動クロック信号で駆動しなければなりません。クロック入力ピンの使用方法をセクション 2.3 に示します。A/D コンバータの出力データを任意のデバイスが後段で取り込めるように、データ・ラッチ用の差動 LVDS 出力クロック (DCLK) が出力されています。

ADC083000 の CLK+/CLK- および DCLK クロッキングにはオプションが用意されています。出力データの遷移タイミングを決める DCLK には、シングル・データレート (SDR) かダブル・データレート (DDR) 出力を選択するオプションが設けられています。

サンプリング・クロック CLK には、デューティサイクルの補正回路がオプションで設けられています。この機能はデフォルトで有効とされて、A/D コンバータのクロック性能を改善します。この回路により、A/D コンバータはデューティ・サイクル比が 80/20% (ワーストケース) の信号源によるクロックが可能となります。

1.1.5.1 出力デマルチプレクサ

ADC083000 は入力クロックの立ち上がり¹と立ち下がり²エッジの両方を使用するため、全体のサンプル・レートは入力クロック周波数の 2 倍となります。つまり、1.5GHz の入力クロックでは 3GSPS となります。1:4 のデマルチプレクサが選択されるため、1.5GHz の入力クロックでは 4 つの出力バスのデータ速度はおのおの 750MHz となります。

すべてのデータは並列に出力されます。各クロックで出力される並列の 4 バイト・データは次の順序で最初から最後に続きます。Da、Db、Dc、Dd の順序です。Table 1 はさまざまなサンプリングの組み合わせに対して現れる出力を示しています。

ADC083000 はバックグラウンドで自動的にクロック位相を較正する機能を備えているため、A/D コンバータの入力クロックの位相を自動的に連続して調整します。この機能によってクロック位相を外部で調整する必要がなくなるとともに、最適な ENOB 性能が提供されます。

TABLE 1. Input Channel Samples Produced at Data Outputs

データ出力 *	入力 / 出力
Dd	ADC1 で 13CLK 前の立ち下がりエッジでサンプリングしたデータ
Db	ADC1 で 14CLK 前の立ち下がりエッジでサンプリングしたデータ
Dc	ADC2 で 13.5CLK 前の立ち上がりエッジでサンプリングしたデータ
Da	ADC2 で 14.5CLK 前の立ち上がりエッジでサンプリングしたデータ

* つねに DCLK の立ち下がり出力

1.1.5.2 OutEdge の設定

出力データの遷移タイミングは、SDR モードで後段でのデータ捕捉が簡単になるように、出力データ・クロック (DCLK) の立ち上がりエッジまたは立ち下がりエッジのいずれかに設定することが可能です。設定は OutEdge 入力 (4 ピン) で選択します。OutEdge 入力ピンを High にすると出力データは DCLK の立ち上がりエッジに同期して遷移し、OutEdge を Low にすると DCLK の立ち下がりエッジに同期して遷移します。セクション 2.4.3 を参照してください。

1.1.5.3 ダブル・データレート

シングル・データレート (SDR) 出力またはダブル・データレート (DDR) 出力のいずれかを選択できる機能を備えています。デバイスを DDR モードで使用する場合は、アドレス 1h のビット 8 を 0b に設定します。シングル・データレートの場合、出力クロック (DCLK) の周波数は 2 組の出力バスのデータレートと同一です。ダブル・データレートの場合、DCLK の周波数はデータレートの半分になり、データは DCLK の両エッジで出力に送られます。非拡張モー

ドでダブル・データレートをイネーブルにするには 4 ピンをフローティングにします。

1.1.6 LVDS 出力

データ出力、アウト・オブ・レンジ (OR) 出力、および DCLK 出力はすべて LVDS です。差動 100 負荷に対する出力電流源の駆動能力は、OutV 入力 (3 ピン) が High の場合は 3mA、OutV 入力が Low の場合は 2.2mA です。LVDS の信号線長が短く低ノイズのシステムの場合は、OutV 入力を Low にして低消費電力にしても十分な性能が得られます。LVDS ラインが長い場合、あるいはその両方に該当する場合は、OutV ピンを High にする必要があります。

LVDS データ出力の同相電圧の代表値は V_{BG} ピンをフローティングにした場合は 800mV です。より高い同相電圧が必要な場合は、 V_{BG} ピンを V_A に接続すると同相電圧は 1.150V に上がります。

重要: V_{BG} ピンを V_A に接続すると、差動 LVDS 出力電圧 (V_{OD}) も最大で 40mV 増加します。

1.0 機能説明 (つづき)

1.1.7 パワーダウン

パワーダウン (PD) ピンが Low のときは、ADC083000 はアクティブ状態です。PD ピンを High にするとデバイスはパワーダウン・モードに移行します。パワーダウン・モードでは、DCLK + / -、OR + / - を含むデータ出力ピン (正と負) は、ハイ・インピーダンス状態になり、デバイスの消費電力は最低限のレベルにまで低下します。

校正処理の実行中に PD 入力を High にすると、デバイスは校正シーケンスが完了するまではパワーダウン・モードに移行しません。しかし、PD を High にした状態で電源を印加した場合は、PD 入力が Low になるまでデバイスは校正シーケンスを開始しません。デバイスのパワーダウン中はマニュアルで校正をしようとしても、較

正が開始されることはありません。すなわち、パワーダウン・モードではマニュアルによる校正は完全に無視されます。

1.2 通常制御と拡張制御

ADC083000 は 2 種類のモードのいずれかで動作します。ノーマル・モードでは複数の外部制御ピンを用いてデバイスの設定と制御を行います。「拡張制御モード」ではシリアル・インタフェースと 6 個のレジスタを用いてより多くの設定と制御が可能です。2 つの制御モードが 14 ピン (FSR/ECE: 拡張制御イネーブル) で選択されます。制御モードは最初から固定しておく必要があり、デバイスの動作中に動的に切り替えることは想定していません。

Table 2 には選択された制御モードによるデバイス機能が示されています。

TABLE 2. Features and Modes

機能	通常制御モード	拡張制御モード
SDR または DDR クロッキング	4 ピンで選択	構成レジスタの nDE ビットで選択 (1h; bit-10)。デバイスを DDR モードで使用する場合は、アドレス 1h のビット 8 を 0b に設定します。
DDR クロック位相	選択不可 (位相 0 のみ)	構成レジスタの DCP で選択 (1h; bit-11)。
SDR の場合の DCLK の立ち上がりまたは立ち下がりエッジによるデータの遷移	4 ピンで選択	構成レジスタの OE で選択 (1h; bit-8)。
LVDS 出力レベル	3 ピンで選択	構成レジスタの OV で選択 (1h; bit-9)。
パワーオン校正遅延	127 ピンで遅延選択	短時間遅延のみ
フルスケール・レンジ	14 ピンによってオプション (600mV _{p-p} か 820mV _{p-p}) を選択。選択したレンジは両チャネルに適用。	構成レジスタ (アドレス 3h、ビット 7 ~ 15) で公称 560mV から 840mV のフルスケール・レンジを 512 ステップで設定。
入力オフセット調整	不可	構成レジスタ (アドレス 2h、ビット 7 ~ 15) で ± 45mV までの入力オフセットを 512 ステップで設定。
サンプリング・クロックの位相調整	クロック位相を自動的に調整	粗調整レジスタと微調整レジスタ (Eh と Dh) を使ってクロック位相を調整することも可能。
試験用のパターン・データの発生	不可	構成レジスタの TPO ビット (アドレス Fh、ビット 11) をセットするとデータ出力にテスト・パターンが出力されます。
抵抗調整のディスエーブル	不可	構成レジスタの RTD (アドレス 1h、ビット 13) を選択すると、DCLK 出力は連続的に出力されず。

1.0 機能説明 (つづき)

拡張制御モードのデフォルト状態はパワーオン・リセットで設定 (デバイス内部で実行) され、Table 3 に示すとおりです。

TABLE 3. Extended Control Mode Operation (Pin 14 Floating)

機能	拡張制御モードのデフォルト設定状態
SDR または DDR クロッキング	DDR クロッキング
DDR クロック位相	DCLK エッジでデータ遷移 (位相 0°)
LVDS 出力振幅	通常振幅 (710mV _{p-p})
較正遅延	短時間遅延
フルスケール・レンジ	両チャンネルとも公称 700mV
入力オフセット調整	両チャンネルとも調整なし
抵抗調整のディスエーブル	調整イネーブル、DCLK は出力に連続して現れません。
試験用のパターン・データの発生	出力されません。

1.3 シリアル・インタフェース

3 線式のシリアル・インタフェースは拡張制御モード時のみ有効です。このインタフェースが使用するピンは、シリアル・クロック (SCLK)、シリアル・データ (SDATA)、シリアル・インタフェース・チップセレクト (SCS) の 3 本です。8 個の書き込み専用レジスタにはシリアル・インタフェースを介してアクセスします。

SCS: シリアル・インタフェースを介してレジスタにアクセスするにはこの信号を Low にアサートします。SCLK を基準とするセットアップ時間とホールド時間を守らなければなりません。

SCLK: この信号の立ち上がりでシリアル・データ入力を取り込まれます。

SDATA: 各レジスタにアクセスするためにはこの入力に個別の 32 ビット・パターンが必要です。このデータ・パターンは、ヘッダー、レジスタ・アドレス、レジスタ値で構成されます。データは MSB から入力されます。SCLK を基準とするセットアップ時間とホールド時間を守らなければなりません。Figure 9 を参照してください。

各レジスタ・アクセスのデータは、タイミング図の Figure 9 に示すように、32 ビットで構成されます。ヘッダー・パターンは固定で 0000 0000 0001 (11 個のゼロのあとに 1) です。書き込み順は先頭の "0" が最初です。この 12 ビットがヘッダーを構成します。次の 4 ビットは書き込み対象レジスタのアドレスを示し、残りの 16 ビットがアドレスで指定したレジスタへの書き込みデータです。各レジスタのアドレスを Table 4 に示します。

レジスタに書き込むデータの内容については「レジスタの説明」(セクション 1.4) を参照してください。

連続したレジスタへのアクセスは、その後、33 番目の SCLK から開始することができます。すなわち、レジスタのアクセスと次のアクセスとの間に SCS 入力をいったんネゲートして再びアサートする必要はありません。拡張制御モードで動作させる場合に、推奨はしませんが、SCS 入力をイネーブル (Low) に固定する方法もあります。

重要: A/D コンバータの較正時はシリアル・インタフェースを使用してはなりません。使用した場合、正しく再較正が行われるまでは、デバイスは性能が損なわれた状態で動作します。シリアル・レジスタへの設定では、レジスタ・アクセスの期間は、A/D コンバータのダイナミック性能は低下します。

TABLE 4. Register Addresses

4 ビット・アドレス					
ローディング・シーケンス: H0 の次に A3 がロードされ、A0 は最後にロード					
A3	A2	A1	A0	Hex	指定されるレジスタ
0	0	0	0	0h	予約済み
0	0	0	1	1h	構成
0	0	1	0	2h	オフセット
0	0	1	1	3h	フルスケール電圧調整値。
0	1	0	0	4h	予約済み
0	1	0	1	5h	予約済み
0	1	1	0	6h	予約済み
0	1	1	1	7h	予約済み
1	0	0	0	8h	予約済み
1	0	0	1	9h	予約済み
1	0	1	0	Ah	予約済み
1	0	1	1	Bh	予約済み
1	1	0	0	Ch	予約済み
1	1	0	1	Dh	拡張クロック位相微調整
1	1	1	0	Eh	拡張クロック位相粗調整
1	1	1	1	Fh	試験用のパターン・データの発生

1.0 機能説明 (つづき)

1.4 レジスタの説明

拡張制御モードでは 8 個の書き込み専用レジスタによってさまざまな制御設定オプションが提供されます。これらのレジスタの内容は通常制御モードの動作には影響を与えません。以下に説明する各レジスタの詳細には、パワーオン・リセット (POR) 後のデフォルト状態が併記されています。

構成レジスタ

アドレス: 1h (0001b) 書き込み専用 (0xB2FF)

D15	D14	D13	D12	D11	D10	D9	D8
1	DRE	RTD	DCS	DCP	nDE	OV	OE

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

- ビット 15 1b を書き込んでください。
 POR 状態 : 0b
- ビット 14 DRE: 差動リセット・イネーブル。このビットを 0b にクリアするとシングルエンドの DCLK_RST 入力が無効になります。このビットを 1b にセットすると差動 DCLK_RST 入力が無効になります。
 POR 状態 : 0b
- ビット 13 RTD: 抵抗調整のディスエーブル。このビットを 1b にセットすると、入力終端抵抗は較正サイクル中にトリム調整されず、DCLK 出力はイネーブルのままを保ちます。ただし、このビットの設定にかかわらず A/D コンバータの較正は行われます。
 POR 状態 : 0b
- ビット 12 DCS: デューティ・サイクル安定化回路。このビットを 1b にセットすると、デューティ・サイクル安定化回路がクロック入力に適用されません。このビットを 0b にすると安定化回路はディスエーブルされます。
 POR 状態 : 1b
- ビット 11 DCP: DDR クロック位相。このビットは DDR モードにのみ作用します。このビットを 0b にすると、DCLK エッジはデータバス・エッジのタイミングに揃えられます (位相 0°)。このビットを 1b にすると、DCLK エッジはデータビット・セルの midpoint に置かれ (位相 90°)、Figure 4 に示すように、データレート $\frac{1}{2}$ の周波数の DCLK が位相基準として用いられます。
 POR 状態 : 0b
- ビット 10 nDE: DDR イネーブル。このビットを 0b にするとデータバス・クロッキングは DDR (ダブル・データレート) モードになり、データ・ワードは DCLK の立ち上がりクロックと立ち下がりクロックで出力されます。デバイスを DDR で動作させる場合は、アドレス 1h のビット 8 に 0b を設定してください。このビットを 1b にセットするとデータバス・クロッキングは SDR (シングル・データレート) モードになり、OutEdge ビットの設定にもついで、データ・ワードは DCLK の立ち上がりまたは立ち下がりいずれかで出力されます。
 POR 状態 : 0b

ビット 9 OV: 出力電圧。このビットは通常制御モードでの OutV ピンの機能と同じく、LVDS の出力電圧振幅を決定します。このビットを 1b にセットすると標準出力振幅 680mV_{p-p} が使用されます。このビットを 0b にすると出力振幅は小さくなり 520mV_{p-p} が使用されます。
 POR 状態 : 1b

ビット 8 OE: 出力エッジ。このビットは 2 つの機能を持っています。このビットは通常制御モードでの OutEdge ピンの機能と同じく、SDR モードでデータ・ワード遷移を生じさせる DCLK エッジを選択します。このビットを 1b にすると、データ出力は DCLK + 立ち上がりエッジで変化します。このビットを 0b にすると、データ出力は DCLK + 立ち下がりエッジで変化します。デバイスを DDR で動作させる場合は、このビットを 0 に設定してください。
 POR 状態 : 0b

ビット 7:0 1b を書き込んでください。

オフセット調整

アドレス: 2h (0010b) 書き込み専用 (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8	
(MSB)				Offset Value				(LSB)

D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

- ビット 15:8 オフセット値。このフィールドの値を使って、A/D コンバータの入力オフセットをリニアかつ単調 (モニタリング) に調整します。00h は公称ゼロのオフセットを与え、FFh は公称 45mV のオフセットを与えます。すなわち、レジスタ値の 1 ビットは 0.176mV のオフセット増分に相当します。
 POR 状態 : 0000 0000 b (無調整)
- ビット 7 符号ビット。0b は正のオフセットを与え、1b は負のオフセットを与えます。
 POR 状態 : 0b
- ビット 6:0 1b を書き込んでください。

1.0 機能説明 (つづき)

フルスケール電圧調整値

アドレス:**3h (0011b)** 書き込み専用 (**0x807F**)

D15	D14	D13	D12	D11	D10	D9	D8
1	DRE	RTD	DCS	DCP	nDE	OV	OE
D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

ビット 15:7 フルスケール電圧調整値。A/D コンバータの入力フルスケール電圧、すなわちゲインを、9 ビットのレジスタ値によってリニアかつ単調 (モノトニック) に調整します。調整範囲は公称 700mV_{p-p} 差動値の ± 20% です。

0000 0000 0 560mV_{p-p}

1000 0000 0 デ 700mV_{p-p}
フォルト値

1111 1111 1 840mV_{p-p}

最高性能を発揮するために、このフィールドの値は 0110 0000 0b から 1110 0000 0b の範囲にとどめておくことを推奨します。すなわち調整量を最大で ± 15% に制限します。残りのマージン ± 5% によって A/D コンバータのフルスケールばらつきが吸収されます。ゲイン調整では A/D コンバータの再較正は必要ありません。

POR 状態 : 1000 0000 0b

ビット 6:0 1b を書き込んでください。

拡張クロック位相微調整

アドレス:**Dh (1101b)** 書き込み専用 (**0x3FFF**)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)	FAM						
D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

ビット 15:7 微調整の大きさ。すべてのビットをセットした場合、非線形の全調整量は 110ps です。セクション 2.3.1 を参照してください。

POR 状態 : 000 0000 0b

ビット 6:0 1b を書き込んでください。

拡張クロック位相粗調整

アドレス:**Eh (1110b)** 書き込み専用 (**0x07FF**)

D15	D14	D13	D12	D11	D10	D9	D8
ENA	CAM				LFS	1	1
D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

ビット 15 イネーブル、デフォルトは 0b

ビット 粗調整の大きさ。1LSB でクロック調整の約 14:11 70ps 相当になります。セクション 2.3.1 を参照してください。

POR 状態 : 0000b

ビット 10 低周波数のサンプリング・クロック。このビットを 1 にセットすると、クロック周波数が 900MHz 未満のときに、デバイスのダイナミック性能が向上します。

POR 状態 : 0b

ビット 9:0 1b を書き込んでください。

テスト・パターン用レジスタ

アドレス:**Fh (1111b)** 書き込み専用 (**0xF7FF**)

D15	D14	D13	D12	D11	D10	D9	D8
1	1	1	1	TPO	1	1	1
D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

ビット 1b を書き込んでください。

15:12

ビット 11 TPO: テスト・パターン出力イネーブル。このビットを 1b に設定すると、A/D コンバータは停止し、テスト・パターン発生器が OR も含んで出力に接続されます。このテスト・パターンは SDR および DDR モードにあるデバイスで有効です。

POR 状態 : 0b

ビット 10:0 1b を書き込んでください。

1.0 機能説明 (つづき)

1.4.1 拡張モードのオフセット補正に関する注意

オフセット調整レジスタを使用する場合は、次に示す情報に注意してください。

オフセット設定値 + 0000 0000 とオフセット設定値 - 0000 0000 とでは実際のオフセットは同じになりません。設定値は符号ビットが異なるだけですが、デジタル出力コードには LSB のおよそ 1/10 のオフセット変化が生じます。この様子を以下の図に示します。

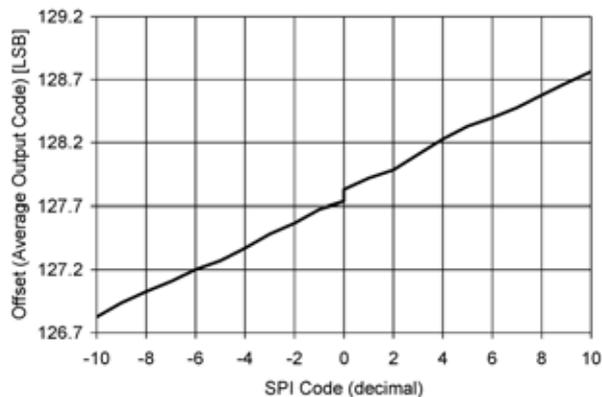


FIGURE 10. Extended Mode Offset Behavior

1.5 複数デバイスの同期

ADC083000 は、内部のサンプリング・クロック (CLK) を正確にリセットして、システムに存在する複数の A/D コンバータに対して出力クロック (DCLK) とデータを同期させる機能を備えています。この機能を用いれば、システム内に複数デバイスがある場合に、すべてのデバイスがサンプリングに使用する共有 CLK 入力に対して、それぞれの DCLK (とデータ) の出力遷移を同期させることができます。

ADC083000 は、シングルエンド (LVCMOS) DCLK_RST が差動 (LVDS) DCLK_RST のいずれを必要とするシステムにも対応するよう設計されています。

シングルエンド (LVCMOS) DCLK_RST : DCLK_RST のパワーオン・リセット後はシングルエンド DCLK_RST がイネーブルになっています。構成レジスタ内のビット 14 (DRE) は 0b にクリアされています。シングルエンド DCLK_RST を使用しない場合は入力をグラウンドに接続してください。

差動 (LVDS) DCLK_RST : 構成レジスタのビット 14 を 1b にセットするとイネーブルになります。差動 DCLK_RST を使用しないときは入力はグラウンドに接続してください。差動 DCLK_RST には 100 Ω 終端抵抗が内蔵され、また、AC 結合はできません。

DCLK_RST 信号は「タイミング図」の Figure 5 ~ 7 に示されるタイミング要件を満たさなければなりません。DCLK_RST パルスは最小幅を満たさなければならないほか、ネゲートするエッジは CLK 入力の立ち上がりエッジに対してセットアップ時間とホールド時間を満たさなければなりません。これらのタイミングは「コンバータの電気的特性」に記載されています。

DCLK_RST 信号は入力クロックに対して非同期にアサートしても問題ありません。DCLK_RST をアサートすると、DCLK 出力は指定された状態に保持されます。リセット期間中に保持される DCLK の状態は、動作モード (SDR/DDR) と、出力エッジのピン設定またはレジスタ設定により決まります (DCLK リセット・ステート条件については Figure 5 ~ 7 を参照してください)。そのため、DCLK_RST 信号をアサートしたタイミングによっては、このリセット事象の際に DCLK に短いパルスが生じることがあります。同期処理中に CLK 立ち上がりエッジで DCLK_RST 信号をネゲートすると、次の CLK 立ち上がりエッジで、システム内の全 ADC083000 の DCLK 出力の同期が行われます。DCLK 出力は、CLK 入力から DCLK 出力の遅延時間 (t_{SD}) に等しい一定遅延後 (入力クロック周波数に対して) に再びイネーブルになります。正常動作ではこの遅延が必ず生じます。

DCLK が連続して出力されるようにデバイスが設定されていない場合は、DCLK は較正サイクルの間、非アクティブになります。したがって、DCLK はデータの捕捉用クロックのみ使用し、システム用クロックとしては使用しないことを強く推奨します。

DCLK_RST ピンは、較正プロセスの実行中 (CalRun が High の間) は High にしてはなりません。High にしてしまうと、デジタル回路内にグリッチが発生し、較正は正しく実行できず無効になります。

1.6 ADC テスト・パターン

システムのデバッグに役立つように、ADC083000 は入力信号と全く関係しないテスト・パターンを 4 つの出力ポートに提供する能力を備えています。テスト・パターンはテスト・パターン・レジスタでビット 11 (TPO) を設定することによって選択されます (address Fh)。テスト・パターン用レジスタにライトしてからおよそ 10 DCLK 後に、デジタル出力からテスト・パターンが出力されます。

A/D コンバータは休止して、テスト・パターン発生器が OR を含んで出力に接続されます。Table 5 に示されているように各ポートには 1 と 0 を交互に変化させる独特な 8 ビットワードが与えられます。

TABLE 5. Test Pattern by Output Port

Time	Da	Db	Dc	Dd	OR	Comments
T0	01h	02h	03h	04h	0	Pattern Sequence n
T1	FEh	FDh	FCh	FBh	1	
T2	01h	02h	03h	04h	0	
T3	FEh	FDh	FCh	FBh	1	
T4	01h	02h	03h	04h	0	Pattern Sequence n+1
T5	01h	02h	03h	04h	0	
T6	FEh	FDh	FCh	FBh	1	
T7	01h	02h	03h	04h	0	
T8	FEh	FDh	FCh	FBh	1	Pattern Sequence n+2
T9	01h	02h	03h	04h	0	
T10	01h	02h	03h	04h	0	
T11	

Note: テスト・パターンのシーケンスが継続する場合は、同じビット・パターンが繰り返されます。

2.0 アプリケーション情報

2.1 リファレンス電圧

ADC083000 のリファレンス電圧は 1.254V のバンドギャップ・リファレンスから生成されています。バンドギャップ・リファレンスをバッファした電圧は外部へのリファレンス用に 31 ピンの V_{BG} ピンから出力され、 $\pm 100\mu\text{A}$ のソースまたはシンクが可能です。これよりも多くの電流を必要とする場合は外部でバッファを使用してください。

内部バンドギャップから生成されるリファレンス電圧の公称値は、FSR ピンで決定され、600mV または 820mV のいずれかです。詳しくはセクション 1.1.4 を参照してください。

リファレンス電圧を外部から与える方法はありませんが、セクション 1.2 で説明したとおり、フルスケール入力電圧は拡張制御モードであれば構成レジスタを使って設定可能です。

選択したフルスケール・レベルを上限とする差動入力信号は 8 ビットでデジタル化されます。フルスケール・レンジを超えた信号は出力でクリッピングされます。このような大きな信号を与えると、その間、OR 出力がアクティブになってレンジを逸脱していることを外部に知らせます。セクション 2.2.2 を参照してください。

V_{BG} ピンには LVDS 出力の同相電圧レベルを高める機能もあります。 V_{BG} ピンを出力として使用した場合、もしくは開放で使用した場合、出力オフセット電圧 (V_{OS}) は代表値で 800mV です。LVDS オフセット電圧を代表値で 1,150mV に上げるには、 V_{BG} ピンを電源レールに直接接続します。

2.2 アナログ入力

アナログ入力は差動入力で、AC 結合か DC 結合で信号ソースを接続します。フルスケール入力レンジは、FSR ピンを使って 600mV_{P-P} か 820mV_{P-P} を選択するか、拡張制御モードではシリアル・インタフェースを介して 560mV_{P-P} から 840mV_{P-P} までの範囲で調整が可能です。最良の性能を発揮させるには、拡張制御モードでも、フルスケール・レンジを 595mV_{P-P} から 805mV_{P-P} の範囲に維持してください。

通常 (非拡張) モードで FSR ピンを High で使用したときの入力と出力の関係を Table 6 に示します。FSR ピンが Low の場合、電圧は Table 6 に記載の mV 値の 75% になります。拡張制御モードの場合、これらに対応する電圧値は、制御レジスタのフルスケール・レンジ設定とオフセット設定によって変わります。

TABLE 6. DIFFERENTIAL INPUT TO OUTPUT RELATIONSHIP (Non-Extended Control Mode, FSR High)

V_{IN+}	V_{IN-}	Output Code
$V_{CM} - 205\text{mV}$	$V_{CM} + 205\text{mV}$	0000 0000
$V_{CM} - 102.5\text{ mV}$	$V_{CM} + 102.5\text{ mV}$	0100 0000
V_{CM}	V_{CM}	0111 1111 / 1000 0000
$V_{CM} + 102.5\text{ mV}$	$V_{CM} - 102.5\text{ mV}$	1100 0000
$V_{CM} + 205\text{mV}$	$V_{CM} - 205\text{mV}$	1111 1111

アナログ入力をバッファした信号で駆動すると A/D コンバータ入力のサンプリングに通常使用される RC ボールは不要になります。A/D コンバータの前段にアンプを置く必要が生じた場合、適切なノイズ性能と歪み性能、アプリケーションが使用する周波数において適切なゲインを持つアンプを選択するようにしてください。

DC 結合モード (V_{CMO} がグラウンドに接続されていない状態) での V_{IN+} / V_{IN-} の入力インピーダンスは、入力ピン間の高精度 100 抵抗と、各入力ピンとグラウンド間の容量で決まります。AC 結合モードでは各アナログ入力ピンとオンチップ V_{CMO} 電位の間に存在する 50k 抵抗がさらに追加されます。

入力を AC 結合で用いる場合は、 V_{CMO} 出力を Figure 11 に示すように必ずグラウンドに接続してください。このように接続することで、チップ内で生成される V_{CMO} 電圧は、内部の 50k 抵抗を介して入力に与えられます。

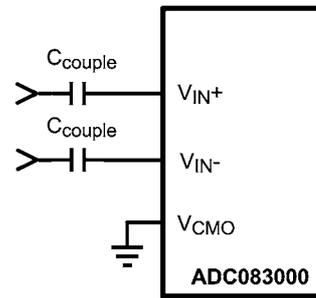


FIGURE 11. Differential Data Input Connection

DC 結合で動作させる場合には差動入力に同相電圧を与えなければなりません。この同相電圧は V_{CMO} 出力ピンに追従しなければなりません。 V_{CMO} の出力電圧は温度によって変化する点に注意が必要です。アナログ入力を駆動するデバイスの同相電圧はこの変化に追従できなければなりません。

入力同相電圧が V_{CMO} から偏移するとフルスケール歪み性能が急激に悪化します。この現象は消費電力を抑えるために低い電源電圧を使用したときに必然的に生じます。入力同相電圧は V_{CMO} の 50mV 以内に維持してください。

正負両方のアナログ入力の入力同相電圧を V_{CMO} の 50mV 以内に維持すれば、DC 結合時の性能は AC 結合時の性能と同等になります。

2.2.1 シングルエンド入力信号の取り扱い

ADC083000 はシングルエンド入力信号を適切に扱える手段を備えていません。シングルエンド信号を取り扱うには、シングルエンド信号を A/D コンバータに与える前に差動信号に変換することが最も良い方法です。

2.2.1.1 AC 結合入力

シングルエンド AC 入力から差動 AC 信号への最も簡単な変換手段は、Figure 12 に示すようなバラン接続のトランスです。

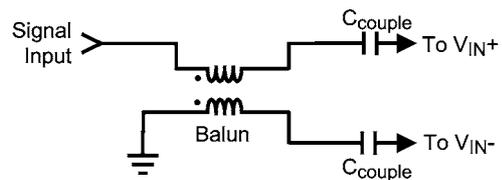


FIGURE 12. Single-Ended to Differential signal conversion with a balun-connected transformer

Figure 12 はシングルエンドから差動にバランを使用して信号を変換する回路の一般的な構成です。バランの回路構成は使用するバランと全体的な基板レイアウトに依存します。回路を設計する際は、選択したバランの性能が引き出せるように、シングルエンドから差動への信号変換に必要な情報をバランのメーカーから入手してください。バランの選択では A/D コンバータの入力を理解しておく必要があります。ADC083000 には 100 の差動入力終端抵抗が内蔵されています。入力終端抵抗値の範囲は R_{IN} 仕様として電気的特性の表に記載されています。また、A/D コンバータのアーキテクチャの制約により、位相と振幅の平衡が重要です。

2.0 アプリケーション情報 (つづき)

位相と振幅の不均衡が最も小さくなるようにバランを選択してください。A/D コンバータは± 2.5 を超える位相不均衡には対応できないほか、対象の周波数における振幅不均衡を 1dB 未満に抑える必要があります。A/D コンバータはインターリーブ方式のアーキテクチャを採用しているため、位相と振幅の不均衡が ADC が許容できる量より大きいと、インターリーブ動作が不揃いとなって FFT スペクトラムに現れるとともに、デバイスのダイナミック性能が悪化します。さらに、バランを選択するときは、バランの VSWR と挿入損失についても考慮が必要です。VSWR は、A/D コンバータ入力に接続したときに、伝送線路の全体的な終端能力を決める要因になります。また、バラン出力の信号が仕様 V_{IN} として電気的特性の表記載のとおり A/D コンバータの規定入力範囲に収まるよう、挿入損失を考慮しなければなりません。

2.2.1.2 DC 結合入力

ADC083000 アナログ入力に DC 結合で接続する場合、シングルエンドから差動への信号変換は LMH6555 を使えば簡単です。このような回路例を Figure 13 に示します。このようなアプリケーションで LMH6555 は、ADC083000 に必要な低歪みと低ノイズ、および出力の平衡を維持しながら、シングルエンドから差動に信号変換を行います。適当なバッファを介して ADC083000 V_{CMO} ピンを LMH6555 の V_{CM_REF} に接続すると、ADC083000 の最適な性能に必要な共通モード入力電圧が確保されます。ここでは、低電圧で動作しオフセット電圧の小さい LMV321 を、 V_{CMO} バッファに選択しています。

V_{CMO} 出力から取り出される電流が 100 μ A を超えないように注意してください。

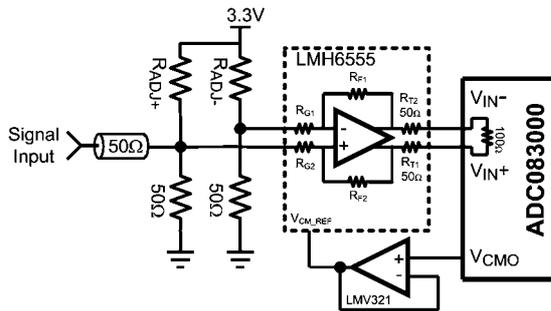


FIGURE 13. Example of Servoing the Analog Input with V_{CMO}

Figure 13 に示す R_{ADJ-} と R_{ADJ+} によって、A/D コンバータ入力 V_{IN+}/V_{IN-} で観測される差動オフセットを調整します。 V_{IN-} を基準として |15mV| より先大きな調整前の正オフセットは、 R_{ADJ-} の抵抗値によって低減してください。同様に、 V_{IN-} を基準として |15mV| より先大きな調整前の負オフセットは、 R_{ADJ+} の抵抗値によって低減してください。調整前オフセット範囲のそれぞれに対して、 V_{IN+}/V_{IN-} オフセットを |15mV| 以内に抑える R_{ADJ-} と R_{ADJ+} の推奨抵抗値を、Table 7 に示します。

TABLE 7. D.C. Coupled Offset Adjustment

Unadjusted Offset Reading	Resistor Value
0mV to 10mV	no resistor needed
11mV to 30mV	20.0k Ω
31mV to 50mV	10.0k Ω
51mV to 70mV	6.81k Ω
71mV to 90mV	4.75k Ω
91mV to 110mV	3.92k Ω

2.2.2 アウト・オブ・レンジ (OR) 出力

クリッピングされた変換結果が得られた場合、OR + が High になり OR - が Low になって、範囲外 (アウト・オブ・レンジ) であることを示します。出力バスのいずれかから出力される本来のデータが 00h から FFh のレンジを逸脱している限り、OR 出力はアクティブの状態を続けます。OR 出力は較正サイクル中はアクティブになりません。詳細はセクション 1.1 概要を参照してください。

2.2.3 フルスケール入力レンジ

あらゆる A/D コンバータと同様に、入力レンジは A/D コンバータのリファレンス電圧によって決まります。ADC083000 のリファレンス電圧は、内部バンドギャップ・リファレンスから生成しています。ノーマルモードでは FSR ピンは ADC083000 の実効リファレンス電圧を制御し、FSR ピンが High のときアナログ入力の差動フルスケール入力レンジは 820mV_{P-P}、FSR ピンが Low のときは 600mV_{P-P} になります。拡張制御モードでは、フルスケール・レンジは 560mV から 840mV までの範囲で任意に設定可能です。最高の SNR は高いフルスケール・レンジで得られますが、より優れた歪み性能と SFDR 性能はフルスケール・レンジが低いときに得られます。Figure 13 の LMH6555 はあらゆるフルスケール・レンジに適合します。

2.3 サンプル・クロック入力

ADC083000 は差動 LVDS クロック入力 CLK + /CLK - を備えています。これらのクロック・ピンは AC 結合の差動クロック信号で駆動しなければなりません。ADC083000 は差動 1.5GHz クロックで試験され、その性能が保証されていますが、通常は「電気的特性」に記載のクロック周波数で良好な性能を発揮します。クロック入力は内部終端され、バイアスが加えられています。クロック信号は Figure 14 に示すように、クロック・ピンを容量性結合する必要があります。

「電気的特性」の表に記載のサンプリング・レートを上限とする動作は、記載されている最大周囲温度を超えない限り、一般に問題ありません。与えられた周囲温度で、規定されているサンプリング・レートより先高いサンプリング・レートで動作させると、デバイスの信頼性と製品寿命を損ねる結果を招く場合があります。その理由は、サンプリング・レートが高くなると消費電力が大きくなり、ダイ温度が上昇するためです。信頼性を確保するためには適切なサーマル・マネジメントも重要です。セクション 2.6.2 を参照してください。

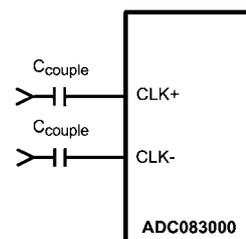


FIGURE 14. Differential Sample Clock Connection

2.0 アプリケーション情報 (つづき)

差動入力クロック・ライン・ペアは 100 の特性インピーダンスを持たなければならない、また (バランを使用するときは)、クロック・ソース端でその特性インピーダンス (100) で終端しなければならない。クロック・ラインは、できる限り短く、また、できる限り直接配線してください。ADC083000 のクロック入力トリミング調整されていない 100 抵抗によって内部終端されています。

クロック・レベルが十分に高くないとダイナミック性能が悪化します。過大なクロック・レベルはアナログ入力オフセット電圧を変化させる可能性があります。このような問題を防ぐために、入力クロック・レベルを「電気的特性」の表に記載されている電圧範囲に維持してください。

一般に A/D コンバータの性能は、クロックの Low 時間と High 時間に影響されます。ADC083000 は、仕様温度範囲内で性能を維持する、デューティ・サイクル・クロック補正回路を内蔵しています。A/D コンバータは入力クロックの High 時間と Low 時間が「電気的特性」の表記載の時間範囲 (20/80% 比) に維持されている限り性能仕様を満たします。

ADC083000 のような高速かつ高性能な A/D コンバータは、位相ノイズ、すなわちジッタの少ない、きわめて安定したクロックを必要とします。A/D コンバータのジッタ要件は、A/D コンバータの分解能 (ビット数)、A/D コンバータの最高入力周波数、A/D コンバータ入力フルスケール・レンジに対する入力信号振幅の比で決まります。ジッタに起因する SNR 低下を生じさせない許容される最大ジッタ (すべてのジッタ源に起因するジッタの合計) は次のとおりです。

$$t_{J(\text{MAX})} = (V_{\text{IN(P-P)}}/V_{\text{INFSR}}) \times (1/(2^{(N+1)} \times f_{\text{IN}}))$$

$t_{J(\text{MAX})}$ は全ジッタ源の rms の合計で単位は秒、 $V_{\text{IN(P-P)}}$ はアナログ入力信号のピーク・ツー・ピーク値、 V_{INFSR} は A/D コンバータのフルスケール・レンジ、"N" は A/D コンバータの分解能で単位はビット数、 f_{IN} は A/D コンバータのアナログ入力の最高入力周波数で単位は Hz です。

上述の最大ジッタは、A/D コンバータ入力クロックのジッタ、システムが A/D コンバータ入力クロックと入力信号に付加するジッタ、A/D コンバータ自身が A/D コンバータ入力クロックに付加するジッタを含む、すべてのジッタ源から出力されるジッタの算術的な和です。A/D コンバータが追加するジッタは設計者が制御できる範囲を超えるため、設計者は、外部回路が追加するクロック・ジッタと、アナログ回路がアナログ信号に追加するジッタの合計を最小限に抑えるように努めなければならない。

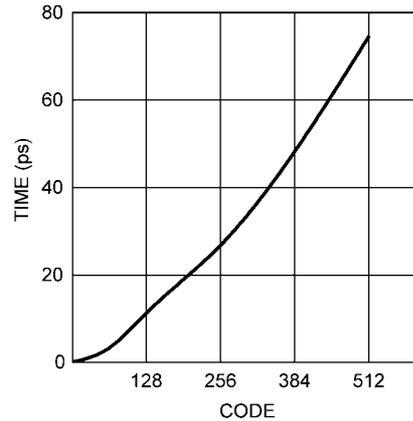
「電気的特性」の表で規定されている入力クロック振幅を超える振幅を与えると入力オフセット電圧が上昇する場合があります。このことが起こると、正負両方の入力ピンが同一の電位の場合、コンバータは、予期される 127/128 以外の出力コードを生成する可能性があります。

2.3.1 サンプリング・クロックのマニュアル位相調整

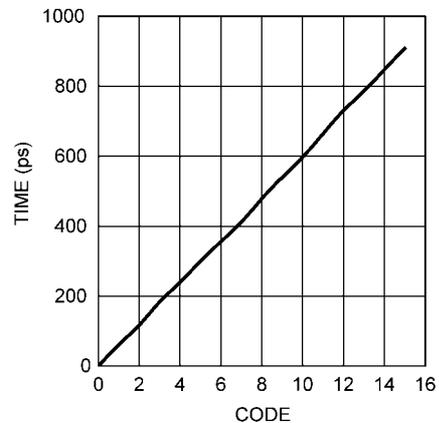
複数 A/D コンバータを同期させるときに、レイアウトのわずかな差を吸収できるよう、拡張モードからサンプリング・クロックの位相が調整できるようになっています。レジスタ・アドレスの Dh と Eh が微調整と粗調整用の拡張レジスタです。サンプリング・クロックの位相をマニュアルで調整をしているときは、低周波数サンプリング・クロック (レジスタ Eh、ビット 10) 機能は使用できません。

なお、位相調整機能 (レジスタ Eh、ビット 15) を有効にするだけでなく、特に SFDR に代表されるダイナミック性能が悪化する点は注意が必要です。位相調整機能はわずかな調整量を想定しています。位相調整量を大きくすると SNR が影響を受け、最終的には ENOB が悪化します。そのため、適切なシステム性能を得るには、粗調整の使用はできるだけ避けてください。

Fine Clock Phase Adjust Range



Coarse Clock Phase Adjust Range



2.4 制御ピン

6 個の制御ピン (シリアル・インタフェースで使用するピンは含まれません) は、ADC083000 の動作に自由度を与えるとともに、その適用範囲を広げます。制御ピンによって、フルスケール入力レンジの設定、自己較正の開始、較正遅延の設定、出力同期エッジの選択、LVDS 出力レベルの選択、パワーダウン機能などがサポートされます。

2.4.1 フルスケール入力レンジの設定

入力フルスケール・レンジは、通常動作モードでは、FSR 制御入力 (14 ピン) を用いて $600\text{mV}_{\text{P-P}}$ または $820\text{mV}_{\text{P-P}}$ のいずれかを選択可能です。拡張制御モードでは、入力フルスケール・レンジは $560\text{mV}_{\text{P-P}}$ から $840\text{mV}_{\text{P-P}}$ までの範囲で任意に設定可能です。詳細はセクション 2.2 を参照してください。

2.4.2 較正

定格性能を実現するために ADC083000 は自己較正の実行を必要とします。この較正処理は電源投入時に実行されますが、外部からのコマンド指示によって実行させることも可能です。較正処理は、パワーオン時にクロックが印加されている状態でも、あるいは電源印加後にある時間を経過してからクロックを与えた場合でも全く同じです。較正処理の実行中は CalRun 出力インジケータが High になります。DCLK 出力は較正サイクル中はアクティブにはなりませんので、システム・クロックとしては推奨しません。

2.0 アプリケーション情報 (つづき)

2.4.2.1 パワーオン較正

パワーオン較正は、電源を印加後、ある遅延時間の後に開始されます。この時間遅延は以下の「較正遅延」セクションに記載のとおり CalDly の設定によって決まります。

電源投入時に CAL ピンを High にしていると較正処理は実行されません。この場合、較正サイクルはコマンドによる較正条件が揃うまで開始されません。電源投入時に CAL ピンが High になっていると、ADC083000 は動作しますが較正は行われなため、十分な性能は得られません。しかし、パワーオン後に CAL ピンを High にすることでマニュアル較正を実行可能です。セクション 2.4.2.2 の「コマンドによる較正」を参照してください。

内部パワーオン較正回路は不定なロジック・ステートで起動します。クロックが電源投入時に入力されておらず、パワーオン較正回路がアクティブな場合、デバイスはアナログ回路をパワーダウンし、消費電力は代表値で 25mW 未満になります。クロックが与えられると消費電力は通常の値に戻ります。

2.4.2.2 コマンドによる較正

コマンドによる較正を開始するには、CAL ピンを 80 入力クロック・サイクル以上 Low にした後、80 入力クロック・サイクル以上 High に保ちます。電源投入時に CAL ピンを High にしておくと、CAL ピンを少なくとも 80 クロック・サイクルの間 Low にした後、少なくとも 80 クロック・サイクルの間 High にするまで、パワーオン較正は行われません。較正サイクルは CAL ピンを High にした 80 クロック後に開始されます。較正サイクルの完了を知るには CalRun 信号の監視が必要です。

ランダム・ノイズによって望ましくない較正が開始されないように、最小 80 クロック・サイクルのシーケンスが必要です。セクション 1.1 で述べたように、最高性能を発揮するには、アプリケーションの電源を投入して 20 秒以上が経過してから自己較正を実行し、また、個々のシステム設計性能要件に比べて周囲温度が大幅に変化したときに再較正を実行してください。接合部温度が上昇すると有効ビット (ENOB) はわずかに変化しますが、コマンド較正を実行することで簡単に修正が可能です。

連続 DCLK 出力と適切な CalRun 動作についての考察：

- 電源オン時の較正サイクルの間に、A/D コンバータと入力終端抵抗の両方が較正されます。ENOB はジャンクション温度の影響をわずかに受けるため、A/D コンバータの性能を仕様値に戻すためにコマンドによる較正を実行できます。デフォルトでは、この較正には入力終端抵抗と A/D コンバータの較正が含まれています。ただし、入力終端抵抗値は温度によってわずかに変化するため、較正中の入力抵抗のトリミングをディスエーブルすることができます (アドレス 1h、ビット 13 を 1b にセット)。この場合、DCLK は較正中も連続して出力されます。抵抗調整のディスエーブルは、拡張モード時にレジスタ (アドレス 1h、ビット 13) から設定します。レジスタの設定に関する情報はセクション 1.4 を参照してください。
- 拡張モード・レジスタによってアパーチャ調整回路を使用しているときに較正コマンドを要求する場合は、RTD ビットをディスエーブル (アドレス 1h、ビット 13 を 1b にセット) するようにしてください。DCLK を含む A/D コンバータ内のすべてのクロックを連続的に動作させるとともに、CalRun 出力が適切に動作します。アパーチャ調整回路は拡張モード・レジスタ (アドレス Dh と Eh) に割り当てられています。レジスタの設定に関する情報はセクション 1.4 を参照してください。

2.4.2.3 較正遅延

セクション 1.1.1 で述べたように、CalDly 入力 (127 ピン) を使用して、アプリケーションに電源が印加されてから較正が開始されるまでの遅延時間を 2 種類の中から選択します。較正遅延によって較正を実行する前に電源が安定する時間的な余裕が与えられます。遅延がない場合、あるいは遅延が十分ではない場合、電源が動作状態に安定しないうちに較正が実行される可能性があり、最適化されていない較正係数が得られてしまいます。電源投入時に PD ピンが High に保持されていると、PD ピンが Low になるまで較正遅延カウンタはディスエーブルされます。すなわち、電源オン時に PD ピンを High に保つことで、電源投入時の較正サイクルを開始をさらに遅らせることが可能です。CalCly ピンの設定は電源の投入時の安定するまでの時間に応じて決めるのが最良です。

較正遅延は拡張制御モードでは選択できず、短時間遅延が使われます。

2.4.3 出力エッジ同期

DCLK 信号はコンバータ出力データが外部回路にラッチされるのに役立つために出力されています。出力データは DCLK 信号のどちらかのエッジと同期することができます。すなわち、出力データの同期エッジは、出力データ・クロック (DCLK) の立ち上がりエッジまたは立ち下がりエッジのいずれかに設定でき、外部の受信回路は DCLK 信号の対応するエッジを使って出力データをラッチします。

OutEdge (4 ピン) が High のとき、出力データは DCLK + (82 ピン) の立ち上がりエッジに同期 (と共に変化) します。OutEdge を Low とすると、出力データは DCLK + の立ち下がりエッジに同期します。

ADC083000 が対応可能な高周波数では、DCLK とデータ・ラインのわずかなトレース長の違いがデータ・キャプチャの成功または失敗につながります。OutEdge ピンを使うことで、アプリケーション回路とレイアウトに最も適した DCLK エッジでデータの取得が可能になります。

2.4.4 LVDS 出力レベル制御

出力レベルは OutV (3 ピン) を使用して 2 種類のレベルから選択します。OutV を High にすると出力ドライバの駆動能力が大きくなります。OutV を Low にすると出力ドライバの消費電力は抑えられますが出力レベルが低い場合ノイズ耐性は低下します。

LVDS ライン長が短くノイズが小さなシステムでは、OutV 入力を Low にしても十分な性能が得られる可能性があります。LVDS ラインが長い場合 ADC083000 が使われているシステムにノイズが多い場合、あるいはその両方に該当する場合は、OutV ピンを High にする必要があります。

2.4.5 パワーダウン機能

パワーダウン・ピン (PD) によって ADC083000 を完全にパワーダウンさせることができます。パワーダウン機能の詳細はセクション 1.1.7 を参照してください

該当するチャンネルの PD ピンを High にすると、デジタルデータ (+/-) 出力ピンはハイ・インピーダンスになります。通常動作に復帰する場合、パイプラインは無意味な情報を保持しているため無効として扱わなければなりません。

較正処理の実行中に PD 入力を High にすると、デバイスは較正シーケンスが完了するまではパワーダウン・モードに移りません。しかし、PD を High にした状態で電源を印加した場合は、PD 入力が Low になるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中はマニュアルで較正をしようとしても、較正が開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。

2.0 アプリケーション情報 (つづき)

2.5 デジタル出力

ADC083000 はダイ上の 2 系統のコンバータの各データ出力を 2 組の LVDS 出力バスにマルチプレクスして出力します (各コンバータに 2 組で合計で 4 組)。2 系統のコンバータそれぞれで、CLK + の奇数番目の立ち上がりエッジから開始した連続変換の結果が 2 組の LVDS バスの片方から出力され、CLK + の偶数番目立ち上がりエッジから開始した連続変換の結果が他方の LVDS バスから出力されます。これは、各 LVDS バスのワード・レートは ADC083000 の入力クロック・レートの半分になることを意味し、3GSPS の変換結果を得るには 2 組のバスをマルチプレクスしなければなりません。

このデバイスの最小推奨クロックレートは 500MHz ですが、4 組の LVDS バスいずれかの出力を使えば、サンプリング・レートを 1GSPS に下げることができます。1 つのバスのみを使用してデータを間引くことにより実効サンプリング・レートは 250MSPS まで下げられます。

すべてのバスの LVDS 出力を外部でラッチするために、1 つの LVDS 出力クロック・ペア (DCLK + / -) が出力されています。データが DCLK の立ち上がりまたは立ち下がりのいずれかで送出されるかは、セクション 2.4.3 で説明したように、OutEdge ピンのレベルで決まります。

DDR (ダブル・データレート) クロッキングも使用可能です。このモードではデータ・ワードは DCLK の両エッジで出力され、DCLK 周波数は入力クロック周波数の 1/4 になります。デバイスを DDR モードで使う場合は、アドレス 1h のビット 8 を 0b に設定してください。詳細は「タイミング図」セクションを参照してください。

OutV ピンは LVDS 差動出力レベルの設定に使用します。セクション 2.4.4 を参照してください。

出力フォーマットはオフセット・バイナリです。したがって、 V_{IN-} に対して V_{IN+} が正の場合のフルスケール入力レベルの出力コードはすべて 1 となり、 V_{IN+} に対して V_{IN-} が正の場合のフルスケール入力レベルの出力コードはすべてゼロとなり、 V_{IN+} と V_{IN-} が等しい場合の出力コードは 127 か 128 になります。

2.6 電源の考慮事項

A/D コンバータは大きな過渡電流を引き込むため、電源バイパスを適切に行わないと自身の電源を汚します。33 μ F のコンデンサを A/D コンバータの電源ピンから 2.5cm (1 インチ) 以内に配置してください。0.1 μ F のコンデンサを各 V_A ピンのそれぞれに、可能なら 0.5cm 以内のできるだけ近くに配置してください。リード・インダクタンスの小さなリードレス・チップ・コンデンサを推奨します。

デジタル・ノイズが A/D コンバータのアナログ回路部分に混入しないように、 V_A と V_{DR} 電源ピンは分離してください。共通の電源で両者を駆動する場合は、電源ラインの間に JW Miller 社の FB20009-3B のようなフェライト・チョークを挿入することを推奨します。

他の高速コンバータと同じく ADC083000 の電源ノイズ除去能力はほとんどありません。大きなデジタル電力を消費するシステムでは、デジタル回路に使用する電源を ADC083000 の電源として使用しないでください。A/D コンバータ用に専用電源がない場合は、他のアナログ回路用の電源を使用してください。

2.6.1 電源電圧

ADC083000 は 1.9V \pm 0.1V の電源電圧範囲で動作するように規定されています。ADC083000 はわずかに高い電源電圧でも動作しますが、高い電圧を与えると製品寿命を縮めてしまうので注意してください。

いかなるピンも、トランジエントによる変動時であっても、電源電圧以上やグラウンドから 150mV 以下になる電圧が印加されないようにしてください。これは回路に供給する電源とパワー・シャットダ

ウン回路に依存する問題ですが、すべてのアナログ入力とデジタル入力が ADC083000 の電源ピンの電圧が立ち上がるより先速く立ち上がらない回路に設計されているかを確認してください。

電源投入時とパワーダウン時も含めて、絶対最大定格には厳密に従わなければなりません。ターンオン時かターンオフ時、またはその両方で電圧スパイクを発生する電源は、ADC083000 を破壊する可能性があります。電源をオーバーシュートから保護する回路の一例を Figure 15 に示します。

多くのリニア・レギュレータは、最小負荷が存在しないとパワーオン時に出力スパイクを発生します。アクティブなデバイスは電源電圧が数百 mV に達するまではきわめてわずかな電流しか引き込みません。その結果、電源に最小負荷を接続しないでおくと、ADC083000 を破壊し得るターンオン・スパイクが発生します。レギュレータに接続した 100 Ω の抵抗がパワーオン時に最小出力電流を与え、ターンオン・スパイクの発生を防ぎます。リニア・レギュレータまたはスイッチング・レギュレータのいずれを使用する場合でも、電源のオーバーシュートを防ぐために、スロー・スタート回路を使うようにしてください。

Figure 15 に示す回路で入力電圧が 4V から 5V の範囲であれば LM317 リニア・レギュレータで十分です。3.3V 電源を使用する場合は LM1086 リニア・レギュレータを推奨します。

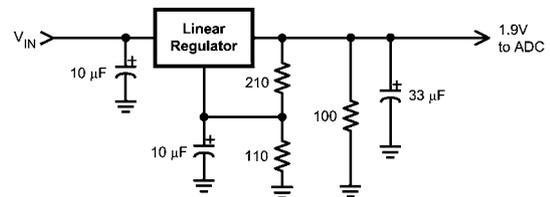


FIGURE 15. Non-Spiking Power Supply

出力ドライバは動作定格表記載の範囲にある電源電圧 V_{DR} を必要とします。VDR 電圧は V_A 電源を超えてはなりません。また、 $V_A + 100\text{mV}$ 以上のスパイクを重畳させてはなりません。

入力クロック信号を与えない状態で電源を印加すると、デバイスが引き込む電流は 200mA 未満になることがあります。その理由は、ADC083000 はクロックで動作するロジックでリセットされるためですが、その初期状態は定義されません。リセット・ロジックが「ON」状態でパワーオンした場合、ほとんどのアナログ回路はパワーダウンとなって 100mA 未満の電流しか引き込みません。この電流値がパワーダウン・モードでの電流値より大きい理由は、A/D コンバータのすべての回路がパワーダウンするわけではないからです。正常な入力クロックが与えられるとデバイスの電流は通常値に戻ります。

2.6.2 サーマル・マネジメント

ADC083000 は、その速度の割にはきわめて小さな消費電力で、特筆すべき高速性と高性能を達成しています。しかし、電力消費はなお十分に大きく、サーマル・マネジメントに注意を払う必要があります。信頼性の面からダイ温度は最高 130 $^{\circ}\text{C}$ に維持しなければなりません。すなわち、A/D コンバータの消費電力と J_A (接合部周囲間熱抵抗) との積に T_A (周囲温度) を加えた値が 130 $^{\circ}\text{C}$ を超えてはなりません。ただし、「動作定格」セクションで規定されているとおり、周囲温度の最高が + 85 $^{\circ}\text{C}$ 以下に保たれれば問題にはなりません。

以下に露出パッド・デバイスを PCB に実装する一般的な推奨事項を示します。このガイドラインを PCB と組立て工程の開発のスタートポイントと考えてください。パッケージ実装の過去の経験に基づいてプロセス開発を行うことを推奨します。

2.0 アプリケーション情報 (つづき)

ADC083000 のパッケージ裏面には露出パッドがあり、プリント回路板に対して重要な放熱経路を提供するとともに、電気的に優れたグラウンド経路を形成します。PCB にリードを取り付けるランド・パターン設計は従来の LQFP と同じですが、露出パッドはパッケージの熱を最大限に逃がし、また製品の性能を最高レベルに発揮させるようにボードに実装します。

パッケージから熱を可能な限り逃がすには、パッケージのフットプリント内にサーマル・ランド・パターンを設けます。デバイスの露出パッドは、パッケージから良好な熱伝導が確保されるようにハンダ付けしなければなりません。この露出パッド用のランド・パターンは、パッケージの露出パッド・サイズ 5mm × 5mm より大きく、かつ、デバイスの露出パッド全体がそのサーマル・ランド・パターンに収まるように設計しなければなりません。サーマル・ランド・パターンは電気的にグラウンドに接続します。露出パッド用ランド・パターンとパッケージのピンの実装パッドとの間には、0.5mm 以上のクリアランスを設けてください。

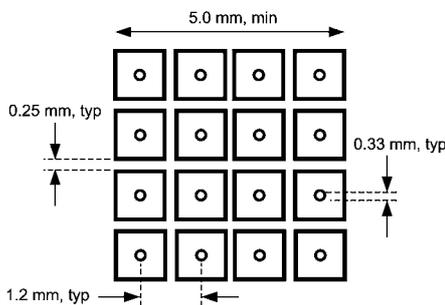


FIGURE 16. Recommended Package Land Pattern

大きなオーバーチャはリリースが悪くなるため、Figure 16 に示すランド・パターンのように小さな複数のオーバーチャ配列に分割してください。

接合部温度を可能な限り下げするために単純なヒートシンクを PCB 上に形成してください。PCB の反対側の面におよそ 6.5cm 平方 (2 インチ平方) の銅箔エリアを設ける方法などがあります。銅箔領域には腐食を防止するためにメッキまたはハンダ・コートが必要ですが、断熱効果のある絶縁コーティングは行わないでください。表面と裏面の銅箔領域どうしをサーマル・ビアで接続します。このサーマル・ビアは、「ヒートパイプ」として、ボードのデバイス側の面から効果的な放熱が期待できるボードの裏面に熱エネルギーを伝えます。9 個から 16 個のサーマル・ビアを使用することを推奨します。

サーマル・ビアは 1.2mm の格子間隔で配置し、その直径は 0.30mm から 0.33mm とします。ハンダ・プロセス中にビア内に入ったハンダによって、パッケージ露出パッドと PCB のサーマル・ランドとの間にボイド (気泡) が生じないように、サーマル・ビア内側にはバレル・メッキを施してください。このようなボイドはボード上のサーマル・ランドとデバイス間の熱抵抗を高めることがあり、デバイスの温度を上昇させてしまいます。

ダイ温度をモニタしたい場合はサーマル・ビア近くのボード上のヒートシンク領域に温度センサを実装します。この場合、温度センサと ADC083000 との温度差 (ダイの J_{-PAD} と消費電力の代表値を乗じた $2.8 \times 1.9 = 5.3$) を許容する必要があります。ダイから温度センサまでの許容される温度低下を、マージンを加えて 6.3 とすると、パッド温度の最大読み取り値を 123.7 以下に維持すれば、ADC083000 の露出パッドが適正にハンダ付けされ、サーマル・ビアが十分に設けられているとした場合に、ダイ温度は 130 を超えないことが保証されます。(上述の計算には温度センサの誤差を加える必要があります)。

2.7 レイアウトとグラウンド

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を保证するための必須の条件です。アナログ領域とデジタル領域に分割したグラウンド層ではなく、単一のグラウンド層を使用してください。

デジタル信号のスイッチング・トランジェントには多くの高周波成分が含まれますが、グラウンド層全体の銅箔質量を大きくしてもロジックに起因するノイズにわずかな効果しか与えないことが、表皮効果理論から理解されます。グラウンド層の全質量より先表面面積のほうが重要です。一般にノイズが多いデジタル回路部分とノイズに高感度なアナログ回路部分に結合があると性能低下を招き、両回路の分離とノイズ対策が困難になります。解決策はアナログ回路部分をデジタル回路部分から十分に分離することです。

アナログまたはミクスト・シグナル部品用のリニア部品または電源トレースまたは電源層の上または近くに、大電力を消費するデジタル部品を配置してはなりません。その結果として形成される共通のリターン電流パスが、A/D コンバータのアナログ入力「グラウンド」リターンに変動を与える可能性があり、変換結果に過度のノイズを誘引してしまいます。

一般に、アナログ・ラインとデジタル・ラインを 90° で交差させれば、アナログ・パスにデジタル・ノイズは混入しないものと考えられています。しかし、高周波システムでは、アナログ信号ラインとデジタル信号ラインが相互に交差する配線は避けなければなりません。入力クロック・ラインは、アナログおよびデジタルなど、すべての他のラインからアイソレートしてください。一般的に受け入れられている 90° でアナログ / デジタル信号ラインを交差させる方法は、高周波ではわずかのカップリングによって問題が起こる可能性があるため避けるべきです。高周波で最良の性能は、まっすぐに信号経路を配線して得られます。

スプリアス信号が入力に結合するのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にアイソレートしてください。これは ADC083000 が必要とする低電圧駆動では特に重要です。コンバータの入力とアナログ・グラウンドとの間に接続する任意の外部部品 (例えば、フィルタ用のコンデンサ) も、アナログ・グラウンド・プレーンの十分にクリーンな点に接続してください。すべてのアナログ回路 (入力アンプ、フィルタなど) は、他のあらゆるデジタル部品から離して配置してください。

2.8 ダイナミック特性

ADC083000 は AC 試験の実施によってそのダイナミック特性が保証されています。公表仕様を満たし、またジッタに起因するノイズを防ぐには、CLK 入力を駆動するクロック・ソースは低 rms ジッタでなければなりません。許容できるジッタは、セクション 2.3 記載のとおり、入力周波数と入力信号レベルの関数です。

A/D コンバータのクロック・ラインは、できるだけ短く配線し、他の信号から十分に離し、かつ、伝送線路として取り扱うことが望まれます。クロック以外の信号がクロック信号に対してジッタの原因となる可能性があります。同様にクロック信号も、アナログ信号経路から分離されていない場合には、アナログ信号にノイズを与えることがあります。

最高のダイナミック性能はパッケージ裏面の露出パッドがグラウンドに適切に接続されている状態で得られます。その理由は、ダイからグラウンドへのパスの方がパッケージのグラウンド・ピンよりインピーダンスが低いからです。

2.9 シリアル・インタフェースの使用法

ADC083000 は非拡張制御モード (非シリアル・インタフェース) か拡張制御モードのいずれかで動作します。Table 8 ~ 9 に、非拡張制御モードと拡張制御モードにおける 3 ピン、4 ピン、14 ピン、127 ピンのそれぞれの機能をまとめておきます。

2.0 アプリケーション情報 (つづき)

2.9.1 非拡張制御モード動作

非拡張制御モードは、シリアル・インタフェースを有効にせず、制御可能なすべての機能はピン設定で制御されるモードです。すなわち、出力電圧、フルスケール・レンジ、および出力エッジ選択は、すべてピン設定によって制御します。非拡張制御モードを使用するには 14 ピンをフローティングではなく High または Low に設定します。Table 8 に非拡張制御モードにおける ADC083000 のピンの機能を示します。

TABLE 8. Non-Extended Control Mode Operation (Pin 14 High or Low)

ピン番号	Low	High	フローティング
3	0.52V _{p-p} 出力	0.68V _{p-p} 出力	適用なし
4	OutEdge = 立ち下がり	OutEdge = 立ち上がり	DDR
14	600mV _{p-p} 入力レンジ	820mV _{p-p} 入力レンジ	拡張制御モード
127	CalDly Low	CalDly High	シリアル・インタフェース・イネーブル

非拡張制御モードでは 3 ピンは High または Low のいずれにも設定することが可能です。ただし、このモードでは 14 ピンをフローティングにはなりません。詳細はセクション 1.2 を参照してください。

非拡張制御モードでは 4 ピンは、High または Low、あるいはフローティングのいずれにも設定可能です。このモードでは、4 ピンの High と Low によって出力データ遷移のエッジが決定されます。詳細はセクション 2.4.3 を参照してください。このピンをフローティングで使用すると出力クロック (DCLK) は DDR (ダブル・データレート) クロックになり (セクション 1.1.5.3)、この場合データは DCLK の両エッジで出力されるため出力エッジの同期選択は意味がありません。

非拡張制御モードで 127 ピンを High または Low にすると較正遅延が設定されます。127 ピンをフローティングにすると較正遅延はこのピンを Low にしたときと同じになり、このピンはシリアル・インタフェース入力のイネーブルとして動作します。

TABLE 9. Extended Control Mode Operation (Pin 14 Floating)

ピン番号	機能
3	SCLK (シリアル・クロック)
4	SDATA (シリアル・データ)
127	SCS (シリアル・インタフェース・チップ・セレクト)

2.10 アプリケーション共通の注意事項

電源電圧を超えて入力 (アナログまたはデジタル) を駆動しないこと

デバイスの信頼性の観点から、いずれの入力にもグラウンドから 150mV を超えて低い電圧、あるいは電源電位から 150mV を超えて高い電圧を与えてはなりません。これらの限界を信号の遷移時においても超過すると、性能低下あるいは誤動作を引き起こすだけではなく、デバイスの信頼性を損ねることがあります。高速デジタル回路では、グラウンド電位を 1V も超えて下回るアンダーシュートが現れることは珍しくありません。高速信号ラインのインピーダンスを制御して、そのラインを特性インピーダンスで終端すると、オーバーシュートが制御されます。

ADC083000 の入力をオーバードライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

DC 結合モード時に正確でないアナログ入力同相電圧を与えないこと

セクション 1.1.4 と 2.2 で説明したとおり、入力同相電圧は、V_{CMO} 出力電圧の 50mV 以内に維持し、かつ温度変動に追従させなければなりません。入力同相電圧が V_{CMO} から 50mV を超えて大きくなると歪み性能が悪化します。

不適当なアンプを使ってアナログ入力を駆動しないこと

多くの高速アンプは ADC083000 より先大きい歪みを持ち、システムの全体性能を悪化させてしまうため、ADC083000 を駆動する高周波アンプの選定には注意が必要です。

V_{BG} ピンを駆動してリファレンス電圧を変更しないこと

セクション 2.1 に記載したとおり、リファレンス電圧は 2 種類のフルスケール値 (600mV_{p-p} と 820mV_{p-p}) を与えるために固定されています。このピンをオーバードライブしてもフルスケール値は変化しませんが、V_{BG} ピンを V_A に接続すると 0.8V の LVDS 同相電圧は 1.2V に変化します。

クロック入力を過度に大きい信号レベルで駆動しないこと

入力オフセットが変化する恐れがあるため、A/D コンバータの入力クロックに「動作定格」に記載の値を超える電圧を与えてはなりません。

不適切な入力クロック・レベル

セクション 2.3 で説明したように、不十分な入力クロック・レベルは性能劣化につながります。過度の入力クロック・レベルは入力オフセットの増加を招きます。

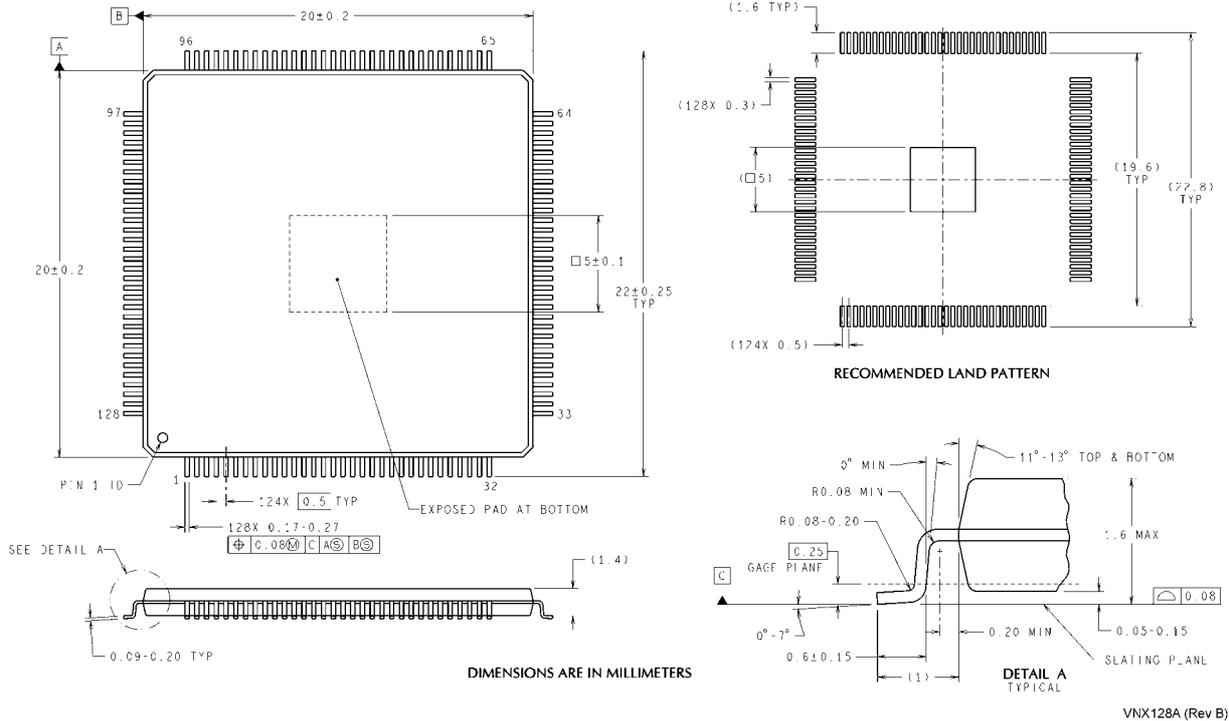
過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路に結合してしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変化し、過度の出力ノイズを発生し、かつ SN 比の劣化を招きます。

放熱が適切に行われていない

セクション 2.6.2 で述べたように、デバイスの信頼性を確保するためには十分な放熱が不可欠です。十分なエア・フローがボード上に形成する単純なヒートシンクで実現可能です。最良の性能を得るためには裏面のパッドをグラウンドに接続してください。

外形寸法図 単位は millimeters



NOTE: 特記のない限り、JEDEC 登録 MS-026、VARIATION BFBを参照

**128-Lead Exposed Pad LQFP
NS Package Number VNX128A**

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上