

# ADC08B200

*ADC08B200 / ADC08B200Q 8-Bit, 200 MSPS A/D Converter with Capture Buffer*



Literature Number: JAJ SAP3

## ADC08B200/ADC08B200Q

### キャプチャ・バッファ搭載、8ビット、200MSPS A/D コンバータ

#### 概要

ADC08B200 は、キャプチャ・バッファ内蔵の高速 A/D コンバータです。この 8 ビット、200MSPS A/D コンバータのコアは、トラック/ホールド回路を内蔵した実績のある ADC08200 をベースにし、低消費電力に最適化されています。このデバイスは、最大 1,024 バイトまでの容量を選択できるキャプチャ・バッファを使用し、読み出し速度が遅い入力信号を高速で捕捉することが可能です。内蔵のクロック PLL 回路によりクロック・レートを増倍させ、高速のサンプリング・クロックを発生させます。

ADC08B200 はラッチアップ耐性に優れ、また出力ピンには短絡保護機能が備えられています。ADC08B200 のリファレンス・ラダーの上部と下部は外部接続できるようになっており、広範囲の入力が可能です。デジタル出力は、2.7 ~ 3.3V ロジックとの接続を可能にするために出力電源用のピンを別に備えた TTL/CMOS コンパチブルとなっています。デジタル入力ピンと出力ピンは低電圧 TTL/CMOS コンパチブルで、出力データのフォーマットはストレート・バイナリ形式です。

ADC08B200Q はオートモーティブ・グレードの生産フローで製造され、AEC-Q100 グレード 2 に認定されています。

ADC08B200 は 48 ピンのプラスチック・パッケージ (TQFP) で、定格温度範囲は - 40 ~ + 105 の拡張した工業用温度範囲が適用されています。ADC08B200 の評価を容易にするため評価ボードが用意されています。

#### 特長

- シングルエンド入力
- キャプチャ・バッファの容量は選択可能
- PLL によるクロック・レート増倍
- リファレンス・ラダーの上部と下部は外部接続可能
- 消費電力はサンプル・レートに比例
- FPGA のためのトレーニング・パターン
- AEC-Q100 グレード 2 認定
- パワーダウン機能

#### 主な仕様

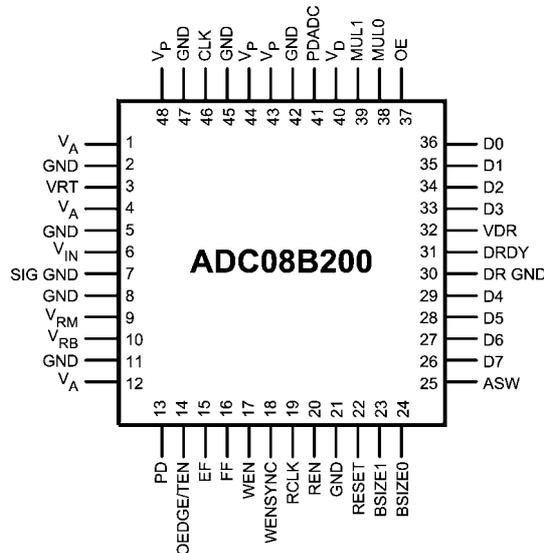
##### (PLL バイパス時)

分解能	8 ビット
最大サンプリング・レート	200MSPS (min)
DNL	± 0.4LSB (typ)
有効ビット (ENOB) ( $f_{IN} = 49\text{MHz}$ )	7.2 ビット (typ)
THD ( $f_{IN} = 49\text{MHz}$ )	- 53dBc (typ)
消費電力	
動作時、入力 50MHz	2mW/Msps (typ)
パワーダウン時	2.15mW (typ)

#### アプリケーション

- レーザ・レンジング
- レーダー
- パルス・キャプチャリング

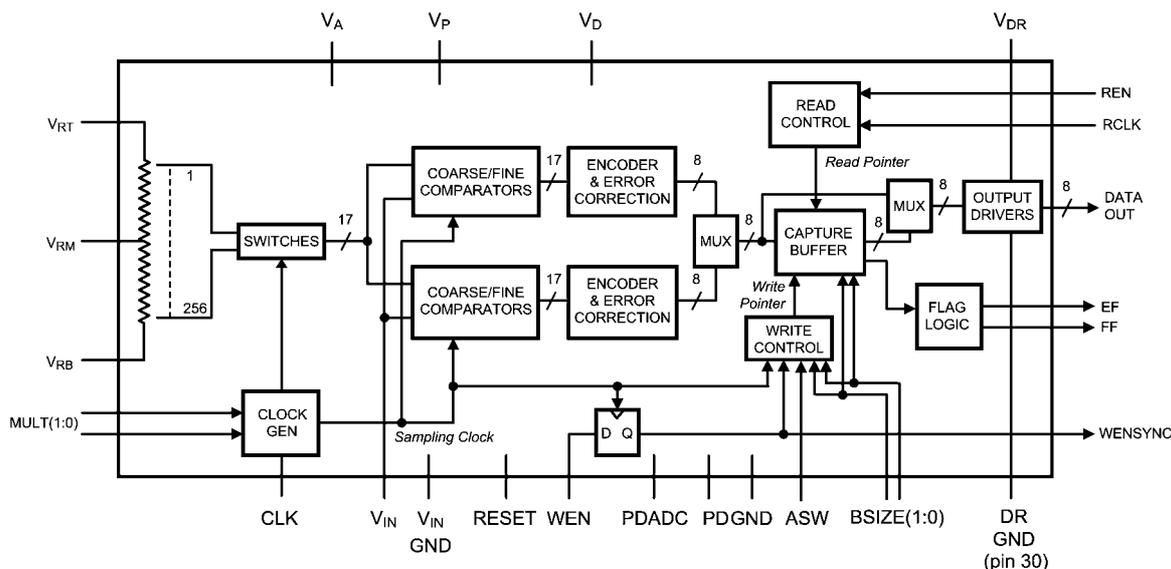
#### ピン配置図



製品情報

Order Number	Temperature Range	Package	Features
ADC08B200CIVS	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	48-pin TQFP	
ADC08B200QCIVS	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	48-pin TQFP	AEC-Q100 Grade 2 Qualified. Automotive Grade Production Flow
ADC08B200EB		Evaluation Board	

ブロック図



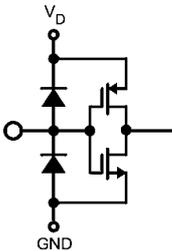
ピン説明および等価回路

ピン番号	記号	等価回路	説明
6	V <sub>IN</sub>		アナログ信号入力。変換可能な入力範囲は V <sub>RB</sub> ~ V <sub>RT</sub> です。
3	V <sub>RT</sub>		A/D コンバータのリファレンス・ラダーの上側 (トップ側) のアナログ入力。V <sub>RT</sub> および V <sub>RB</sub> に入力される電圧によって、アナログ信号入力 (V <sub>IN</sub> ) の変換範囲が決まります。V <sub>RT</sub> は必ず V <sub>RB</sub> より高く設定してください。適切なバイパスを行ってください。
9	V <sub>RM</sub>		リファレンス・ラダーの midpoint として機能するアナログ入力です。このピンは、0.1 μF のコンデンサで、グラウンド・プレーンのクリーンでノイズのない点にバイパスしてください。このピンには絶対に負荷を接続しないでください。
10	V <sub>RB</sub>		A/D コンバータのリファレンス・ラダーの下側 (ボトム側) のアナログ入力。V <sub>RT</sub> および V <sub>RB</sub> に入力される電圧によって、アナログ信号入力 (V <sub>IN</sub> ) の変換範囲が決まります。適切なバイパスを行ってください。

ピン説明および等価回路 (つづき)

ピン番号	記号	等価回路	説明
13	PD		チップ・パワーダウン入力。このピンを High にするとチップ全体はパワーダウン・モードに移行します。キャプチャ・バッファ内のデータはすべて失われ、出力ピンは直前の出力バートを保持します。
41	PDADC		A/D コンバータ・パワーダウン入力。このピンが High になると、デバイスはパワーダウンします。キャプチャ・バッファはアクティブで、その中のデータをクロックに同期させて出力できます。
46	CLK		CMOS/TTL コンパチブルなクロック入力。PLL がバイパスされているときは、このピンのクロック信号がこのデバイスのサンプリング・クロックになり、このクロック入力信号の立ち上がりエッジで $V_{IN}$ がサンプリングされます。PLL がイネーブルのときは、この入力の信号がリファレンス・クロックになり、増倍されてより高い周波数のサンプル・クロック信号がつけられます。
19	RCLK		バッファ読み取りクロック入力。キャプチャ・バッファがイネーブルのときは、この入力信号により内部のバッファからのデータが読み取られます。データ出力とバッファ・エンプティフラグ (EF) はこのクロックの立ち上がりで変化します。
17	WEN		書き込みイネーブル入力。この入力が High になると、各サンプリング・クロックの立ち上がりで 1 バイトのデータがキャプチャ・バッファに書き込まれます。
20	REN		読み取りイネーブル入力。この入力が High になると、各 RCLK 入力信号の立ち上がりで 1 バイトのデータが、キャプチャ・バッファから読み取られます。この REN 入力の立ち上がりは RCLK に信号に同期させ、REN 入力は WEN 入力が High の間は High にならないようにする必要があります。
22	RESET		デバイス・リセット入力ピン。この入力が High になると、チップ上のすべてのロジックがリセットされます。
37	OE		出力イネーブル入力。この入力信号が High のときは、出力バッファが有効になっています。この入力が Low になると、デジタル・データ出力ピンがハイ・インピーダンス状態になります。
14	OEDGE/TEN		出力エッジ選択 / テスト・モード・イネーブル入力ピン。この入力が High のときは、データ出力は DRDY 出力信号の立ち上がりエッジで変化します。この入力が Low のときは、データ出力は DRDY 出力の立ち下がりエッジで変化します。この入力の電圧を $V_A/2$ にすると、テスト・モードになります。
18	WENSYNC		同期 WEN 出力。WEN 制御入力は、チップ内で内部サンプリング・クロックと同期がとられ、この出力に供給されます。
31	DRDY		データ・レディ出力。この信号は、デジタル・データ出力の変化により変化し、出力データが出力できる状態であることを示します。
26 ~ 29、 33 ~ 36	D0 ~ D7		デジタル・データのデジタル出力。D0 は LSB、D7 は MSB です。
16	FF		バッファ・フル・フラグ。この出力は、キャプチャ・バッファが満杯のとき High になります。
15	EF		バッファ・エンプティ・フラグ。この出力は、キャプチャ・バッファが空のとき High になります。

## ピン説明および等価回路 (つづき)

ピン番号	記号	等価回路	説明
25	ASW		書き込み自動停止入力。このピンには 2 つの機能があります。バッファがイネーブルのときは、このピンは ASW 入力として機能します。この入力が High のときは、キャプチャ・バッファが満杯になると (FF High) バッファへの書き込みが停止します。このバッファがディスエーブルのときは、このピンは無視されます。本デバイスがテスト・モードのときは、このピンは出力エッジ選択信号となり、OEDGE/TEN ピンの機能と同じになります。
23,24	BFSIZE(1:0)		バッファ・サイズ入力。この 2 つの入力により、バッファのサイズが決まります (「機能の説明」を参照)。
38, 39	MULT(1:0)		クロック周波数の増倍率入力。この 2 つの入力により、内蔵のクロック PLL の増倍率が決まります。
1, 4, 12	V <sub>A</sub>		正のアナログ電源ピン。+ 3.3V 電圧源に接続してください。
43, 44, 48	V <sub>P</sub>		PLL の電源ピン。+ 3.3V 電圧源に接続してください。
40	V <sub>D</sub>		デジタル・コア電源ピン。+ 3.3V の電圧源に接続してください。
32	V <sub>DR</sub>		出力ドライバ用の電源。2.7V ~ V <sub>D</sub> の電圧源に接続してください。
2, 5, 8, 11, 21, 42, 45, 47	GND		チップ・コアのグラウンド・リターン。
7	SIG GND		アナログ入力信号グラウンド・ピン。
30	DR GND		出力ドライバのグラウンド・リターン・ピン。

### 絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
 関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 ( $V_A$ , $V_P$ , $V_D$ , $V_{DR}$ )	- 0.3V ~ 3.8V
ドライバ電源電圧 ( $V_{DR}$ )	- 0.3V ~ $V_A + 0.3V$
各ピン電圧	- 0.3V ~ $V_A$
リファレンス電圧 ( $V_{RT}$ , $V_{RB}$ )	GND ~ $V_A$
入力電流、データ出力	± 1mA
入力電流、その他すべてのピン (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50mA
消費電力 ( $T_A = 25$ )	Note 4 を参照してください。
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	200V
帯電デバイス・モデル	1000V
ハンダ付け温度 赤外線 (10 秒) (Note 6)	235
保存温度範囲	- 65 ~ + 150

### 動作定格 (Note 1、2)

動作温度範囲	- 40 $T_A$ + 105
電源電圧 ( $V_A$ )	+ 3.0V ~ + 3.6V
ドライバ電源電圧 ( $V_{DR}$ )	+ 2.7V ~ ( $V_A + 0.3V$ )
最大電源電圧 $V_D$ , $V_P$	$V_A + 0.3V$
CLK 周波数	
PLL バイパス時	1 ~ 210MHz
PLL 使用時	15 ~ 105MHz
RCLK 周波数 (Note 12)	2 ~ 210MHz
RCLK デューティ・サイクル	35% ~ 65%
グラウンド電圧差  GND - DR GND	0V ~ 300mV
上側リファレンス電圧 ( $V_{RT}$ )	0.5V ~ ( $V_A - 0.3V$ )
下側リファレンス電圧 ( $V_{RB}$ )	0V ~ ( $V_{RT} - 0.5V$ )
リファレンス電圧差 ( $V_{RT} - V_{RB}$ )	0.5V ~ 2.3V
$V_{IN}$ 電圧範囲	$V_{RB} \sim V_{RT}$

### パッケージ熱抵抗

Package	$\theta_{JA}$
48-Lead TQFP	76 °C/W

### コンバータの電氣的特性

以下の仕様は、デューティ・サイクル 50%、OEDGE/TEN = 1、バッファおよび PLL バイパス時の、 $V_A = V_D = V_P = V_{DR} = + 3.3V_{DC}$ 、 $V_{RT} = + 1.9V$ 、 $V_{RB} = 0.3V$ 、 $C_L = 10$  pF、 $f_{CLK} = 200$ MHz に適用されます。太字表記のリミット値は  $T_J = T_{MIN} \sim T_{MAX}$  に対して適用され、その他のリミット値は  $T_J = 25$  に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
<b>DC ACCURACY</b>					
INL	Integral Non-Linearity		±0.55	<b>±1.3</b>	LSB (max)
DNL	Differential Non-Linearity		±0.40	<b>±0.9</b>	LSB (max)
	Missing Codes			<b>0</b>	(max)
FSE	Full Scale Error		-39	<b>-80</b> <b>0</b>	mV (min) mV (max)
$V_{OFF}$	Zero Scale Offset Error		55	<b>70</b>	mV (max)
<b>ANALOG INPUT AND REFERENCE CHARACTERISTICS</b>					
$V_{IN}$	Input Voltage		1.6	$V_{RB}$	V (min)
				$V_{RT}$	V (max)
$C_{IN}$	$V_{IN}$ Input Capacitance	$V_{IN} = 0.75V + 0.5$ Vrms	(CLK LOW)	3	pF
			(CLK HIGH)	4	pF
$R_{IN}$	Analog Input Resistance		>1		MΩ
FPBW	Full Power Bandwidth		500		MHz
$V_{RT}$	Top Reference Voltage		1.9	$V_A$	V (max)
				<b>0.5</b>	V (min)
$V_{RB}$	Bottom Reference Voltage		0.3	$V_{RT} - 0.5$	V (max)
				<b>0</b>	V (min)
$V_{RT} - V_{RB}$	Reference Voltage Delta		1.6	<b>0.5</b>	V (min)
				<b>2.3</b>	V (max)
$R_{REF}$	Reference Ladder Resistance	$V_{RT}$ to $V_{RB}$	160	<b>145</b>	Ω (min)
				<b>200</b>	Ω (max)

## コンバータの電気的特性 (つづき)

以下の仕様は、デューティ・サイクル 50%、OEDGE/TEN = 1、バッファおよび PLL バイパス時の、 $V_A = V_D = V_P = V_{DR} = +3.3V_{DC}$ 、 $V_{RT} = +1.9V$ 、 $V_{RB} = 0.3V$ 、 $C_L = 10\text{ pF}$ 、 $f_{CLK} = 200\text{ MHz}$  に適用されます。太字表記のリミット値は  $T_J = T_{MIN} \sim T_{MAX}$  に対して適用され、その他のリミット値は  $T_J = 25$  に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)	
<b>DIGITAL INPUT CHARACTERISTICS</b>						
$V_{IH}$	Logic High Input Voltage		OEDGE/TEN	2.2	<b>2.7</b>	V (min)
			Others	1.6	<b>2.1</b>	V (min)
$V_{IL}$	Logic Low Input Voltage		OEDGE/TEN	0.9	<b>0.5</b>	V (max)
			Others	1.3	<b>0.7</b>	V (max)
$I_{IH}$	Logic High Input Current	$V_{IH} = V_{DR} = V_A = 3.6V$	OEDGE/TEN			
			Operational	10		$\mu\text{A}$
			Test Mode	70		$\mu\text{A}$
			Others	10		nA
$I_{IL}$	Logic Low Input Current	$V_{IL} = 0V, V_{DR} = V_A = 3.0V$	OEDGE/TEN			
			Operational	-10		$\mu\text{A}$
			Test Mode	-600		$\mu\text{A}$
			Others	-50		nA
$C_{IN}$	Logic Input Capacitance		3		pF	
<b>DIGITAL OUTPUT CHARACTERISTICS</b>						
$V_{OH}$	High Level Output Voltage	$V_A = V_{DR} = 3.0V, I_{OH} = -5\text{ mA}$	3.0	<b>2.4</b>	V (min)	
$V_{OL}$	Low Level Output Voltage	$V_A = V_{DR} = 3.0V, I_{OL} = 5\text{ mA}$	0.25	<b>0.5</b>	V (max)	
$C_{OUT}$	Digital Output Capacitance		2		pF	
<b>DYNAMIC PERFORMANCE</b>						
ENOB	Effective Number of Bits	$f_{IN} = 10\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	7.4		Bits	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	7.2	<b>6.8</b>	Bits (min)	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x8}$	7.2		Bits	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	7.0		Bits	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x4}$	6.9		Bits	
SINAD	Signal-to-Noise & Distortion	$f_{IN} = 10\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	46		dBc	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	45	<b>42.7</b>	dBc (min)	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x8}$	45		dBc	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	44		dBc	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x4}$	43.4		dBc	
SNR	Signal-to-Noise Ratio	$f_{IN} = 10\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	47		dBc	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	46.3	<b>43.7</b>	dBc (min)	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x8}$	45.8		dBc	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	45.6		dBc	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x4}$	45.6		dBc	
SFDR	Spurious Free Dynamic Range	$f_{IN} = 10\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	56		dBc	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	56		dBc	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x8}$	56		dBc	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	50		dBc	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x4}$	49.7		dBc	
THD	Total Harmonic Distortion	$f_{IN} = 10\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	-55		dBc	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	-53		dBc	
		$f_{IN} = 49\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x8}$	-53		dBc	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}$	-49		dBc	
		$f_{IN} = 100\text{ MHz}, V_{IN} = \text{FS} - 0.25\text{ dB}, \text{PLL x4}$	-47.5		dBc	

コンバータの電気的特性 (つづき)

以下の仕様は、デューティ・サイクル 50%、OEDGE/TEN = 1、バッファおよび PLL バイパス時の、 $V_A = V_D = V_P = V_{DR} = + 3.3V_{DC}$ 、 $V_{RT} = + 1.9V$ 、 $V_{RB} = 0.3V$ 、 $C_L = 10 \text{ pF}$ 、 $f_{CLK} = 200\text{MHz}$  に適用されます。太字表記のリミット値は  $T_J = T_{MIN} \sim T_{MAX}$  に対して適用され、その他のリミット値は  $T_J = 25$  に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
HD2	2nd Harmonic Distortion	$f_{IN} = 10 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$	-57		dBc
		$f_{IN} = 49 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$	-55		dBc
		$f_{IN} = 49 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$ , PLL x8	-55		dBc
		$f_{IN} = 100 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$	-50		dBc
		$f_{IN} = 100 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$ , PLL x4	-49.9		dBc
HD3	3rd Harmonic Distortion	$f_{IN} = 10 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$	-62		dBc
		$f_{IN} = 49 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$	-63		dBc
		$f_{IN} = 49 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$ , PLL x8	-62		dBc
		$f_{IN} = 100 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$	-56		dBc
		$f_{IN} = 100 \text{ MHz}$ , $V_{IN} = FS - 0.25 \text{ dB}$ , PLL x4	-54.6		dBc
IMD	Intermodulation Distortion	$f_1 = 11 \text{ MHz}$ , $V_{IN} = FS - 6.25 \text{ dB}$ $f_2 = 12 \text{ MHz}$ , $V_{IN} = FS - 6.25 \text{ dB}$	-50		dBc

**POWER SUPPLY CHARACTERISTICS**

$I_A$	Analog Supply Current	DC Input	72.5		mA
		$f_{IN} = 50 \text{ MHz}$	76.8	<b>88.3</b>	mA (max)
		PD High	0.3		mA
$I_D$	Digital Core Supply Current	DC Input, Buffer bypassed	1.2		mA
		$f_{IN} = 50 \text{ MHz}$ , Buffer bypassed	1.6	<b>2.1</b>	mA (max)
		$f_{IN} = 50 \text{ MHz}$ , 1k writing to Buffer (Note 10)	38	<b>42.4</b>	mA
		PDADC High, reading Buffer (Note 10)	1.1		mA
		PD High	0.3		mA
$I_P$	PLL Supply Current	PLL x2	8.8	<b>10.1</b>	mA (max)
		PLL disabled	3.6	<b>4.3</b>	mA (max)
		PD High	60		$\mu\text{A}$
$I_{DR}$	Output Driver Supply Current	DC Input	7		mA
		$f_{IN} = 50 \text{ MHz}$	41	<b>57</b>	mA (max)
		PD High	25		$\mu\text{A}$
$I_A + I_D + I_P + I_{DR}$	Total Operating Current	DC Input, Buffer bypassed, PLL x2 (Note 10)	97.5		mA
		50 MHz Input, writing to Buffer, PLL X2 (Note 10)	164.6	<b>198</b>	mA (max)
		PDADC = Hi, reading Buffer, RCLK = 200 MHz, D.C. input	20		mA
		PD High	0.65		mA
PC	Power Consumption	DC Input, Buffer & PLL bypassed	306		mW
		50 MHz Input, writing to Buffer, PLL X2 (Note 10)	543	<b>653</b>	mW (max)
		PDADC High, reading Buffer, PLL disabled (Note 10)	66		mW
		PD High	2.15		mW
PSRR <sub>1</sub>	D.C. Power Supply Rejection Ratio	FSE change with 3.0V to 3.6V change in $V_A$	48		dB
PSRR <sub>2</sub>	A.C. Power Supply Rejection Ratio	SNR reduction with 200 mV at 10MHz on supply	TBD		dB

## コンバータのタイミング特性

以下の仕様は、デューティ・サイクル 50%、OEDGE/TEN = 1、バッファおよび PLL バイパス時の、 $V_A = V_{DR} = + 3.3V_{DC}$ 、 $V_{RT} = + 1.9V$ 、 $V_{RB} = 0.3V$ 、 $C_L = 50 \text{ pF}$ 、 $f_{CLK} = 200\text{MHz}$  に適用されます。太字表記のリミット値は  $T_J = T_{MIN} \sim T_{MAX}$  に対して適用され、その他のリミット値は  $T_J = 25$  に対して適用されます。(Note 7, 8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
$f_{C1}$	Maximum Input Clock Rate	PLL Disabled	210	<b>200</b>	MHz (min)
		Using PLL	15	<b>105</b>	MHz (min)
$f_{C2}$	Minimum Input Clock Rate	PLL Disabled	1		MHz
		Using PLL	15		MHz
$t_{CL}$	Minimum CLK Low Time	(Note 11)		<b>1.7</b>	ns (min)
$t_{CH}$	Minimum CLK High Time	(Note 11)		<b>1.7</b>	ns (min)
$f_{RC1}$	Maximum RCLK Rate	(Note 12)	210	<b>200</b>	MHz (min)
$f_{RC2}$	Minimum RCLK Rate	(Note 12)	2		MHz
$t_{RCL}$	Minimum RCLK Low Time	(Note 11)		<b>2.0</b>	ns (min)
$t_{RCH}$	Minimum RCLK High Time	(Note 11)		<b>2.0</b>	ns (min)
ADC	DRDY to RCLK Duty Cycle Delta		0.3	<b>±3</b>	%
$t_{SU}$	REN to RCLK Set-Up Time		-0.4	<b>-0.8</b> <b>4.0</b>	ns (min) ns (max)
$t_{RR}$	RCLK Rising Edge to DRDY Rising Edge		3.8	<b>2.4</b> <b>5.9</b>	ns (min) ns (max)
$t_{RF}$	RCLK Falling Edge to DRDY Falling Edge		3.5		ns
$t_{SKDR}$	Skew of DRDY Rising Edge to DATA		160		ps
$t_{SKR}$	RCLK Falling Edge to First DATA Byte		2.3	<b>1.8</b> <b>7.4</b>	ns (min) ns (max)
$t_{SKEF}$	Skew of DRDY Rising Edge to EF Rising Edge		36		ps
$t_{CFF}$	CLK Rising Edge to FF Rising Edge		4.2		ns
$t_{FFW}$	FF Rising Edge to WENSYNC Falling Edge	ASW pin high	4.2		ns
$t_{CW}$	CLK Rising Edge to WENSYNC Rising Edge	PLL Disabled	3.5	<b>2.4</b> <b>5.5</b>	ns (min) ns (max)
$t_{RST}$	RESET Pulse Width	(Note 11)		<b>4</b>	Write Clock Cycles (min)
$t_r$	Output Data Rise Time (0.4V to 2.5V)	$C_L = 10 \text{ pF}$	0.9		ns
		$C_L = 20 \text{ pF}$	2		ns
$t_f$	Output Data Fall Time (2.4V to 0.4V)	$C_L = 10 \text{ pF}$	1.4		ns
		$C_L = 20 \text{ pF}$	3.2		ns
$t_{ODF}$	RCLK Rising Edge to Data Output Fall to 0.4V	Reading Buffer	7.0	<b>4.0</b> <b>11.7</b>	ns (min) ns (max)
		Buffer bypassed, PLL disabled	5.5		ns
$t_{ODR}$	RCLK Rising Edge to Data Output Rise to 2.5V	Reading Buffer	6.5	<b>2.3</b> <b>13.1</b>	ns (min) ns (max)
		Buffer bypassed, PLL disabled	5.5		ns
$t_{OHF}$	RCLK Rising Edge to Data Output Fall to 2.5V	Reading Buffer	3.8	<b>2.4</b> <b>5.5</b>	ns (min) ns (max)
$t_{OHR}$	RCLK Rising Edge to Data Output Rise to 0.4V	Reading Buffer	4.5	<b>2.6</b> <b>6.9</b>	ns (min) ns (max)
$t_{SLEW}$	Output Slew Rate	Output Falling (2.4V to 0.4V)	1.5		V / ns
		Output Rising (0.4V to 2.5V)	2.3		V / ns

### コンバータのタイミング特性 (つづき)

以下の仕様は、デューティ・サイクル 50%、OEDGE/TEN = 1、バッファおよび PLL バイパス時の、 $V_A = V_{DR} = + 3.3V_{DC}$ 、 $V_{RT} = + 1.9V$ 、 $V_{RB} = 0.3V$ 、 $C_L = 50 \text{ pF}$ 、 $f_{CLK} = 200\text{MHz}$  に適用されます。太字表記のリミット値は  $T_J = T_{MIN} \sim T_{MAX}$  に対して適用され、その他のリミット値は  $T_J = 25$  に対して適用されます。(Note 7、8)

Symbol	Parameter	Conditions	Typical (Note 9)	Limits (Note 9)	Units (Limits)
$t_{DRDY1}$	PD Low to Device Active	PLL Enabled	20		$\mu\text{s}$
		PLL Bypassed	2		$\mu\text{s}$
$t_{DRDY2}$	PDADC Low to Device Active		2		$\mu\text{s}$
	Pipeline Delay (Latency)		6		Clock Cycles
$t_{AD}$	Sampling (Aperture) Delay	CLK Rise to Acquisition of Data			
		PLL on	3.4		ns
		PLL off	3.9		ns
$t_{AJ}$	Aperture Jitter	PLL Bypassed	2		ps rms
		PLL Enabled in x8 mode (Note 13)	7		ps rms

**Note 1:** 絶対最大定格とは、デバイスが破壊される可能性があるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された規格値、試験条件については「電気的特性」を参照ください。保証された規格値は記載の試験条件に対してのみ適用されます。記載の試験条件下でデバイスを動作させないと、いくつかの性能特性が低下することがあります。

**Note 2:** 特記のない限り、すべての電圧は  $GND = DR\ GND = 0V$  を基準にして測定されています。

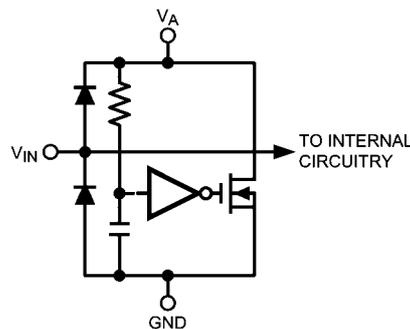
**Note 3:** いずれかのピンで入力電圧 ( $V_{IN}$ ) が電源電圧を超えた場合 (すなわち  $V_{IN} < GND$ 、 $DR\ GND$  または  $V_{IN} > V_A$ 、 $V_P$ 、 $V_D$ 、 $V_{DR}$  のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流せるピン数は 2 本に制限されます。

**Note 4:** 温度上昇時の動作では、最大消費電力の定格を  $T_{jmax}$  (最大接合部温度: このデバイスの場合、 $T_{jmax}$  は 150 )、 $J_A$  (接合部・周囲温度間熱抵抗)、 $T_A$  (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{D\ MAX} = (T_{jmax} - T_A) / J_A$  または「絶対最大定格」で示される値のうち、いずれか低い方の値です。

**Note 5:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。

**Note 6:** その他の表面実装法については、アプリケーション・ノート AN-450 「スモールアウトライン (SO) パッケージ表面実装と製品信頼性上における効果」を参照ください。

**Note 7:** アナログ入力は、以下に示されるように保護されています。入力電圧が  $V_A + 300\text{mV}$  以下もしくは  $GND$  の 300mV 以下の電圧まで振幅する場合にはデバイスが損傷を受けることはありません。ただし、入力電圧が  $V_A + 100\text{mV}$  以上もしくは  $GND - 100\text{mV}$  以下になる場合は A/D 変化に誤差を生じる可能性があります。例えば、 $V_A = 3.3V_{DC}$  の場合、変換精度を確保するには入力電圧は  $3.4V_{DC}$  以下にする必要があります。



**Note 8:** 精度を保証するために、 $V_A$ 、 $V_D$ 、 $V_P$ 、 $V_{DR}$  は十分にバイパスする必要があります。各電源は個別のバイパス・コンデンサでデカップルしてください。

**Note 9:** 代表値 (Typical) は、 $T_J = T_A = + 25$  で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL (Average Outgoing Quality Level) に基づき保証されます。

**Note 10:** この電流または電力は、仕様に従って、バッファからの読み取りまたはバッファへの書き込みが行われている短時間内のみ使用されます。

**Note 11:** このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。

**Note 12:** RCLK は、バッファからの読み取りが行われていないときは停止させてください。

**Note 13:** PLL を機能させた状態でのシフトは、サンプル数 32k、PLL が 8 倍モードで測定されます。

## 用語の定義

アパーチャ(サンプリング) デレイ (**APERTURE (SAMPLING) DELAY**) は、 サンプル・クロックの立ち上がりから入力信号が本 A/D コンバータ内でサンプリングされるまでの時間的な遅れのことです。

アパーチャ・ジッタ (**APERTURE JITTER**) は、 サンプルとサンプルの間のアパーチャ・デレイのばらつきです。アパーチャ・ジッタは入力ノイズとして現れます。

クロック・デューティ・サイクル (**CLOCK DUTY CYCLE**) は、 クロック周期に対してクロック波形が High となっている時間の比です。

微分非直線性(**DIFFERENTIAL NON-LINEARITY : DNL**)は、理想的なステップである 1LSB からの最大偏差として表されます。200MSPS でランプ入力に対して測定されます。

有効ビット (**EFFECTIVE NUMBER OF BITS: ENOB**) は、 信号/(ノイズ+歪み)比または SINAD の別の規定方法です。ENOB は (SINAD - 1.76)/6.02 として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (**FULL POWER BANDWIDTH**) は、 フルスケール入力において出力に再現される基本波の周波数特性が低周波数帯域に対して 3dB 落ちる周波数として測定されます。

フルスケール誤差 (**FULL-SCALE ERROR**) は、最後のコードの遷移が、理想的な  $V_{RT}$  より  $1/2$ LSB 下の点からどのくらい離れているかを示す量で、次の式で定義されています。

$$FSE = V_{max} + 1.5LSB - V_{RT}$$

$V_{max}$  は最大 (フルスケール) コードへの遷移が発生する電圧です。

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、ゼロスケール (最初のコード遷移の  $1/2$ LSB 下) から正のフルスケール (最後のコード遷移の  $1/2$ LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。エンド・ポイント・テスト法が用いられます。200MSPS でランプ入力に対して測定されます。

混変調歪み (**INTERMODULATION DISTORTION:IMD**) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

ミッシング・コード (**MISSING CODE**) は、入力電圧をわずかに変化させたときに、あるコードから次位のコードの間に抜けが生じて A/D コンバータから出力されないコードです。すべての入力レベルで、ミッシング・コードが発生することはありません。

オフセット誤差 (**OFFSET ERROR**) とは、最初のコード遷移を生じさせるために必要となる入力電圧の誤差です。この誤差は、最初のコード遷移を生じさせるために実際に要した電圧と、最初のコード遷移を生じさせるための理論的電圧 ( $1/2$ LSB) の差をいいます。

$$V_{OFF} = V_{ZT} - 1/2 \text{ LSB} = V_{ZT} - (V_{RT} - V_{RB}) / 512$$

$V_{ZT}$  は、出力に最初のコード遷移を生じさせる実際の入力電圧です。

出力デレイ (**OUTPUT DELAY**) は、RCLK 入力信号の立ち上がりエッジから、出力ピンにアップデートされたデータが現われるまでの遅延時間です。

出力ホールド時間 (**OUTPUT HOLD TIME**) は、CLK または RCLK 出力信号の立ち上がりエッジからの、出力データが有効になっている時間長を示します。

パイプライン・デレイ (**PIPELINE DELAY: LATENCY**) は、変換開始からその変換データが出力ドライバ段に現れるまでの期間をクロック数で表したものです。新しいデータはクロックサイクルごと有効ですが、その出力データはパイプライン・デレイ分の変換ラグがあります。

電源電圧除去比 (**POWER SUPPLY REJECTION RATIO: PSRR**) は、電源電圧の変動を A/D コンバータでどの程度除去できるかを表したものです。ADC08B200 で PSRR1 は、電源電圧の DC 変動に対するフルスケール誤差の変化の割合を、DC を単位として示した値です。また、直流電源に乗っている交流成分が出力端でどの程度まで除去されるかについては PSRR2 で表します。

信号対ノイズ比 (**SIGNAL TO NOISE RATIO: SNR**) は、出力における入力信号の rms 値と、サンプリング周波数の  $1/2$  未満におけるそれ以外のすべてのスペクトラル成分 (高調波と DC を除く) の rms 値の合計との比で、単位は dB です。

信号/(ノイズ+歪み)比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO : S/(N + D) or SINAD**) は、クロック信号の  $1/2$  以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の出力での実効値の比として dB で表されます。

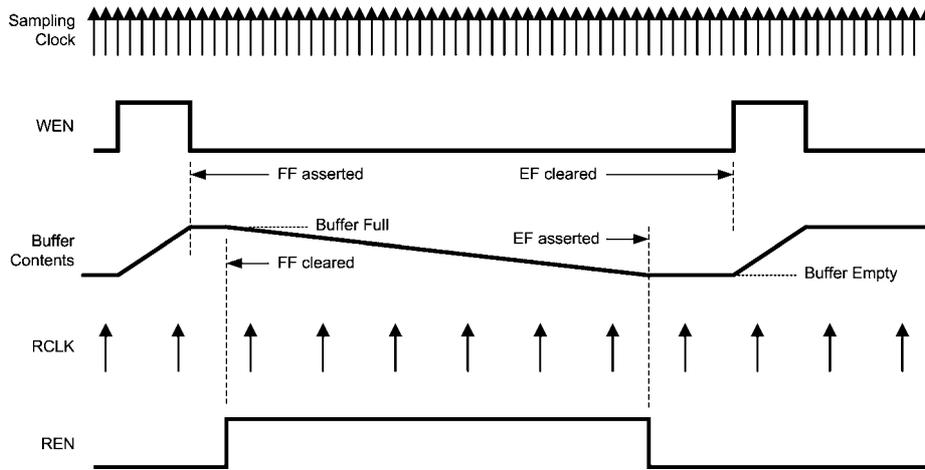
スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE: SFDR**) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入力に現われるものではありません。

全高調波歪み (**TOTAL HARMONIC DISTORTION:THD**) は、2 次から 10 次までの高調波の合計出力レベルと基本周波数の出力レベルとの比で、dB で表されます。全高調波歪み THD は次式から求められます。

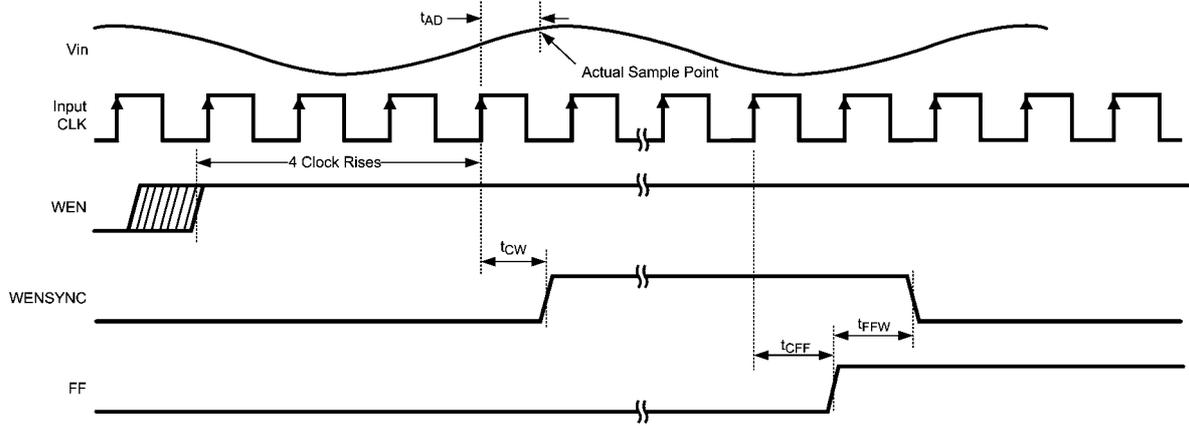
$$THD = 20 \times \log \sqrt{\frac{A_{f2}^2 + \dots + A_{f10}^2}{A_{f1}^2}}$$

$A_{f1}$  は基本周波数 (出力) パワーの実効値 (RMS 値)、 $A_{f2}$  から  $A_{f10}$  は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

タイミング図 (PLL バイパス時)

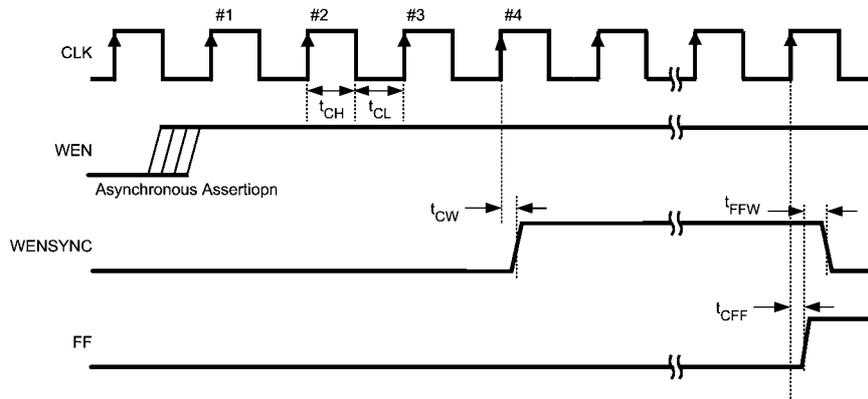


ADC08B200 Data Capture and Read Operation

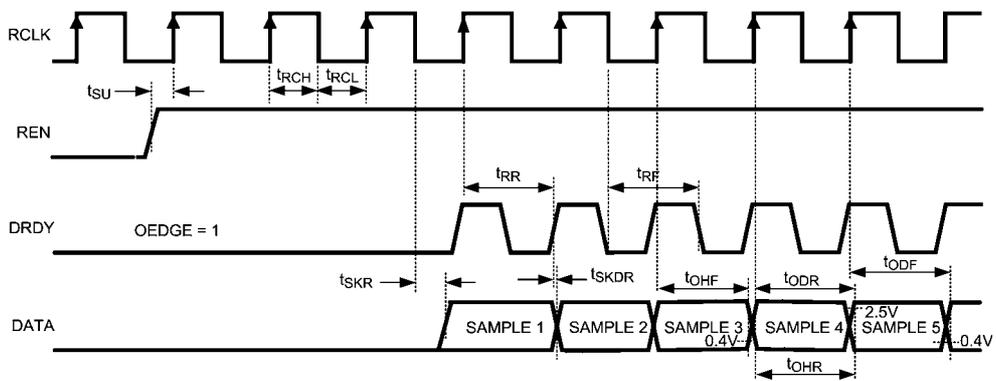


ADC08B200 Capture and Write Enable Timing

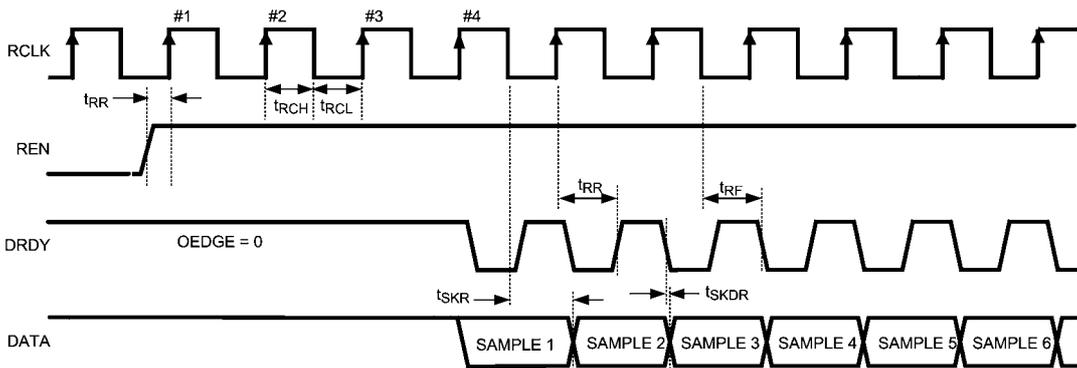
タイミング図 (PLL バイパス時)(つづき)



ADC08B200 Buffer Write Timing

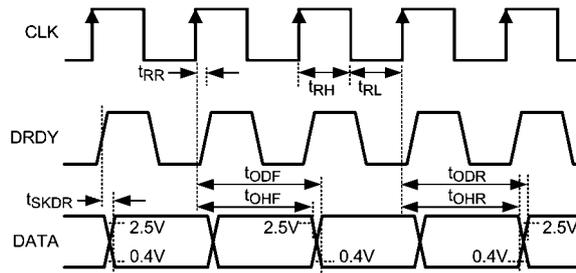


ADC08B200 Buffer Read Timing (OEDGE/TEN = 1)



ADC08B200 Buffer Read Timing (OEDGE/TEN = 0)

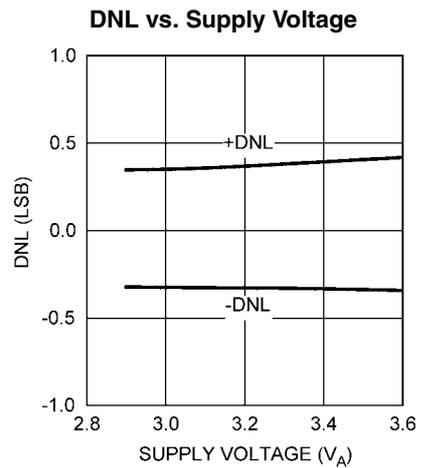
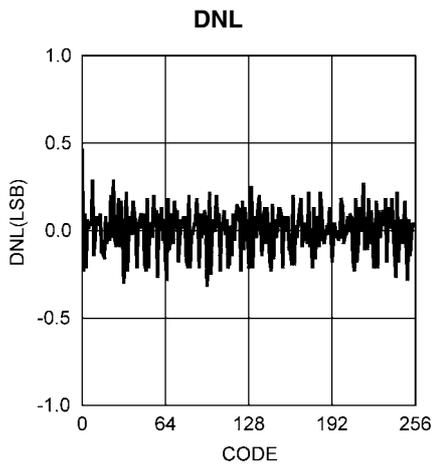
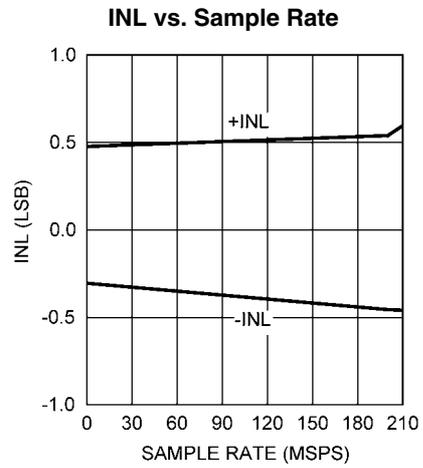
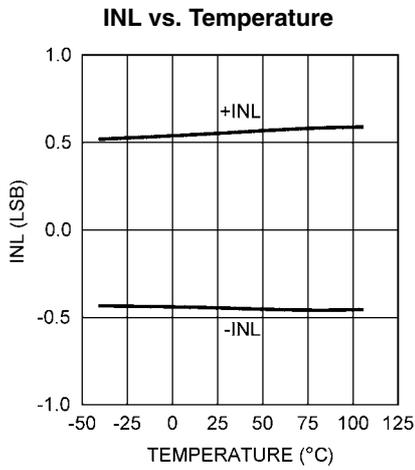
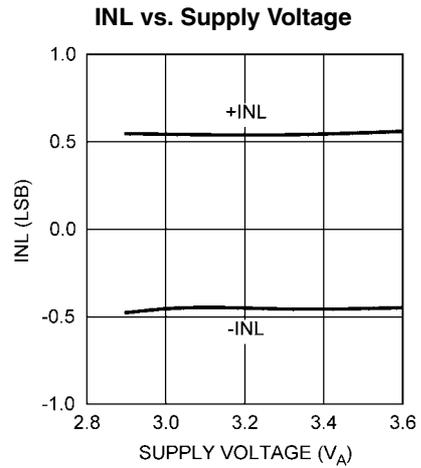
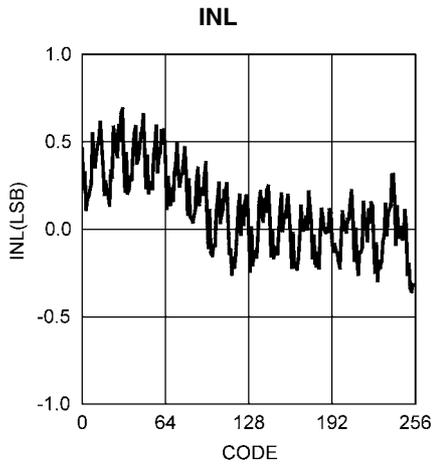
タイミング図 (PLL バイパス時)(つづき)



ADC08B200 Buffer Bypassed Timing

代表的な性能特性

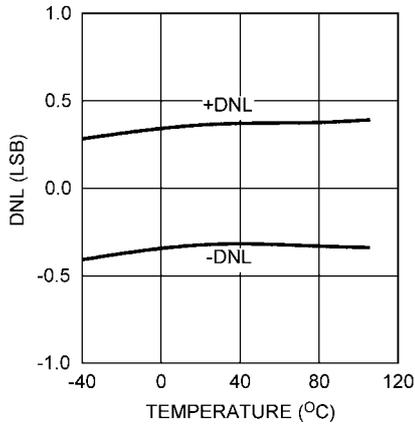
特記のない限り、 $V_A = V_D = V_P = V_{DR} = 3.3V$ 、 $f_{CLK} = 200\text{ MHz}$ 、 $f_{IN} = 50\text{ MHz}$ 、PLL およびバッファはバイパス、 $T_A = 25^\circ\text{C}$ 。



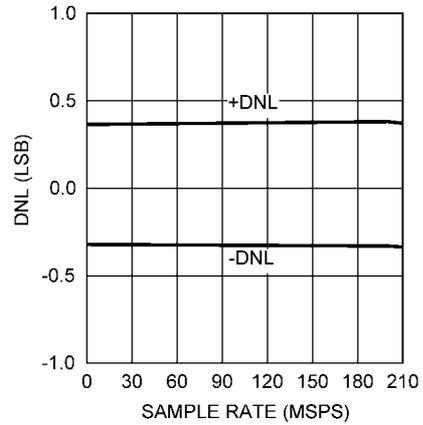
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_P = V_{DR} = 3.3V$ 、 $f_{CLK} = 200\text{ MHz}$ 、 $f_{IN} = 50\text{ MHz}$ 、PLL およびバッファはバイパス、 $T_A = 25^\circ\text{C}$ 。

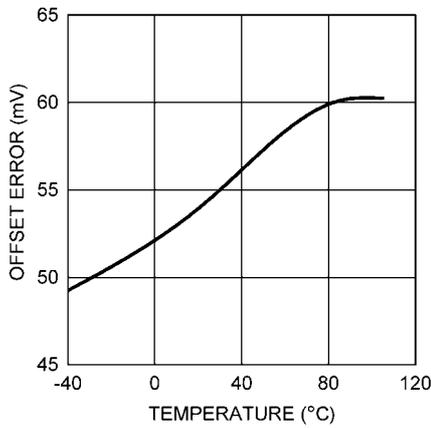
**DNL vs. Temperature**



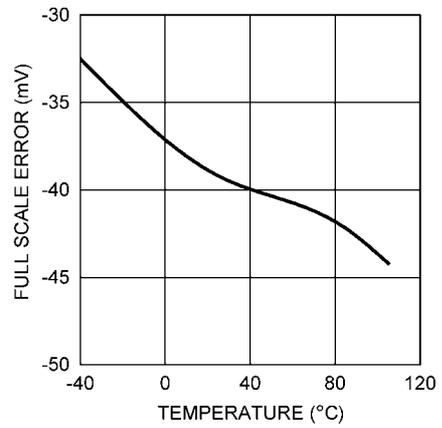
**DNL vs. Sample Rate**



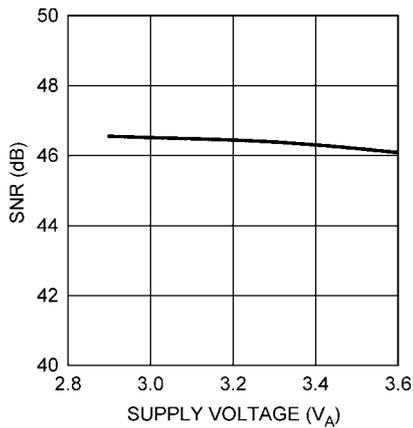
**Offset Error vs. Temperature**



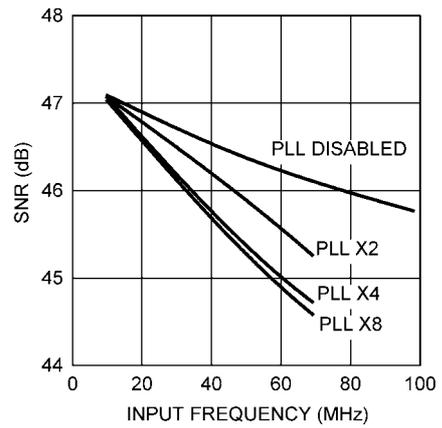
**Full Scale Error vs. Temperature**



**SNR vs. Supply Voltage**



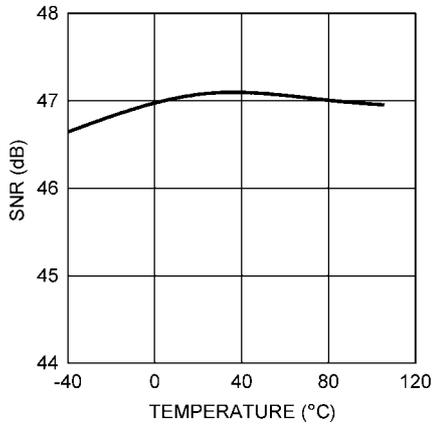
**SNR vs. Input Frequency**



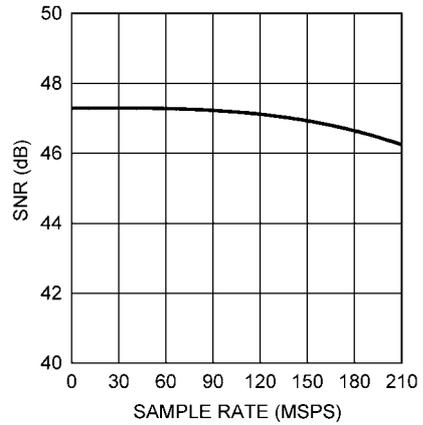
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_P = V_{DR} = 3.3V$ 、 $f_{CLK} = 200\text{ MHz}$ 、 $f_{IN} = 50\text{ MHz}$ 、PLL およびバッファはバイパス、 $T_A = 25^\circ\text{C}$ 。

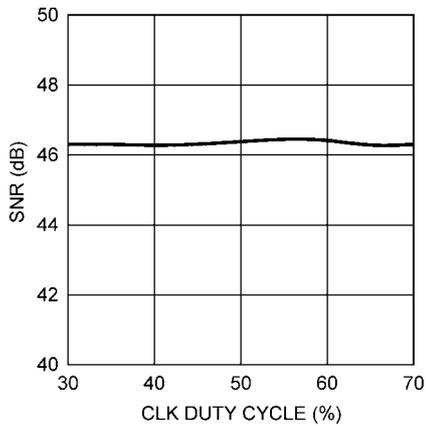
SNR vs. Temperature



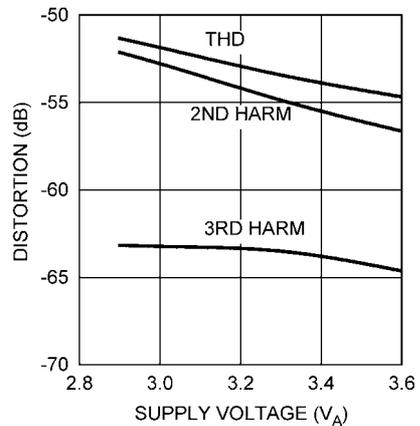
SNR vs. Sample Rate



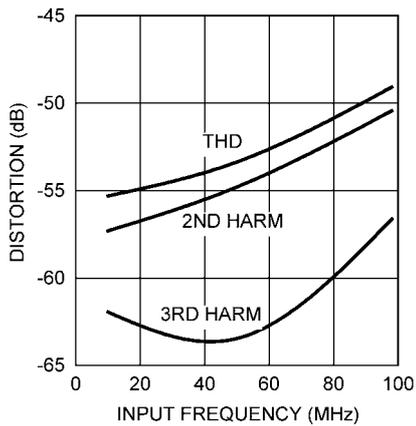
SNR vs. Clock Duty Cycle



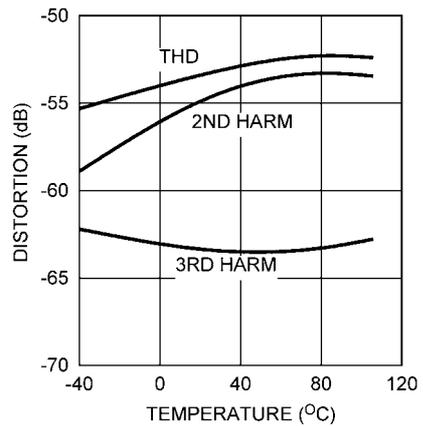
Distortion vs. Supply Voltage



Distortion vs. Input Frequency

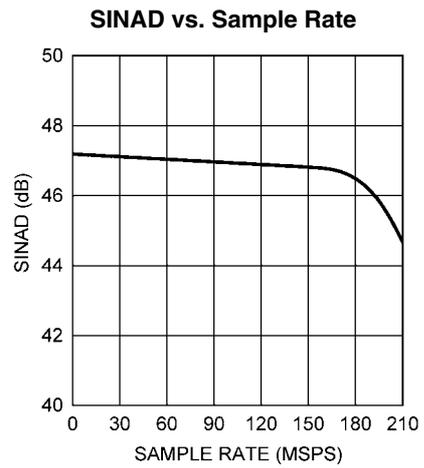
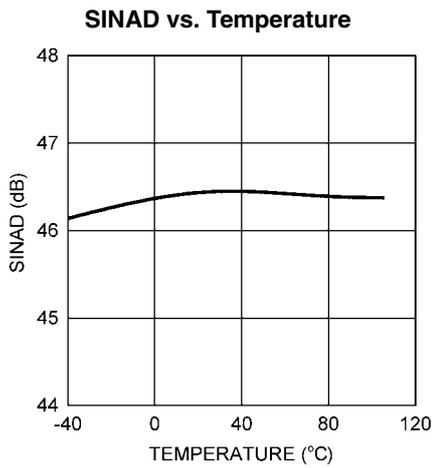
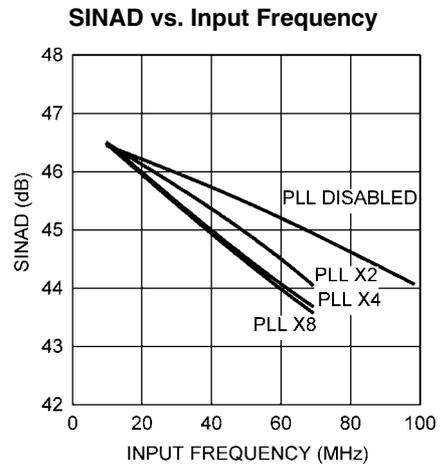
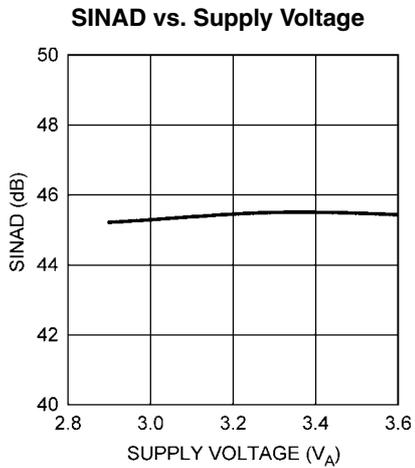
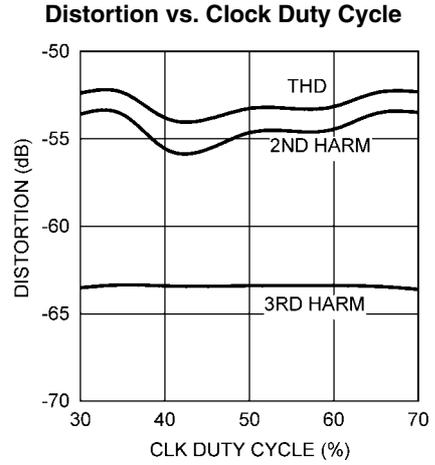
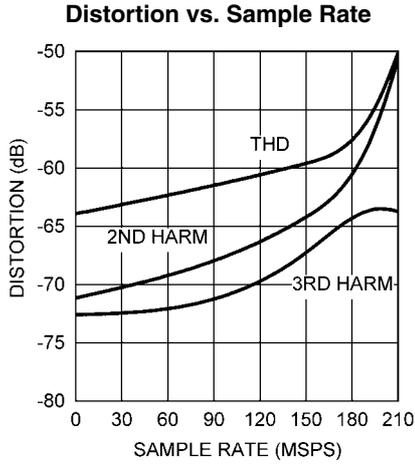


Distortion vs. Temperature



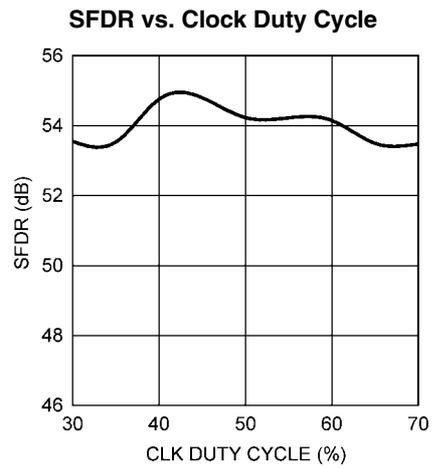
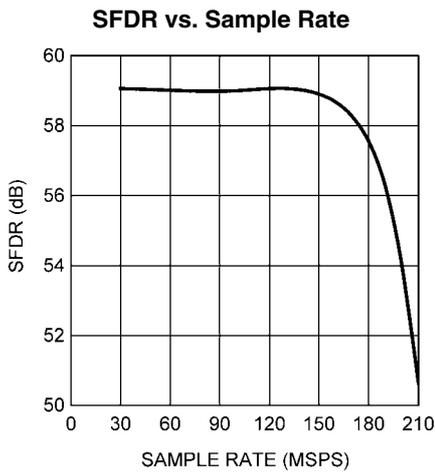
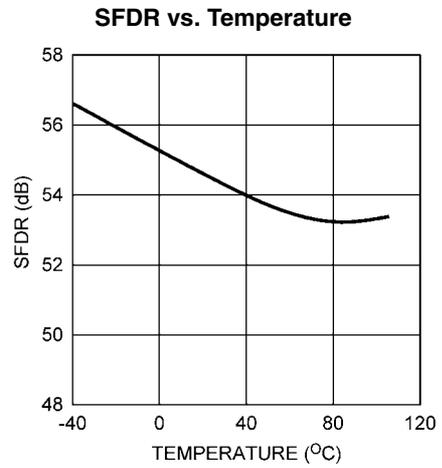
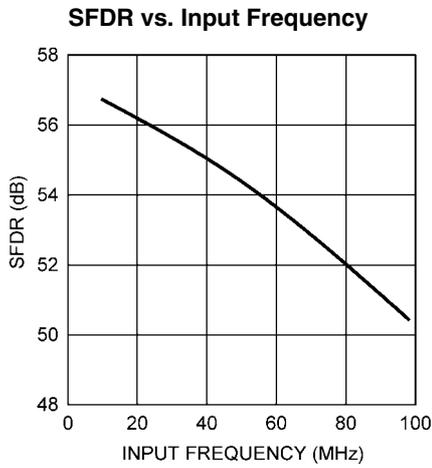
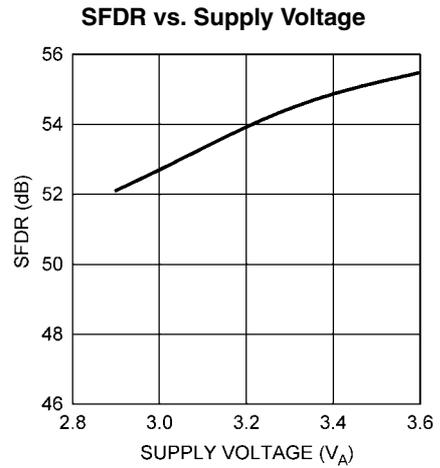
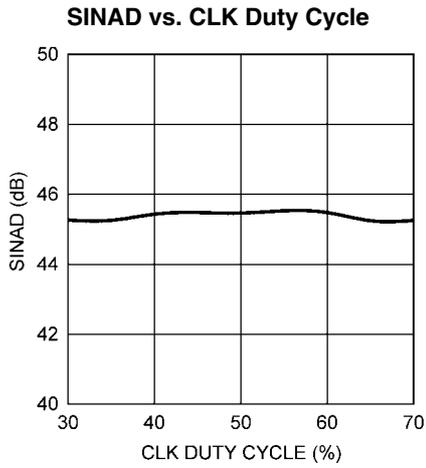
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_P = V_{DR} = 3.3V$ 、 $f_{CLK} = 200\text{ MHz}$ 、 $f_{IN} = 50\text{ MHz}$ 、PLL およびバッファはバイパス、 $T_A = 25^\circ\text{C}$ 。



代表的な性能特性 (つづき)

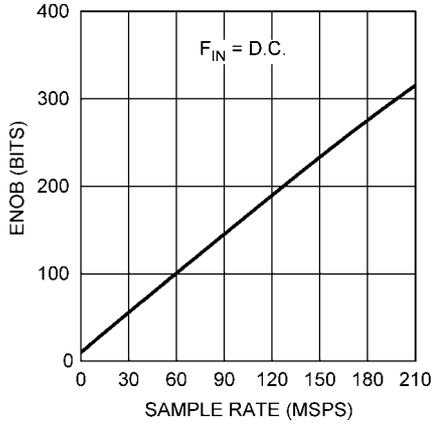
特記のない限り、 $V_A = V_D = V_P = V_{DR} = 3.3V$ 、 $f_{CLK} = 200\text{ MHz}$ 、 $f_{IN} = 50\text{ MHz}$ 、PLL およびバッファはバイパス、 $T_A = 25\text{ }^\circ\text{C}$ 。



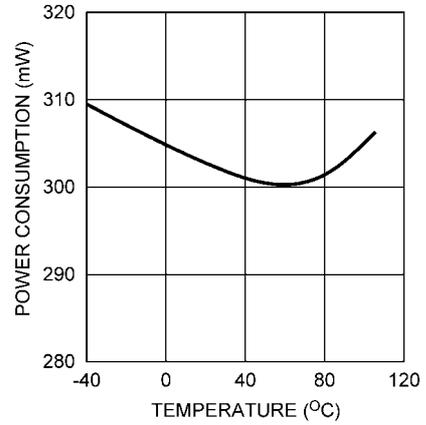
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_P = V_{DR} = 3.3V$ 、 $f_{CLK} = 200\text{ MHz}$ 、 $f_{IN} = 50\text{ MHz}$ 、PLL およびバッファはバイパス、 $T_A = 25\text{ }^\circ\text{C}$ 。

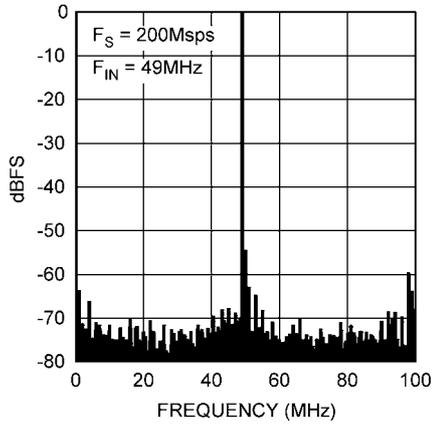
**Power Consumption vs. Sample Rate**



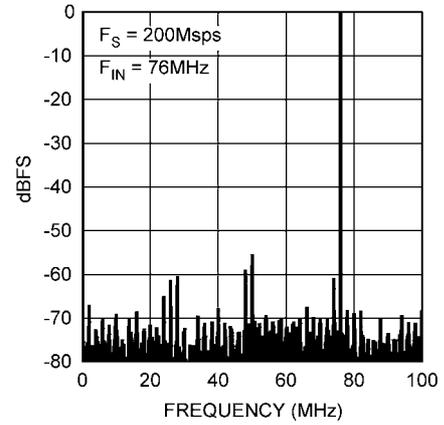
**Power Consumption vs. Temperature**



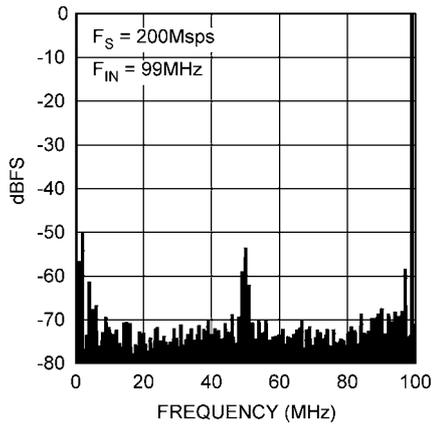
**Spectral Response @  $f_{IN} = 49\text{ MHz}$**



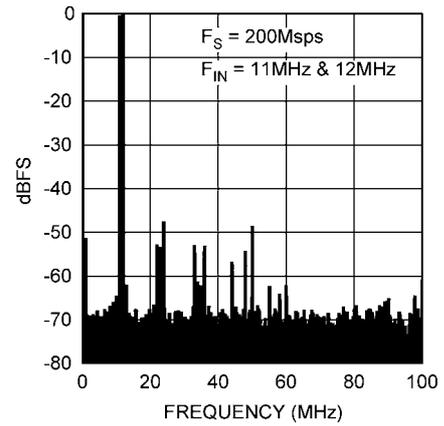
**Spectral Response @  $f_{IN} = 76\text{ MHz}$**



**Spectral Response @  $f_{IN} = 99\text{ MHz}$**



**Intermodulation Distortion**



## 機能説明

ADC08B200 は、8 ビットの高速 A/D コンバータと、最大 1 キロバイトまで容量を設定できるキャプチャ・バッファを内蔵しており、サンプリングとデータ処理のタスクを独立して行うことができます。これは入力信号を高速でサンプリングしてから、収集したサンプルを低速で読み取る動作を必要とするアプリケーション用の機能です。前記のタイミング図は ADC08B200 の動作を表しています。

アナログ入力信号は、 $V_{RT}$  と  $V_{RB}$  で設定される電圧範囲内で 8 ビットの 2 値コードにデジタル化されます。 $V_{RB}$  以下の入力電圧は、すべてが 0 からなる出力コードに変換されます。 $V_{RT}$  以上の入力電圧は、すべてが 1 からなる出力コードに変換されます。

ADC08B200 の消費電力はサンプリング周波数に比例する特性を示し、そのためサンプリング周波数によって消費電力の上限が決まります。このように、ADC08B200 は、その広範なクロック周波数での非常に優れた性能と内蔵のキャプチャ・バッファにより、8 ビット A/D コンバータを使用する多くのアプリケーションに対して理想的なデバイスとなっています。

データはサンプル・クロックの立ち上がりエッジで取り込まれ、バッファ・バイパス・モードでは、取り込まれたデータのデジタル変換値が、6 クロック・サイクル +  $t_{OD}$  後にデジタル出力ピンで有効になります。キャプチャ・バッファがイネーブルのときは、この変換後のデータが内部の変換クロックの各サイクル毎にこのバッファに書き込まれ、このデータは RCLK 信号により読み出すことができます。ADC08B200 は、CLK 信号が存在する限り AD 変換を行います。キャプチャ・バッファを使用しているときは、バッファが満杯のときはバッファへの書き込みは行われません。出力コーディングはストレート・バイナリです。

パワーダウン・ピン (PD) が Low のときは、このデバイスは全体がアクティブ状態です。PD ピンを High にすると、デバイス全体がパワーダウン・モードに移行し、消費電力が非常に小さくなります。PD ピンを High にした後にクロック入力信号を Low に保持すればパワーダウン・モードでの消費電力がさらに低くなります。

PDADC ピンが High のときは、A/D コンバータ部分のみがパワーダウン・モードになります。このチップの他の部分は通電状態のままのため、キャプチャ・バッファの読み取りは可能です。PD ピンと PDADC ピンの両方が High のときは、PD ピンの状態が優先し、デバイス全体がパワーダウン・モードになります。

A/D コンバータのサンプル・クロックは、CLK 入力ピンに入力するクロック信号またはそのクロックを増倍して使用することもできます。増倍する場合の倍率は 2 倍、4 倍または 8 倍にすることができます。いずれの倍率を使用した場合でも、キャプチャ・バッファが使用される場合は、そのサンプル・クロックがコンバータのデータのキャプチャ・バッファへの書き込みにも使用されます。

このチップがパワーダウン・モードでなくクロック信号が入力されている限り、このコンバータは入力信号を変換し続けます。ただし、キャプチャ・バッファが有効なときは、書き込みイネーブル (WEN) 入力信号が High の間のみ、そのデータはこのバッファに保存されます。データは、読み取りイネーブル (REN) 信号が High のときに、RCLK 信号 (フリー・ランニング・クロックも可) によりキャプチャ・バッファから読み取られます。

このチップのキャプチャ・バッファは、設定されている容量まで満杯にならないと、その内容の読み出しを開始することができないことに注意してください。このバッファの書き込みと読み出しは同時に行うことはできず、また WEN 入力信号と REN 入力信号は同時に High にしないでください。WEN 入力信号と REN 入力信号が同時に High になると、REN 入力信号は無視されます。また、REN 入力信号が先に High になり読み取り動作が正常に行われていても、WEN が High になると REN 入力信号は無視されます。REN 信号が High のときに WEN 入力をアサートすると、読み取り動作が中断し、キャプチャ動作が始まります。このデバイスは、高速でデータを捕捉し低速で読み出す用途向けに設計されてい

ますが、RCLK 信号をサンプル・クロックと同じかまたはそれ以上の速度で動作させることが可能です。

キャプチャ・バッファの管理は 2 つのステータス・フラグで行われます。フル・フラグ (FF) 信号は、バッファが満杯になると High になります。書き込みポイントは「ラップアラウンド」するため、FF がアサートされた後の次のサンプル・クロックの立ち上がりにより、最も古いデータへの書き込みが開始されます。これは「オーバーラン」状態と呼ばれています。同様に、エンpty・フラグ (EF) は、最後のデータの読み取りが終了しバッファが空になっていることを示します。EF が High になると、DRDY と Data 出力はスイッチングを停止し、OEDGE = 1 のときは、DRDY と Data の両方のラインが Low のままになります。OEDGE = 0 のときは、両方のラインは High のままになります。

ユーザーは、ASW (自動書き込み停止) 信号を使用して、バッファが満杯になると自動的にバッファへの書き込みが停止するようにすることができます。ASW 入力信号が Low のときは、キャプチャ・バッファへの書き込みが続けられるため、書き込みポイントが「ラップアラウンド」し、クロックが入力され、WEN 入力信号が High になっている間は、データの上書きが続けられる可能性があります。ASW 入力信号が High のときは、バッファが「満杯」状態になると書き込み動作は停止します。

デバイスがリセットされること、および REN をアサートしてデータの転送を開始させて「満杯」状態を解消させると、FF は Low になります。WEN を High にして捕捉動作を開始して「エンpty」状態が解消されると、EF 出力は Low になります。デバイスをリセットするとバッファは空になるため、EF 出力は High になります。

RESET 信号は、読み取りポイントと書き込みポイント、および EF フラグと FF フラグをリセットします。またこの RESET 信号は (EF フラグが High になる前に) 先に読み取り動作を停止させます。そのため、バッファの読み出しが進行中に RESET 入力 High になると、部分的な読み取りのみが行われます。これにより、バッファ・ポイントをリセットして、新しく捕捉動作を開始させることができます。RESET 信号は A/D コンバータの動作には全く影響を与えません。A/D コンバータは自身のパワーオン・リセット回路を備えています。

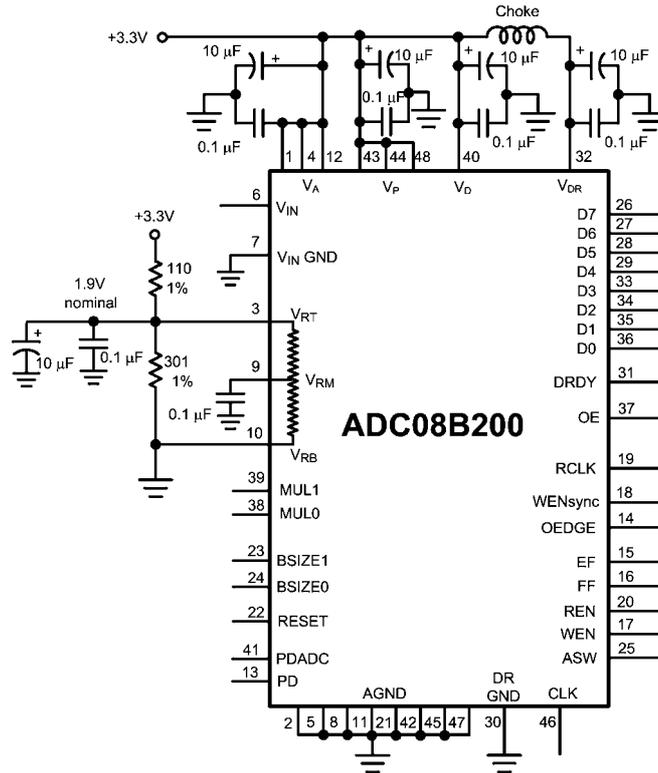
RCLK 入力は、CLK 信号のようにノイズ (ジッタ) なしにする必要はありません。CLK 信号は A/D コンバータのサンプル・クロックか、または A/D コンバータで使用するサンプル・クロックを発生させる内蔵の PLL の基準として使用するためノイズ (ジッタ) が問題となりますが、RCLK 入力はキャプチャ・バッファの読み取りにしか使用しないため、ノイズ (ジッタ) なしにする必要はありません。CLK のジッタは A/D コンバータの SNR 性能に直接影響しません。RCLK と CLK は、位相と周波数に関して固定された関係にする必要はありません。

## アプリケーション情報

### 1.0 リファレンス電圧入力

リファレンス入力  $V_{RT}$  および  $V_{RB}$  は、リファレンス・ラダーのトップとボトムです。これらの 2 ピン間の電圧範囲の入力信号が 8 ビットのコードにデジタル化されます。このリファレンス電圧入力ピンに印加する外部の電圧は、「動作定格」および「電気的特性」表に指定されている範囲内にしてください。 $V_{RT}$  ピンおよび  $V_{RB}$  ピンに接続する電圧源は、両ピン電圧の安定化のため、 $V_{RT}$  ピンに対しては十分な電流を供給でき、また  $V_{RB}$  ピンからは十分な電流を引き込めるものを選択してください。

アプリケーション情報 (つぎ)



**FIGURE 1. Simple, low component count reference biasing. Because of the ladder and external resistor tolerances, the reference voltage of this circuit can vary too much for some applications.**

Figure 1 のリファレンス・バイアス回路は、非常に簡単な回路でさまざまな用途に対して十分な性能を発揮します。ただし、回路の許容値はリファレンス電圧の許容値に従います。低インピーダンス・ソースでそれぞれのリファレンス・ピンをドライブすると、より安定したリファレンス電圧を実現できます。

Figure 2 の回路を使用すると、リファレンス電圧をより正確に設定することができ、上側と下側のリファレンス精度は約 16mV (約 2.5LSB) です。上側のアンプは、リファレンス抵抗値と ( $V_{RT} - V_{RB}$ ) の値で決まるリファレンス電流をソースできる必要があります。下側のアンプはこのリファレンス電流をシンクできる必要があります。両方のアンプとも、容量負荷で安定でなければなりません。ここで LM8272 を使用した理由は、この素子が Rail-to-Rail の入出力と大出力電流能力を備え、大容量負荷を駆動できるためです。

このアンプの入力にある分圧抵抗器は、使用する用途のリファレンス電圧に合わせて変えたり、正確な設定をするため、この分圧抵抗器を可変抵抗器または DAC と置き換えることもできます。このラダーの下側 ( $V_{RB}$ ) は、入力信号の最小の振幅が 0V の場合は、直接グラウンドに接続できます。

$V_{RT}$  は必ず  $V_{RB}$  より 0.5V 以上高く設定してください。  $V_{RT}$  は最高  $V_A$  の電源電圧まで、または  $V_{RB}$  は最低グラウンドまでにすることができますが、波形にわずかな歪みを生じさせないためには、この 2 つの電圧の差 ( $V_{RT} - V_{RB}$ ) が 2.3V を超えないようにしてください。

$V_{RM}$  ピンはリファレンス・ラダーの中心にあるため、0.1µF のコンデンサでグラウンド・プレーンのノイズの少ない点にバイパスしてください。このピンは開放しないようにし、このピンの負荷電流は 10µA を超えないようにしてください。

アプリケーション情報 (つづき)

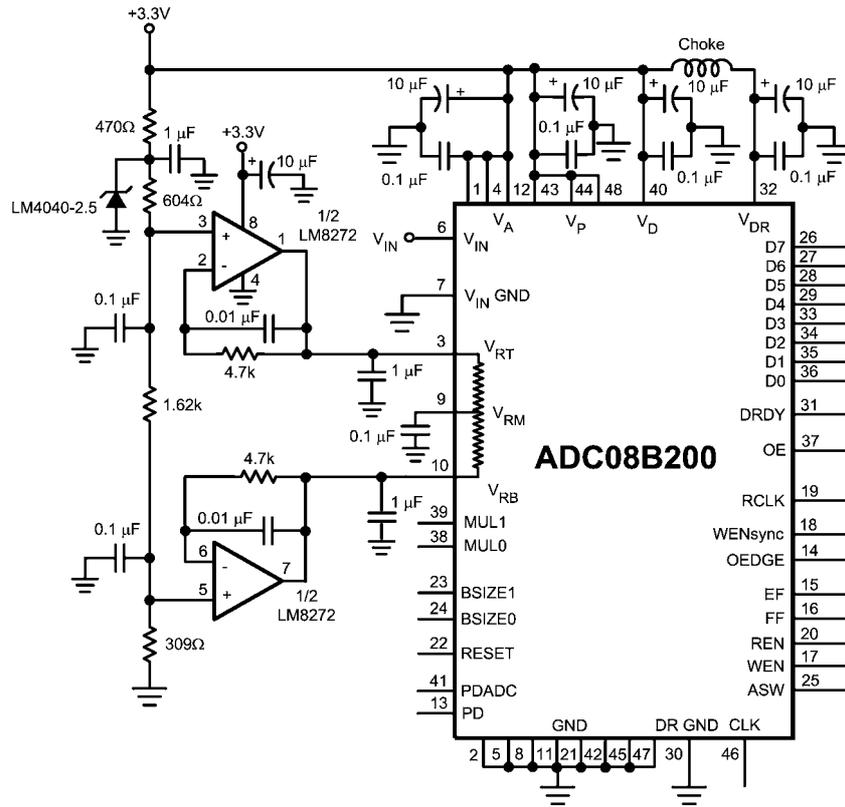


FIGURE 2. Driving the reference to force desired values requires driving with a low impedance source.

2.0 アナログ入力

ADC08B200 のアナログ入力回路は、スイッチに続く積分器になっています。入力容量は、クロックのレベルに応じて変わり、クロックが Low の場合には 3pF になり、クロックが High の場合には 4pF になります。サンプリング回路の性質上、アナログ入力には電流スパイクが発生し、結果として電圧スパイクが生じます。これらのスパイクが存在しても問題がなく、除去する必要はありません。ただし、アナログ入力をドライブするアンプはクロックが High の間にこのようなスパイクを吸収できなければなりません。このアンプと A/D コンバータ入力ピンとの間にシングル・ポールの RC フィルタを接続すると、これらの過渡的な現象がドライブ・アンプに与える影響を最小限にすることができます。このフィルタの遮断周波数は、ナイキスト・アプリケーションの場合、A/D コンバータ・サンプル・レートとほぼ同じにします。コンデンサは 33 pF ~ 51 pF の範囲内のもの選択し、抵抗値は次の式に従って求めます。

$$R = \frac{1}{2 \cdot \pi \cdot (C + 6 \text{ pF}) \cdot f_s}$$

ここで、 $f_s$  はコンバータのサンプル・レートです。この式では、A/D コンバータの入力容量と小型のボードの容量を考慮して、コンデンサの容量に 6pF を加算してあります。アンダーサンプリングの場合は、このコンデンサを除去し、フィルタのコンデンサの代わりに、A/D コンバータ入力容量 (クロックが high のとき) + トレース容量を使用して、ポール周波数を最高入力周波数の 2 ~ 3 倍にします。この回路の最適な時定数は、アンプと A/D コンバータだけでなく、回路のレイアウトや基板の材質 (基板の配線抵抗) によって決まります。LMH6702 および LMH6628 は、ADC08B200 のアナログ入力をドライブするのに最適なデバイスです。

Figure 3 は、ADC08B200 の入力に LMH6702 を接続した入力回路の例を示しています。この入力アンプは、ほとんどのオペアンプが位相マージンと過度応答のためにユニティ・ゲインの 2 倍または 3 倍のゲインを持つように、ある程度のゲインを持つ必要があります。総ゲインを 3 未満にする必要がある場合は、Figure 3 に示すように、入力を減衰し、アンプをより高いゲインで動作させてください。

RC フィルタによってナイキスト・アプリケーションでの最適な SNR 性能が決まります。最良の THD 性能は、このコンデンサと抵抗の値が両方ともゼロの場合に得られますが、その場合は SNR 性能と SINAD 性能が犠牲になります。一般的には、アンダーサンプリングのアプリケーションでは、コンデンサは使用しません。

Figure 3 の回路例では、ゲイン調整とオフセット調整の両方の機能を備えています。これらの調整機能を削除した場合、デバイス・マージンに対する綿密な検討の実施と入力信号範囲がワースト・ケースでも正しく限度内に納まるようにするのが不可欠であり、さもないと通常動作で回路のマージンが不足し、信号波形のクリッピングを生じる可能性があります。

### アプリケーション情報 (つづき)

フル・スケールとオフセットの調整は、 $V_{RT}$  と  $V_{RB}$  で行うこともでき、その場合は2つのDACを使用することになります。もちろん、オフセット調整とゲイン調整を装備せずにこの回路を実装することもできますが、デバイス・マージンのためにADCのダイナミックレンジを最大限には使用しない設計にする必要があります。

リファレンス・ラダーの下部 ( $V_{RB}$ ) を参照するメジットの1つは、出力コードをゼロにするために、アナログ入力の電圧を0Vにする必

要がないことです。 $V_{RB}$  値を十分高く設定すれば、アナログ入力を駆動するアンプの負電源はグラウンド・レベルになる必要はありません。 $V_{RB}$  をどの程度高く設定する必要があるかは、アンプのタイプと、リニアリティを維持しながら出力をどこまで負電源 (またはグラウンド) に近づけられるかに依存します。これは、出力フルスイング・アンプの場合は100mV ~ 150mV、他のアンプの場合は1Vです。

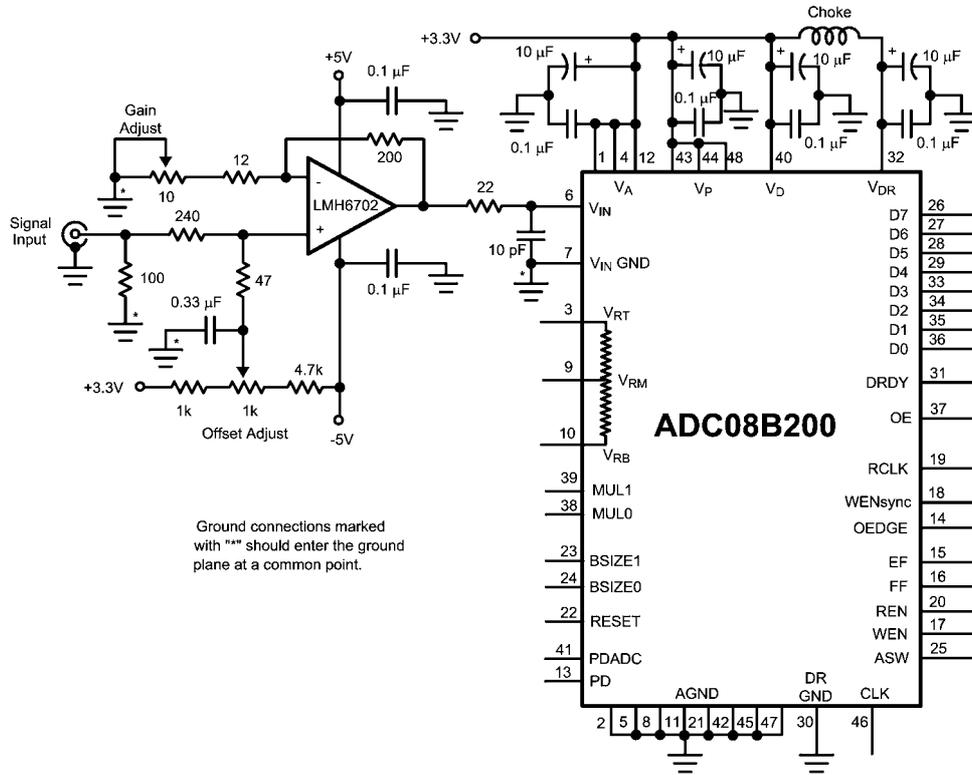


FIGURE 3. The input amplifier should incorporate some gain for best performance (see text).

### 3.0 電源構成

A/Dコンバータは適切にバイパスされていないと、デバイス自身の電源に自身の性能を劣化させるような非常に大きな過渡電流が流れます。一般的に、4つの電源の各々に10μFのタンタル・コンデンサかアルミニウム電解コンデンサを接続し、各コンバータの電源ピンから1cm以内のところに0.1μFのセラミック・チップ・コンデンサを取り付けます。

さらにコンデンサと直列のインダクタンスを下げるために、ボードのA/Dコンバータと同じ側に0.1μFのコンデンサを取り付け、2つ~4つの隣接して配置されたスルーホールを使用して、これらのコンデンサのグラウンド側をグラウンド・プレーンに接続します。これらのコンデンサの一端をグラウンドするために使用するスルーホールは、他のものをグラウンドに接続するためには使用しないでください。リードレス・チップ・コンデンサは、低リード・インダクタンスなので望ましい選択です。

ADC08B200の $V_A$ 、 $V_D$ 、 $V_P$ には単一の電源から供給することを推奨しますが、 $V_A$ の電源ピンは他の電源ピンと分離し、A/Dコンバータのアナログ部にデジタル・ノイズが入らないようにしてください。 $V_{DR}$ 電源ピンとその他の電源ピンの間には、Figure 1~3に示すように各電源ピンに近いところに十分なバイパス・コンデンサを入れてチョーク結合することを推奨します。

すべての高速コンバータと同様に、ADC08B200は電源除去性能がほとんどないと考えてください。コンバータ用の電源はいずれも、システムで他のデジタル回路に使用される消費電力の大きなデジタル電源を使えません。A/Dコンバータ用の電源は、他のアナログ回路に使用されているものと同じにしてください。

いかなるピンも、トランジェントによる変動時であっても、電源電圧以上やグラウンドから300mV以下になる電圧が印加されないようにしてください。これは回路に供給する電源とパワー・シャットダウンのアプリケーションに依存する問題です。すべてのアナログおよびデジタル入力がADC08B200の電源ピンの電圧が立ち上がるより先速く立ち上がらない回路に設計されているかを確認してください。

## アプリケーション情報 (つづき)

### 4.0 デジタル入力ピン

ADC08B200 には 14 のデジタル入力ピンがあり、その内の 6 つはバッファ制御に、2 つは PLL 制御に使用します。

#### 4.1 PD ピン

パワーダウン (PD) ピンは、High のとき ADC08B200 は低電力モードになり、消費電力が動作時の電力より大幅に低下します。PD ピンが High になってからクロックを停止すると同時に消費電力が低下します。この A/D コンバータは、PD ピンが Low になってから約 2 $\mu$ s 後にアクティブになり通常の動作に戻ります。ただし、PLL を使用しているときは、PD ピンが Low になってから約 20 $\mu$ s 経過しないと動作が安定しません。

デジタル出力ピンは、クロックが停止するか PD ピンが High になったときの変換出力コードを保持します。PD が High になると、バッファの内容は失われます。

#### 4.2 PDADC ピン

PDADC ピンが High になると、A/D コンバータはパワーダウンします。キャプチャ・バッファはアクティブで、その中のデータをクロックに同期させて出力させることができます。

この機能により、バッファからデータを読み出している間に A/D コンバータをパワーダウンできるため、平均の消費電力を削減できます。この A/D コンバータは PD ピンと同様に、PDADC ピンが Low になってから約 2 $\mu$ s 後にアクティブになり通常の動作に戻ります。この場合も、PLL を使用しているときは、PD ピンが Low になってから約 20 $\mu$ s 経過しないと動作が安定しません。

PDADC 入力が High のときは、PLL はアクティブなままとなり、PDADC が Low になってから短時間でデータの捕捉を開始させることができるようになります。PDADC が High のときにクロックの入力を停止させると、PLL のロック状態が解除され、PDADC からの回復時間が通常より長くなる場合があります。

#### 4.3 マスタ CLK ピン

ADC08B200 は 200MHz クロックで試験され、その性能が保証されていますが、通常は「電気的特性」の表に記載のクロック周波数で良好な性能を発揮します。

一般に A/D コンバータの性能は、このクロックの Low 時間および High 時間に影響されます。しかし正確なデューティ・サイクルを維持するのは難しいため、ADC08B200 では広い範囲のデューティ・サイクルに対して性能を発揮するように設計されています。ADC08B200 は、クロックのデューティ・サイクルが 50%、周波数が 200MSPs として仕様が定められ性能が保証されていますが、概してその性能は、電気的特性の表に記載されているクロックの High と Low の時間およびクロックの周波数範囲で維持されます。なおクロックの Low 時間と High 時間の両方が、同時に最小クロック幅となることはありません。

A/D コンバータのクロック信号入力の線路長が次式より長い場合は、CLOCK 信号には、クロック源の近くに線路インピーダンスに等しいダンピング抵抗を直列に挿入する必要があります。

$$\frac{t_r}{6 \times t_{prop}}$$

なお上式で  $t_r$  はクロック信号の立ち上がり時間、 $t_{prop}$  は配線の伝搬遅延時間です。 $t_{prop}$  の代表値は、FR-4 を使用した基板でおよそ 150ps/inch (59ps/cm) です。

信号の品質を最良にするため、1 つのクロック・ソースのピンが 1 つのデスティネーションのピンをドライブするのが最良の策で、この方法をお勧めします。ただし、クロック・ソースが複数のデスティ

ネーションをドライブする場合、クロックの線路インピーダンスに等しい抵抗とグラウンド間に接続した次式の容量のコンデンサで RC 回路を構成し、CLK ピンを AC 的に終端してください。

$$C \geq \frac{4 \times t_{prop} \times L}{Z_0}$$

ここで、 $t_{prop}$  はクロック・ライン上での信号伝搬率、「L」は線路長、 $Z_0$  は線路の特性インピーダンスです。「L」の単位は  $t_{prop}$  の単位に合わせる必要があります。この RC 終端部はクロック源の近くではなく、ADC08B200 のクロック・ピンから 1cm 以内に配置してください。さらにこの終端回路は、クロック源から見て受信ピンより遠くに配置してください。これを代入すると FR-4 基板における C の値は次のようになります。

$$C \geq \frac{6 \times 10^{-10} \times L}{Z_0}$$

"L" はインチを単位とするクロック・ラインの配線長です。

#### 4.4 RESET ピン

RESET ピンが High になると、チップ上のバッファの読み取りカウンタおよび書き込みカウンタを含むすべての制御関係の論理回路がリセットされます。デバイス・リセット時は FF 出力ピンは Low に、EF フラグは High にリセットされます。書き込み時にリセットを行うと、バッファのデータが破壊される場合があります。読み取り中にリセットを行うと、読み取りは完了しないで停止します。

RESET 信号は非同期なので、サンプル・クロック 4 サイクル分以上の長さにする必要があります。RESET を入力しない場合は、このチップはバッファ書き込み段階の最初に、内部でリセット信号を発生させます。

#### 4.5 OEDGE/TEN ピン

この出力エッジ選択入力が High のときは、データ出力は DRDY 出力の立ち上がりエッジで変化します。この入力が Low ときは、各データ出力は DRDY の立ち下がりエッジで変化します。この入力の電圧を  $V_A/2$  にすると、テスト・モードになります。このピンには、内蔵のプルアップ抵抗が付いているため、このデバイスはこのピン入力がフロート状態だと、論理 High と判断します。出力テスト・パターンについてはセクション「10.0 テストパターン出力」を参照してください。

#### 4.6 OE ピン

この出力イネーブル入力信号が High のときは、出力バッファが有効になっています。この入力信号が Low になると、DRDY 出力ピンを含むデジタル・データ出力ピンが高インピーダンス状態になります。唯一の例外はテスト・パターン・モードです。テスト・パターン・モードでは、OE 入力は無視され、DRDY ピンとデータ出力ピンは OE ピンの状態と関係なくアクティブ状態です。

注意：このデバイスには TRI-STATE 出力がありますが、最適なノイズ性能を維持するためには、データ出力ピンの容量をできるだけ小さく保つ必要があります。そのため、このデータ出力ピンをバスに接続するのは得策ではありません。各出力ピンをできるだけ短い線で 1 つの入力ピンに接続するようにしてください。

#### 4.7 バッファ関連のピン

本デバイスに内蔵のバッファの容量は 1 キロバイト (1,024 バイト) で、6 つの TTL-CMOS 対応のデジタル入力ピンで制御します。

## アプリケーション情報 (つづき)

### 4.7.1 RCLK ピン

キャプチャ・バッファがイネーブルのときは、RCLK 入力からバッファからのデータの読み取りに使われます。RCLK が High になると、データが出力され、EF フラグの状態が変わります。

バッファからデータを読み出していないときは RCLK を停止させておくと、ノイズ性能への影響を最小限にすることができます。RCLK は、High 状態でも Low 状態でも停止させることができます。

### 4.7.2 WEN ピン

WEN が High になると、データがキャプチャ・バッファに書き込まれるようになります。各サンプル・クロックが立ち上がるたびに 1 バイトのデータが書き込まれます。この入力は非同期で High にすることもできます。

### 4.7.3 REN ピン

REN が High になると、データがキャプチャ・バッファから読み出されます。各 RCLK 入力立ち上がるたびに 1 バイトのデータが読み取られます。この信号は、RCLK 入力に同期して High になる必要があり、WEN 入力 High の間は High にならないようにする必要があります。WEN 入力 High の間にこの入力が High になった場合、WEN 入力の状態が優先され、これらの 2 つの入力の内のいずれが早く High になっても、REN 入力は無視されます。このバッファへの書き込み処理が進行中は、バッファからの読み取りはできません。

### 4.7.4 ASW ピン

このピンには 2 つの機能があります。キャプチャ・バッファへの書き込みが可能で、このピンが High 状態のときは、このピンは ASW (自動書き込み停止) 入力ピンとして機能し、バッファが満杯 (FF High) になると、バッファへの書き込みが停止します。このことにより書き込みの「ラップ・アラウンド」と前のデータへの上書きを防止することができます。バッファへの書き込みができない状態のときは、このピンは無視されます。デバイスがテスト・モードのときは、このピンは出力エッジ選択ピンとなり、OEDGE/TEN 入力ピンの機能と同じになります。

### 4.7.5 BSIZE ピン

BSIZE0 と BSIZE1 の 2 つのバッファ・サイズピンを使用すると、用途に合わせたバッファ容量を選択したり、バッファを完全にバイパスすることができます。これらのピンの使用方法についてはセクション 8.0 のデータバッファの使用法を参照してください。

## 5.0 PLL の制御 : MULT ピン

MULT0 と MULT1 の 2 つの MULT 入力ピンを使用すると、内蔵の PLL に使用する CLK の倍率を選択したり、PLL をバイパスすることができます。詳しくはセクション「7.0 クロック・オプション」を参照してください。

## 6.0 デジタル出力ピン

ADC08B200 には 12 のデジタル出力ピン (8 つのデジタル・データ出力ピンと、DRDY、WENSYNC、EF、FF) があります。

### 6.1 デジタル出力ピン

これは 8 ビット・バスで、LVTTTL/LVCMOS に適合しており、出力フォーマットはストレート・バイナリ形式を使用しています。データはこのバス上を、次のいずれかの方法でクロック同期出力されます。内蔵のバッファをバイパスしているときは、データはサンプル・クロック・レートでクロック同期出力されます。内蔵のバッファを使用しているときは、データは RCLK レートでクロック同期出力されます。いずれの場合も、データはクロック信号の立ち上がり

エッジに同期して出力されます。サンプル・レートの決定に関してはセクション 7.0 のクロック / オプションを参照してください。

キャプチャ・バッファをバイパスしているときは、データはサンプル・クロック・レートでコンバータから直接読み出されます。

キャプチャ・バッファを使用しているときは、データは REN 入力 High のときにキャプチャ・バッファから読み出され、これらのピンに出力されます。OEDGE/TEN が High で、有効なデータが送出されていないときは、デジタル・データ出力ピンと DRDY は Low に保持されます。OEDGE/TEN が Low で、有効なデータが送出されていないときは、デジタル・データ出力と DRDY は High に保持されます。キャプチャ・バッファがデイスエーブルのときは、これらのピンはコンバータのサンプル・レートでデータを送り出します。

キャプチャ・バッファがイネーブルかどうかに関わらず、この出力データは DRDY に同期して出力されます。すなわち、データの遷移は、OEDGE/TEN が High のときは DRDY の立ち上がりエッジで発生し、OEDGE/TEN が Low のときは DRDY の立ち下がりエッジで発生します。

データ出力ドライバは相当に大きい電流をソースおよびシンクして、出力のコンデンサを急速に充電し放電することができるため、出力の立ち上がり立ち下がり速度を高速にすることが可能になります。このデータ出力の負荷はできるだけ軽くし、内部で発生するノイズを最小限にして、可能な限り SNR 性能が損なわれないようにしてください。「電気的特性」表の上部に指定されている負荷容量に留意してください。

### 6.2 DRDY ピン

この出力は、出力データを、受信側のデバイスにラッチするために出力され、デジタル・データ出力の遷移に合わせて遷移します。DRDY 信号の同期エッジは OEDGE 入力を選択できます。キャプチャ・バッファを使用していないときは、DRDY は A/D コンバータの動作中アクティブになります。キャプチャ・バッファがイネーブルのときは、DRDY はデータの送途中のみアクティブになります。有効なデータを送出していないときは、DRDY 出力の極性は OEDGE 入力と反対になります。OE が Low でデバイスがテスト・パターン・モードではない場合 (OEDGE がフローティングまたは VA/2)、DRDY 出力はデータ出力と同様にハイ・インピーダンス状態になります。しかし、テスト・パターン・モードの場合は、OE 入力は無視され、すべての出力ドライバ (データおよび DRDY) がアクティブ状態になります。バッファの使用時、DRDY は常に Low に維持されます。ただし、バッファの読み出しフェーズでは、データ出力ピンと同期して切り替わります。

DRDY 出力の負荷はデジタル・データ出力の負荷と同じにし、DRDY 出力のエッジがデータと同時に遷移するようにします。

### 6.3 WENSYNC ピン

この出力は内部のサンプル・クロックに同期しており、サンプリングが行われている時を示すために出力されます。実際のサンプリング時点は "Capture and Write Enable" のタイミング図で示されているようになります。

### 6.4 EF ピン

このピンは、読み取りが完了するかまたはデバイスがリセットされたことによりキャプチャ・バッファが空になったときに、内蔵のサンプル・クロックに同期して High になります。この出力は、キャプチャ・バッファに 1 バイト以上のデータが書き込まれると Low になります。EF が High になると、DRDY とデータの出力はスイッチングを停止し、OEDGE=1 のときは、DRDY と Data の両方のラインが Low、OEDGE=0 のときは High のままになります。

### 6.5 FF ピン

フル・フラグ出力は、キャプチャ・バッファが満杯であることを示し、内部サンプル・クロックに同期して、バッファが満杯になったときに High になります。WEN 入力信号が High のままの場合は、FF 出力信号が High になった直後のサンプル・クロックにより、バッファ・ポイントが「ラップ・アラウンド」し、ASW 入力信号が High になっていなければ前のデータへの書き込みが開始されます。FF 信号は、REN 信号が High になり、バッファ満杯の状態が存在しなくなると Low になります。この信号は、デバイスをリセットしても Low になります。

## アプリケーション情報 (つづき)

## 7.0 クロック・オプション

ADC08B200 はクロック動作を容易にするため PLL を内蔵しています。この PLL を使用すると、他の PLL または DLL と同様に、位相ノイズがクロック信号に印加され、変換プロセスに影響する可能性があります。この位相ノイズの影響は、アナログ信号の入力周波数が高くなるほど増加します。所望のサンプル・レートで安定しているクロック源があれば、PLL をバイパスしてこのクロック信号を ADC08B200 のサンプル・クロックとして使用することを推奨します。そのようなクロック信号発生源がないときは、内蔵の PLL を使用して、入力クロック周波数を 2 倍、4 倍または 8 倍に増倍して、低周波のクロック信号源から所望のサンプル・レートを得ることができます。

PLL のバイパスや、CLK 信号の周波数の増倍率の設定は、Table 1 の説明に示すように 2 つの MULT ピンを使用して行います。PLL を使用する場合と使用しない場合に予測されるノイズ性能は、本データシートの「代表的性能特性」に示してあります。

TABLE 1. MULT Pin Function

MULT1	MULT0	CLK Frequency Multiplier	CLK Freq. Range (MHz)
0	0	1	1 - 210
0	1	2	15 - 105
1	0	4	15 - 50
1	1	8	15 - 25

内蔵のサンプリング・クロックの周波数は、CLK ピンの入力クロック周波数 × Table 1 に示されている倍率になります。この PLL をバイパスすると、CLK ピンの入力クロックがサンプル・クロックとして使用され、この PLL は無効になります。

## 8.0 データ・バッファの使用法

データ・バッファには読み取りポイントと書き込みポイントがあり、このバッファに書き込まれる最初のワードが最初に読み出されるワードになります。データ・バッファの容量は 256 バイト、512 バイト、または 1024 バイトに設定することができ、この設定の容量が完全に満たされない限りデータの読み取りができません。ここで設定した容量のデータが書き込まれると「FF」フラグが High になります。データ・バッファのデータをすべて読み取ると、「EF」フラグが High になり、同じデータを再度読み取ることができなくなります。データ・バッファの内容を部分的にリード・バックすることは可能です。WEN 入力を High にすると、有効な読み出し動作が進行中であっても、読み出しポイントと書き込みポイントがリセットされ、書き込み動作が開始されます。

WEN (書き込みイネーブル) 入力を使用すると、バッファへの書き込みが可能になり、REN (読み取りイネーブル) 入力を使用すると、バッファからの読み出しが可能になります。これらの信号が両方とも High のときは、WEN 入力が優先され、WEN が Low になるまで REN 入力は無効になります。データ・バッファが満杯になった後に WEN ピンが High のままだと、新しいデータが前の内容に上書きされます。ASW (自動書き込み停止) ピンを使用すると、データ・バッファが設定された容量まで満杯になったときに、このバッファへの書き込みを自動的に停止させることができます。これらの入力についてはセクション 4.7.2 WEN ピン、4.7.3 REN ピン、4.7.4 ASW ピンを参照してください。

BSIZE 入力を使用すると、データ・バッファの容量を設定することができます (Table 2 参照)。バッファを使用するかバイパスするかは選択できます。

バッファが使用されその内容がすべて読み出されると、DRDY とデータ出力の極性は OEDGE 入力と逆になります。バッファはバイパスすると使用されなくなり、データはサンプル・クロックと同じ速度で A/D コンバータのデータ出力ピンに現われます。Table 2 は、

設定可能なバッファ容量と各容量に対応する BSIZE ピンの設定値を示しています。

このバッファを使用しないときは (両方の BSIZE ピンが Low)、A/D コンバータの出力は、バッファを通らずに同じクロック・レートで出力ポートに直接送られます。このモードでは、バッファを制御するすべての入力 (WEN、REN、ASW、RCLK) は無視され、EF と FF の出力は Low のままとなります。DRDY 出力は、出力ポートのデータ捕捉に使用できます。

TABLE 2. BSIZE Pin Function

BSIZE1	BSIZE0	Buffer Size
0	0	Buffer is bypassed
0	1	256 bytes
1	0	512 bytes
1	1	1024 bytes

## 8.1 バッファの読み出し

ADC08B200 のバッファの内容を読み出す際には、2 つの選択肢があります。DRDY 出力はデータ出力とソース・シンクロナスなので、バッファ・データを読み出して受信側のデバイスに出力するのに DRDY 出力を使用することができます。このバッファ読み出し方式はデバイスで使用可能な任意の読み出しレートで動作し、読み出しレートがおよそ 70 ~ 80MHz 以上の場合に適しています。この方式を用いる場合、DRDY とデータ出力のスキューを最小限にするには、電気的な DRDY ラインの長さや負荷が、データ・ラインの長さや負荷と適合していることが重要です。

もう 1 つの選択肢は、DRDY 信号は無視して、RCLK 信号を使用して ADC08B200 バッファを読み出す方式です。この方式は、DSP (プロセッサ) でバッファを読み出すときに DRDY を使用するより実装が簡単です。ただし、RCLK はデータ・ラインとはソース・シンクロナスでないため、この方式はおよそ 60 ~ 70MHz を超えるバッファ読み出し (RCLK) レートには推奨できません。t<sub>OHF</sub> + t<sub>F</sub>/2 および t<sub>OHR</sub> + t<sub>R</sub>/2 の仕様は、RCLK を基準にした出力データのタイミング情報の要件です。デバイスのタイミング仕様は、デバイス・ピンに適用されることに注意してください。受け取り側デバイスでの RCLK とデータのタイミング関係を決定するには、その他のシステム遅延を考慮に入れる必要があります。どちらの方式を採用しても、バッファから捕捉されたデータをクロックに同期して出力するには RCLK が必要です。RCLK を使用せずにバッファを読み出すことはできません。テスト・パターンの読み出しと同様に、RCLK の使用は必須です。

RCLK は、バッファを読み出さないときに停止することもでき、High と Low のどちらの状態でも停止しても構いません。

## 9.0 動作モード

ADC08B200 にはいくつかの動作モードがあります。これらのモードの詳細については Table 3 を参照してください。

このバッファの機能は BSIZE ピン (BSIZE0、BSIZE1) により制御します (Table 4 を参照)。BSIZE の両方のピンを Low に設定してこのバッファをバイパスすると、データを A/D コンバータから直接読み取ることができます。

## アプリケーション情報 (つぎ)

TABLE 3. Modes of Operation

PD	PDADC	WEN	REN	電源の状態	動作状態
1	x	x	x	シャットダウン	シャットダウンされ、非動作
0	1	0	0	バッファはアクティブ、A/D コンバータはシャットダウン	A/D コンバータはパワーダウンし、データを捕捉することができません。バッファの読み取り可。
0	x	0	1	アクティブ	RCLK に同期してデータがバッファから読み取られています。
0	0	0	0	アクティブ	バッファがバイパスされている場合は、データは出力バスに現れます。バッファを使用している場合は、本チップはデータをバッファに捕捉することができません。
0	0	1	x	アクティブ	A/D コンバータのデジタル出力をバッファに捕捉中です。REN 入力は無視されます。
0	1	1	x	バッファはアクティブ、A/D コンバータはシャットダウン	この設定は禁止。WEN 入力は無視されます。

TABLE 4. Buffer Write/Read

BSIZE1	BSIZE0	WEN	REN	Buffer Function
0	0	x	x	Buffer bypassed
0	1	1	x	Write to 256 byte buffer
1	0	1	x	Write to 512 byte buffer
1	1	1	x	Write to 1k byte buffer
0	1	0	1	Read from 256 byte buffer
1	0	0	1	Read from 512 byte buffer
1	1	0	1	Read from 1k byte buffer

## 10.0 テスト・パターンの出力

ADC08B200 にはテスト・モードがあり、このモードではデータ出力は PLD などのデバイスの「トレーニング」に使用できるテスト・パターンを出力できます。このテスト・モードは、OEDGE/TEN 入力の電圧を  $V_A/2$  にすると開始されます。このピンには、内蔵のプルアップ抵抗が付いているため、このデバイスは入力がフロート状態だと、論理 High と判断します。このパターンは、バッファの完全性のテストに使用するため、RCLK (読み取りクロック) 入力を出力パターンを得るために使用する必要があります。

出力されるテスト・パターンは、00h - FFh - 00h - FFh - 00h の出力コードを連続的に繰り返すパターンです。このパターンは、テスト・モードで RCLK が動作している限り繰り返されるため、2 ビット時間のロジック Low が 1 つおきに繰り返されます。

## 11.0 アプリケーション例

Figure 4 は代表的なアプリケーションを示しています。アナログ入力回路とリファレンス電圧回路は Figure 2 ~ 3 と同様ですが、入力アンプにはゲインとオフセットの調整は示されていません。入力アンプ回路の総合公称ゲインは 1.98 で、公称の -3dB 入力帯域幅は約 195MHz です。この回路にはエリアシング防止フィルタが示されていないため注意してください。

入力クロックの信号源には 50MHz のクロック発振器が使用されています。MULT0 入力は接地され、MULT1 入力が高であるため (Table 1 から)、この 50MHz の入力クロックを内蔵の PLL で 4 倍して 200MSPS のキャプチャ・レートにしています。

BSIZE0 と BSIZE1 ピンは両方とも High のため、内蔵のキャプチャ・バッファの容量は 1,024 バイトとなります (Table 2 を参照)。ASW は High であるため、この内蔵のバッファにデータを書き込み、このバッファが満杯になると、書き込みは自動的に停止します。このバッファが満杯になり、データ読み取り可能状態であると、FF (フル・フラグ) は High になります。

OEDGE ピンが高であると、DRDY 出力の立ち上がりで出力データが遷移することを意味します。PD ピンを接地し OE ピンが高であれば、このデバイスは完全にはパワーダウンせず、出力は常にイネーブルになっています。PDADC ピンは制御用デバイスからドライブされているため、デバイス・バッファが読み取られているかまたはデバイスが使用されていないときに出力バッファをアクティブにしたまま A/D コンバータをパワーダウンすることができます。

ADC08B200 と受信側のデバイス間のデジタル・ラインには、これらのラインの出力インピーダンスが約 20 および 50 であると想定して、信号源の終端抵抗として信号源側に 33 の抵抗が接続されています。RESET ラインと PDADC ラインは基本的には直流であり、また頻繁に切り換えられることはない想定されるため、終端抵抗は接続されていません。

アプリケーション情報 (つぎ)

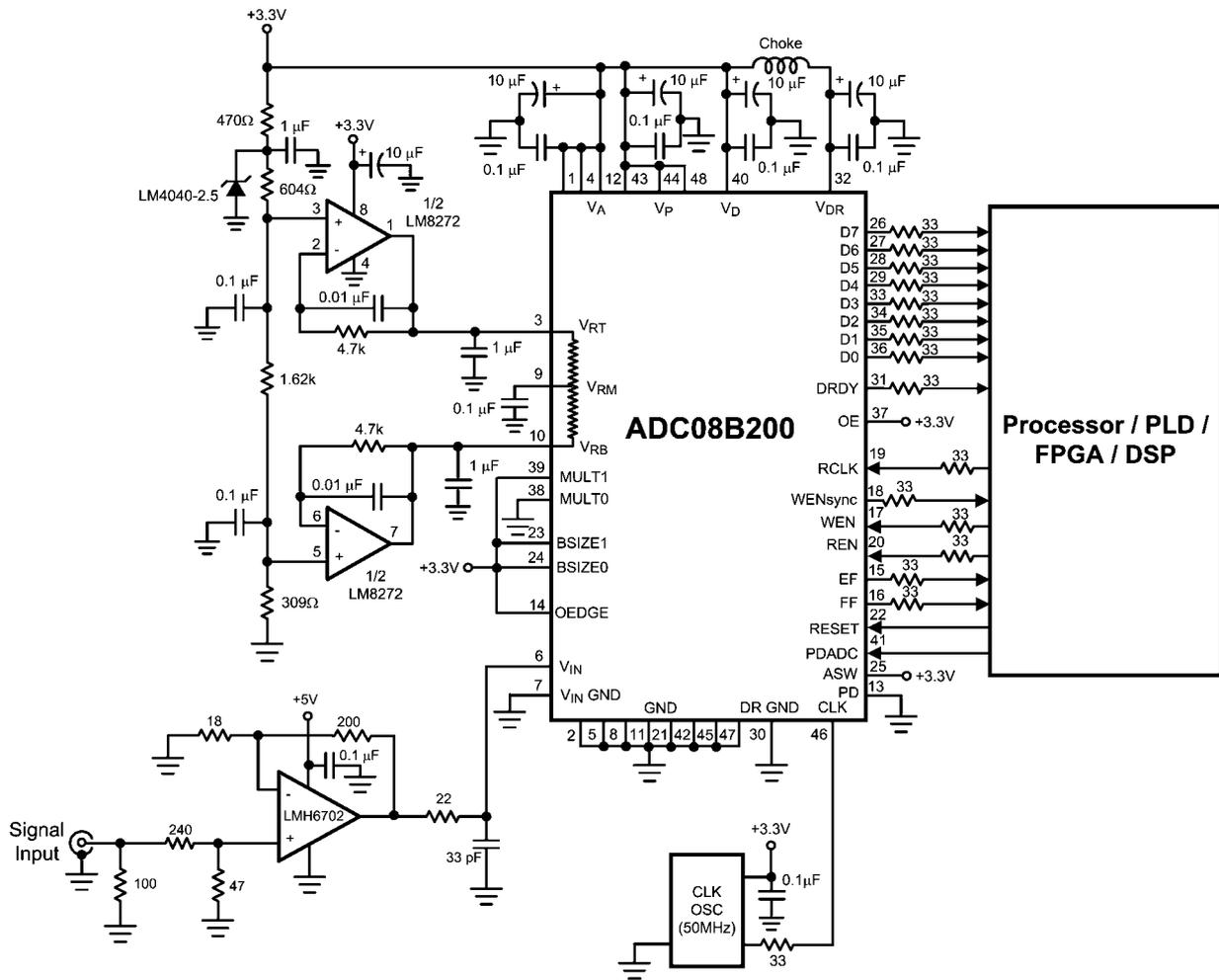


FIGURE 4. Example of a Typical Application.

ADC08B200の消費電力は(バッファの内容が読み取られると直ちに新しくデータの捕捉が行われると想定して)、[データ捕捉およびバッファへの書き込み時の消費電力×捕捉時間÷スリープ時間(WEN信号の立ち上がりと次の立ち上がり)の間の時間)+PDADCがHighの状態ではバッファを読み取っているときの消費電力(データを捕捉していないときはPDADC入力をHighにすると想定)]×PDADCがHighの時間(バッファ読み取り時間+アイドル時間)÷スリープ率で求めることができます。

データ捕捉時の電力が543mW、捕捉レートが200Msps、PDADCがHighのときの読み取り電力66mW、データ読み取りレート50MHz、アイドル時間なしと想定すると、消費電力の平均値は161.4mWになります。

12.0 電源構成

コンデンサには直列等価インダクタンスがあり、特定の周波数を越えるとそのコンデンサの特性が容量性でなく誘導性になって十分なバイパス効果を発揮できなくなり、その結果電源分配システムのインピーダンスが高くなり、電源のノイズが過剰になる可能性があります。十分なバイパス効果を発揮できる周波数の上限値は、主にコンデンサの誘電体の材料により決まりますが、同じコンデンサでもメーカーにより少し異なる場合があります。そのような場合でも、この周波数は数100MHzの範囲内です。しかし、200MHzのクロック信号の高調波成分はこれよりはるかに高くなることに注意し

てください。その結果、電源ラインには高周波のノイズが発生し、コンバータのSNR性能が低下する可能性があります。

パワー・プレーンとグラウンド・プレーンを近接させると、給電システムのインピーダンスの低下に非常に効果があるため、この方法の使用を推奨します。さらに、容量の少ないバイパス・コンデンサを、ボード上のA/Dコンバータと同じ側の電源ピン付近に配置し、このコンデンサの接地側を2箇所以上のスルーホールを使用してグラウンド・プレーンに接続することを推奨します。このスルーホールにはインダクタンスがあり、このスルーホールを2箇所以上使用すると、これらのインダクタンスが並列接続されたことになり、グラウンドに対する実効インピーダンスを低下させることができます。

12.1 電源電圧

ADC08B200は、「電気的特性」表の前にある「動作定格」で指定されている範囲内の電源電圧で正常に動作します。このデバイスの個々の多くは2.7Vまでの電源電圧まで正常に動作しますが、製造プロセスのある部分で、通常の製造工程のばらつきが原因で、いくつかの製造ロットのほとんどで3.0V以下では正常に機能しない可能性があるため、注意する必要があります。

## アプリケーション情報 (つづき)

ADC08B200 のデジタル電源 ( $V_D$ )、PLL 電源 ( $V_P$ )、および出力ドライバの電源 ( $V_{DR}$ ) はすべて電源電圧は同じにできませんが、アナログ電源電圧 ( $V_A$ ) + 300mV を超えないようにしてください。さらに、出力ドライバの電源電圧 ( $V_{DR}$ ) は、キャプチャ・バッファを使用しているその読み取りクロック (RCLK) の出力が 50MHz 以下の場合にのみ 2.7V まで使用できますが、これより低くなると出力のスルーレートが低下し、出力アイが十分に開かず確実なデータの捕捉ができなくなる可能性があります。

### 13.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。グラウンド・プレーンが一体で統合されている必要があります。グラウンド・プレーンは分割しないでください。

一般にノイズが多いデジタル回路部分とノイズに高感度なアナログ回路部分をカップリングすると性能低下を招き、両回路の分離とノイズ対策が困難になります。この問題を解決するためには、すべての配線を互いに基準面の高さの 6 倍以上引き離し、アナログ回路をデジタル回路から離しておく必要があります。

DR\_GND からグラウンド・プレーンへの接続に、他のグラウンド接続が使用しているスルーホールを共用してはなりません。消費電力の大きいデジタル部品はすべてのアナログ部品から離してください。

一般的に、アナログ配線とデジタル配線が交差する場合は、互いに直交させて、デジタル・ノイズがアナログ回路に入らないようにする必要があります。しかし、ビデオ (高周波) システムでは、アナログ信号ラインとデジタル信号ラインの互いが交差する配線は避けなければなりません。クロック・ラインは、アナログ信号ラインやデジタル信号ラインなどすべてのその他のラインからアイソレートしてください。一般的に受け入れられている 90° でアナログ / デジタル信号ラインを互いに交差させる方法でさえ、高周波でのちょっとしたカップリングによって問題が起こる可能性があるため避けるべきです。高周波で最大限の性能は、まっすぐな信号経路に配線して得られます。

リファレンス入力とアナログ入力は、ノイズを生じる信号経路から十分に離し、結合によるスプリアス信号の侵入を防止する必要があります。コンバータの入力とグラウンドの間に接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、グラウンド・プレーンのノイズの非常に少ないところに、可能なら 2 ~ 4 箇所の近接したスルーホールを使用して接続してください。

### 14.0 ダイナミック特性

ADC08B200 は AC テストされており、ダイナミック特性が保証されています。規定されている特性値を満足するために、CLK 入力をドライブするクロック信号源はできるだけジッタのないものでなければなりません。最高の AC 性能を発揮するために、各クロック信号入力部は、クロック信号供給専用のチップを使用したり、Figure 5 のようなツリー構造の回路を使用するなど、別個の信号源でドライブする必要があります。

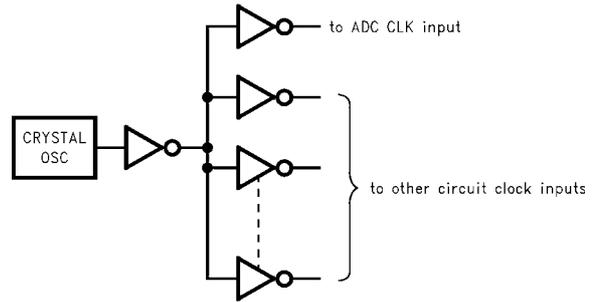


FIGURE 5. Isolating the ADC Clock from Digital Circuitry

A/D クロック・ラインをできる限り短かつクロック信号にジッタを侵入させる可能性のあるその他の任意の信号から十分に離しておくことは、良い手段です。クロック信号はまた、他の信号経路に近くと、その経路にノイズを招く可能性があります。

### 15.0 アプリケーション共通の注意事項

電源範囲をこえてアナログまたはデジタル入力をドライブしないこと  
 適当な動作を行うために、すべての入力は、グラウンド・ピンより 300mV 以下または、電源ピンより 300mV 以上にならないようにしてください。トランジエントによる場合でもこれらのリミット値を超えると、システムにとって良くない状態や誤差を招く可能性があります。グラウンド以下に 1V 以上ものアンダーシュートを起こす高速デジタル回路 (例えば、74F や 74AC などのファミリ・デバイス) の使用は、一般的ではありません。問題を起こすデジタル入力ピンと直列に、ドライブ信号源に近いところに 47 Ω の抵抗を挿入すると、通常はこの問題を取り除けます。

ADC08B200 の入力をオーバー・ドライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと  
 各変換ごとに充電するべきデジタル出力ドライバ回路の容量性負荷が大きくなればなるほど、 $V_{DR}$  や DR\_GND からのより大きな瞬間的なデジタル電流が必要となります。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。データ・バスの容量が 10pF を超える場合には、デジタル・データ出力のバッファリングが必要になります。また、各デジタル出力に 12 ~ 27 Ω の直列抵抗を加えると、コンバータの出力に戻ってくるカップリング信号のエネルギーを低減し、ダイナミック特性を改善できます。

不適当なアンプを使ってアナログ入力をドライブしないこと  
 セクション「2.0 アナログ入力」で説明したように、本 A/D コンバータのアナログ入力には電圧スパイクが生じます。この電圧スパイクにより、本 A/D コンバータのアナログ入力をドライブするためのフィードバック・タイプのアンプの動作が不安定になる可能性があります。このスパイクはフィルタにより除去するのではなく、短時間で納まるようにする必要があります。そのためこのアンプは、遭遇するさまざまな各種周波数に対応できるように十分に高速でなければなりません。高速すぎると発振しやすくなるため注意する必要があります。セクション「2.0 アナログ入力」で説明したように、単極 RC フィルタを使用するとアンプの動作を安定させ、正確なデータの捕捉ができるようになります。

リファレンス・ラダー回路に必要な電流のソースおよびシンクができないデバイスで  $V_{RT}$  または  $V_{RB}$  をドライブしないこと  
 セクション 1.0 で述べたように、 $V_{RT}$  ピンへのソース電流および  $V_{RB}$  ピンからのシンク電流を十分にドライブできるデバイスであることを確認しなければなりません。これらのピンが、必要な電流を制御できるデバイスでドライブしない場合には、これらのリファレンス・ピンは安定せず、結果としてダイナミック特性の劣化を招きます。

### アプリケーション情報 (つづき)

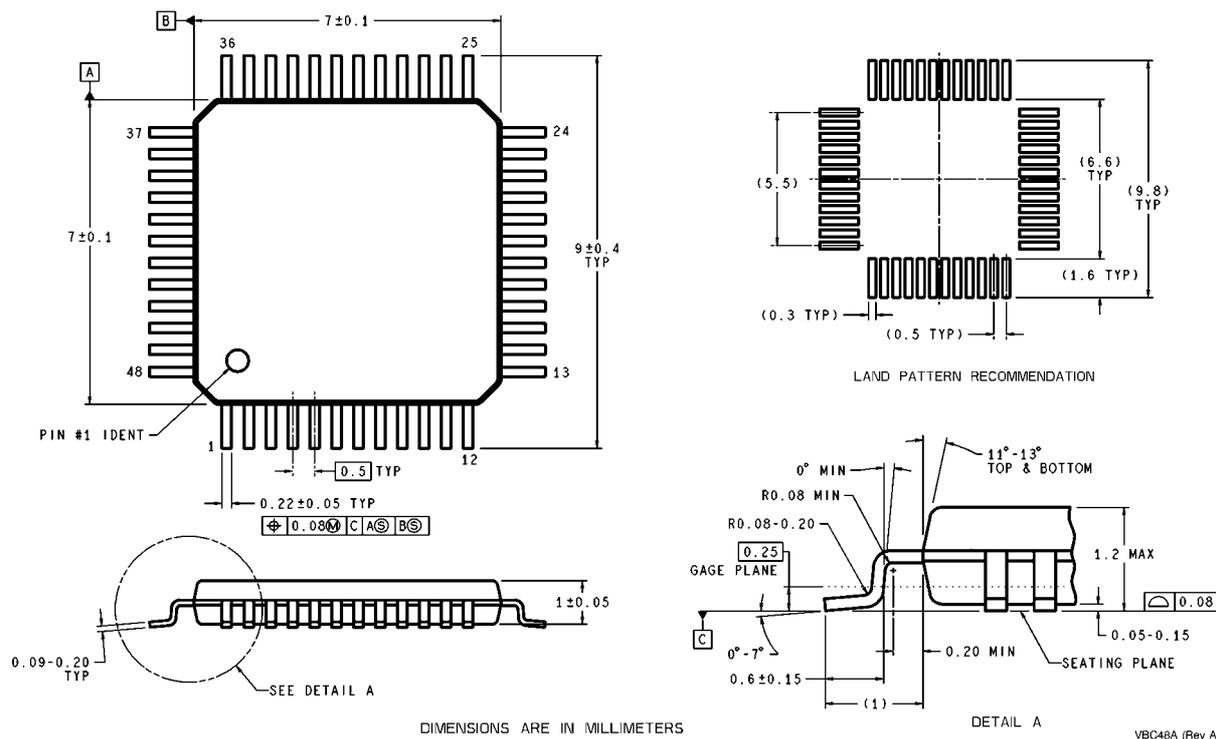
過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路に結合してしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変動し、過度の出力ノイズが発生し、かつ SN 比の劣化を招きます。RC によるタイミング回路を用いた単純なゲート回路は、一般的にクロック信号源としては適切ではありません。

### データ出力をバス構造としないこと

すべての A/D コンバータ、特に高速タイプは、そのデータ出力の静電容量の充電および放電に要する電流が大きいため、ダイ上に電圧スパイク (ノイズ) が生じることから、データ出力の静電容量により SNR 性能が強い影響を受けます。この出力容量を最小限にすると、本コンバータの優れたノイズ性能を維持が容易となります。このデータ出力をバス構造とすると、本デバイスに不必要な容量負荷が加わることになります。同様に、本デバイスの出力に短いトレースを使用して、トレースの容量を最小限に維持することが重要です。

外形寸法図 単位は millimeters



48-Lead Package BC  
Order Number ADC08B200CIVS  
NS Package Number VBC48A

NOTES: 特記のない限り  
1993年7月現在、JEDEC登録 mo-153、VARIATION ADを参照。

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation  
製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上