

ADC08D500

ADC08D500 High Performance, Low Power, Dual 8-Bit, 500 MSPS A/D Converter



Literature Number: JAJSA94

ADC08D500

高性能、低消費電力、デュアル8ビット、500MSPS A/Dコンバータ

概要

ADC08D500は、最高サンプリング・レート800MSPSにてアナログ信号を分解能8ビットでデジタル化できる、デュアル回路を搭載した低消費電力かつ高性能なCMOS A/Dコンバータです。1.9Vの単一電源で500MSPS動作時に代表値で1.4Wを消費するADC08D500は、全動作温度範囲にわたってミッシング・コードを生じないことが保証されています。独自のセルフキャリブレーション・フォールディング・アーキテクチャ、完全な差動コンパレータ設計、画期的な内部サンプル/ホールド・アンプ回路、さらには自己較正機能の採用によって、すべてのダイナミック・パラメータはナイキスト周波数を上回る周波数帯まで平坦な応答を示し、入力信号が250MHzでサンプリング周波数が500MHzのときに7.5有効ビット(ENOB)を達成し、また、ビット誤り率は 10^{-18} です。出力フォーマットはオフセット・バイナリ形式です。LVDS デジタル出力は、コモンモード電圧を0.8Vから1.2Vの範囲に設定可能な点を除いて、IEEE 1596.3-1996と互換性があります。

各コンバータは2組のLVDSバスを出力する1:2のデマルチプレクサを内蔵し、それぞれのバスのデータ・レートをサンプリング・レートの半分に抑えています。2系統のコンバータ回路をインターリーブ構成することで1GSPSの単一A/Dコンバータとして使用することも可能です。

コンバータの消費電力はパワーダウン・モード時に代表値で3.5mW未満です。熱特性を高めた128ピンの露出パッドLQFPで供給され、工業温度範囲(-40 T_A +85)で動作します。

特長

- サンプル/ホールド機能内蔵
- 単一+1.9V \pm 0.1V電源動作
- SDRとDDRの出力クロッキングを選択可能
- 2倍のサンプリング・レートを実現するインターリーブ・モード
- 複数A/Dコンバータの同期機能
- ノー・ミッシング・コード保証
- 拡張制御用シリアル・インタフェース
- 入力フルスケール範囲とオフセットの微調整
- サンプリング・クロックのデューティ・サイクル補正

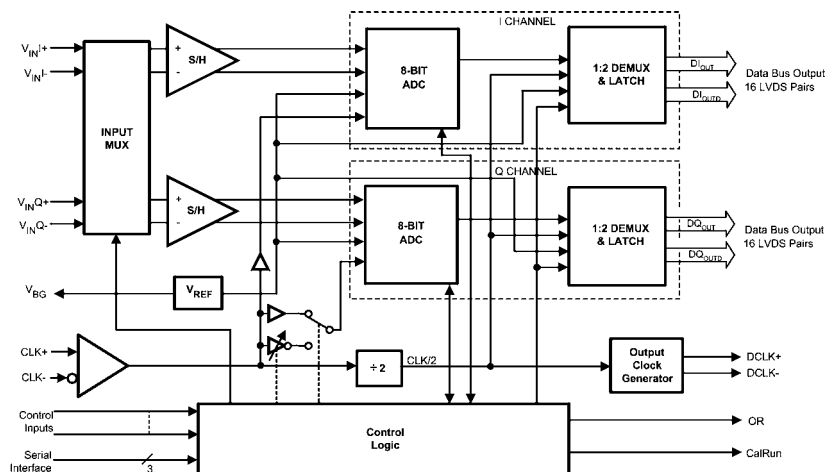
主な仕様

分解能	8ビット
最大変換レート	500MSPS (最小)
ビット誤り率	10^{-18} (代表値)
有効ビット(ENOB) 250MHz入力時	7.5ビット(代表値)
DNL	± 0.15 LSB (代表値)
消費電力	
- 動作時	1.4W (代表値)
- パワーダウン・モード	3.5mW (代表値)

アプリケーション

- RFのダイレクト・ダウンコンバージョン
- デジタル・オシロスコープ
- セットトップ・ボックス
- 通信システム
- 試験測定機器

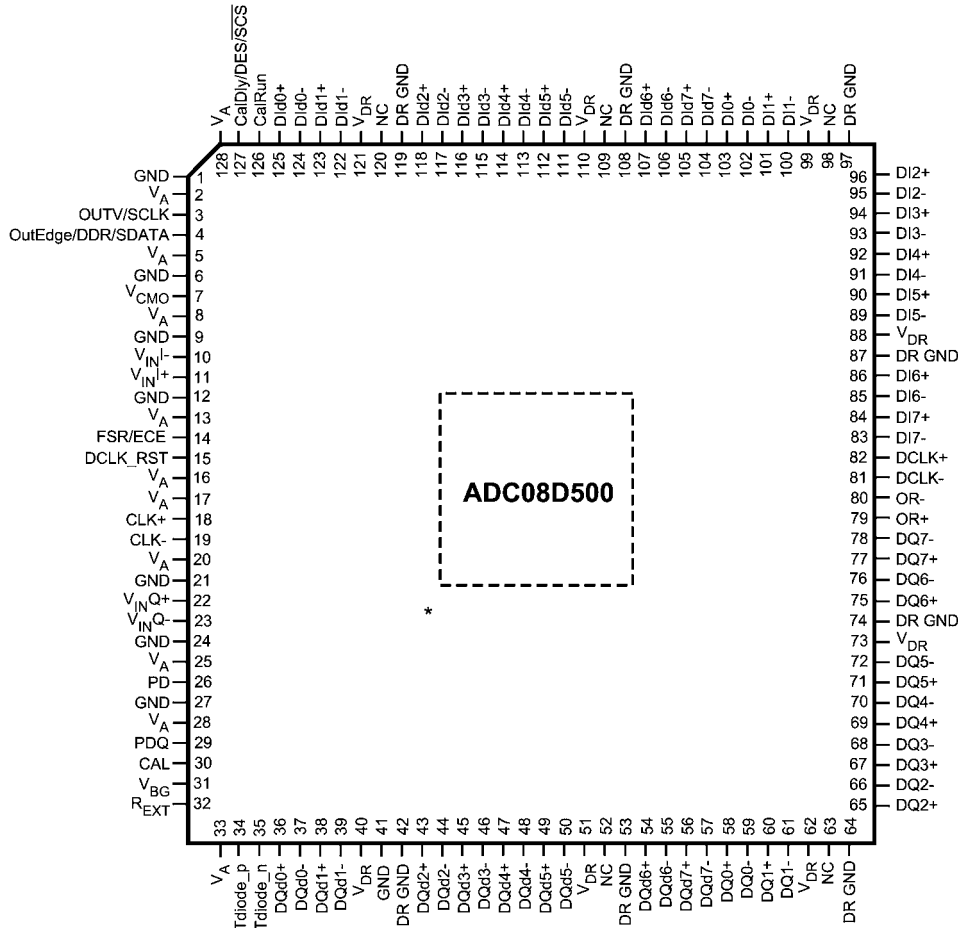
ブロック図



製品情報

Industrial Temperature Range (-40°C < T _A < +85°C)	NS Package
ADC08D500CIYB	128-Pin Exposed Pad LQFP
ADC08D500EVAL	Evaluation Board

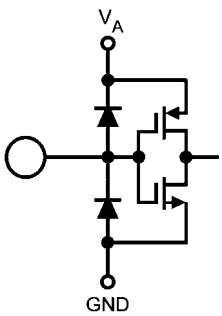
配置図



* パッケージ裏面の露出パッドは、定格性能を維持するために、グラウンド層にハンダ付けしてください。

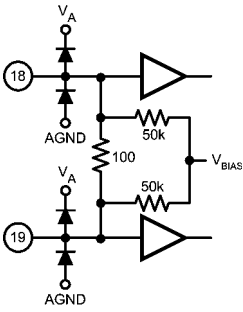
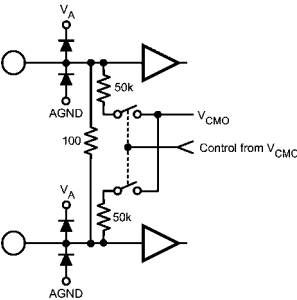
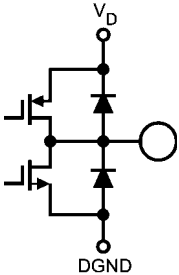
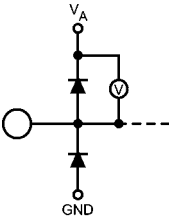
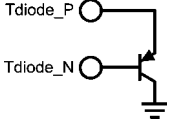
ピン説明および等価回路

機能説明

ピン番号	シンボル	等価回路	説明
3	OutV / SCLK		出力電圧振幅の選択、またはシリアル・インタフェース・クロック。差動 DCLK 出力と差動データ出力に通常の差動振幅を与えるにはこのピンを High に接続します。振幅を小さくして同時に消費電力を抑えるには、このピンをグラウンドに接続します。セクション 1.1.6 を参照してください。拡張制御モードをイネーブルにすると、このピンはシリアルデータ・クロック SCLK 入力として機能します。拡張制御モードの詳細はセクション 1.2 を参照してください。シリアル・インタフェースの詳細はセクション 1.3 を参照してください。
4	OutEdge / DDR / SDATA		DCLK エッジの選択、またはダブル・データレートのイネーブル、またはシリアル・データ入力。出力データ信号が遷移する DCLK + の出力エッジを設定します (セクション 1.1.5.2 を参照してください)。このピンをフローティングにするか電源電圧の 1/2 の電圧に接続すると DDR クロッキングがイネーブルになります。拡張制御モードがイネーブルのときは、このピンは SDATA 入力として機能します。拡張制御モードの詳細はセクション 1.2 を参照してください。シリアル・インタフェースの詳細はセクション 1.3 を参照してください。
15	DCLK_RST		DCLK リセット。複数デバイスで DCLK 出力のリセットと同期化を行うときにこのピンに正のパルスを与えます。詳細はセクション 1.5 を参照してください。
26 29	PD PDQ		パワーダウン・ピン。PD ピンを High にすると A/D コンバータ全体がパワーダウン・モードに移行します。PDQ ピンを High にすると "Q" チャネルのコンバータのみがパワーダウン・モードに移行します。
30	CAL		較正サイクルの起動。このピンに 80 入力クロック以上 Low を与えたあと 80 入力クロック以上 High を与えると自己較正シーケンスが始まります。自己較正シーケンスの詳細はセクション 2.4.2 を、コマンド較正の詳細はセクション 2.4.2.2 を参照してください。
14	FSR/ECE		フルスケール・レンジ選択、または拡張制御イネーブル。拡張制御モードではない場合、このピンを Low にするとフルスケール差動入力は 650mV _{p,p} に設定されます。このピンを High にするとフルスケール差動入力は 870mV _{p,p} に設定されます。セクション 1.1.4 を参照してください。シリアル・インタフェースと制御レジスタを用いる拡張制御モードをイネーブルにするには、このピンをフローティングにするか V _A /2 に等しい電圧を与えます。拡張制御モードの詳細はセクション 1.2 を参照してください。
127	CalDly / DES / $\overline{\text{SCS}}$		較正遅延、またはデュアル・エッジ・サンプリング、またはシリアル・インタフェース・チップセレクト。14 ピンが High または Low のとき、このピンは較正遅延として機能し、パワーアップ後に較正を開始するまでの遅延を選択します (セクション 1.1.1 を参照してください)。14 ピンがフローティングのとき、このピンはシリアル・インタフェース入力のイネーブルとして動作し、CalDly (較正遅延) 値はゼロとして取り扱われます (短時間遅延のみで、パワーオン較正の長時間遅延は設定できません)。このピンをフローティングにするか V _A /2 に等しい電圧に接続すると DES (デュアル・エッジ・サンプリング) モードが選択され、"I" 入力は入力クロック・レートの 2 倍でサンプリングされ、"Q" 入力は無視されます。セクション 1.1.5.1 を参照してください。

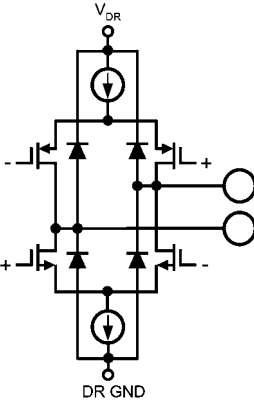
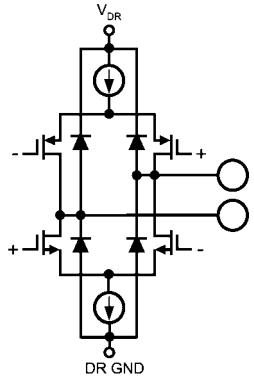
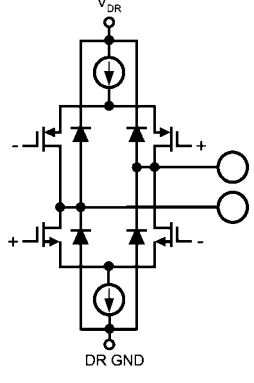
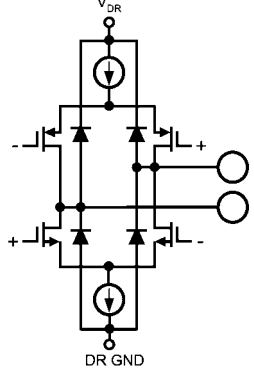
ピン説明および等価回路 (つづき)

機能説明

ピン番号	シンボル	等価回路	説明
18	CLK + CLK -		A/D コンバータの LVDS クロック入力ピン。差動クロックを AC 結合してこのピンに与えてください。入力信号は CLK + の立ち下がりがエッジでサンプリングされます。入力データ取り込みの詳細についてはセクション 1.1.2 を、クロック入力の概要についてはセクション 2.3 を参照してください。
11 10 22 23	V _{INI} + V _{INI} - V _{INQ} + V _{INQ} -		A/D コンバータのアナログ信号入力。FSR ピンが Low のときは差動フルスケール入力範囲は 650mV _{P-P} 、FSR ピンが High のときは差動フルスケール入力範囲は 870mV _{P-P} です。
7	V _{CMO}		コモンモード電圧。入力を DC 結合で用いる場合、V _{IN} + と V _{IN} - に与えなければならないコモンモード電圧が V _{CMO} ピンから出力されます。アナログ入力を AC 結合で使用する場合はこのピンをグラウンドに接続します。このピンは 100μA までソースまたはシンクが可能です。セクション 2.2 を参照してください。
31	V _{BG}		100μA までソースまたはシンクが可能なバンドギャップ出力電圧です。
126	CalRun		較正処理の実行中。較正処理の実行中はこのピンが High になります。
32	R _{EXT}		外付けバイアス抵抗の接続。このピンとグラウンドとの間に定格 3.3k (± 0.1%) の抵抗を接続してください。セクション 1.1.1 を参照してください。
34 35	Tdiode_P Tdiode_N		ダイ温度測定用の温度ダイオードの正極 (アノード) と負極 (カソード) です。セクション 2.6.2 を参照してください。

ピン説明および等価回路 (つづき)

機能説明

ピン番号	シンボル	等価回路	説明
83 / 78 84 / 77 85 / 76 86 / 75 89 / 72 90 / 71 91 / 70 92 / 69 93 / 68 94 / 67 95 / 66 96 / 65 100 / 61 101 / 60 102 / 59 103 / 58	DI7 - / DQ7 - DI7 + / DQ7 + DI6 - / DQ6 - DI6 + / DQ6 + DI5 - / DQ5 - DI5 + / DQ5 + DI4 - / DQ4 - DI4 + / DQ4 + DI3 - / DQ3 - DI3 + / DQ3 + DI2 - / DQ2 - DI2 + / DQ2 + DI1 - / DQ1 - DI1 + / DQ1 + DI0 - / DQ0 - DI0 + / DQ0 +		I チャネルおよび Q チャネルの LVDS 出力で、出力デマルチプレクサで遅延を与えられていません。DI _d 出力および DQ _d 出力と比べて DI 出力および DQ 出力は遅い方のサンプリングに該当します。各出力は差動 100 Ω 抵抗で必ず終端しなければなりません。
104 / 57 105 / 56 106 / 55 107 / 54 111 / 50 112 / 49 113 / 48 114 / 47 115 / 46 116 / 45 117 / 44 118 / 43 122 / 39 123 / 38 124 / 37 125 / 36	DI _d 7 - / DQ _d 7 - DI _d 7 + / DQ _d 7 + DI _d 6 - / DQ _d 6 - DI _d 6 + / DQ _d 6 + DI _d 5 - / DQ _d 5 - DI _d 5 + / DQ _d 5 + DI _d 4 - / DQ _d 4 - DI _d 4 + / DQ _d 4 + DI _d 3 - / DQ _d 3 - DI _d 3 + / DQ _d 3 + DI _d 2 - / DQ _d 2 - DI _d 2 + / DQ _d 2 + DI _d 1 - / DQ _d 1 - DI _d 1 + / DQ _d 1 + DI _d 0 - / DQ _d 0 - DI _d 0 + / DQ _d 0 +		I チャネルおよび Q チャネルの LVDS 出力で、出力デマルチプレクサで 1CLK 分の遅延が与えられています。DI 出力および DQ 出力と比べて DI _d 出力および DQ _d 出力は早い方のサンプリングに該当します。各出力は差動 100 Ω 抵抗で必ず終端しなければなりません。
79 80	OR + OR -		アウト・オブ・レンジ出力。差動 High は差動入力レンジ外にあることを示します (FSR ピンで規定される ± 325mV または ± 435mV のレンジ外)。
79 81	DCLK + DCLK -		出力データのラッチに使用する差動クロック出力。このクロック信号に同期して、遅延データと非遅延データが出力されます。この信号の周波数は、SDR モードでは入力クロック・レートの 1/2 になり、DDR モードでは入力クロック・レートの 1/4 になります。
2, 5, 8, 13, 16, 17, 20, 25, 28, 33, 128	V _A		アナログ電源ピン。グラウンドに対してバイパスを行ってください。

ピン説明および等価回路 (つぎ)

機能説明

ピン番号	シンボル	等価回路	説明
40, 51, 62, 73, 88, 99, 110, 121	V_{DR}		出カドライバの電源ピン。DR GND に対してバイパスを行ってください。
1, 6, 9, 12, 21, 24, 27, 41	GND		V_A のグラウンド・リターン。
42, 53, 64, 74, 87, 97, 108, 119	DR GND		V_{DR} のグラウンド・リターン。
52, 63, 98, 109, 120	NC		未接続ピン。これらのピンには何も接続しないでください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V _A , V _{DR})	2.2V
各入出力ピン電圧	- 0.15V ~ (V _A + 0.15V)
グラウンド電圧差 GND - DR GND	0V ~ 100mV
入力電流 (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50mA
パッケージ消費電力 (T _A = 85 °C)	2.0W
ESD 耐性 (Note 4)	
人体モデル	2500V
マシン・モデル	250V
ハンダ付け温度、赤外線 (10 秒) (Note 5)	235
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

周囲温度範囲	- 40	T _A	+ 85
電源電圧 (V _A)	+ 1.8V ~ + 2.0V		
出力ドライバ電源電圧 (V _{DR})	+ 1.8V ~ V _A		
アナログ入力コモンモード電圧	V _{CMO} ± 50mV		
V _{IN+} 、V _{IN-} 電圧範囲 (コモンモード維持にて)	200mV ~ V _A		
グラウンド電圧差 (GND - DR GND)	0V		
CLK ピン電圧範囲	0V ~ V _A		
差動 CLK 振幅	0.4V _{P-P} ~ 2.0V _{P-P}		

パッケージ熱抵抗

Package	θ _{JA}	θ _{JC} (Top of Package)	θ _{J-PAD} (Thermal Pad)
128-Lead Exposed Pad LQFP	25°C / W	10°C / W	2.8°C / W

コンバータの電気的特性

以下の仕様は較正後に適用され条件は次のとおりです。V_A = V_{DR} = + 1.9V_{DC}、OutV = 1.9V、V_{IN} FSR (AC 結合) = 差動 870mV_{P-P}、C_L = 10pF、0.5V_{P-P} でデューティ・サイクル 50% の差動 AC 結合正弦波クロック f_{CLK} = 500MHz、V_{BG} = フローティング、非拡張制御モード、SDR モード、R_{EXT} = 3300 ± 0.1%、アナログ信号ソース・インピーダンス = 100 Ω 差動。太文字表記のリミット値は T_A = T_{MIN} ~ T_{MAX} にわたって適用されます。特記のない限り、すべてのリミット値は、T_A = 25 °C です。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
INL	Integral Non-Linearity	DC Coupled, 1MHz Sine Wave Overranged	±0.3	±0.9	LSB (max)
DNL	Differential Non-Linearity	DC Coupled, 1MHz Sine Wave Overranged	±0.15	±0.6	LSB (max)
	Resolution with No Missing Codes			8	Bits
V _{OFF}	Offset Error		-0.45	-1.5 0.5	LSB (min) LSB (max)
V _{OFF_ADJ}	Input Offset Adjustment Range	Extended Control Mode	±45		mV
PFSE	Positive Full-Scale Error (Note 9)		-0.6	±25	mV (max)
NFSE	Negative Full-Scale Error (Note 9)		-1.31	±25	mV (max)
FS_ADJ	Full-Scale Adjustment Range	Extended Control Mode	±20	±15	%FS
NORMAL MODE (non DES) DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth	Normal (non DES) Mode	1.7		GHz
B.E.R.	Bit Error Rate		10 ⁻¹⁸		Error/Sample
	Gain Flatness	d.c. to 500 MHz	±0.5		dBFS
ENOB	Effective Number of Bits	f _{IN} = 50 MHz, V _{IN} = FSR - 0.5 dB	7.5		Bits
		f _{IN} = 100 MHz, V _{IN} = FSR - 0.5 dB	7.5	7.1	Bits (min)
		f _{IN} = 248 MHz, V _{IN} = FSR - 0.5 dB	7.5	7.1	Bits (min)
SINAD	Signal-to-Noise Plus Distortion Ratio	f _{IN} = 50 MHz, V _{IN} = FSR - 0.5 dB	47		dB
		f _{IN} = 100 MHz, V _{IN} = FSR - 0.5 dB	47	44.5	dB (min)
		f _{IN} = 248 MHz, V _{IN} = FSR - 0.5 dB	47	44.5	dB (min)

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN} FSR (AC 結合) = 差動 870mV_{P-P}$ 、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 500MHz$ 、 $V_{BG} = フローティング$ 、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25$ です。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
NORMAL MODE (non DES) DYNAMIC CONVERTER CHARACTERISTICS					
SNR	Signal-to-Noise Ratio	$f_{IN} = 50 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	48		dB
		$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	48	45.3	dB (min)
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	47.5	45.3	dB (min)
THD	Total Harmonic Distortion	$f_{IN} = 50 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-55		dB
		$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-55	-47.5	dB (max)
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-55	-47.5	dB (max)
2nd Harm	Second Harmonic Distortion	$f_{IN} = 50 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-60		dB
		$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-60		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-60		dB
3rd Harm	Third Harmonic Distortion	$f_{IN} = 50 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-65		dB
		$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-65		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-65		dB
SFDR	Spurious-Free dynamic Range	$f_{IN} = 50 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	55		dB
		$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	55	47.5	dB (min)
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	55	47.5	dB (min)
IMD	Intermodulation Distortion	$f_{IN1} = 121 \text{ MHz}$, $V_{IN} = FSR - 7 \text{ dB}$	-50		dB
		$f_{IN2} = 126 \text{ MHz}$, $V_{IN} = FSR - 7 \text{ dB}$			
	Out of Range Output Code (In addition to OR Output high)	$(V_{IN+}) - (V_{IN-}) > + \text{ Full Scale}$		255	
		$(V_{IN+}) - (V_{IN-}) < - \text{ Full Scale}$		0	
INTERLEAVE MODE (DES Pin 127=Float) - DYNAMIC CONVERTER CHARACTERISTICS					
FPBW (DES)	Full Power Bandwidth	Dual Edge Sampling Mode	900		MHz
ENOB	Effective Number of Bits	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	7.4	7.0	Bits (min)
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	7.4	7.0	Bits (min)
SINAD	Signal to Noise Plus Distortion Ratio	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	46.3	43.9	dB (min)
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	46.3	43.9	dB (min)
SNR	Signal to Noise Ratio	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	46.7	44.1	dB (min)
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	46.7	44.1	dB (min)
THD	Total Harmonic Distortion	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-58	-49	dB (min)
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-58	-49	dB (min)
2nd Harm	Second Harmonic Distortion	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-60		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-60		dB
3rd Harm	Third Harmonic Distortion	$f_{IN} = 100 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-64		dB
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	-64		dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	57	47	dB(min)
		$f_{IN} = 248 \text{ MHz}$, $V_{IN} = FSR - 0.5 \text{ dB}$	57	47	dB(min)
ANALOG INPUT AND REFERENCE CHARACTERISTICS					
V_{IN}	Full Scale Analog Differential Input Range	FSR pin 14 Low	650	570	mV _{P-P} (min)
				730	mV _{P-P} (max)
		FSR pin 14 High	870	790	mV _{P-P} (min)
				950	mV _{P-P} (max)
V_{CMI}	Analog Input Common Mode Voltage		V_{CMI}	$V_{CMI} - 50$ $V_{CMI} + 50$	mV (min) mV (max)

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 $870mV_{P-P}$ 、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 500MHz$ 、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25$ です。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
ANALOG INPUT AND REFERENCE CHARACTERISTICS					
C_{IN}	Analog Input Capacitance, Normal operation (Notes 10, 11)	Differential	0.02		pF
		Each input pin to ground	1.6		pF
	Analog Input Capacitance, DES Mode (Notes 10, 11)	Differential	0.08		pF
		Each input pin to ground	2.2		pF
R_{IN}	Differential Input Resistance		100	94	Ω (min)
				106	Ω (max)
ANALOG OUTPUT CHARACTERISTICS					
V_{CMO}	Common Mode Output Voltage		1.26	0.95	V (min)
				1.45	V (max)
V_{CMO_LVL}	V_{CMO} input threshold to set DC Coupling mode	$V_A = 1.8V$	0.60		V
		$V_A = 2.0V$	0.66		V
$TC\ V_{CMO}$	Common Mode Output Voltage Temperature Coefficient	$T_A = -40^\circ C$ to $+85^\circ C$	118		ppm/ $^\circ C$
$C_{LOAD\ V_{CMO}}$	Maximum V_{CMO} load Capacitance			80	pF
V_{BG}	Bandgap Reference Output Voltage	$I_{BG} = \pm 100\ \mu A$	1.26	1.20	V (min)
				1.33	V (max)
$TC\ V_{BG}$	Bandgap Reference Voltage Temperature Coefficient	$T_A = -40^\circ C$ to $+85^\circ C$, $I_{BG} = \pm 100\ \mu A$	28		ppm/ $^\circ C$
$C_{LOAD\ V_{BG}}$	Maximum Bandgap Reference Load Capacitance			80	pF
TEMPERATURE DIODE CHARACTERISTICS					
ΔV_{BE}	Temperature Diode Voltage	192 μA vs. 12 μA , $T_J = 25^\circ C$	71.23		mV
		192 μA vs. 12 μA , $T_J = 85^\circ C$	85.54		mV
CHANNEL-TO-CHANNEL CHARACTERISTICS					
	Offset Error Match		1		LSB
	Positive Full-Scale Error Match	Zero offset selected in Control Register	1		LSB
	Negative Full-Scale Error Match	Zero offset selected in Control Register	1		LSB
	Phase Matching (I,Q)	$F_{IN} = 1.0\ GHz$	< 1		Degree
X-TALK	Crosstalk from I (Aggressor) to Q (Victim) Channel	Aggressor = 867 MHz F.S. Victim = 100 MHz F.S.	-71		dB
X-TALK	Crosstalk from Q (Aggressor) to I (Victim) Channel	Aggressor = 867 MHz F.S. Victim = 100 MHz F.S.	-71		dB
CLOCK INPUT CHARACTERISTICS					
V_{ID}	Differential Clock Input Level	Sine Wave Clock	0.6	0.4 2.0	V_{P-P} (min) V_{P-P} (max)
		Square Wave Clock	0.6	0.4 2.0	V_{P-P} (min) V_{P-P} (max)
I_I	Input Current	$V_{IN} = 0$ or $V_{IN} = V_A$	± 1		μA
C_{IN}	Input Capacitance (Notes 10, 11)	Differential	0.02		pF
		Each input to ground	1.5		pF

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 $870mV_{P-P}$ 、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 500MHz$ 、 $V_{BG} = \text{フローティング}$ 、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25$ です。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
DIGITAL CONTROL PIN CHARACTERISTICS					
V_{IH}	Logic High Input Voltage	(Note 12)		0.85 x V_A	V (min)
V_{IL}	Logic Low Input Voltage	(Note 12)		0.15 x V_A	V (max)
C_{IN}	Input Capacitance (Notes 11, 13)	Each input to ground	1.2		pF
DIGITAL OUTPUT CHARACTERISTICS					
V_{OD}	LVDS Differential Output Voltage	Measured differentially, $OutV = V_A$, $V_{BG} = \text{Floating}$, (Note 15)	710	400 920	mV _{P-P} (min) mV _{P-P} (max)
		Measured differentially, $OutV =$ GND, $V_{BG} = \text{Floating}$, (Note 15)	510	280 720	mV _{P-P} (min) mV _{P-P} (max)
$\Delta V_{O\ DIFF}$	Change in LVDS Output Swing Between Logic Levels		± 1		mV
V_{OS}	Output Offset Voltage, see <i>Figure 1</i>	$V_{BG} = \text{Floating}$	800		mV
V_{OS}	Output Offset Voltage, see <i>Figure 1</i>	$V_{BG} = V_A$ (Note 15)	1200		mV
ΔV_{OS}	Output Offset Voltage Change Between Logic Levels		± 1		mV
I_{OS}	Output Short Circuit Current	Output+ & Output- connected to 0.8V	-4		mA
Z_O	Differential Output Impedance		100		Ohms
V_{OH}	Cal_Run H level output	$I_{OH} = -400\mu A$ (Note 12)	1.65	1.5	V
V_{OL}	Cal_Run L level output	$I_{OH} = 400\mu A$ (Note 12)	0.15	0.3	V
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	PD = PDQ = Low	561	665	mA (max)
		PD = Low, PDQ = High	340	408	mA
		PD = PDQ = High	1.8		mA
I_{DR}	Output Driver Supply Current	PD = PDQ = Low	200	275	mA (max)
		PD = Low, PDQ = High	112	157	mA (max)
		PD = PDQ = High	0.012		mA
P_D	Power Consumption	PD = PDQ = Low	1.4	1.78	W (max)
		PD = Low, PDQ = High	0.8	1.0	W
		PD = PDQ = High	3.5		mW
PSRR1	D.C. Power Supply Rejection Ratio	Change in Full Scale Error with change in V_A from 1.8V to 2.0V	30		dB
PSRR2	A.C. Power Supply Rejection Ratio	248 MHz, $50mV_{P-P}$ riding on V_A	51		dB
AC ELECTRICAL CHARACTERISTICS					
f_{CLK1}	Maximum Input Clock Frequency	Normal Mode (non DES) or DES Mode	800	500	MHz (min)
f_{CLK2}	Minimum Input Clock Frequency	Normal Mode (non DES)	200		MHz
f_{CLK2}	Minimum Input Clock Frequency	DES Mode	450		MHz
	Input Clock Duty Cycle	$200\text{ MHz} \leq \text{Input clock frequency} \leq$ 800 MHz (Normal Mode)(Note 12)	50	20	% (min)
				80	% (max)
	Input Clock Duty Cycle	$450\text{ MHz} \leq \text{Input clock frequency} \leq$ 800 MHz (DES Mode)(Note 12)	50	20	% (min)
				80	% (max)
t_{CL}	Input Clock Low Time	(Note 12)	500	400	ps (min)
t_{CH}	Input Clock High Time	(Note 12)	500	400	ps (min)

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用され条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 $870mV_{P-P}$ 、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 500MHz$ 、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25$ です。(Note 6、7)

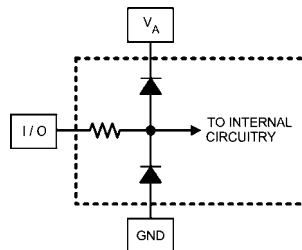
Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)	
AC ELECTRICAL CHARACTERISTICS						
	DCLK Duty Cycle	(Note 12)	50	45 55	% (min) % (max)	
t_{RS}	Reset Setup Time	(Note 12)	150		ps	
t_{RH}	Reset Hold Time	(Note 12)	250		ps	
t_{SD}	Synchronizing Edge to DCLK Output Delay	$f_{CLKIN} = 500\text{ MHz}$ $f_{CLKIN} = 200\text{ MHz}$	3.53 3.85		ns	
t_{RPW}	Reset Pulse Width	(Note 11)		4	Clock Cycles (min)	
t_{LHT}	Differential Low to High Transition Time	10% to 90%, $C_L = 2.5\text{ pF}$	250		ps	
t_{HLT}	Differential High to Low Transition Time	10% to 90%, $C_L = 2.5\text{ pF}$	250		ps	
t_{OSK}	DCLK to Data Output Skew	50% of DCLK transition to 50% of Data transition, SDR Mode and DDR Mode, 0° DCLK (Note 12)	± 50		ps (max)	
t_{SU}	Data to DCLK Set-Up Time	DDR Mode, 90° DCLK (Note 12)	2		ns	
t_H	DCLK to Data Hold Time	DDR Mode, 90° DCLK (Note 12)	2		ns	
t_{AD}	Sampling (Aperture) Delay	Input CLK+ Fall to Acquisition of Data	1.3		ns	
t_{AJ}	Aperture Jitter		0.4		ps rms	
t_{OD}	Input Clock to Data Output Delay (in addition to Pipeline Delay)	50% of Input Clock transition to 50% of Data transition	3.1		ns	
	Pipeline Delay (Latency) (Notes 11, 14)	DI Outputs		13	Clock Cycles	
		DI _d Outputs		14		
		DQ Outputs	Normal Mode			13
			DES Mode			13.5
		DQ _d Outputs	Normal Mode			14
			DES Mode			14.5
	Over Range Recovery Time	Differential V_{IN} step from $\pm 1.2V$ to 0V to get accurate conversion	1		Input Clock Cycle	
t_{WU}	PD low to Rated Accuracy Conversion (Wake-Up Time)		500		ns	
f_{SCLK}	Serial Clock Frequency	(Note 12)	100		MHz	
t_{SSU}	Data to Serial Clock Setup Time	(Note 12)	2.5		ns (min)	
t_{SH}	Data to Serial Clock Hold Time	(Note 12)	1		ns (min)	
	Serial Clock Low Time			4	ns (min)	
	Serial Clock High Time			4	ns (min)	
t_{CAL}	Calibration Cycle Time		1.4×10^5		Clock Cycles	
t_{CAL_L}	CAL Pin Low Time	See Figure 9 (Note 11)		80	Clock Cycles (min)	
t_{CAL_H}	CAL Pin High Time	See Figure 9 (Note 11)		80	Clock Cycles (min)	
t_{CalDly}	Calibration delay determined by pin 127	See Section 1.1.1, Figure 9, (Note 15)		2^{25}	Clock Cycles (min)	

コンバータの電気的特性 (つづき)

以下の仕様は較正後に適用される条件は次のとおりです。 $V_A = V_{DR} = +1.9V_{DC}$ 、 $OutV = 1.9V$ 、 $V_{IN\ FSR}$ (AC 結合) = 差動 $870mV_{P-P}$ 、 $C_L = 10pF$ 、 $0.5V_{P-P}$ でデューティ・サイクル 50% の差動 AC 結合正弦波クロック $f_{CLK} = 500MHz$ 、 V_{BG} = フローティング、非拡張制御モード、SDR モード、 $R_{EXT} = 3300 \pm 0.1\%$ 、アナログ信号ソース・インピーダンス = 100 Ω 差動。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用されます。特記のない限り、すべてのリミット値は、 $T_A = 25$ です。(Note 6、7)

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 8)	Units (Limits)
AC ELECTRICAL CHARACTERISTICS					
t_{CalDly}	Calibration delay determined by pin 127	See Section 1.1.1, Figure 9, (Note 15)		2^{31}	Clock Cycles (max)

- Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。絶対最大定格での動作は保証されません。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。
- Note 2:** 特記のない限り、すべての電圧は $GND = DR\ GND = 0V$ を基準にして測定されています。
- Note 3:** いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 (すなわち $V_{IN} < GND$ 、または $V_{IN} > V_A$ のとき)、そのピンの入力電流を $25mA$ 以下に制限しなければなりません。最大パッケージ入力定格電流 ($50mA$) により、電源電圧を超えて $25mA$ の電流を流すことができるピンの数は 2 本に制限されます。これらリミット値は、電源ピン、グラウンド・ピン、デジタル出力ピンには適用されません。
- Note 4:** 人体モデルの場合、 $100pF$ のコンデンサから直列抵抗 $1.5k\Omega$ を通して各ピンに放電させます。マシン・モデルの場合は、 $220pF$ のコンデンサから直接各ピンに放電させます。
- Note 5:** その他の表面実装法については、アプリケーション・ノート AN-450 「スモールアウトライン (SO) パッケージ表面実装と製品信頼性上における効果」を参照ください。
- Note 6:** アナログ入力、以下に示されるように保護されています。絶対最大定格を超える入力電圧振幅はデバイスを破壊することがあります。



- Note 7:** 精度を保证するために、 V_A および V_{DR} 電源ピンにはそれぞれ別個のバイパス・コンデンサを設けて同一電源に接続します。また、定格性能を達成するには、裏面の露出パッドをグラウンドに適切にハンダ付けする必要があります。
- Note 8:** 代表値 (Typical) は、 $T_A = +25$ で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。
- Note 9:** 本デバイスのフルスケール誤差の計算では、実際のリファレンス電圧はその公称値に正確に一致していると仮定しています。そのためデバイスのフルスケール誤差は、フルスケール誤差とリファレンス電圧誤差の組み合わせになります。Figure 2 の変換特性を参照してください。ゲイン誤差とフルスケール誤差の関係についてはゲイン誤差の仕様定義を参照してください。
- Note 10:** アナログ入力容量とクロック入力容量はダイ容量のみです。リードとボンディング・ワイヤを持つインダクタンスによってダイ容量から分離された状態で、差動ピンにはグラウンドに対して $0.65pF$ の容量が、他のピンには $0.95pF$ の容量が、それぞれ存在します。
- Note 11:** このパラメータは設計によって保証されています。製造時の試験は行っていません。
- Note 12:** このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。
- Note 13:** デジタル制御ピン容量はダイ容量のみです。リードとボンディング・ワイヤのインダクタンスによってダイ容量から分離された状態で、各ピンにはグラウンドに対して $1.6pF$ の容量が存在します。
- Note 14:** ADC08D500 の 2 系統のコンバータはそれぞれ 2 組の LVDS 出力バスを備えており、サンプリング・レートの半分のクロックでデータが出力されます。各バスのデータはサンプリング・レートの半分のクロックで出力されます。第二のバス (D0 から D7) は、第一のバス (Dd0 から Dd7) のレイテンシより 1 クロック少ないパイプライン・レイテンシを有します。
- Note 15:** V_{BG} を電源レールに接続すると、上述の V_{OS} 仕様を示すように、出力オフセット電圧 (V_{OS}) は $400mV$ (代表値) 上昇します。また、 V_{BG} を電源レールに接続すると、差動 LVDS 出力電圧 (V_{OD}) にも影響が及んで、 $40mV$ (代表値) 上昇します。

用語の定義

アパーチャ(サンプリング)ディレイ (**APERTURE (SAMPLING) DELAY**) は、クロック入力の立ち上がりエッジからサンプリング・スイッチが開くまでに要する時間です。サンプル/ホールド回路は入力信号の取り込みを効果的に停止させ、入力クロックが Low レベルになってから t_{AD} 後に「ホールド」モードになります。

アパーチャ・ジッタ (**APERTURE JITTER: t_{AJ}**) は、隣り合うサンプリング間アパーチャ・ディレイのばらつき期間を示します。アパーチャ・ジッタは入力ノイズとして現れます。

ビット誤り率 (**Bit Error Rate: B.E.R.**) は、誤りが発生する確率を表し、単位時間あたりの推定エラー個数をその時間内に観測されるビット数で除算したものと定義されます。 10^{-18} の BER は統計的に約 4 年ごとに発生する 1 ビット・エラーに相当します。

クロック・デューティ・サイクル (**CLOCK DUTY CYCLE**) は、クロック周期に対してクロック波形が High となっている時間の比です。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。500MSPS でランパ入力とともに測定されます。

有効ビット (**EFFECTIVE NUMBER OF BITS : ENOB**) は、信号 / (ノイズ + 歪み) 比または SINAD の別の規定方法です。有効ビット (ENOB) は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (**FULL POWER BANDWIDTH: FPBW**) は、フルスケール入力に対して再現される出力基本周波数特性で低周波数帯域に対して 3dB 低下する周波数として測定されます。

ゲイン誤差 (**GAIN ERROR**) は、伝達関数の実測値と理想カーブとの偏差のことです。ゲイン誤差はオフセット誤差とフルスケール誤差から求められます。

$$\begin{aligned} \text{正側ゲイン誤差} &= \text{オフセット誤差} - \text{正側フルスケール誤差} \\ \text{負側ゲイン誤差} &= -(\text{オフセット誤差} - \text{負側フルスケール誤差}) \\ \text{ゲイン誤差} &= \text{負側フルスケール誤差} - \text{正側フルスケール誤差} \\ &= \text{正側ゲイン誤差} + \text{負側ゲイン誤差} \end{aligned}$$

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、入力から出力への伝達関数を通る直線を基準とした、各個別コードの偏差を表します。この直線から任意のコードとの偏差は、各コード値の中央から測定します。ベスト・フィット法を使用します。

混変調歪み (**INTERMODULATION DISTORTION: IMD**) は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (**LEAST SIGNIFICANT BIT**) は、全ビットのうち最下位または重み付けの最も小さいビットです。LSB の値は、

$$V_{FS} / 2^n$$

ここで、 V_{FS} は FSR 入力で設定される 650mV または 870mV の差動フルスケール振幅、"n" はビット数を単位とする A/D コンバータの分解能で ADC08D500 では 8 です。

LVDS 差動出力電圧 (**LVDS DIFFERENTIAL OUTPUT VOLTAGE: V_{OD}**) は、それぞれグラウンドを基準として測定した V_{D+} 電圧と V_{D-} 電圧の差の絶対値です。

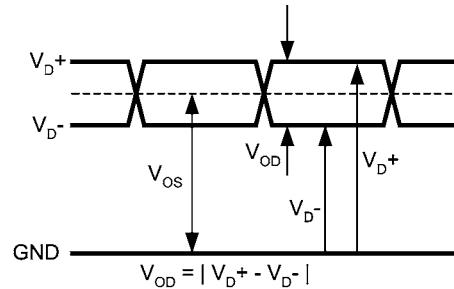


FIGURE 1.

LVDS 出力オフセット電圧 (**LVDS OUTPUT OFFSET VOLTAGE: V_{OS}**) は、D+ピン出力電圧とD-ピン出力電圧の中点で、すなわち $[(V_{D+}) + (V_{D-})] / 2$ です。

ミッシング・コード (**MISSING CODE**) は、入力電圧をわずかに変化させたときに、あるコードから次位のコードの間に抜けが生じて A/D コンバータから出力されないコードです。すべての入力レベルで、ミッシング・コードが発生することはあません。

MSB (**MOST SIGNIFICANT BIT**) は、全ビットのうち最上位または重み付けの最も大きいビットです。MSB の値はフルスケールの 1/2 に相当します。

負側フルスケール誤差 (**NEGATIVE FULL-SCALE ERROR : NFSE**) は、最初のコード遷移点が、FSR ピンが Low のときは差動 - 870mV から理想 1/2 LSB だけ高い電圧から、FSR ピンが High のときは差動 - 650mV から理想 1/2 LSB だけ高い電圧から、どの程度ずれているかを表します。ADC08D500 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差を組み合わせるものになります。

オフセット誤差 (**OFFSET ERROR: V_{OFF}**) は、中点が理想ゼロ電圧差動入力からどの程度ずれているかを表します。

オフセット誤差 = 平均 127.5 の出力コードを得るサンプリング 8k 回の実入力値の平均

出力ディレイ (**OUTPUT DELAY: t_{OD}**) は、DCLK の立ち上がりエッジから出力ピンにアップデートされたデータが現れるまでのディレイ時間です。

オーバーレンジ回復時間 (**OVER RANGE RECOVERY TIME**) は、コンバータから見た差動入力電圧が $\pm 1.2V$ から 0V に遷移した時点から、コンバータが回復して定格精度で変換を行えるようになるまでに必要な時間です。

パイプライン・ディレイ (**PIPELINE DELAY: LATENCY**) は、変換開始からその変換データが出力ドライバ段に現れるまでの期間を入力クロック数で表したものです。新しいデータは各クロック・サイクルごとに有効になりますが、パイプライン・ディレイと t_{OD} の和による変換により遅延が規定されます。

正側フルスケール誤差 (**POSITIVE FULL-SCALE ERROR**) は、最後のコード遷移点が、FSR ピンが High のときは差動 + 870mV から理想 1-1/2 LSB だけ低い電圧から、FSR ピンが High のときは差動 + 650mV から理想 1-1/2 LSB だけ低い電圧から、どの程度ずれているかを表します。ADC08D500 の場合、リファレンス電圧は理想として仮定しているため、この誤差はフルスケール誤差とリファレンス電圧誤差を組み合わせるものになります。

用語の定義 (つづき)

電源電圧変動除去比 (POWER SUPPLY REJECTION RATIO: PSRR) は、2 つの仕様を意味します。PSRR1 (DC PSRR) は、電源電圧が 1.8V から 2.0V に変化した結果生じるフルスケール誤差の比です。PSRR2 (AC PSRR) は、電源に乗っている AC 信号が出力でどの程度良好に除去されているかを表し、248MHz、50mV_{p-p} の信号を電源に重畳させて測定します。PSRR2 は、出力におけるその信号の出力振幅と、電源ピンにおけるその信号との比で示します。PSRR は dB で表されます。

信号対ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、出力における入力信号の rms 値とサンプリング周波数の 1/2 未満のそれ以外のすべてのスペクトラル成分 (高調波と DC を除く) の rms 値の合計との比で、単位は dB です。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD) は、出力における入力信号の rms 値と入力クロック周波数の 1/2 未満のそれ以外のスペクトラル成分 (高調波は含めるが、DC は除く) の rms 値との比で、dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、出力における入力信号の rms 値とピーク・スプリアス信号との差で、dB で表されます。ここで言

うスプリアス信号とは、DC を除いて入力には存在しなかったが、出力スペクトラムに存在する任意の信号です。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、2 次から 10 次までの高調波の合計出力レベルと基本周波数の出力レベルとの比で、dB で表されます。全高調波歪み THD は次式から求められます。

$$THD = 20 \times \log \sqrt{\frac{A_{f2}^2 + \dots + A_{f10}^2}{A_{f1}^2}}$$

A_{f1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f2} から A_{f10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

- 2 次高調波歪み (2nd Harm) は、出力で見た入力周波数の rms パワーと出力で見た 2 次高調波のパワーとの差で、単位は dB です。
- 3 次高調波歪み (3rd Harm) は、出力で見た入力周波数の rms パワーと出力で見た 3 次高調波のパワーとの差で、単位は dB です。

変換特性

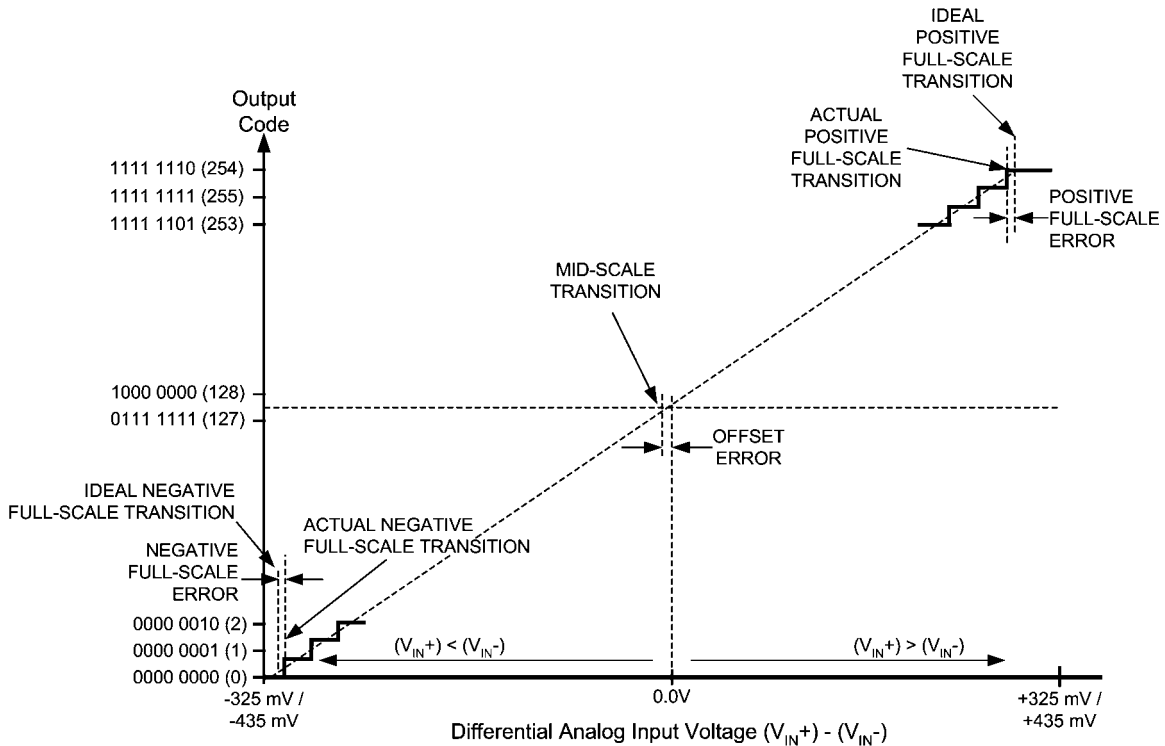


FIGURE 2. Input / Output Transfer Characteristic

タイミング図

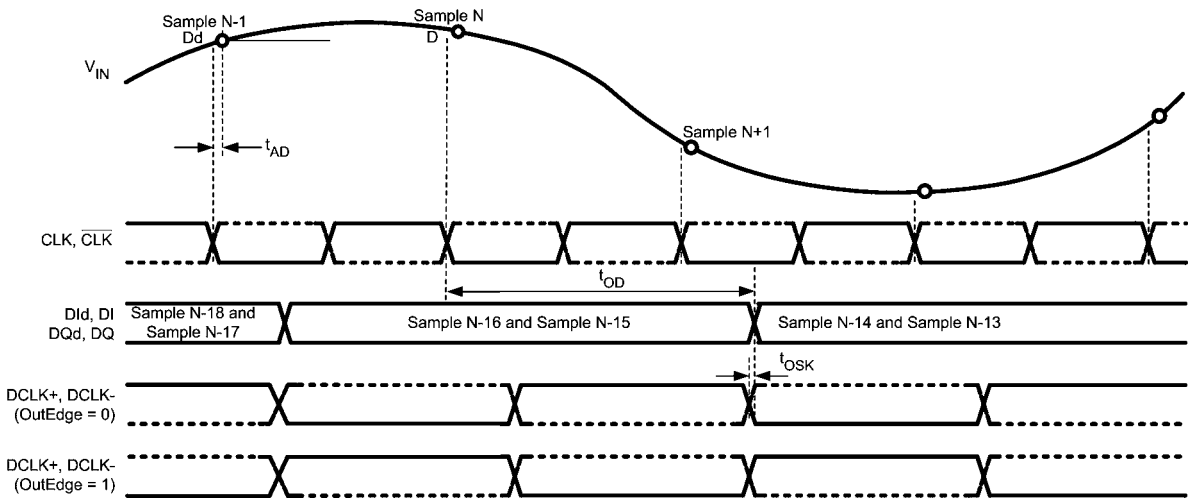


FIGURE 3. ADC08D500 Timing — SDR Clocking

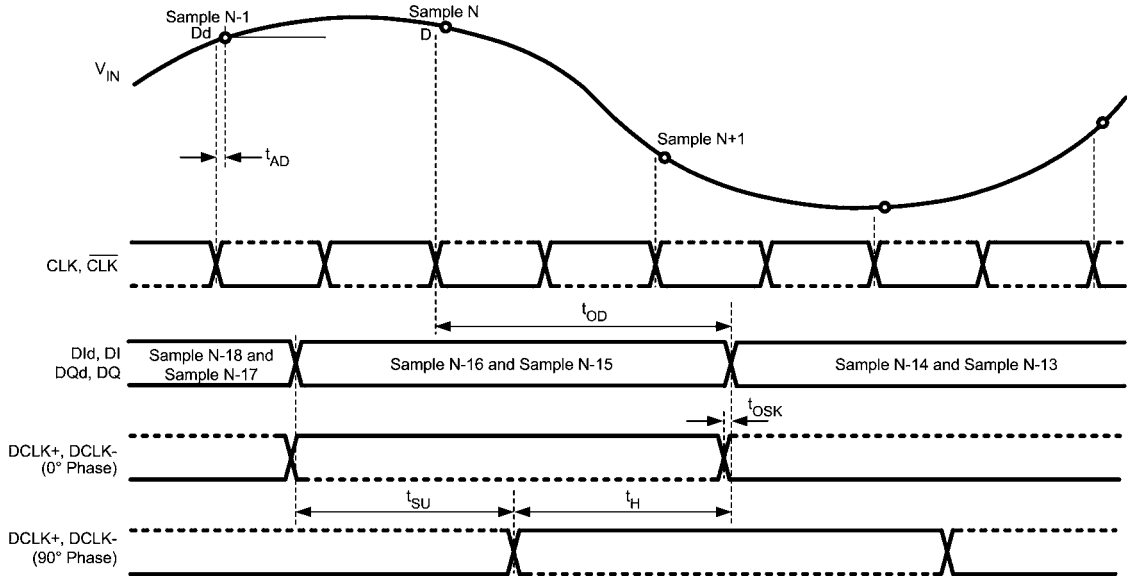


FIGURE 4. ADC08D500 Timing — DDR Clocking

タイミング図 (つづき)

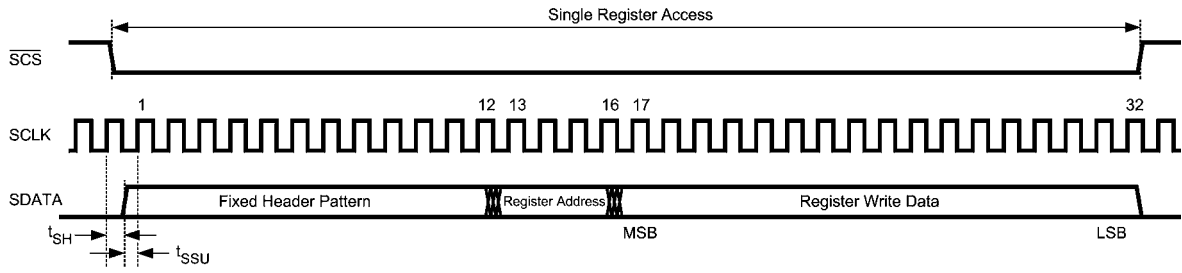


FIGURE 5. Serial Interface Timing

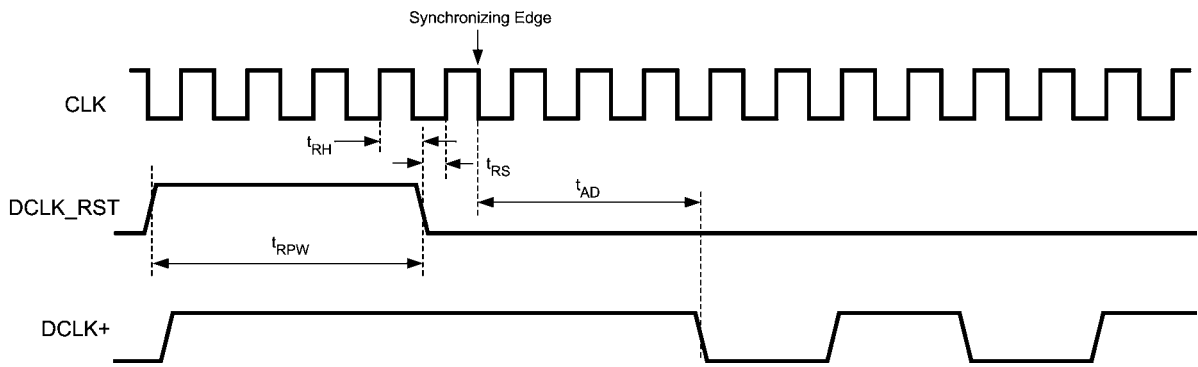


FIGURE 6. Clock Reset Timing in DDR Mode

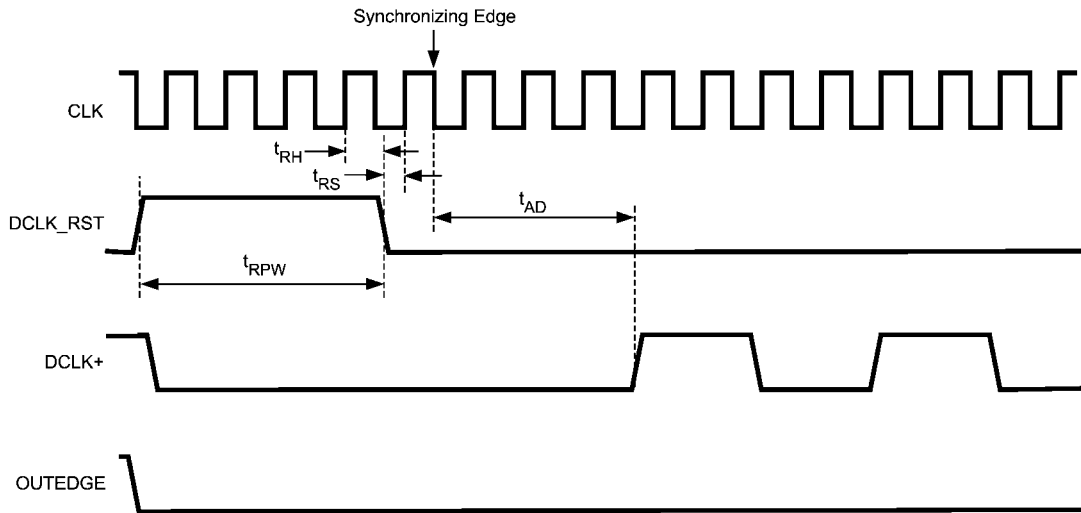


FIGURE 7. Clock Reset Timing in SDR Mode with OUTEDGE Low

タイミング図 (つづき)

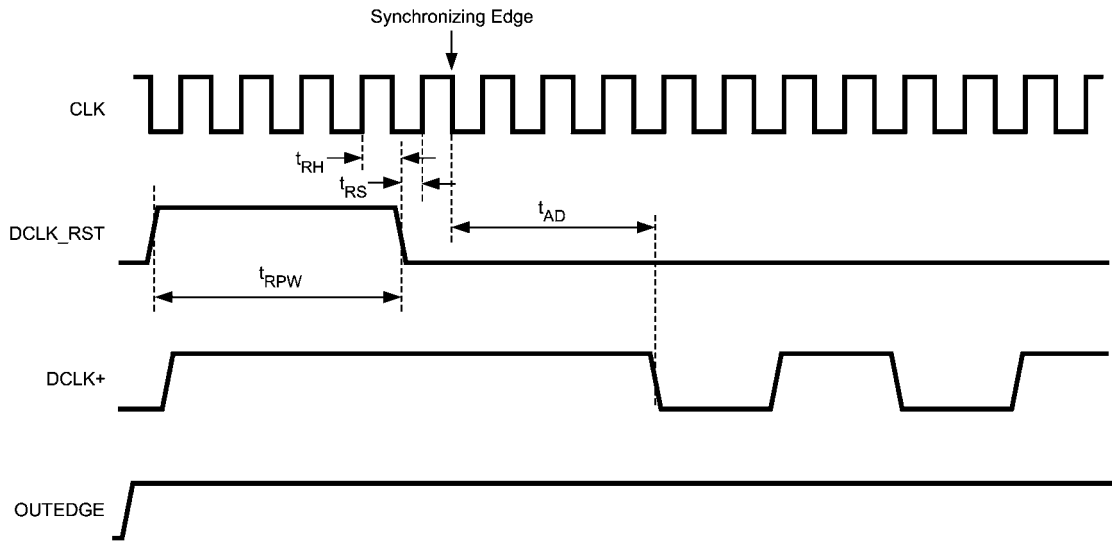


FIGURE 8. Clock Reset Timing in SDR Mode with OUTEDGE High

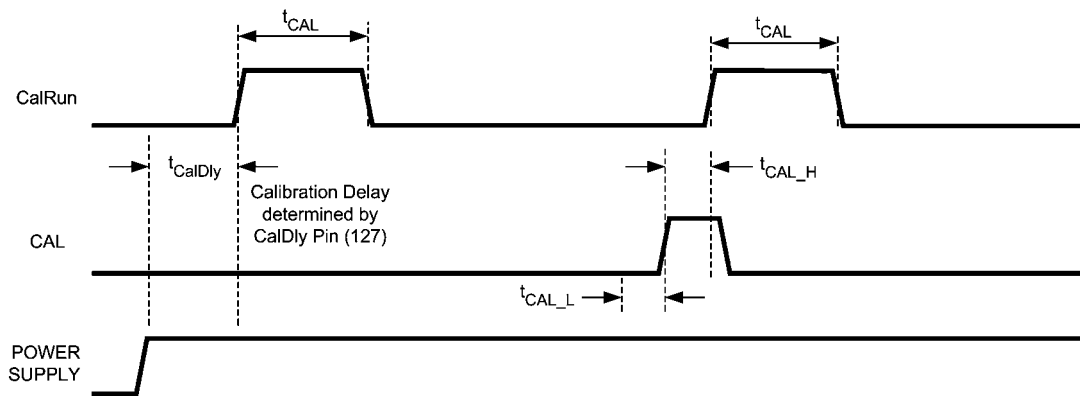
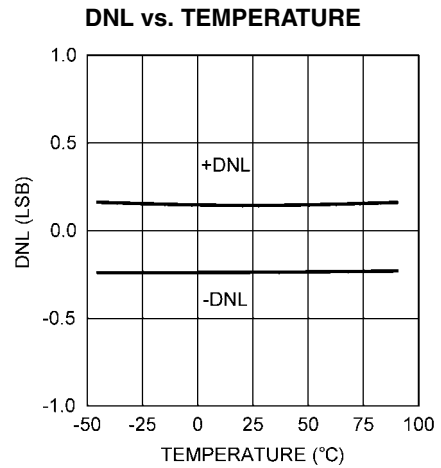
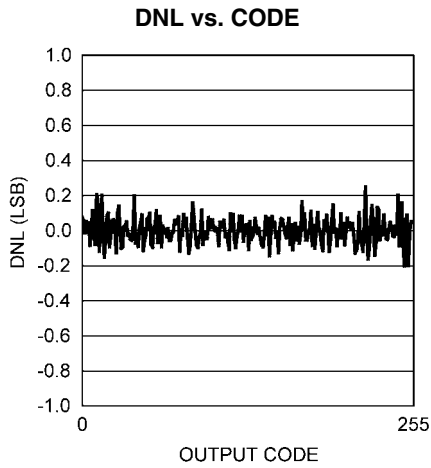
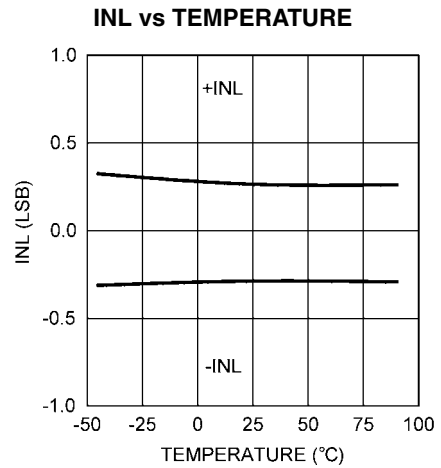
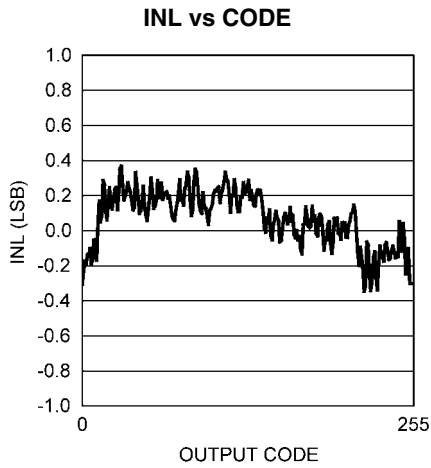


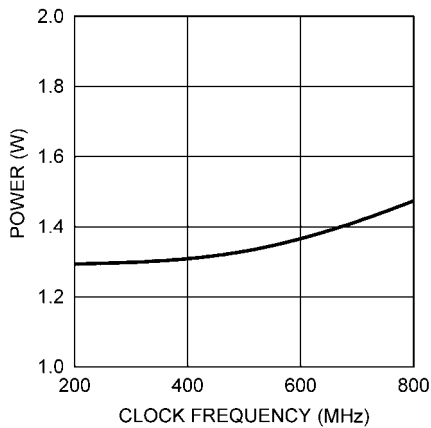
FIGURE 9. Self Calibration and On-Command Calibration Timing

代表的な性能特性

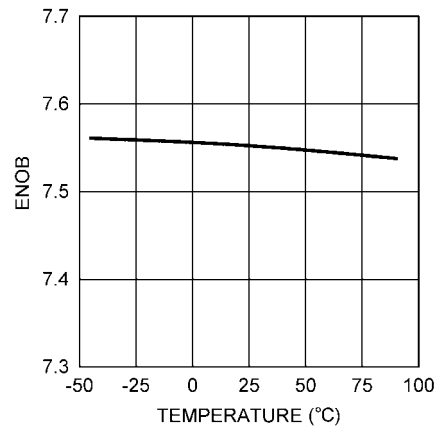
特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 500MHz$ 、 $T_A = 25$ の条件でグラフを示す。



POWER DISSIPATION vs. SAMPLE RATE

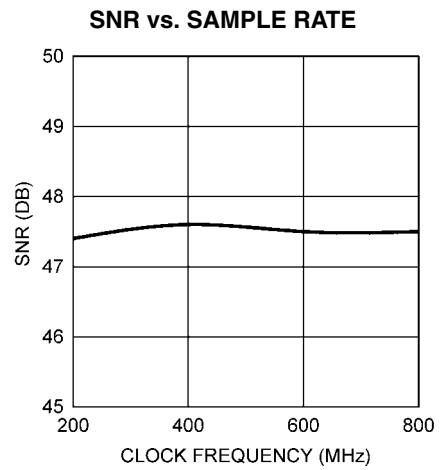
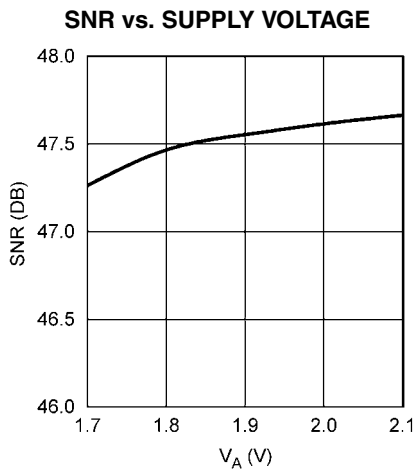
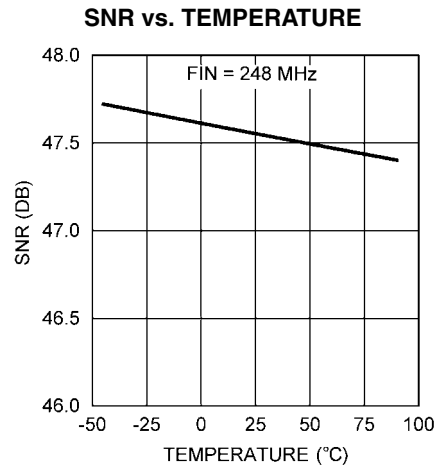
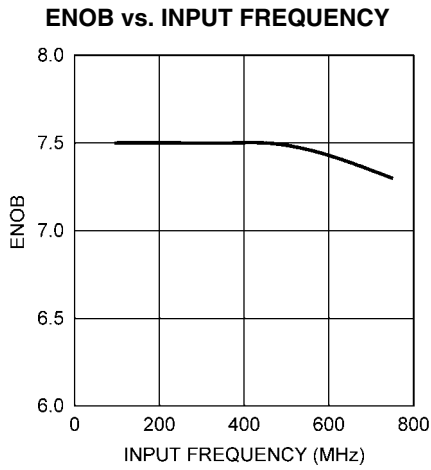
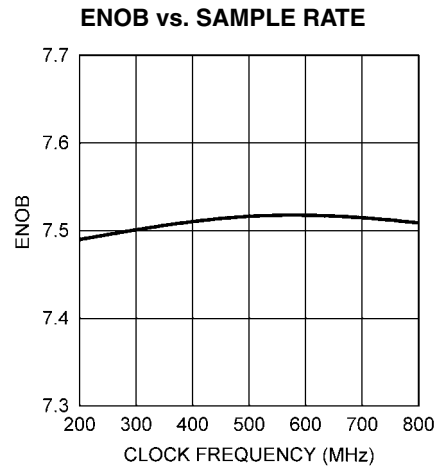
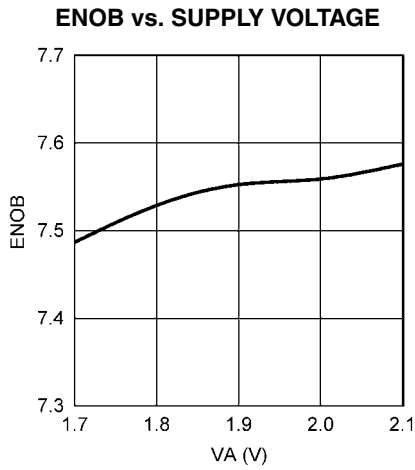


ENOB vs. TEMPERATURE



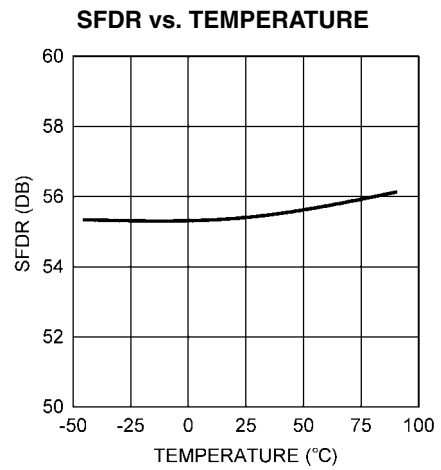
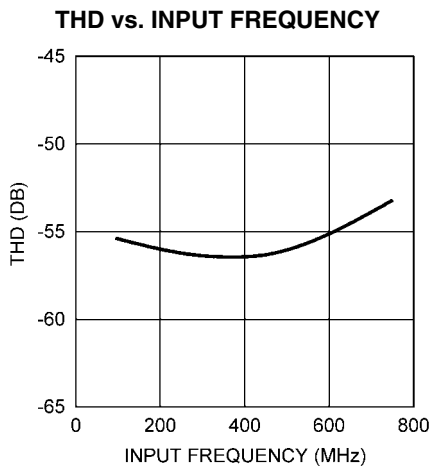
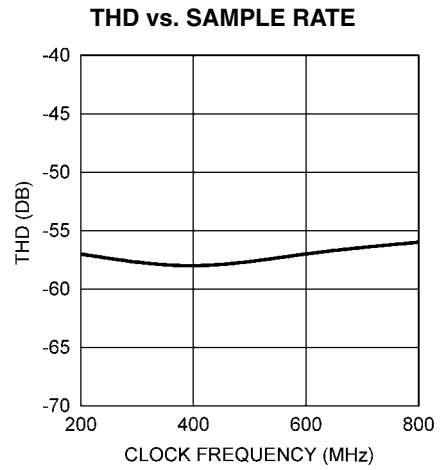
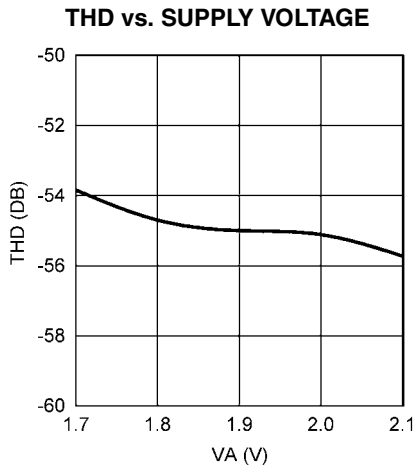
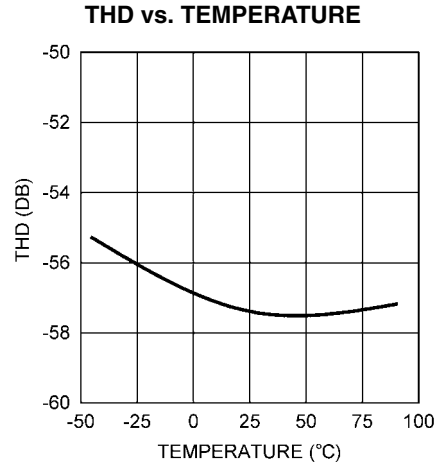
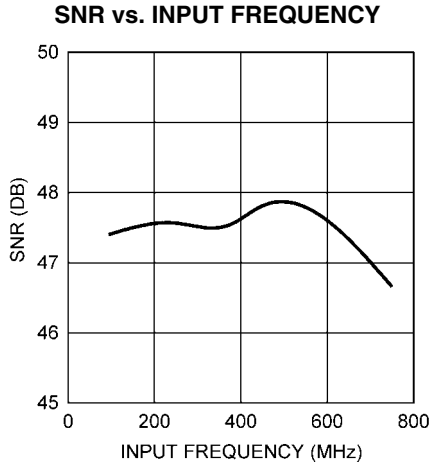
代表的な性能特性 (つぎ)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 500MHz$ 、 $T_A = 25$ の条件でグラフを示す。



代表的な性能特性 (つづき)

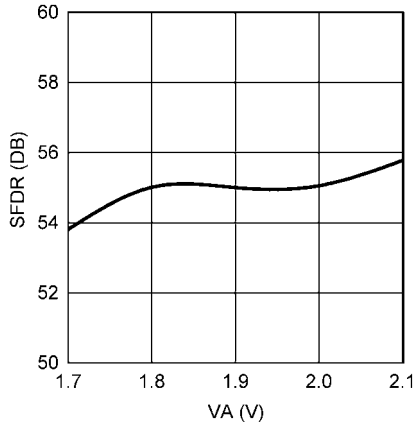
特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 500MHz$ 、 $T_A = 25$ の条件でグラフを示す。



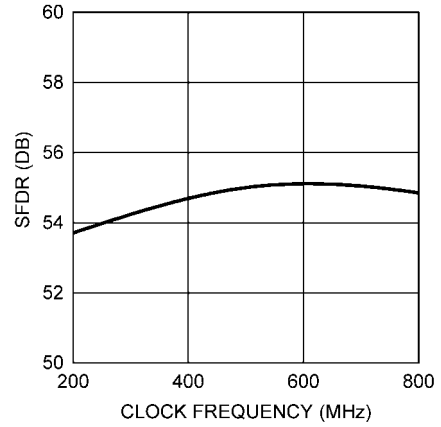
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 500MHz$ 、 $T_A = 25$ の条件でグラフを示す。

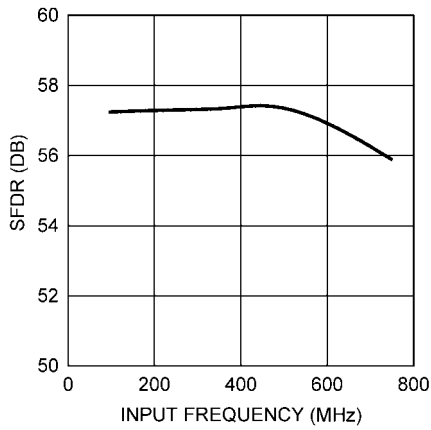
SFDR vs. SUPPLY VOLTAGE



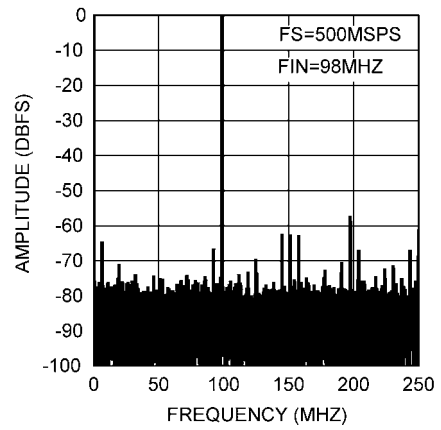
SFDR vs. SAMPLE RATE



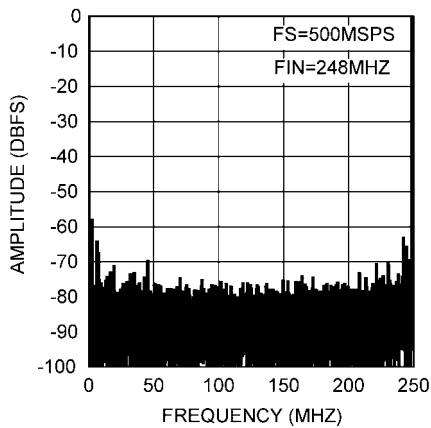
SFDR vs. INPUT FREQUENCY



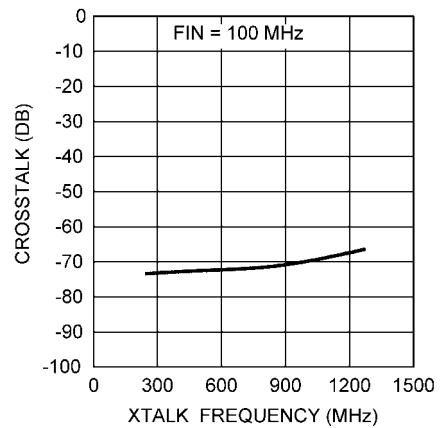
Spectral Response at FIN = 98 MHz



Spectral Response at FIN = 248 MHz

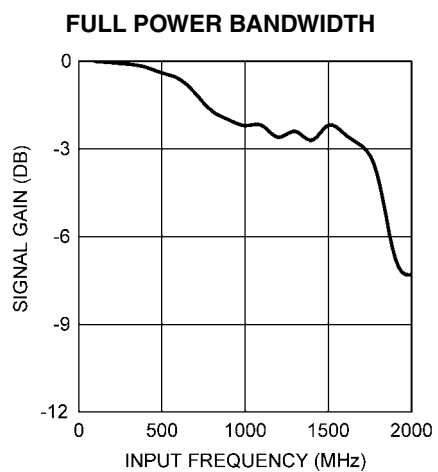


CROSSTALK vs SOURCE FREQUENCY



代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_{DR} = 1.9V$ 、 $F_{CLK} = 500MHz$ 、 $T_A = 25$ の条件でグラフを示す。



1.0 機能説明

ADC08D500 は高速動作を実現する革新的なアーキテクチャを搭載した多用途の A/D コンバータです。さまざまな制御機能によって回路ソリューションへの応用が簡単です。最適な性能を得るために、このセクションと「アプリケーション情報」セクションで述べる要件に従ってください。

一般にアクティブなピンをフローティングにして使用すると性能を劣化させる要因になりますが、ADC08D500 の 4 ピン、14 ピン、127 ピンは、フローティングのままでも問題なく使用できるように設計されています。このデータシート全体を通じて、ピンをフローティングにして実現される機能は、該当ピンに V_A の半分の電源電圧を与えても同じ作用が得られます。

1.1 概要

ADC08D500 はセルフキャリブレーション・フォールディング・アーキテクチャを採用し、7.5 以上の有効ビットを達成しています。フォールディング・アンプの採用によってコンパレータの個数と消費電力の大幅な削減を実現しました。また、補間方式の採用によって、必要なフロントエンド・アンプの個数が削減でき、入力信号の負荷軽減と電力要件の低減を実現しています。さらにオンチップ較正機能が、フォールディング・アーキテクチャにありがちな INL の折れ曲がりを抑えます。結果として、きわめて高速、高性能、かつ低消費電力のコンバータが実現されました。

アナログ入力信号、すなわちコンバータの入力電圧範囲は、代表値で 200MSPS から 500MSPS のレートにて、8 ビットでデジタイズされます。負のフルスケールに満たない差動入力では出力ワードはすべてゼロになります。正のフルスケールを超える差動入力では出力ワードはすべて 1 になります。"I" 入力または "Q" 入力ではこれらの条件のいずれかが成立すると OR (アウト・オブ・レンジ) 出力がアクティブになります。OR 出力は、いずれかのチャネルが両方のチャネルで、入力が負のフルスケールを下回ったか正のフルスケールを上回ったことを示します。

各コンバータは 2 組の LVDS 出力バスにデータを供給する 1:2 デマルチプレクサを内蔵しています。それぞれのバスからは A/D コンバータのサンプリング・レートの半分のレートでデータ・ワードが出力されます。完全な変換レートで出力ワードを得るために外部でインターリーブが必要です。

出力レベルは通常レベルか低減レベルのいずれかを選択可能です。低減レベルを使用すると電力が節減されますが、特にサンプリング・レートが高いシステムやマージンが少ないシステムで、一部または全部のビットのデータ・キャプチャで誤動作を引き起こす可能性があります。

1.1.1 自己較正

自己較正はパワーアップ時に実行されますが、外部からのコマンドによって実行させることも可能です。較正処理では、100 アナログ入力差動終端抵抗のドリミングと、フルスケール誤差、オフセット誤差、DNL、INL を最小限に抑えるように調整が行われ、その結果、SNR、THD、SINAD (SNDR) および有効ビット (ENOB) を最大限に高めます。内部バイアス電流も較正処理中に設定されます。以上の動作はパワーオン較正でもコマンドによる較正でも変わりません。自己較正の実行はチップの機能にとって重要で、適切な性能を得るためには不可欠です。パワーオン時に再実行しなければならぬほか、FSR ピンを変更したときにも自己較正を実行しなければなりません。最高性能を発揮させるには、個別のシステム設計要件に応じて、電源を印加後、20 秒以上が経過してから、または、動作温度が大幅に変化したときは必ず、自己較正を実行してください。詳細は、セクション 2.4.2.2 を参照してください。デバイスがパワーダウン・モードのときは較正の開始と実行はできません。パワーダウンと較正の関係についてはセクション 1.7 を参照してください。

較正プロセスの実行中に、入力終端抵抗は $R_{EXT}/33$ に等しくなるようにドリミングされます。外部抵抗 R_{EXT} は 32 ピンとグラウンドの間に接続します。抵抗値は $3300 \pm 0.1\%$ でなければなりません。この抵抗値を基準にして入力終端抵抗は 100 にドリミングされます。このほか R_{EXT} は、トラック/ホールド・アンプ、プリアンプ、コンパレータが必要とする適切な電流の設定にも使用されるため、他の抵抗値に変更してはなりません。通常動作において、較正は電源投入直後のほか、CAL ピンを少なくとも 80 クロック・サイクル Low に維持し、続く 80 クロック・サイクル以上 High に維持した場合、有効な較正コマンドが与えられたとして較正処理が実行されます。較正処理に要する時間は「コンバータの電気的特性」の表に記載されています。ただし、パワーオン時に CAL ピンを High に保持していると、CAL ピンが上述のとおり 80 クロック Low 後 80 クロック High になるまで、較正プロセスは実行されません。

CalDly (127 ピン) によって電源印加後に開始される較正処理の遅延時間を 2 種類の設定から選択します。CalDly を Low にした場合の較正遅延は 2^{25} クロック・サイクル (500MSPS で約 67.2ms)、CalDly を High にした場合は 2^{31} クロック・サイクル (500MSPS で約 4.3 秒) です。処理開始を遅延させることで、較正が実行される前に、電源電圧が上昇して安定するまでの時間を確保できます。電源投入時に PD ピンを High に保持すると、PD ピンが Low になるまで較正遅延カウンタはディスエーブルされます。すなわち、電源オン時に PD ピンを High に保てば、電源投入時の較正サイクルの開始をさらに遅らせることが可能です。CalDly ピンの最適な設定は、電源の電圧セトリング時間によって異なります。

較正処理中は CalRun 出力が High になります。較正がパワーアップ時またはコマンドのいずれかで開始された場合でも CalRun 出力の動作は同じです。

1.1.2 入力の取り込み

データは CLK + (18 ピン) の立ち上がりエッジで取り込まれたあと、デジタル的に等価なデータが、DI と DQ 出力バスには 13 クロック後に、DId と DQd 出力バスには 14 クロック後に、それぞれ出力されます。データが出力に現れるまでに内部遅延 t_{OD} がさらにかかります。「タイミング図」を参照してください。ADC08D500 は、クロックが入力される限り変換をします。完全な差動コンパレータ設計、画期的なサンプル/ホールド・アンプ設計、さらには自己較正機能の組み合わせによって、500MHz を超える SINAD/ENOB 応答を実現しています。ADC08D500 出力データ信号方式は LVDS で、その出力フォーマットはオフセット・バイナリです。

1.1.3 制御モード

さまざまなユーザー制御機能は外部ピンを使って制御します。例えば、較正サイクルの起動、パワーダウン・モードへの移行、フルスケール・レンジの設定などが可能です。さらに ADC08D500 は、シリアル・インタフェースを用いて機能制御用の内部レジスタにアクセスする拡張制御モードも搭載しています。拡張制御モードは動作中の切り換えを想定していません。パワーオン時点で通常制御モードか拡張制御モードのいずれかを選択して動作させる必要があります。デバイスを拡張制御モードで使用すると、外部ピンを用いた機能制御はレジスタを用いた制御に置き換わり、外部ピンを用いた制御は無効になります。対象となるピンは、OutV (3 ピン)、OutEdge/DDR (4 ピン)、FSR (14 ピン)、CalDly/DES (127 ピン) です。拡張制御モードの詳細はセクション 1.2 を参照してください。

1.0 機能説明 (つづき)

1.1.4 アナログ入力

ADC08D500 は差動入力信号で駆動しなければなりません。シングルエンド信号を用いた動作は推奨しません。各入力については、 V_{CMO} ピンをグラウンドに接続して入力を AC 結合とするか、または V_{CMO} ピンをグラウンドしないで、入力コモンモード電圧を V_{CMO} 出力に等しくして DC 結合とするかのいずれかにすることを推奨します。

フルスケール・レンジは 14 ピン (FSR) で設定します。14 ピンを High にすると入力フルスケール・レンジは $870mV_{P-P}$ になり、14 ピンをグラウンドにするとフルスケール・レンジは $650mV_{P-P}$ に設定されます。フルスケール・レンジ設定は両系統のコンバータに適用されます。

拡張制御モードでのフルスケール入力レンジは、シリアル・インタフェースを介して $560mV_{P-P}$ から $840mV_{P-P}$ までの範囲で設定可能です。セクション 2.2 を参照してください。

1.1.5 クロック

ADC08D500 は AC 結合の差動クロック信号で駆動しなければなりません。クロック入力ピンの使用方法をセクション 2.3 に示します。A/D コンバータの出力データを取り込むように、データ・ラッチ用の差動 LVDS 出力クロックが出力されています。

ADC08D500 の入力クロッキングと出力クロッキングにはオプションが設定されています。入力側で選択できるオプションは、ADC08D500 が単一コンバータのように振る舞って入力クロック・レートの 2 倍で変換動作を行うデュアル・エッジ・サンプリング (DES)、すなわち「インタリーブ・モード」です。出力側のオプションは、出力データを送出する DCLK エッジの選択と、シングル・データレート (SDR) またはダブル・データレート (DDR) 出力の選択です。

さらに ADC08D500 には、入力クロック回路に搭載されているデューティ・サイクル補正クロック・レシーバを有効にするオプションが用意されています。この機能はデフォルトでイネーブルになっていて、特にデュアル・エッジ・サンプリング・モード (DES) 時のクロッキング性能を高めます。この回路によって、通常モードとデュ

アル・エッジ・サンプリング・モードのいずれでも、A/D コンバータにデューティ・サイクルが 80 / 20% (ワーストケース) のクロックを与えることが可能です。

1.1.5.1 デュアル・エッジ・サンプリング (DES)

DES モードは ADC08D500 が内蔵する 2 系統のコンバータ・チャネルがいずれかの入力チャネル (I チャネルまたは Q チャネル) を同時にサンプリングするモードです。一方のコンバータが入力クロックの正のエッジで入力データをサンプリングし、もう一方のコンバータが入力クロックの負のエッジで入力データをサンプリングします。すなわち、いずれかのチャネルの入力データはクロック・サイクルあたり 2 回サンプリングされ、合計のサンプリング・レートは入力クロック周波数の 2 倍になり、例えばクロックが 500MHz の場合に 1GSPS が得られます。

DES モードでは変換結果は 1:4 のデマルチプレクスとなりインタリーブで出力されます。サンプリング・レートが 2 倍なので、4 組の出力バスの出力レートはクロックが 500MHz のときに 250MHz になります。すべてのデータは並列に出力されます。クロック・サイクルごとで出力される 4 バイトの並列データは、最も早いものから遅いものの順に DQd、DI d、DQ、DI です。サンプリング・モードに応じた出力を Table 1 に示します。クロック・サイクルごとで出力される 4 バイトの並列データは、最も早いものから遅いものの順に DQd、DI d、DQ、DI です。サンプリング・モードに応じた出力を Table 1 に示します。

拡張モード動作ではない DES モードでは "I" 入力のみがサンプリングされます。拡張モードではサンプリングするチャネルをユーザーが選択可能です。

ADC08D500 は、DES モードで使用され I チャネルと Q チャネルのクロック位相を自動的にかつ連続的に調整する、自動クロック位相バックグラウンド調整機能も備えています。この機能によってクロック位相を外部で調整する必要がなくなるとともに、デュアル・エッジ・サンプリング時の有効ビット (ENOB) 性能が最大限に引き出されます。

重要：DES モードでのバックグラウンド調整機能は、DES モードに移行する前とデバイスの周囲温度が大きく変化したときに実行しなければならないコマンド較正を置き換えるものではありません。

TABLE 1. Input Channel Samples Produced at Data Outputs

データ出力 (つねに DCLK の立ち下がりで出力)	通常サンプリング・モード	デュアル・エッジ・サンプリング・モード	
		I チャネルを選択	Q チャネルを選択 *
DI	13CLK 前の立ち下がりがエッジでサンプリングした "I" 入力	13CLK 前の立ち下がりがエッジでサンプリングした "I" 入力	13CLK 前の立ち下がりがエッジでサンプリングした "Q" 入力
DI d	14CLK 前の立ち下がりがエッジでサンプリングした "I" 入力	14CLK 前の立ち下がりがエッジでサンプリングした "I" 入力	14CLK 前の立ち下がりがエッジでサンプリングした "Q" 入力
DQ	13CLK 前の立ち下がりがエッジでサンプリングした "Q" 入力	13.5CLK 前の立ち上がりがエッジでサンプリングした "I" 入力	13.5CLK 前の立ち上がりがエッジでサンプリングした "Q" 入力
DQd	サンプリング 14CLK 後の立ち下がりがエッジでサンプリングした "Q" 入力	14.5CLK 前の立ち上がりがエッジでサンプリングした "I" 入力	14.5CLK 前の立ち上がりがエッジでサンプリングした "Q" 入力

* デュアル・エッジ・サンプリング・モード (DES) での "Q" チャネル入力は、拡張制御モードで動作している場合のみサンプリングを選択可能です。

1.1.5.2 OutEdge の設定

出力データの遷移タイミングは、SDR モードで後段でのデータ・キャプチャが簡単になるように、出力データ・クロック (DCLK) の立ち上がりエッジまたは立ち下がりエッジのいずれかに設定することが可能です。設定は OutEdge (4ピン) で選択します。OutEdge 入力を High にすると出力データは DCLK の立ち上がりエッジに

同期して遷移し、OutEdge を Low にすると DCLK の立ち下がりエッジに同期して遷移します。セクション 2.4.3 を参照してください。

1.0 機能説明 (つづき)

1.1.5.3 ダブル・データレート

シングル・データレート(SDR)出力またはダブル・データレート(DDR)出力のいずれかを選択できる機能を備えています。シングル・データレートの場合、出力クロック(DCLK)の周波数は2組の出力パスのデータレートと同一です。ダブル・データレートの場合、DCLKの周波数はデータレートの半分になり、データはDCLKの両エッジで出力に送られます。非拡張モードでダブル・データレートをイネーブルにするには4ピンをフローティングにします。

1.1.6 LVDS 出力

データ出力、アウト・オブ・レンジ(OR)出力、DCLK出力はすべてLVDSです。差動100負荷に対する出力電流源の駆動能力は、OutV入力(14ピン)がHighの場合は3mA、OutV入力がLowの場合に2.2mAです。LVDSの信号線長が短く低ノイズのシステムの場合は、OutV入力をLowにして低消費電力にしても満足に行く性能が得られると考えられます。LVDSラインが長い場合、あるいはその両方に該当する場合は、OutVピンをHighにする必要があると考えられます。LVDSデータ出力のコモンモード電圧の代表値は V_{BG} ピンをフローティングにした場合に800mVです。より高いコモンモード電圧が必要な場合は、 V_{BG} ピンを V_A に接続するとコモンモード電圧は1.2Vに上がります。

重要： V_{BG} ピンを V_A に接続すると、差動LVDS出力電圧も40mV上昇します。

1.1.7 パワーダウン

パワーダウン(PD)ピンがLowのときは、ADC08D500はアクティブ状態です。PDピンがHighになると、本デバイスはパワーダウ

ン・モードになり、各出力ピンにはPDピンがHighになる前の最後の変換結果が保持されていて、デバイスの消費電力は最低レベルに減少します。PDQピンをHighにすると"Q"チャネルはパワーダウンされますが、"I"チャネルはアクティブの状態を続けます。"Q"チャネルとは独立して"I"チャネルのみをパワーダウンする方法はありません。なお、通常動作に復帰する時点でパイプラインに格納されている情報に意味はありません。

較正処理の実行中にPD入力をHighにすると、デバイスは較正シーケンスが完了するまではパワーダウン・モードに移行しません。ただし、PDをHighにした状態で電源を印加した場合は、PD入力がLowになるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中にコマンドを使って較正シーケンスを要求した場合でも較正は開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。PDQをHighにして"Q"チャネルをパワーダウンした場合、較正の実行は可能ですが、"Q"チャネルは較正されません。較正後に"Q"チャネルを使用する場合は、PDQをLowにしたあとで較正を実行する必要があります。

1.2 通常制御と拡張制御

ADC08D500は2種類のモードのいずれかで動作します。単純な「標準」制御モードでは複数の外部制御ピンを用いてデバイスの設定と制御を行います。「拡張制御モード」ではシリアル・インタフェースと8個のレジスタを用いてより多くの設定と制御が可能です。制御モードは14ピン(FSR/ECE:拡張制御イネーブル)で選択します。制御モードは最初から固定しておく必要があり、デバイスの動作中に動的に切り替えることは想定していません。

選択した制御モードごとのデバイス機能をTable 2に示します。

TABLE 2. Features and modes

機能	通常制御モード	拡張制御モード
SDR か DDR クロッキング	4ピンで選択	構成レジスタのDEビットで選択
DDR クロック位相	選択不可(位相0のみ)	構成レジスタのDCPビットで選択。セクション1.4を参照してください。
SDR データ遷移のDCLK立ち上がりまたは立ち下がりエッジ	4ピンで選択	構成レジスタのOEビットで選択
LVDS 出力レベル	3ピンで選択	構成レジスタのOEビットで選択
パワーオン較正遅延	127ピンで遅延選択	短時間遅延のみ
フルスケール・レンジ	14ピンにてオプション(650mV _{P-P} か870mV _{P-P})選択。選択したレンジは両チャネルに適用。	560mVから840mVまでの公称レンジの中で512ステップで設定。IチャネルとQチャネルで個別設定可。レジスタ3hとBhを使用。
入力オフセット調整	不可	レジスタ2hとAhを使用して各チャネル512ステップで±45mVの範囲で調整可
デュアル・エッジ・サンプリングの選択	127ピンでイネーブル	DESイネーブル・レジスタでイネーブル
デュアル・エッジ・サンプリングの入力チャネルの選択	Iチャネル入力のみを使用	Iチャネル入力かQチャネル入力を両方のコンバータでサンプリング
DES サンプリング・クロック調整	クロック位相を自動的に調整	自動クロック位相制御はDESイネーブル・レジスタ(Dh)内のビット14をセットして選択。粗調整レジスタと微調整レジスタ(EhとFh)を使ってクロック位相を調整することも可能。

1.0 機能説明 (つづき)

拡張制御モードのデフォルト状態はパワーオン・リセット (デバイス内部で実行) で設定され、Table 3 に示すとおりです。

TABLE 3. Extended Control Mode Operation (Pin 14 Floating)

機能	拡張制御モードのデフォルト設定
SDR か DDR クロッキング	DDR クロッキング
DDR クロック位相	DCLK エッジでデータ遷移 (位相 0°)
LVDS 出力振幅	通常振幅 (710mV _{p-p})
較正遅延	短時間遅延
フルスケール・レンジ	両チャネルとも公称 700mV
入力オフセット調整	両チャネルとも調整なし
デュアル・エッジ・サンプリング (DES)	ディスエーブル

1.3 シリアル・インタフェース

3 線式のシリアル・インタフェースは拡張制御モード時のみ有効です。インタフェースが使用するピンは、シリアル・クロック (SCLK)、シリアル・データ (SDATA)、シリアル・インタフェース・チップセレクト (SCS) の 3 本です。8 個の書き込み専用レジスタにはシリアル・インタフェースを介してアクセスします。

SCS: シリアル・インタフェースを介してレジスタにアクセスするときこの信号を Low にアサートします。SCLK を基準とするセットアップ時間とホールド時間を守らなければなりません。

SCLK: この信号の立ち上がりでシリアル・データ入力を取り込まれます。

SDATA: この入力には各レジスタのアクセスに必要な固有の 32 ビット・パターンを与えます。データ・パターンは、ヘッダー、レジスタ・アドレス、レジスタ値で構成されます。データは MSB から入力します。SCLK を基準とするセットアップ時間とホールド時間を守らなければなりません。「タイミング図」を参照してください。

各レジスタ・アクセスのデータは、タイミング図の Figure 5 に示すように、32 ビットで構成されます。ヘッダー・パターンは固定で 0000 0000 0001 (11 個のゼロのあとに 1) です。書き込み順は先頭の 0b が最初です。この 12 ビットがヘッダーを構成します。次の 4 ビットは書き込み対象レジスタのアドレスを示し、残りの 16 ビットがアドレスで指定したレジスタへの書き込みデータです。各レジスタのアドレスを Table 4 に示します。

レジスタに書き込むデータの内容については「レジスタの説明」(セクション 1.4) を参照してください。

連続したレジスタ・アクセスは 33 番目の SCLK からすぐに開始することが可能です。すなわち、レジスタのアクセスと次のアクセスとの間に SCS 入力をいったんネゲートして再びアサートする必要はありません。拡張制御モードで動作させる場合に、推奨はしませんが、SCS 入力をイネーブル (Low) に固定する方法もあります。

重要: A/D コンバータの較正時はシリアル・インタフェースを使用してはなりません。使用した場合、正しく再較正を行うまで、デバイスは性能が劣化した状態で動作します。シリアル・レジスタをプログラミングした場合も、レジスタ・アクセスの期間にわたって、A/D コンバータのダイナミック性能は低下します。

TABLE 4. Register Addresses

4-Bit Address					
Loading Sequence: A3 loaded after H0, A0 loaded last					
A3	A2	A1	A0	Hex	Register Addressed
0	0	0	0	0h	Reserved
0	0	0	1	1h	Configuration
0	0	1	0	2h	"I" Ch Offset
0	0	1	1	3h	"I" Ch Full-Scale Voltage Adjust
0	1	0	0	4h	Reserved
0	1	0	1	5h	Reserved
0	1	1	0	6h	Reserved
0	1	1	1	7h	Reserved
1	0	0	0	8h	Reserved
1	0	0	1	9h	Reserved
1	0	1	0	Ah	"Q" Ch Offset
1	0	1	1	Bh	"Q" Ch Full-Scale Voltage Adjust
1	1	0	0	Ch	Reserved
1	1	0	1	Dh	DES Enable
1	1	1	0	Eh	DES Coarse Adjust
1	1	1	1	Fh	DES Fine Adjust

1.4 レジスタの説明

拡張制御モードでは 8 個の書き込み専用レジスタによってさまざまな制御設定オプションが提供されます。これらレジスタの内容は通常制御モードの動作には影響を与えません。以下に説明する各レジスタの詳細にはパワーオン・リセット (POR) 後のデフォルト状態を併記しています。

構成レジスタ
アドレス: 1h (0001b) 書き込み専用 (0xB2FF)

D15	D14	D13	D12	D11	D10	D9	D8
1	0	1	DCS	DCP	nDE	OV	OE
D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	1	1	1

ビット 15 1 を書き込んでください。

ビット 14 0 を書き込んでください。

ビット 13 1 を書き込んでください。

ビット 12 DCS: デューティ・サイクル安定化回路。このビットを 1 にセットすると、デューティ・サイクル安定化回路がクロック入力に適用されます。このビットを 0 にすると安定化回路はディスエーブルされます。

1.0 機能説明 (つづき)

ビット 11 DCP: DDRクロック位相このビットはDDRモードにのみ作用します。このビットを0にすると、DCLK エッジはデータバス・エッジのタイミングに揃えられます (位相 0)。このビットを1にすると、DCLK エッジはデータビット・セルの中心に置かれ (位相 90)、Figure 4 のように、データレート¹の1/2の周波数のDCLKは位相基準として用いられます。

POR デフォルト: 0b

ビット 10 nDE: DDR イネーブル。このビットを0にするとデータバス・クロッキングはDDR (ダブル・データレート) モードになり、データ・ワードはDCLK の立ち上がりクロックと立ち下がりクロックで出力されます。このビットを1にセットするとデータバス・クロッキングはSDR (シングル・データレート) モードになり、OutEdge ビットの設定にもとづいて、データ・ワードはDCLK の立ち上がりまたは立ち下がり¹のいずれかで出力されます。

POR デフォルト: 0b

Bit 9 OV: 出力電圧。このビットは通常制御モードでの OutV ピンの機能と同じく、LVDS の出力電圧振幅を決定します。このビットを1にセットすると標準出力振幅 710mV_{p-p} が使用されます。このビットを0にすると出力振幅は抑えられ 510mV_{p-p} が使用されます。

POR デフォルト: 1b

ビット 8 OE: 出力エッジ。このビットは通常制御モードでの OutEdge ピンの機能と同じく、SDR モードでデータ・ワード遷移を生じさせる DCLK エッジを選択します。このビットを1にするとデータ出力はDCLK + 立ち上がりエッジで変化します。このビットを0にするとデータ出力は DCLK + の立ち下がりエッジで変化します。

POR デフォルト: 0b

ビット 7:0 1を書き込んでください。

I チャンネル・オフセット

アドレス: 2h (0010b) 書き込み専用 (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)	Offset Value						(LSB)
D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

ビット 15:8 オフセット値。このフィールドを使って、I チャンネル A/D コンバータの入力オフセットをリニアかつ単調 (モニタック) に調整します。00h は公称ゼロのオフセットを与え、FFh は公称 45mV のオフセットを与えます。すなわち、レジスタ値の1ビットは0.176mV のオフセット増分に相当します。

POR デフォルト: 0000 0000b

ビット 7 符号ビット。0 は正のオフセットを与え、1 は負のオフセットを与えます。

POR デフォルト: 0b

ビット 6:0 1を書き込んでください。

I チャンネル・フルスケール電圧調整

アドレス: 3h (0011b) 書き込み専用 (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)	Adjust Value						(LSB)
D7	D6	D5	D4	D3	D2	D1	D0
(LSB)	1	1	1	1	1	1	1

ビット 15:7 フルスケール電圧調整値。このフィールドを使って、I チャンネル A/D コンバータの入力フルスケール電圧は公称値の差動 700mV_{p-p} からリニアかつ単調 (モニタック) に調整します。

0000 0000 0 560mV_{p-p}

1000 0000 0 700mV_{p-p}

1111 1111 1 840mV_{p-p}

最高性能を発揮させるために、このフィールドの値は 0110 0000 0b から 1110 0000 0b の範囲にとどめておくことを推奨します。すなわち調整量を最大で ± 15% に制限します。残りのマージン ± 5% によって A/D コンバータのフルスケールばらつきが吸収されます。ゲイン調整で A/D コンバータの再較正は必要ありません。

POR デフォルト: 1000 0000 0b (無調整)

ビット 6:0 1を書き込んでください。

Q チャンネル・オフセット

アドレス: Ah (1010b) 書き込み専用 (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)	Offset Value						(LSB)
D7	D6	D5	D4	D3	D2	D1	D0
Sign	1	1	1	1	1	1	1

ビット 15:8 オフセット値。このフィールドを使って、Q チャンネル A/D コンバータの入力オフセットをリニアかつ単調 (モニタック) に調整します。00h は公称ゼロのオフセットを与え、FFh は公称 45mV のオフセットを与えます。すなわち、レジスタ値の1ビットは0.176mV のオフセット増分に相当します。

POR デフォルト: 0000 0000b

ビット 7 符号ビット。0 は正のオフセットを与え、1 は負のオフセットを与えます。

POR デフォルト: 0b

ビット 6:0 1を書き込んでください。

1.0 機能説明 (つづき)

Q チャンネル フルスケール電圧調整

アドレス : Bh (1011b) 書き込み専用 (0x807F)

D15	D14	D13	D12	D11	D10	D9	D8
Adjust Value							
D7	D6	D5	D4	D3	D2	D1	D0
(LSB) 1 1 1 1 1 1 1							

ビット 15:7 フルスケール電圧調整値。このフィールドを使って、I チャンネル A/D コンバータの入力フルスケール電圧は公称値の差動 700mV_{P-P} からリニアかつ単調 (モニタック) に調整します。

0000 0000 0 560mV_{P-P}

1000 0000 0 700mV_{P-P}

1111 1111 1 840mV_{P-P}

最高性能を発揮させるために、このフィールドの値は 0110 0000 0b から 1110 0000 0b の範囲にとどめておくことを推奨します。すなわち調整量を最大で± 15% に制限します。残りのマージン± 5% によって A/D コンバータのフルスケールばらつきが吸収されます。ゲイン調整で A/D コンバータの再較正は必要ありません。

POR デフォルト : 1000 0000 0b (無調整)

ビット 6:0 1 を書き込んでください。

DES イネーブル

アドレス : Dh (1101b) 書き込み専用 (0x3FFF)

D15	D14	D13	D12	D11	D10	D9	D8
DEN	ACP	1	1	1	1	1	1
D7	D6	D5	D4	D3	D2	D1	D0
1 1 1 1 1 1 1 1							

ビット 15 DES イネーブル。このビットを 1 にセットするとデュアル・エッジ・サンプリング・モードがイネーブルになります。DES モードでは、デバイスに内蔵されている 2 系統のコンバータを使用して、同一のアナログ入力を時間インターリーブによって変換し、入力クロック・レートの 2 倍のサンプリング・レートを達成します。このビットを 0 にするとデバイスは通常のデュアル・チャンネル・モードで動作します。

POR デフォルト : 0b

ビット 14 自動クロック位相 (ACP) 制御。このビットを 1 にすると自動クロック位相制御がイネーブルになります。このモードではマニュアル設定による DES の粗調整と微調整はディスエーブルされます。位相検出回路が I と Q のサンプリング・エッジの位相関係を 180 に連続して維持します。このビットを 0 にした場合、I チャンネルと Q チャンネル間のサンプル (入力) クロック遅延は DES の粗調整レジスタと微調整レジスタを用いてマニュアルによって設定します (重要なアプリケーション情報についてはセクション 2.4.5 を参照してください)。マニュアル DES 設定よりも ACP 制御オプションの利用を推奨します。

POR デフォルト : 0b

ビット 13:0 1 を書き込んでください。

DES 粗調整

アドレス : Eh (1110b) 書き込み専用 (0x07FF)

D15	D14	D13	D12	D11	D10	D9	D8
IS	ADS	CAM			1	1	1
D7	D6	D5	D4	D3	D2	D1	D0
1 1 1 1 1 1 1 1							

ビット 15 入力選択。このビットを 0 にすると "I" 入力 が両方のコンバータで使用されます。このビットを 1 にすると "Q" 入力 が両方のコンバータで使用されます。

POR デフォルト : 0b

ビット 14 調整方向の選択。このビットを 0 にすると、設定した遅延は "I" チャンネルのサンプリング・クロックに適用されますが、"Q" チャンネルのサンプリング・クロックは固定のままです。このビットを 1 にすると、設定した遅延は "Q" チャンネルのサンプリング・クロックに適用されますが、"I" チャンネルのサンプリング・クロックは固定のままです。

POR デフォルト : 0b

ビット 13:11 粗調整の大きさ。このフィールドのコード値によって、"I" チャンネルか "Q" チャンネルのいずれかのサンプリング・クロック (ADS ビットで設定) に、20ps を単位として遅延が適用されます。値 000b は調整量ゼロです。

POR デフォルト : 000b

ビット 10:0 1 を書き込んでください。

1.0 機能説明 (つづき)

DES 微調整

アドレス : Fh (1111b) 書き込み専用 (0x007F)

D15	D14	D13	D12	D11	D10	D9	D8
(MSB)				FAM			
D7	D6	D5	D4	D3	D2	D1	D0
(LSB)		1	1	1	1	1	1

ビット 15:7 微調整の大きさ。このフィールドのコードによって、"I" チャネルか "Q" チャネルのいずれかのサンプリング・クロック (DES 粗調整レジスタの ADS ビットで設定) に、およそ 0.1ps を単位として遅延が適用されます。値 0000 0000 0b は調整量ゼロです。各コードによって適用される調整量は、デバイスの状態と設定した粗調整値によって変わる点に注意してください。

POR デフォルト : 0000 0000 0b

ビット 6:0 1 を書き込んでください。

1.4.1 拡張モードのオフセット補償に関する注意

I チャネルまたは Q チャネルのオフセット調整レジスタを使用する場合は、次の点に注意してください。

オフセット設定値 + 0000 0000 とオフセット設定値 - 0000 0000 とでは実際のオフセットは同じになりません。設定値は符号ビットが異なるだけですが、デジタル出力コードには LSB のおよそ 1/10 のオフセット変化が生じます。この様子を以下の図に示します。

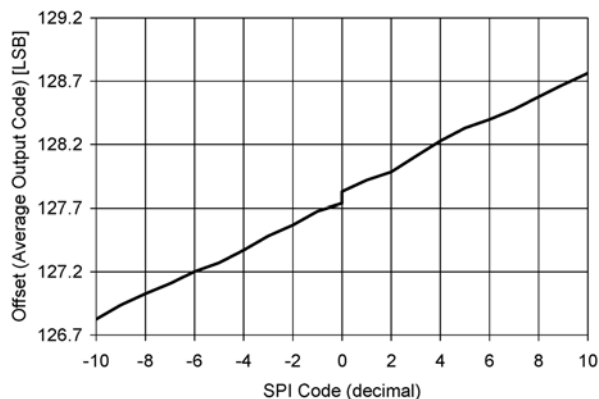


FIGURE 10. Extended Mode Offset Behavior

1.5 複数デバイスの同期

外部から供給する DCLK_RST パルスによって、ADC08D500 のサンプリング・クロック入力と DCLK 出力のタイミング関係は正確にリセットされます。この機能を用いれば、システム内に複数デバイスがある場合に、すべてのデバイスがサンプリングに使用する共有 CLK 入力に対して、それぞれの DCLK (とデータ) の出力遷移を同期させることができます。

DCLK_RST 信号は「タイミング図」の Figure 6 ~ 8 に示されるタイミング要件を満たさなければなりません。DCLK_RST パルスは最小幅を満たさなければならないほか、ネゲートするエッジは CLK 入力立ち上がりエッジに対してセットアップ時間とホールド時

間を満たさなければなりません。これらタイミングは「コンバータの電气的特性」に記載されています。

DCLK_RST 信号は入力クロックに対して非同期にアサートしても問題ありません。DCLK_RST をアサートすると、DCLK 出力は規定されたステートに保持されます。リセット期間中に保持される DCLK ステートは、動作モード (SDR/DDR) と、出力エッジのピン設定またはレジスタ設定により決まります (DCLK リセット・ステートについては Figure 6 ~ 8 を参照してください)。そのため、DCLK_RST 信号をアサートしたタイミングに応じて、このリセット事象の際に DCLK に短いパルスが生じることがあります。同期処理中に CLK 立ち上がりエッジで DCLK_RST 信号をネゲートすると、次の CLK 立ち下がりエッジで、システム内の全 ADC08D500 の DCLK 出力の同期が行われます。DCLK 出力は、CLK 入力から DCLK 出力の遅延時間 (t_{AD}) に等しい一定遅延後に再びビネーブルになります。正常動作ではこの遅延が必ず生じます。

DCLK_RST ビンは、較正プロセスの実行中 (CalRun が High の間) は High にしてはなりません。万が一 High にするとデジタル回路内にグリッチが発生し、較正は正しく実行できず無効になります。

2.0 アプリケーション情報

2.1 リファレンス電圧

ADC08D500 のリファレンス電圧は 1.254V のバンドギャップ・リファレンスから生成しています。バンドギャップ・リファレンスをバッファした電圧は外部参照用に 31 ピンの V_{BG} ピンから出力されていて、 $\pm 100\mu A$ のソースまたはシンクが可能です。これより多くの電流を必要とする場合は外部バッファを使用してください。

内部バンドギャップから生成されるリファレンス電圧の公称値は、FSR ピンで決まるとおり、650mV または 870mV のいずれかです。詳しくはセクション 1.1.4 を参照してください。

リファレンス電圧を外部から与える方法はありませんが、セクション 1.2 で説明したとおり、フルスケール入力電圧は拡張制御モードであれば構成レジスタを使って設定可能です。

選択したフルスケール・レベルを上限とする差動入力信号は 8 ビットでデジタル化されます。フルスケール・レンジを超えた信号は出力でクリッピングされます。このような大きな信号を与えると OR 出力がアクティブになってレンジを逸脱していることを外部に知らせます。セクション 2.2.2 を参照してください。

V_{BG} ピンには LVDS 出力のコモンモード電圧を高める機能があります。 V_{BG} ピンを出力として使用した場合、もしくは開放で使用した場合、出力オフセット電圧 (V_{OS}) は代表値で 800mV です。LVDS オフセット電圧を代表値で 1200mV に上げるには、 V_{BG} ピンを電源レールに直接接続します。

2.2 アナログ入力

アナログ入力は差動入力で、AC 結合か DC 結合で信号ソースを接続します。フルスケール入力レンジは、FSR ピンを使って 650mV_{p-p} か 870mV_{p-p} を選択するか、拡張制御モードではシリアル・インタフェースを介して 560mV_{p-p} から 840mV_{p-p} までの範囲で調整が可能です。性能を発揮させるには、拡張制御モードでも、フルスケール・レンジを 595mV_{p-p} から 805mV_{p-p} の範囲に維持してください。

通常 (非拡張) モードで FSR ピンを High で使用したときの入力と出力の関係を Table 5 に示します。FSR ピンが Low の場合、電圧は Table 5 記載の mV 値の 75% になります。拡張制御モードの場合、これらに対応する電圧値は、制御レジスタのフルスケール・レンジ設定とオフセット設定によって変わります。

2.0 アプリケーション情報 (つづき)

TABLE 5. DIFFERENTIAL INPUT TO OUTPUT RELATIONSHIP (Non-Extended Control Mode, FSR High)

V_{IN+}	V_{IN-}	Output Code
$V_{CM} - 217.5mV$	$V_{CM} + 217.5mV$	0000 0000
$V_{CM} - 109mV$	$V_{CM} + 109mV$	0100 0000
V_{CM}	V_{CM}	0111 1111 / 1000 0000
$V_{CM} + 109 mV$	$V_{CM} - 109mV$	1100 0000
$V_{CM} + 217.5mV$	$V_{CM} - 217.5mV$	1111 1111

アナログ入力をバッファした信号で駆動するとA/Dコンバータ入力のサンプリングに通常使用されるRCポールは不必要になります。A/Dコンバータの前段にアンプを置く場合、適切なノイズ性能と歪み性能、およびアプリケーションが使用する周波数において適切なゲインを持つアンプを選択するようにしてください。

A/Dコンバータ入力には正確なDCコモンモード電圧を与えなければなりません。AC入力結合をした場合はコモンモード電圧 V_{CMO} はチップ内部で生成されるので、A/DコンバータにはAC結合した入力信号を与えます。

入力をAC結合で用いる場合は、 V_{CMO} 出力をFigure 11に示すようにグラウンドに接続してください。このように接続することで、オンチップで生成される V_{CMO} 電圧は、内蔵50k抵抗を介して入力に与えられます。

重要：使用しないアナログ入力チャネル(例えばDESモード)は、入力がAC結合であればフローティングのままにしておきます。未使用アナログ入力をグラウンドに接続してはなりません。

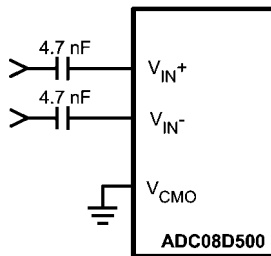


FIGURE 11. Differential Input Drive

DC結合で動作させる場合には差動入力にコモンモード電圧を与えなければなりません。このコモンモード電圧は V_{CMO} 出力ピンに追従しなければなりません。 V_{CMO} 出力電圧は温度によって変化する点に注意が必要です。アナログ入力を駆動するデバイスのコモンモード電圧はこの変化に追従できなければなりません。

重要：使用しないアナログ入力チャネル(例えばDESモード)は、入力がDC結合であれば V_{CMO} に接続してください。未使用アナログ入力をグラウンドに接続してはなりません。

入力コモンモード電圧が V_{CMO} から変位するとフルスケール歪み性能が急激に悪化します。この現象は消費電力を抑えるために低い電源電圧を使用したときに必然的に生じます。入力コモンモード電圧は V_{CMO} の50mV以内に維持してください。

正負両方のアナログ入力の入力コモンモード電圧を V_{CMO} の50mV範囲内に維持すれば、DC結合時の性能はAC結合時の性能と同等になります。

DC結合を使用する場合は、適切な性能を維持するために、 V_{CMO} ピンを使って入力コモンモード電圧を制御することが最も適切な方法です。このような回路例をFigure 12に示します。

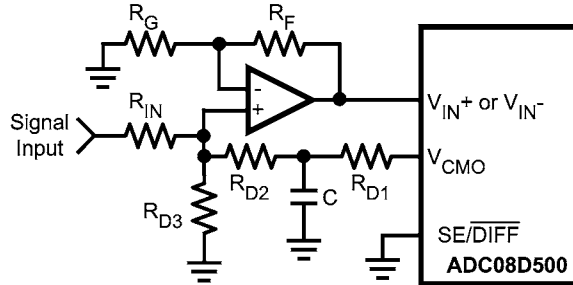


FIGURE 12. Example of Servoing the Analog Input with V_{CMO}

図の回路を V_{IN+} 入力と V_{IN-} 入力の前段にそれぞれ配置します。この回路では、アンプで増幅された入力コモンモード電圧がA/Dコンバータが出力する V_{CMO} に等しくなるように、 R_{D1} 、 R_{D2} 、 R_{D3} によって V_{CMO} を分圧しています。バイパス・コンデンサで V_{CMO} と入力信号とを分離するために R_{D1} と R_{D2} を分割しています。必要に応じて R_{IN} 、 R_{D2} 、 R_{D3} によって入力信号を分圧します。入力信号のいかなる成分も V_{CMO} に影響を与えないようにFigure 12中のコンデンサ"C"を選択します。

V_{CMO} 出力を流れる電流が100µA以内になるように抵抗値を選択してください。

DC結合モード(V_{CMO} ピンをグラウンドに接続しない状態)での入力インピーダンスは、 V_{IN+} と V_{IN-} の間に存在する高精度100抵抗と、各入力とグラウンド間に存在する容量分とで構成されます。AC結合モードでは各アナログ入力ピンと V_{CMO} 電位の間に存在する50k抵抗がさらに追加されます。

フルスケールを逸脱して入力を駆動すると、飽和またはクリッピングによって正しくないデータが出力されます。

2.2.1 シングルエンド入力信号の取り扱い

ADC08D500はシングルエンド入力信号を適切に扱える手段を備えていません。シングルエンド信号を取り扱う場合は、シングルエンド信号をA/Dコンバータに与える前に差動信号に変換する方法が最も適切です。シングルエンドから差動信号への最も簡単な変換手段は、Figure 13に示すようなバラン接続のトランスです。

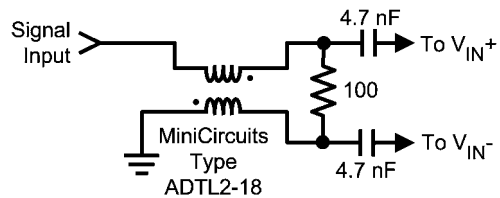


FIGURE 13. Single-Ended to Differential signal conversion with a balun-connected transformer

2.0 アプリケーション情報 (つづき)

バランの出力ピン間に接続した100 Ω 外付け抵抗と、ADC08D500 が内蔵する 100 Ω 抵抗とが並列になり、バラン出力端に 50 Ω の差動インピーダンスが形成されます。あるいは、各バラン出力ピンから仮想グラウンドに対して 25 Ω です。

バランに接続される信号ソースから見ると、第 1 コイルのインピーダンスに第 1 コイルの出力におけるインピーダンスが直列に接続されています。トランスの巻き線比は 1:1 なので、第 1 コイル両端のインピーダンスは第 2 コイルの出力におけるインピーダンスと正確に同一で、すなわち、仮想グラウンドに対して 25 Ω です。したがって、第 1 コイル両端インピーダンス 25 Ω にその出力におけるインピーダンス 25 Ω が直列に接続されて合計インピーダンスは 50 Ω になり、信号ソースのインピーダンスに整合します。

2.2.2 アウト・オブ・レンジ (OR) 出力

クリッピングされた変換結果が得られた場合、OR + が High になり OR - が Low になって、範囲外 (アウト・オブ・レンジ) であることを示します。出力バスのいずれかから出力される本来のデータが 00h から FFh のレンジを逸脱している限り、OR 出力はアクティブの状態を続けます。

2.2.3 フルスケール入力レンジ

あらゆる A/D コンバータと同様に、入力レンジは A/D コンバータのリファレンス電圧によって決まります。ADC08D500 のリファレンス電圧は、内部バンドギャップ・リファレンスから生成しています。FSR ピンは ADC08D500 の実効リファレンス電圧を制御し、FSR ピンが High のときアナログ入力の差動フルスケール入力レンジは 870mV_{P-P}、FSR ピンが Low のときは 650mV_{P-P} になります。最高の SNR は FSR が High の場合に得られますが、より優れた歪み性能と SFDR 性能は FSR が Low のときに得られます。

2.3 クロック入力

ADC08D500 は差動 LVDS クロック入力 CLK + と CLK - を備えています。これらクロック・ピンは AC 結合の差動クロック信号で駆動しなければなりません。ADC08D500 は差動 1.5GHz クロックで試験され、その性能が保証されていますが、通常は「電気的特性」に記載のクロック周波数で良好な性能を発揮します。クロック入力は内部終端され、バイアスが加えられています。クロック信号は Figure 14 に示すように、クロック・ピンに容量性結合している必要があります。

「電気的特性」の表に記載のサンプリング・レートを上限とする動作は、記載されている最大周囲温度を超えない限り、一般に問題ありません。与えられた周囲温度で、規定されているサンプリング・レートより高いサンプリング・レートで動作させると、デバイスの信頼性と製品寿命を損ねる結果を招く場合があります。その理由は、サンプリング・レートが高くなると消費電力が大きくなり、温度が上昇するためです。信頼性の確保では適切なサーマル・マネジメントも重要です。セクション 2.6.2 を参照してください。

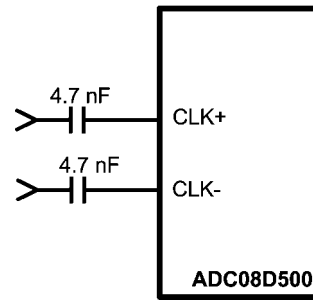


FIGURE 14. Differential (LVDS) Clock Connection

差動入力クロック・ライン・ペアは 100 Ω の特性インピーダンスを持たなければならず、また、クロック・ソース端でその特性インピーダンス (100 Ω) で終端しなければなりません。クロック・ラインは、できる限り短く、また、できる限り直接配線してください。ADC08D500 のクロック入力は、タイミング調整されていない内蔵 100 Ω 抵抗によって内部終端されています。

クロック・レベルが十分ないとダイナミック性能が悪化します。過度のクロック・レベルはアナログ入力オフセット電圧を変化させる可能性があります。このような問題を防ぐために、入力クロック・レベルを「電気的特性」の表に記載されている電圧範囲に維持してください。

一般に A/D コンバータの性能は、クロックの Low 時間および High 時間に影響されます。ADC08D500 は、DES モードにおいても温度範囲にわたって性能を維持する、デューティ・サイクル・クロック補正回路を内蔵しています。A/D コンバータは入力クロックの High 時間と Low 時間が「電気的特性」の表記載の時間範囲 (20/80% 比) に維持されている限り性能仕様を満たします。

ADC08D500 のような高速かつ高性能な A/D コンバータは、位相ノイズ、すなわちジッタの少ないきわめて安定したクロックを必要とします。A/D コンバータのジッタ要件は、A/D コンバータの分解能 (ビット数)、A/D コンバータの最高入力周波数、A/D コンバータ入力フルスケール・レンジに対する入力信号振幅の比で決まります。ジッタに起因する SNR 低下を生じさせない許容される最大ジッタ (すべてのジッタ源に起因するジッタの合計) は次のとおりです。

$$t_{j(\text{MAX})} = (V_{\text{IN(P-P)}}/V_{\text{INFSR}}) \times (1/(2^{(N+1)} \times \times f_{\text{IN}}))$$

$t_{j(\text{MAX})}$ は全ジッタ源の rms の合計で単位は秒、 $V_{\text{IN(P-P)}}$ はアナログ入力信号のピーク・ツー・ピーク値、 V_{INFSR} は A/D コンバータのフルスケール・レンジ、"N" は A/D コンバータの分解能で単位はビット数、 f_{IN} は A/D コンバータのアナログ入力の最高入力周波数で単位は Hz です。

上述の最大ジッタは、システムが A/D コンバータ入力クロックと入力信号に付加するジッタと、A/D コンバータ自身が A/D コンバータ入力クロックに付加するジッタを含む、すべてのジッタ源から出力されるジッタの数学的な和です。A/D コンバータが追加するジッタは設計者が管理できる範囲の外にあるため、設計者は、外部回路が追加するクロック・ジッタと、アナログ回路がアナログ信号に追加するジッタの合計を最小限に抑えるように努めなければなりません。

「電気的特性」の表で規定されている入力クロック振幅を超える振幅を与えると入力オフセット電圧が上昇する場合があります。正負両方の入力ピンが同一の電位にあっても、コンバータは、見込まれる 127/128 以外の出力コードを生成する可能性があります。

2.0 アプリケーション情報 (つづき)

2.4 制御ピン

6本の制御ピン(シリアル・インタフェースで使用するピンは含みません)は、ADC08D500の動作に自由度を与えるとともに、その適用範囲を広げます。制御ピンによって、フルスケール入力レンジの設定、自己較正の開始、較正遅延の設定、出力同期エッジの選択、LVDS出力レベルの選択、パワーダウン機能などがサポートされます。

2.4.1 フルスケール入力レンジの設定

入力フルスケール・レンジは、通常動作モードでは、FSR制御入力(14ピン)を用いて650mV_{p-p}または870mV_{p-p}のいずれかを選択可能です。拡張制御モードでは、入力フルスケール・レンジは560mV_{p-p}から840mV_{p-p}までの範囲で任意に設定可能です。詳細はセクション2.2を参照してください。

2.4.2 自己較正

定格性能を発揮するためにADC08D500は自己較正の実行を必要とします。この較正処理はパワーアップ時に実行されますが、外部からのコマンド指示によって実行させることも可能です。較正処理は、パワーオン時にクロックが印加されている状態でも、あるいは電源印加後にある時間を経過してからクロックを与えた場合でも同一です。較正処理の実行中はCalRun出力インジケータがHighになります。

2.4.2.1 パワーオン較正

パワーオン較正は、電源を印加後、ある遅延ののちに開始されます。この時間遅延は以下の「較正遅延」セクションに記載のとおりCalDlyの設定によって決まります。

電源投入時にCALピンをHighにしていると較正処理は実行されません。この場合、較正サイクルはコマンドによる較正が行われるまで開始されません。電源投入時にCALピンをHighにすると、ADC08D500は動作しますが較正は行われなため、十分な性能が得られません。ただし、パワーオン後にCALピンをHighにすることでマニュアル較正を実行可能です。セクション2.4.2.2の「コマンドによる較正」を参照してください。

内部パワーオン較正回路は不定なロジック・ステートで起動します。クロックが電源投入時に入力されておらず、パワーオン較正回路がアクティブな場合、デバイスはアナログ回路をパワーダウンし、消費電力は通常200mW未満になります。クロックが与えられると消費電力は通常の値に戻ります。

2.4.2.2 コマンドによる較正

コマンド較正は、通常モード(非DES)モードのみで使用している場合にのみ任意の時点で実行可能です。A/Dコンバータが自動DESモードで動作しているときは較正を起動しないでください。

A/Dコンバータが自動DESモードで動作していて、なおかつ較正サイクルが必要な場合は、デバイスを制御しているアプリケーションは、コマンド較正を開始する前にA/Dコンバータを通常モード(非DES)に移行させなければなりません。較正が完了したらA/Dコンバータを自動DESモードに戻してもかまいません。

コマンド較正を開始するには、CALピンを80入力クロック・サイクル以上Highに保ち、次に80入力クロック・サイクル以上Lowに保ちます。電源投入時にCALピンをHighにしておくと、CALピンを少なくとも80クロック・サイクルにわたってLowにしたあと、少なくとも80クロック・サイクルにわたってHighにするまで、パワーオン較正は行われません。較正サイクルはCALピンをHighにした80クロック後に開始されます。較正サイクルの完了を知るにはCalRun信号の監視が必要です。

ランダムなノイズによって要求していないにもかかわらず較正が開始されないように、最小80クロック・サイクルのシーケンスを必要としています。セクション1.1.1で述べたように、最高性能を発揮させるには、アプリケーションの電源を投入して20秒以上が経過してから自己較正を実行するとともに、システム性能要件と比較して周囲温度が大幅に変化したときに再較正を実行してください。接合部温度が上昇すると、ENOBはわずかに低下し、新しい自己較正サイクルを実行すると、基本的にはこの変化が排除されます。

2.4.2.3 較正遅延

CalDly入力(127ピン)を使用して、セクション1.1.1で述べたように、アプリケーションに電源が印加されてから較正が開始されるまでの時間差を2種類の遅延時間から選択します。較正遅延によって較正を実行する前に電源が安定する時間的な余裕が与えられます。遅延がない場合、あるいは遅延が十分ではない場合、電源が動作状態に安定しない前に較正が実行される可能性があります。最適化されていない較正係数が得られてしまいます。電源投入時にPDピンをHighに保持すると、PDピンがLowになるまで較正遅延カウンタはデイスエーブルされます。すなわち、電源オン時にPDピンをHighに保てば、電源投入時の較正サイクルの開始をさらに遅らせることが可能です。CalDlyピンの最適な設定は、電源の電圧セトリング時間によって異なります。

較正遅延は拡張制御モードでは選択できません。短時間遅延が適用されます。

2.4.3 出力エッジ同期

コンバータ出力データを外部回路でラッチできるようにDCLK信号が出力されています。出力データはDCLK信号のいずれかのエッジに同期が可能です。すなわち、出力データの同期エッジは、出力データ・クロック(DCLK)の立ち上がりエッジまたは立ち下がりエッジのいずれかに設定することができ、外部の受信回路はDCLK信号の対応するエッジを使って出力データをラッチします。

OutEdge(4ピン)がHighのとき、出力データはDCLK+(82ピン)の立ち上がりエッジに同期(変化)します。OutEdgeがLowのとき、出力データはDCLK+の立ち下がりエッジに同期します。

ADC08D500が対応可能なきわめて高い周波数では、DCLKとデータ・ラインのわずかなトレース長の違いがデータ・キャプチャの成功あるいは失敗につながります。OutEdgeピンを使えば、アプリケーション回路とレイアウトに最も適したDCLKエッジでデータをキャプチャすることが可能になります。

2.4.4 LVDS出力レベル制御

出力レベルはOutV(3ピン)を使用して2種類のレベルから選択します。OutVをHighにすると出力ドライバの駆動能力が強くなります。OutVをLowにすると出力ドライバの消費電力は抑えられますが出力レベルが低い場合ノイズ耐性は低下します。

LVDSライン長が短くノイズが小さなシステムでは、FSR入力をLowにしても十分な性能が得られる可能性があります。LVDSラインが長い場合ADC08D500が使われているシステムにノイズが多い場合、あるいはその両方に該当する場合は、FSRピンをHighにする必要があると考えられます。

2.4.5 デュアル・エッジ・サンプリング

デュアル・エッジ・サンプリング(DES)機能にすると、2系統の入力ペアのうちひとつが両方のコンバータ回路にルーティングされます。残りの入力ペアは使用されません。一方のコンバータが入力信号を入力クロック・エッジでサンプリングし、一方のコンバータが入力信号を反対の入力クロック・エッジでサンプリングします。その結果、サンプリング・レートが入力クロック周波数の2倍に相当する1:4のデマルチプレクス出力が得られます。

2.0 アプリケーション情報 (つづき)

この機能を非拡張制御モードで使用する場合は 127 ピンをフローティングにします。"I" チャネルに与えられる信号が両方のコンバータで変換されます。較正遅延は短時間遅延のみが適用されます。

拡張制御モードではいずれかの入力をデュアル・エッジ・サンプリングに適用可能です。セクション 1.1.5.1 を参照してください。

重要:

- 1) 拡張制御モードの場合: 自動クロック位相制御機能をデュアル・エッジ・サンプリング・モードで使用する場合、A/D コンバータをパワーダウンから復帰させる前に自動位相制御を必ずディスエーブルしてください (DES イネーブル・レジスタ Dh のビット 14 を 0)。この処理を行わないとデバイスをパワーダウン・モードから復帰できなくなる可能性が生じます。
- 2) 非拡張制御モードの場合: DES モードで動作させる必要がある場合、ADC08D500 をパワーオンするときに、127 ピン (CalDly/DES/SCS) をパワーオンの最初の時点がパワーオン・シーケンス後に Low にしてください。その後 127 ピンをフローティングにするか $V_A/2$ の電圧に接続して DES モードに切り換えます。このような制御を行うことでデバイスは DES モードに確実に移行します。
- 3) 自動クロック位相制御は、クロックがいかなる理由により中断あるいは停止したときにもディスエーブルしなければなりません。この条件はクロック周波数を大きく変化させるときも該当します。
- 4) 自動 DES モードで A/D コンバータの較正が必要な場合、較正サイクルを実行する前にデバイスを通常モードに戻さなければなりません。較正が完了したらデバイスを自動 DES モードに戻して動作を再開させてください。

2.4.6 パワーダウン機能

パワーダウン・ピン (PD と PDQ) を制御することで、ADC08D500 全体か、または "I" チャネルは動作を続けたままで "Q" チャネルのみがパワーダウンに移行します。パワーダウン機能の詳細はセクション 1.1.7 を参照してください

該当するチャネルの PD ピンを High にすると、デジタルデータ (+/-) 出力ピンはハイ・インピーダンスになります。通常動作に復帰する場合、パイプラインは無意味な情報を保持しているため無効として扱わなければなりません。

較正処理の実行中に PD 入力を High にすると、デバイスは較正シーケンスが完了するまではパワーダウン・モードに移行しません。ただし、PD を High にした状態で電源を印加した場合は、PD 入力が Low になるまでデバイスは較正シーケンスを開始しません。デバイスのパワーダウン中にコマンドを使って較正シーケンスを要求した場合でも較正は開始されることはありません。すなわち、パワーダウン・モードでは較正コマンドは無視されます。

2.5 デジタル出力

ADC08D500 はダイ上の 2 系統のコンバータの各データ出力を 2 組の LVDS 出力バスにデマルチプレクスして出力します (各コンバータに 2 組で合計で 4 組)。2 系統のコンバータそれぞれで、CLK + の奇数番目の立ち下がりがエッジから開始した連続変換の結果が 2 組の LVDS バスの片方から出力され、CLK + の偶数番目立ち下がりがエッジから開始した連続変換の結果が他方の LVDS バスから出力されます。すなわち、各 LVDS バスのワード・レートは ADC08D500 の入力クロック・レートの半分になることを意味し、1GSPS の変換結果を得るには 2 組のバスをマルチプレクスしなければなりません。

このデバイスの最小推奨クロックレートは 200MSPS (通常の非 DES モード) なので、200MHz 入力クロックを与えて 2 組の LVDS バスの片方の出力を使えば 200MSPS データは半分になり、実効サンプリング・レートを 100MSPS に下げることができます。

すべての LVDS 出力を外部でラッチできるように LVDS クロック・ペア (DCLK + / -) が出力されています。データが DCLK の立ち上がりまたは立ち下がりのいずれかで送出されるかは、セクション 2.4.3 で説明したように、OutEdge ピンのレベルで決まります。

DDR (ダブル・データレート) クロッキングも使用可能です。このモードではデータのワードは DCLK の両エッジで出力され、DCLK 周波数は入力クロック周波数の 1/4 になります。詳細は「タイミング図」セクションを参照してください。

OutV ピンは LVDS 差動出力レベルの設定に使用します。セクション 2.4.4 を参照してください。

出力フォーマットはオフセット・バイナリです。したがって、 V_{IN-} に対して V_{IN+} が正の場合のフルスケール入力レベルの出力コードはすべて 1 となり、 V_{IN-} に対して V_{IN+} が正の場合のフルスケール入力レベルの出力コードはすべてゼロとなり、 V_{IN+} と V_{IN-} が等しい場合の出力コードは 127 か 128 になります。

2.6 電源の考慮事項

A/D コンバータは、適切にバイパスされていないとデバイス自身の電源により性能を劣化させるような非常に大きなトランジェント電流が流れます。33 μ F のコンデンサを A/D コンバータの電源ピンから 2.5cm (1 インチ) 以内に配置してください。0.1 μ F のコンデンサを各 V_A ピンのそれぞれに、可能なら 5mm 以内のできるだけ近くに配置してください。リードレス・チップ・コンデンサは低リード・インダクタンスなので、望ましい選択です。

デジタル・ノイズが A/D コンバータのアナログ回路部分に混入しないように、 V_A と V_{DR} 電源ピンは分離してください。共通の電源で両者を駆動する場合は、電源ラインの間に JW Miller 社の FB20009-3B のようなフェライト・チョークを挿入することを推奨します。

他の高速コンバータと同じく ADC08D500 の電源除去性能は十分ではありません。大きなデジタル電力を消費するシステムでは、デジタル回路用に使用する電源を ADC08D500 の電源として使用しないでください。A/D コンバータ用に専用電源が存在しない場合は、他のアナログ回路用の電源を使用してください。

2.6.1 電源電圧

ADC08D500 は 1.9V \pm 0.1V の電源電圧範囲で動作するように規定されています。ADC08D500 はわずかに高い電源電圧でも動作しますが、高い電圧を与えると製品寿命を縮めてしまうので注意してください。

いかなるピンも、トランジェントによる変動時であっても、電源電圧以上やグラウンドから 150mV 以下になる電圧が印加されないようにしてください。これは回路に供給する電源とパワー・シャットダウン回路に依存する問題です。すべてのアナログおよびデジタル入力が ADC08D500 の電源ピンの電圧が立ち上がるより先速く立ち上がらない回路に設計されているかを確認してください。

電源投入時およびパワーダウン時も含めて、絶対最大定格には厳密に従わなければなりません。ターンオン時かターンオフ時、またはその両方で電圧スパイクを発生する電源は、ADC08D500 を破壊する可能性があります。電源オーバーシュートから保護する回路の一例を Figure 8 に示します。

多くのリニア・レギュレータは、最小負荷が存在しないとパワーオン時に出力スパイクを発生します。アクティブなデバイスは電源電圧が数百 mV に達するまではきわめてわずかな電流しか引き込みません。その結果、電源に最小負荷を接続しないでおくと、ADC08D500 を破壊し得るターンオン・スパイクが発生します。レギュレータに接続した 100 Ω 抵抗がパワーオン時に最小出力電流を与え、ターンオン・スパイクの発生を防ぎます。

2.0 アプリケーション情報 (つづき)

Figure 15 に示す回路で入力電圧が 4V から 5V の範囲であれば LM317 リニア・レギュレータで十分です。3.3V 電源を使用する場合は LM1086 リニア・レギュレータを推奨します。

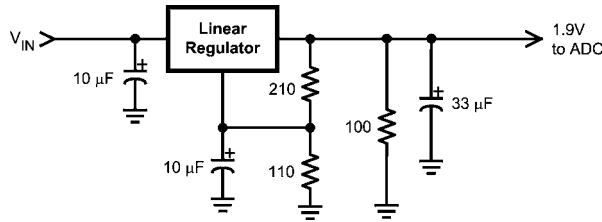


FIGURE 15. Non-Spiking Power Supply

出力ドライバは動作定格表記載の範囲にある電源電圧 V_{DR} を必要とします。 V_{DR} は電源電圧 V_A を超えてはなりません。

入力クロック信号を与えない状態で電源を印加すると、デバイスが引き込み電流は 200mA 未満になることがあります。その理由は、ADC08D500 はクロックで動作するロジックでリセットされるためですが、その初期状態は不明です。リセット・ロジックが「ON」状態でパワーオンした場合、ほとんどのアナログ回路はパワーダウンとなって 100mA 未満の電流しか引き込みません。この電流値がパワーダウン・モードでの電流値より大きい理由は、A/D コンバータのすべての回路がパワーダウンするわけではないからです。デバイス電流は正常な入力クロックが与えられると消費電力は通常値に戻ります。

2.6.2 サーマル・マネジメント

ADC08D500 は、その動作速度のレベルとしてはきわめて小さな消費電力にて、特筆すべき高速性と高性能を達成しています。しかし、サーマル・マネジメントに注意を払う必要があるほど消費電流は大きな値を示します。信頼性の面からダイ温度は最高 130 に維持しなければなりません。すなわち、A/D コンバータの消費電力と J_A (接合部周囲熱抵抗) との積に T_A (周囲温度) を加えた値が 130 を超えてはなりません。ただし、「動作定格」セクションで規定されているとおり、周囲温度の最高が + 85 以下に保たれれば問題にはなりません。

以下に露出パッド・デバイスを PCB に実装する一般的な推奨事項を示します。このガイドラインを PCB と製造工程の開発のスタートポイントと考えてください。パッケージ実装の過去の経験に基づいてプロセス開発を行うことを推奨します。

ADC08D500 のパッケージ裏面には露出パッドがあり、プリント回路板に対して重要な放熱経路を提供するとともに、電気的に優れたグラウンド経路を形成します。PCB にリードを実装するランド・パターン設計は従来の LQFP と同じですが、露出パッドはパッケージの熱をできるだけ逃がし、また製品の性能を最高レベルに発揮させるようにボードに実装します。

パッケージから熱をできるだけ逃がすには、パッケージのフットプリント内にサーマル・ランド・パターンを設けます。デバイスの露出パッドは、パッケージから適切な熱伝導が確保されるようにハンダ付けしなければなりません。この露出パッド用のランド・パターンは、パッケージの露出パッド・サイズ 5mm × 5mm より大きく、かつ、デバイスの露出パッド全体がそのサーマル・ランド・パターンに収まるように設計しなければなりません。サーマル・ランド・パターンは電気的にグラウンドに接続します。露出パッド用ランド・パターンとパッケージ・ピンの実装パッドの間には、0.5mm 以上のクリアランスを設けてください。

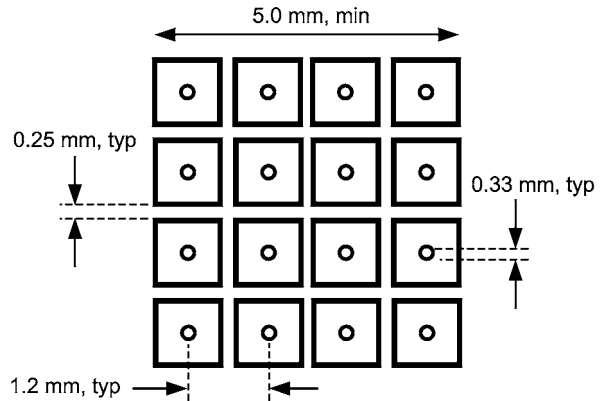


FIGURE 16. Recommended Package Land Pattern

大きなアパーチャはリリースが悪くなるため、Figure 16 に示すランド・パターンのように小さなアパーチャ配列に分割してください。

接合部温度をできるだけ下げするために単純なヒートシンクを PCB 上に形成してください。PCB の反対側の面におよそ 5cm 平方 (25cm²) の銅箔エリアを設ける方法などがあります。銅箔領域には腐食を防止するためにメッキまたはハンダ・コートが必要ですが、断熱効果のある絶縁コーティングは行わないでください。表面と裏面の銅箔領域どうしをサーマル・ビアで接続します。このサーマル・ビアは、「ヒートパイプ」として、ボードのデバイス面から効果的な放熱が期待できるボード裏面に熱エネルギーを伝えます。9個から16個のサーマルビアを推奨します。

サーマル・ビアは 1.2mm の格子間隔で配置し、その直径は 0.30mm から 0.33mm とします。ハンダ・プロセス中にビア内に入ったハンダによって、パッケージ露出パッドと PCB のサーマル・ランドとの間にボイド (気泡) が生じないように、サーマル・ビア内側にはパレル・メッキを行ってください。このようなボイドはボード上のサーマル・ランドとデバイス間の熱抵抗を高めることがあり、デバイスの温度を上昇させてしまいます。

ダイ温度をモニタしたい場合はサーマル・ビア近くのボード上のヒートシンク領域に温度センサを実装します。この場合、温度センサと ADC08D500 ダイの J_{-PAD} の差に消費電力の代表値を乗じた $2.8 \times 1.6 = 4.5$ の誤差を許容する必要があります。ダイから温度センサまでの許容される温度低下をマージンを加えて 5.5 とすると、パッド温度の最大読み取り値を 124.5 以下に維持すれば、ADC08D500 の露出パッドが適正にハンダ付けされサーマル・ビアが適切に設けられていると仮定した場合に、ダイ温度は 130 を超えることはありません (上述の計算には温度センサの不確かさを加える必要があります)。

2.0 アプリケーション情報 (つづき)

2.7 レイアウトとグラウンド

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。アナログ領域とデジタル領域に分割したグラウンド層ではなく、単一のグラウンド層を使用してください。

デジタル信号のスウィッチング・トランジェントには多くの高周波成分が含まれますが、グラウンド層全体の銅箔質量はロジックに起因するノイズにわずかな効果しか与えないことが、表皮効果理論から理解されます。グラウンド層の全重量より先全表面積のほうが重要となります。一般にノイズが多いデジタル回路部分とノイズに高感度なアナログ回路部分をカップリングすると性能低下を招き、両回路の分離とノイズ対策が困難になります。解決策はアナログ回路部分をデジタル回路部分から分離させることです。

アナログ信号部品に電源を供給するリニア部品または電源トレースまたは電源層の上または近くに、大電力を消費するデジタル部品を配置してはなりません。形成されるデジタルのリターン電流パスが、A/D コンバータのアナログ入力の「グラウンド」リターンに変動を与える可能性があり、変換結果に過度のノイズを誘引してしまいます。

一般に、アナログ・ラインとデジタル・ラインを 90° で交差させれば、アナログ・パスにデジタル・ノイズは混入しないものとして考えられます。しかし、ビデオ (高周波) システムでは、アナログ信号ラインとデジタル信号ラインの互いが交差する配線は避けなければなりません。クロック・ラインは、アナログ信号ラインやデジタル信号ラインなどすべてのその他のラインからアイソレートしてください。一般的に受け入れられている 90° でアナログ / デジタル信号ラインを互いに交差させる方法は、高周波でのちょっとしたカップリングによって問題が起こる可能性があるため避けるべきです。高周波で最大限の性能は、まっすぐな信号経路に配線して得られます。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にアイソレートしてください。ADC08D500 が必要とする低電圧駆動では特に重要です。コンバータの入力とアナログ・グラウンドの間に接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の十分にクリーンな点に接続してください。すべてのアナログ回路 (入力アンプ、フィルタなど) は、他のあらゆるデジタル部品から離して配置してください。

2.8 ダイナミック特性

ADC08D500 は AC テストされており、ダイナミック特性が保証されています。公表仕様を満たし、またシッタに起因するノイズを防ぐには、CLK 入力を駆動するクロック・ソースは低 rms シッタでなければなりません。許容可能なシッタは、セクション 2.3 記載のとおり、入力周波数と入力信号レベルの関数です。

A/D コンバータのクロック・ラインは、できるだけ短く配線し、他の信号から適切に離し、かつ、伝送線路として取り扱うことが望まれます。クロック以外の信号がクロック信号に対してシッタの原因となる可能性があります。同様にクロック信号も、アナログ信号と適切に分離していない場合には、アナログ信号にノイズを与えることがあります。

最高のダイナミック性能はパッケージ裏面の露出パッドがグラウンドに適切に接続されている状態で得られます。その理由は、ダイからグラウンドへのパスの方がパッケージのグラウンド・ピンよりインピーダンスが低いからです。

2.9 シリアル・インタフェースの使用法

ADC08D500 は非拡張制御モード (非シリアル・インタフェース) か拡張制御モードのいずれかで動作します。Table 6 ~ 7 に、非

拡張制御モードと拡張制御モードにおける 3 ピン、4 ピン、14 ピン、127 ピンのそれぞれの機能をまとめてあります。

2.9.1 非拡張制御モード動作

非拡張制御モードは、シリアル・インタフェースを有効にせず、制御可能なすべての機能はピン設定で制御するモードです。すなわち、フルスケール・レンジ、シングルエンドまたは差動入力と入力結合 (AC または DC) は、すべてピン設定で選択します。非拡張制御モードを使用するには 14 ピンをフローティングではなく High または Low に設定します。Table 6 に非拡張制御モードにおける ADC08D500 のピン機能を示します。

TABLE 6. Non-Extended Control Mode Operation (Pin 14 High or Low)

Pin	Low	High	Floating
3	0.51 V _{P-P} Output	0.71 V _{P-P} Output	n/a
4	OutEdge = Neg	OutEdge = Pos	DDR
127	CalDly Low	CalDly High	DES
14	650 mV _{P-P} input range	870 mV _{P-P} input range	Extended Control Mode

非拡張制御モードでは 3 ピンは High または Low のいずれにも設定することが可能です。ただし、このモードでは 14 ピンをフローティングにしてはなりません。詳細はセクション 1.2 を参照してください。

非拡張制御モードでは 4 ピンは、High または Low、あるいはフローティングのいずれにも設定可能です。このモードでは、4 ピンの High と Low は出力データ遷移のエッジを決定します。詳細はセクション 2.4.3 を参照してください。このピンをフローティングで使用すると出力クロック (DCLK) は DDR (ダブル・データレート) クロックになり (セクション 1.1.5.3)、この場合データは DCLK の両エッジで出力されるため出力エッジの同期選択は意味がありません。

非拡張制御モードで 127 ピンを High または Low にすると較正遅延が設定されます。127 ピンをフローティングにすると較正遅延はこのピンを Low にしたときと同じになり、同時に、コンバータはデュアル・エッジ・サンプリング (DES) を行います。

TABLE 7. Extended Control Mode Operation (Pin 14 Floating)

Pin	Function
3	SCLK (Serial Clock)
4	SDATA (Serial Data)
127	SCS (Serial Interface Chip Select)

2.10 アプリケーション共通の注意事項

電源範囲を超えてアナログもしくはデジタル入力をドライブしないこと

デバイスの信頼性の観点から、どの入力にもグラウンドから 150mV 以上低い電圧、あるいは電源電位から 150mV 以上高い電圧を与えてはなりません。これらリミットを信号の遷移時においても超過すると、性能低下あるいは誤動作を引き起こすだけでなく、デバイスの信頼性を損ねることがあります。高速デジタル回路では、グラウンド電位を下回るアンダーシュートが印加されることは珍しくありません。高速信号ラインのインピーダンスを管理するとともに、それらラインを特性インピーダンスで終端して、オーバーシュートを制御してください。

2.0 アプリケーション情報 (つづき)

ADC08D500 の入力をオーバードライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

DC 結合モード時に不適切なアナログ入力コモンモード電圧を与えないこと

セクション 1.1.4 と 2.2 で説明したとおり、入力コモンモード電圧は、 V_{CMO} 出力電圧の 50mV 以内に維持し、かつ温度変動に追従させなければなりません。入力コモンモード電圧が V_{CMO} から 50mV 以上乖離すると歪み性能が低下します。

不適当なアンプを使ってアナログ入力をドライブしないこと
多くの高速アンプは ADC08D500 より歪みが大きく、システムの全体性能を悪化させてしまうため、ADC08D500 を駆動する高周波アンプの選定には注意が必要です。

V_{BG} ピンを駆動してリファレンス電圧を変更する

セクション 2.1 に記載したとおり、リファレンス電圧は 2 種類のフルスケール値 (650mV_{P-P} と 870mV_{P-P}) を与えるために固定されています。このピンを駆動してもフルスケール値が変わることはなく、逆に誤動作を招きます。

クロック入力を過度に高い信号レベルでドライブしないこと
入力オフセットが変動する恐れがあるため、A/D コンバータの入力クロックに「動作定格」に記載の値を超える電圧を与えてはなりません。

不適切なクロック・レベル

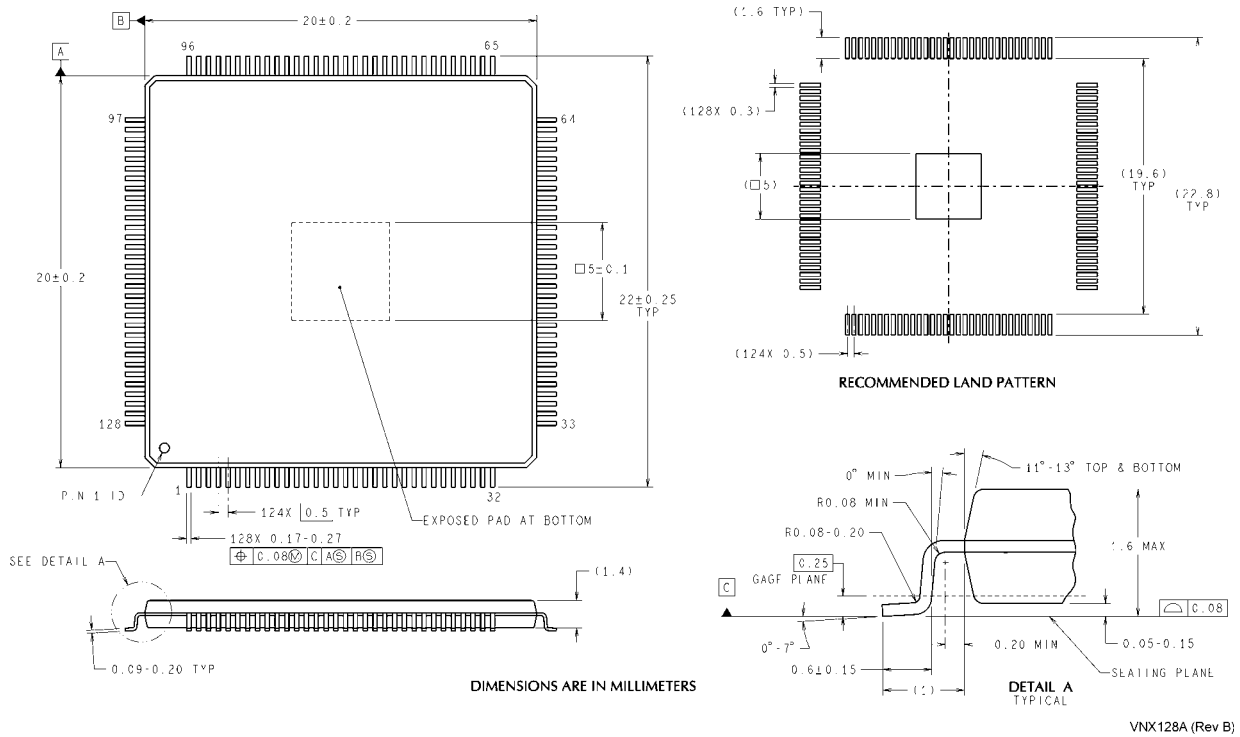
セクション 2.3 で説明したように、不十分な入力クロック・レベルは性能劣化につながります。過度の入力クロック・レベルは入力オフセットの増加を招きます。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと
この場合には、サンプリング間隔が変化し、過度の出力ノイズを発生し、かつ S/N 比の劣化を招きます。

放熱が適切に行われていない

セクション 2.6.2 で述べたように、デバイスの信頼性を確保するためには適切な放熱が不可欠です。適当なエアフローがボード上に形成する単純なヒートシンクで実現可能です。適切な性能を得るために裏面のパッドはグラウンドに接続してください。

外形寸法図 単位は millimeters



NOTE: 特記のない限り、JEDEC 登録 MS-026、VARIATION BFB を参照

128-Lead Exposed Pad LQFP
Order Number ADC08D500CIYB
NS Package Number VNX128A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上