

ADC108S052

ADC108S052 8-Channel, 200 ksps to 500 ksps, 10-Bit A/D Converter



Literature Number: JAJSAF6

ADC108S052

8チャンネル、200kSPS ~ 500kSPS、10ビット A/D コンバータ

概要

ADC108S052 は入力 8 チャンネルの 10 ビット CMOS A/D コンバータで、低消費電力で動作し変換スループットは 200kSPS ~ 500kSPS です。ADC108S052 はトランク / ホールド回路を内蔵した逐次比較レジスタ・アーキテクチャを採用しています。入力 IN0 から IN7 まで最大で 8 種類の信号を入力できる構成になっています。

シリアル・データ出力はストレート・バイナリ形式で、SPI™、QSPI™、MICROWIRE™ など、広く使われている標準的な DSP シリアル・インタフェースと互換性があります。

ADC108S052 は、アナログ系とデジタル系に個別の電源電圧を与えて動作できます。アナログ電源 (V_A) の電圧範囲は + 2.7V から + 5.25V まで、デジタル電源 (V_D) の電圧範囲は + 2.7V から V_A までです。標準的な消費電力は、+ 3V 動作時で 1.5mW、+ 5V 動作時で 7.5mW です。消費電力を低減できるパワーダウン機能を備えており、+ 3V 動作時で 0.09 μ W、+ 5V 動作時で 0.30 μ W とします。

ADC108S052 は 16 ピンの TSSOP パッケージで提供されます。産業用温度範囲(- 40 ~ +105)での動作が保証されています。

特長

- 入力 8 チャンネル
- 可変パワー・マネジメント
- 独立したアナログ電源とデジタル電源
- SPI/QSPI/MICROWIRE/DSP 互換
- 16 ピン TSSOP パッケージ

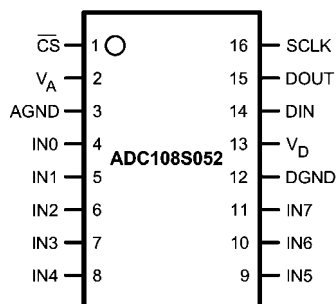
主な仕様

変換レート	200kSPS ~ 500kSPS
DNL ($V_A = V_D = 2.7V \sim 5.0V$)	± 0.4 LSB (max)
INL ($V_A = V_D = 2.7V \sim 5.0V$)	± 0.4 LSB (max)
消費電力	
- 3V 電源	1.5mW (typ)
- 5V 電源	7.5mW (typ)

アプリケーション

- 自動車のナビゲーション・システム
- ポータブル・システム
- 医療機器
- 移動通信
- 計装システムや制御システム

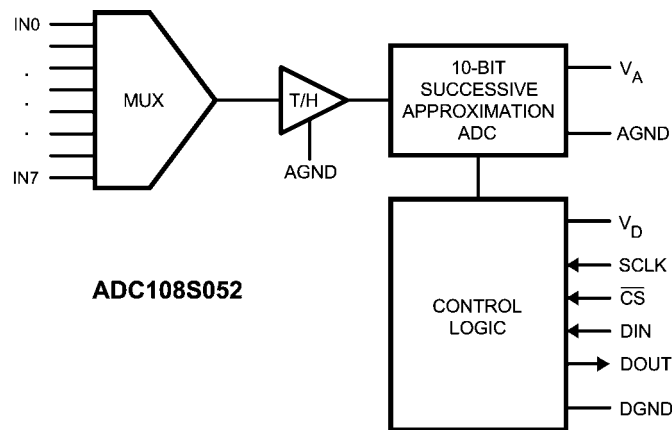
ピン配置図



製品情報

Order Code	Temperature Range	Description
ADC108S052CIMT	-40°C to +105°C	16-Lead TSSOP Package
ADC108S052CIMTX	-40°C to +105°C	16-Lead TSSOP Package, Tape & Reel
ADC108S052EVAL		Evaluation Board

ブロック図



ピン説明および等価回路

ピン番号	記号	等価回路	説明
アナログ入出力 (I/O)			
4 - 11	IN0 ~ IN7		アナログ入力。信号の電圧範囲は 0V ~ V_{REF} です。
デジタル入出力 (I/O)			
16	SCLK		デジタルクロック入力。クロック周波数範囲は 3.2MHz ~ 8MHz で保証されています。このクロックは変換処理と読み出し処理を直接制御します。
15	DOUT		デジタル・データ出力。出力サンプルは、SCLK の立ち下がりエッジに同期して出力されます。
14	DIN		デジタル・データ入力。ADC108S052 の立ち上がりエッジで本ピンからデータが取り込まれ内部の制御レジスタへ与えられます。
1	\overline{CS}		チップ・セレクト。 \overline{CS} ピンの立ち下がりエッジで変換処理が開始されます。 \overline{CS} が Low の間は連続して変換が行われます。
電源			
2	V_A		正のアナログ電源ピン。この電圧がリファレンス電圧として使用されます。+ 2.7V ~ + 5.25V の安定した電源に接続し、0.1 μ F と 1 μ F のモノリシック・コンデンサをピンから 1cm 以内に配置してバイパスを行ってください。
13	V_D		正電圧のデジタル電源ピン。+ 2.7V ~ V_A までの電源を接続し、ピンから 1cm 以内に 0.1 μ F のモノリシック・セラミック・コンデンサを設けグラウンドに対してバイパスを行ってください。
3	AGND		アナログ電源のグラウンド・ピン。
12	DGND		デジタル電源と信号のグラウンド・ピン。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電氣的信頼性試験方法の規格を参照ください。

アナログ電源電圧 (V _A)	- 0.3V ~ 6.5V
デジタル電源電圧 (V _D)	- 0.3V ~ V _A + 0.3V、最大 6.5V
任意のピンの対 GND 電圧	- 0.3V ~ V _A + 0.3V
入力電流 (Note 3)	± 10mA
パッケージの入力電流 (Note 3)	± 20mA
パッケージ消費電力 (T _A = 25 °C)	Note 4 参照
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	250V
ハンダ付け温度、赤外線 (10 秒) (Note 6)	
	260
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40 T _A + 105
電源電圧 (V _A)	+ 2.7V ~ + 5.25V
電源電圧 (V _D)	+2.7V ~ V _A
デジタル入力電圧	0V ~ V _A
アナログ入力電圧	0V ~ V _A
クロック周波数	3.2MHz ~ 8MHz

パッケージ熱抵抗

Package	θ _{JA}
16-lead TSSOP on 4-layer, 2 oz. PCB	96°C / W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。
www.national.com/JPN/packaging をご覧ください (Note 6)。

ADC108S052 コンバータの電氣的特性 (Note 8)

特記のない限り、以下の仕様は、V_A = V_D = + 2.7V ~ + 5.25V、AGND = DGND = 0V、f_{SCLK} = 3.2MHz ~ 8MHz、f_{SAMPLE} = 200kSPS ~ 500kSPS、C_L = 50pF に対して適用されます。太字のリミット値は T_A = T_{MIN} ~ T_{MAX} に、それ以外のリミット値は、T_A = 25 °C に適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 7)	Units
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			10	Bits
INL	Integral Non-Linearity (End Point Method)		±0.1	±0.4	LSB (max)
DNL	Differential Non-Linearity		±0.2	±0.4	LSB (min)
V _{OFF}	Offset Error		+0.3	±0.7	LSB (max)
OEM	Offset Error Match		±0.06	±0.4	LSB (max)
FSE	Full Scale Error		+0.1	±0.4	LSB (max)
FSEM	Full Scale Error Match		±0.06	±0.4	LSB (max)
DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth (-3dB)		8		MHz
SINAD	Signal-to-Noise Plus Distortion Ratio	f _{IN} = 40.2 kHz, -0.02 dBFS	61.8	61.3	dB (min)
SNR	Signal-to-Noise Ratio	f _{IN} = 40.2 kHz, -0.02 dBFS	61.8	61.4	dB (min)
THD	Total Harmonic Distortion	f _{IN} = 40.2 kHz, -0.02 dBFS	-87.4	-74.5	dB (max)
SFDR	Spurious-Free Dynamic Range	f _{IN} = 40.2 kHz, -0.02 dBFS	83.2	76.0	dB (min)
ENOB	Effective Number of Bits	f _{IN} = 40.2 kHz	9.98	9.89	Bits (min)
ISO	Channel-to-Channel Isolation	f _{IN} = 20 kHz	78.6		dB
IMD	Intermodulation Distortion, Second Order Terms	f _a = 19.5 kHz, f _b = 20.5 kHz	-85.1		dB
	Intermodulation Distortion, Third Order Terms	f _a = 19.5 kHz, f _b = 20.5 kHz	-81.6		dB
ANALOG INPUT CHARACTERISTICS					
V _{IN}	Input Range		0 to V _A		V
I _{DCL}	DC Leakage Current			±1	µA (max)
C _{INA}	Input Capacitance	Track Mode	33		pF
		Hold Mode	3		pF

ADC108S052 コンバータの電気的特性 (Note 8) (つづき)

特記のない限り、以下の仕様は、 $V_A = V_D = +2.7V \sim +5.25V$ 、 $AGND = DGND = 0V$ 、 $f_{SCLK} = 3.2MHz \sim 8MHz$ 、 $f_{SAMPLE} = 200kSPS \sim 500kSPS$ 、 $C_L = 50pF$ に対して適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は、 $T_A = 25$ に適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 7)	Units
DIGITAL INPUT CHARACTERISTICS					
V_{IH}	Input High Voltage	$V_A = V_D = +2.7V$ to $+3.6V$		2.1	V (min)
		$V_A = V_D = +4.75V$ to $+5.25V$		2.4	V (min)
V_{IL}	Input Low Voltage			0.8	V (max)
I_{IN}	Input Current	$V_{IN} = 0V$ or V_D	± 0.01	± 1	μA (max)
C_{IND}	Digital Input Capacitance		2	4	pF (max)
DIGITAL OUTPUT CHARACTERISTICS					
V_{OH}	Output High Voltage	$I_{SOURCE} = 200 \mu A$,		$V_D - 0.5$	V (min)
V_{OL}	Output Low Voltage	$I_{SINK} = 200 \mu A$ to $1.0 mA$,		0.4	V (max)
I_{OZH}, I_{OZL}	Hi-Impedance Output Leakage Current			± 1	μA (max)
C_{OUT}	Hi-Impedance Output Capacitance (Note 8)		2	4	pF (max)
	Output Coding		Straight (Natural) Binary		
POWER SUPPLY CHARACTERISTICS ($C_L = 10 pF$)					
V_A, V_D	Analog and Digital Supply Voltages	$V_A \geq V_D$		2.7	V (min)
				5.25	V (max)
$I_A + I_D$	Total Supply Current Normal Mode (\overline{CS} low)	$V_A = V_D = +2.7V$ to $+3.6V$, $f_{SAMPLE} = 1 MSPS$, $f_{IN} = 40 kHz$	0.49	1.1	mA (max)
		$V_A = V_D = +4.75V$ to $+5.25V$, $f_{SAMPLE} = 1 MSPS$, $f_{IN} = 40 kHz$	1.50	2.4	mA (max)
	Total Supply Current Shutdown Mode (\overline{CS} high)	$V_A = V_D = +2.7V$ to $+3.6V$, $f_{SCLK} = 0 kSPS$	30		nA
		$V_A = V_D = +4.75V$ to $+5.25V$, $f_{SCLK} = 0 kSPS$	60		nA
P_C	Power Consumption Normal Mode (\overline{CS} low)	$V_A = V_D = +3.0V$ $f_{SAMPLE} = 1 MSPS$, $f_{IN} = 40 kHz$	1.5	3.3	mW (max)
		$V_A = V_D = +5.0V$ $f_{SAMPLE} = 1 MSPS$, $f_{IN} = 40 kHz$	7.5	12.1	mW (max)
	Power Consumption Shutdown Mode (\overline{CS} high)	$V_A = V_D = +3.0V$ $f_{SCLK} = 0 kSPS$	0.09		μW
		$V_A = V_D = +5.0V$ $f_{SCLK} = 0 kSPS$	0.30		μW
AC ELECTRICAL CHARACTERISTICS					
$f_{SCLKMIN}$	Minimum Clock Frequency		0.8	3.2	MHz (min)
f_{SCLK}	Maximum Clock Frequency		16	8	MHz (max)
f_S	Sample Rate Continuous Mode		50	200	kSPS (min)
			1000	500	kSPS (max)
$t_{CONVERT}$	Conversion (Hold) Time			13	SCLK cycles
DC	SCLK Duty Cycle		30	40	% (min)
			70	60	% (max)
t_{ACQ}	Acquisition (Track) Time			3	SCLK cycles
	Throughput Time	Acquisition Time + Conversion Time		16	SCLK cycles
t_{AD}	Aperture Delay		4		ns

ADC108S052 タイミング特性

特記のない限り、以下の仕様は、 $V_A = V_D = +2.7V \sim +5.25V$ 、 $AGND = DGND = 0V$ 、 $f_{SCLK} = 3.2MHz \sim 8MHz$ 、 $f_{SAMPLE} = 200kSPS \sim 500kSPS$ 、 $C_L = 50pF$ に対して適用されます。太字のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ に、それ以外のリミット値は、 $T_A = 25$ に適用されます。

Symbol	Parameter	Conditions	Typical	Limits (Note 7)	Units
t_{CSH}	\overline{CS} Hold Time after SCLK Rising Edge	(Note 9)	0	10	ns (min)
t_{CSS}	\overline{CS} Setup Time prior to SCLK Rising Edge	(Note 9)	5	10	ns (min)
t_{EN}	\overline{CS} Falling Edge to DOUT enabled		5	30	ns (max)
t_{DACC}	DOUT Access Time after SCLK Falling Edge		17	27	ns (max)
t_{DHLD}	DOUT Hold Time after SCLK Falling Edge		4		ns (typ)
t_{DS}	DIN Setup Time prior to SCLK Rising Edge		3	10	ns (min)
t_{DH}	DIN Hold Time after SCLK Rising Edge		3	10	ns (min)
t_{CH}	SCLK High Time			0.4 x t_{SCLK}	ns (min)
t_{CL}	SCLK Low Time			0.4 x t_{SCLK}	ns (min)
t_{DIS}	\overline{CS} Rising Edge to DOUT High-Impedance	DOUT falling	2.4	20	ns (max)
		DOUT rising	0.9	20	ns (max)

Note 1: 絶対最大定格とは、IC に破壊が発生する可能性のあるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証されたリミット値、および試験条件については「電気的特性」を参照ください。保証された仕様はリストに示された試験条件でのみ適用されます。また、記載の試験条件以外でデバイスを動作させると、性能特性が低下することがあります。

Note 2: 特記のない限り、すべての電圧は $GND = 0V$ を基準にして測定されています。

Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$ または V_D)、そのピンの入力電流を 10mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (20mA) により、電源電圧を超えて 10mA の電流を流すことができるピンの数は 2 本に制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度: このデバイスの場合、 T_{Jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{D,MAX} = (T_{Jmax} - T_A) / J_A$ または絶対最大定格で示される値のうち、いずれか低い方の値です。ボード実装時におけるこのデバイスの代表的な熱抵抗 J_A は 16 ピン TSSOP では 96 / W なので、25 での最大許容消費電力は、 $P_{D,MAX} = 1200mW$ 、105 の最大動作周囲温度では、625mW になります。通常動作時のこのデバイスの消費電力は最大で 12mW になることに注意してください。上記の最大許容消費電力の値にまで上がる場合は、ADC108S052 が何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。

Note 6: リフロー温度プロファイルは、鉛フリー・パッケージの場合と異なります。

Note 7: テスト・リミット値は、ナショナル セミコンダクターの AOQL (平均出荷品質レベル) に基づき保証されます。

Note 8: データシートの min/max リミット値は、設計、テスト、統計解析によって保証されています。

Note 9: \overline{CS} が Low のときは、SCLK クロック信号のセットアップ時間とホールド時間の規定はありますが、 \overline{CS} を High にするときの SCLK クロック・レベルは任意 (High または Low) です。

タイミング図

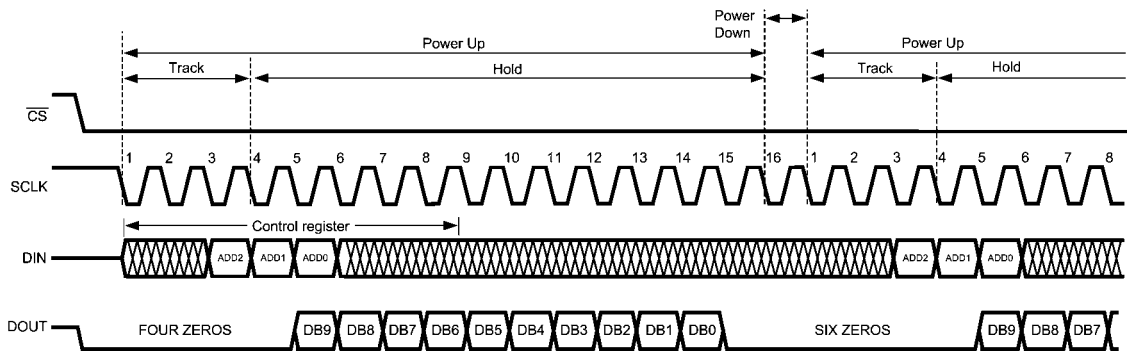


FIGURE 1. ADC108S052 Operational Timing Diagram

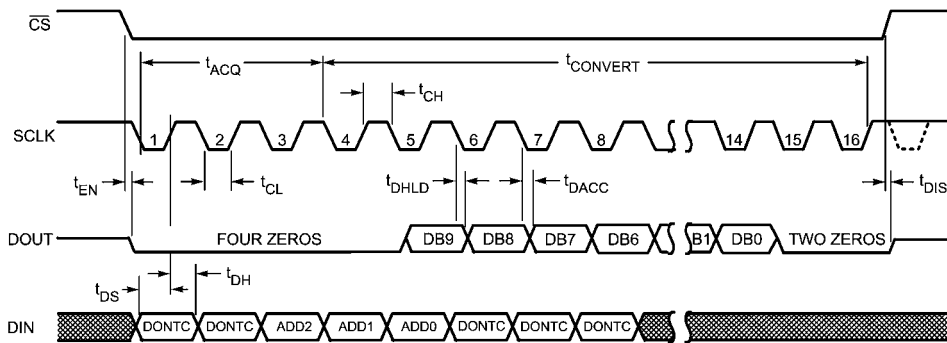


FIGURE 2. ADC108S052 Serial Timing Diagram

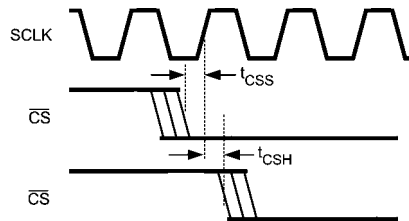


FIGURE 3. SCLK and \overline{CS} Timing Parameters

用語の定義

アキュジション時間 (ACQUISITION TIME) は、ADC の入力電圧を取り込むのに必要な時間です。この間に、ホールド・コンデンサは入力電圧によって充電されます。

アパーチャ・ディレイ (APERTURE DELAY) は、変換処理開始後 4 番目の SCLK 立ち下がりエッジから、変換を行うために入力信号がホールドされるまでの時間です。

変換時間 (CONVERSION TIME) とは、入力電圧を取り込んだ後、A/D コンバータが入力電圧をデジタル・ワードに変換するために必要な時間のことです。

チャンネル間アイソレーション (CHANNEL-TO-CHANNEL ISOLATION) は、あるチャンネルから別のチャンネルへのエネルギー結合のされにくさです。

クロストーク (CROSSTALK) は、一方のチャンネルから他方のチャンネルに結合するエネルギーです。これはデータの符号を除いて、チャンネル間アイソレーションに似ています。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (DUTY CYCLE) とは、繰り返し波形の周期に対する High 期間の割合です。本データシートでは SCLK に適用されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号 / (ノイズ + 歪み) 比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76) / 6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン誤差 (GAIN ERROR) は、理想的な値 ($V_{\text{REF}} - 1.5\text{LSB}$) に対する、オフセット誤差調整後の、(111...110) から (111...111) に移る最終コード遷移の偏差です。

積分非直線性 (INTEGRAL NON-LINEARITY: INL) は、負のフルスケール (最初のコード遷移の 1/2LSB 下) から正のフルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D の入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次または 3 次混変調成分のパワーの比として定義されます。2 次積は $f_a \pm f_b$ であり、 f_a と f_b は 2 つの正弦波入力周波数です。3 次積は $(2f_a \pm f_b)$ と $(f_a \pm 2f_b)$ です。IMD は通常 dB で表されます。

ミッシング・コード (MISSING CODES) は、A/D コンバータから出力されない出力コードです。ADC108S052 は、ミッシング・コードのないことが保証されています。

オフセット誤差 (OFFSET ERROR) は、理想的な値 (GND + 0.5LSB) に対する、(000...000) から (000...001) に移る最初のコード遷移の偏差です。

信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアスフリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入りに現われるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、出力に現れる 2 次から 6 次までの高調波成分の実効値と、出力に現れる入力周波数の実効値の比で、dB または dBc で表されます。全高調波歪み THD は次式から求めます。

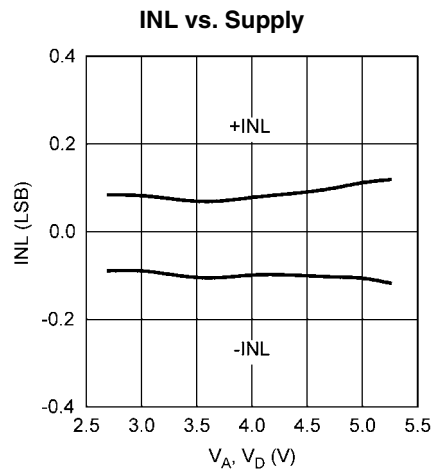
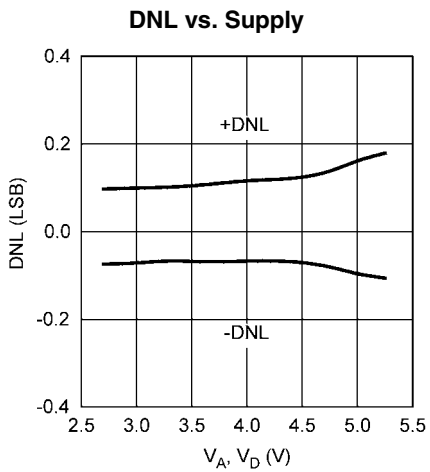
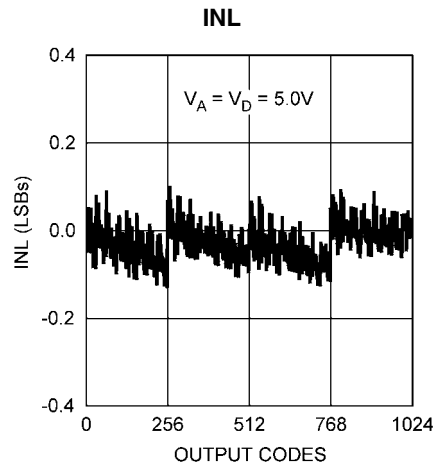
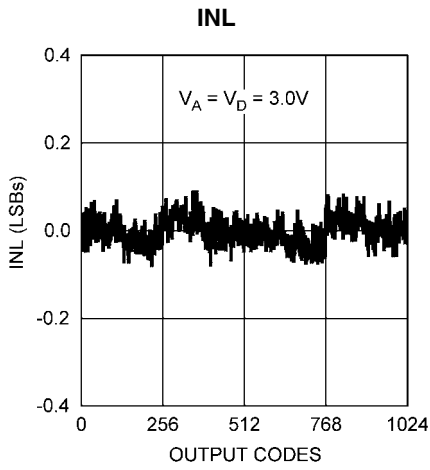
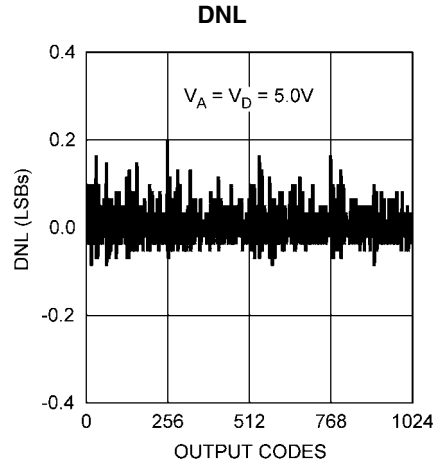
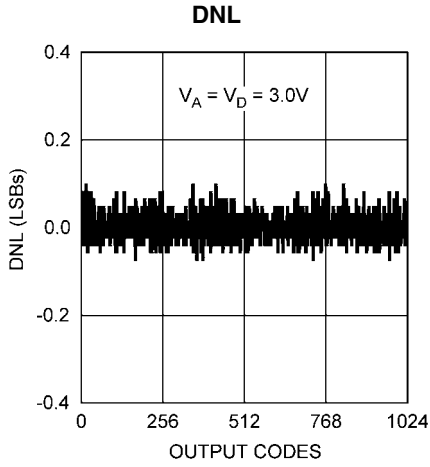
$$\text{THD} = 20 \times \log_{10} \sqrt{\frac{A_{f2}^2 + \dots + A_{f6}^2}{A_{f1}^2}}$$

A_{f1} は出力に現れる入力周波数のパワーの実効値 (RMS 値)、 A_{f2} から A_{f6} は高調波のうち 2 次から 6 次までの高調波のパワーです。

スループット時間 (THROUGHPUT TIME) は、2 回の連続した変換の開始点どうしの最小時間間隔です。アキュジション時間と変換時間の合計に相当します。

代表的な性能特性

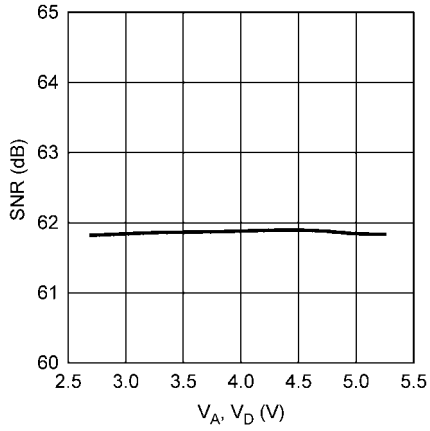
特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS}$ 、 $f_{SCLK} = 8\text{MHz}$ 、 $f_{IN} = 40.2\text{kHz}$ 。



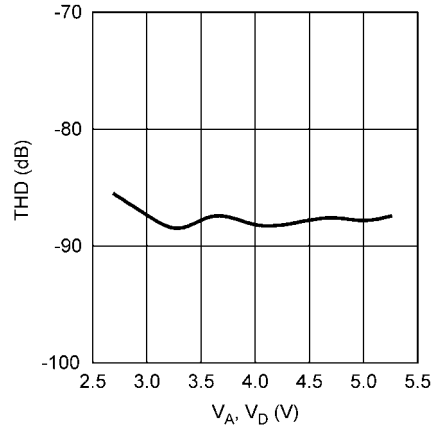
代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS}$ 、 $f_{SCLK} = 8\text{MHz}$ 、 $f_{IN} = 40.2\text{kHz}$ 。

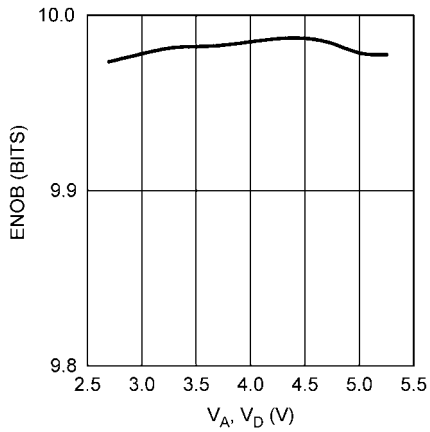
SNR vs. Supply



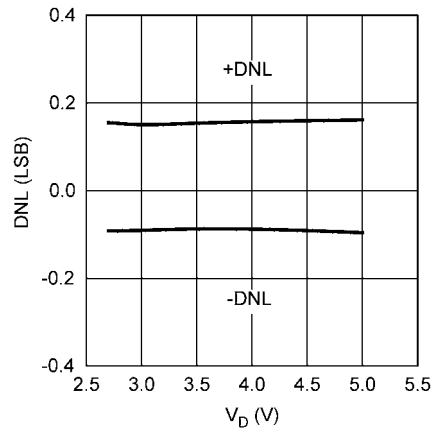
THD vs. Supply



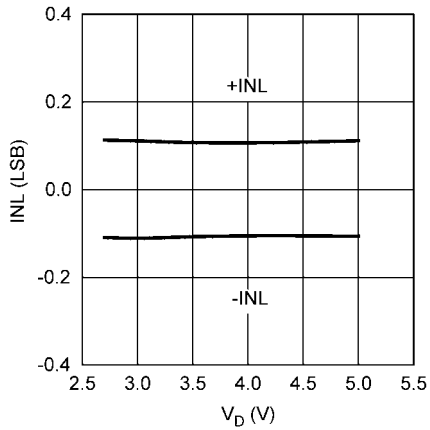
ENOB vs. Supply



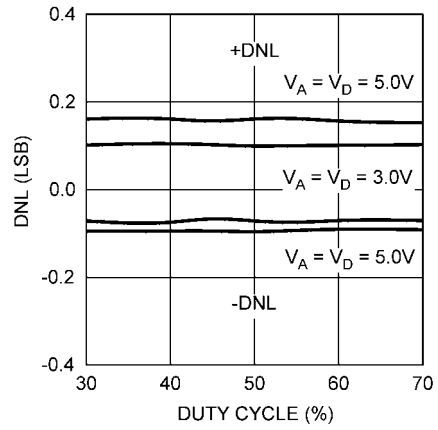
DNL vs. V_D with $V_A = 5.0\text{ V}$



INL vs. V_D with $V_A = 5.0\text{ V}$

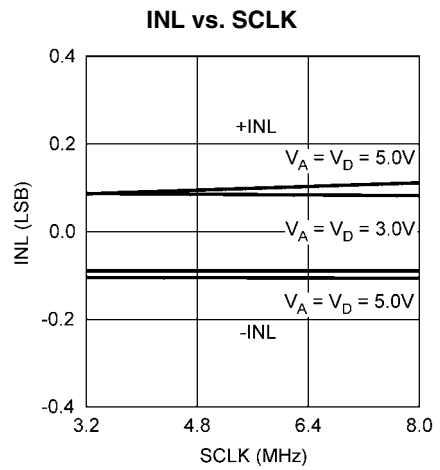
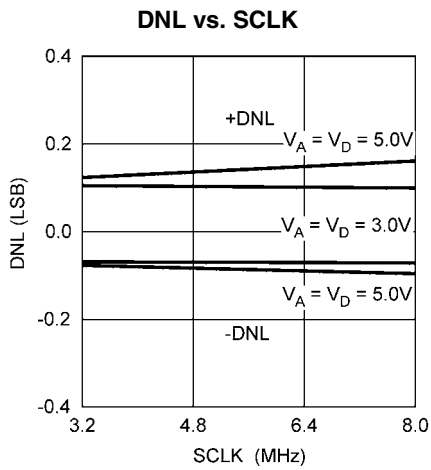
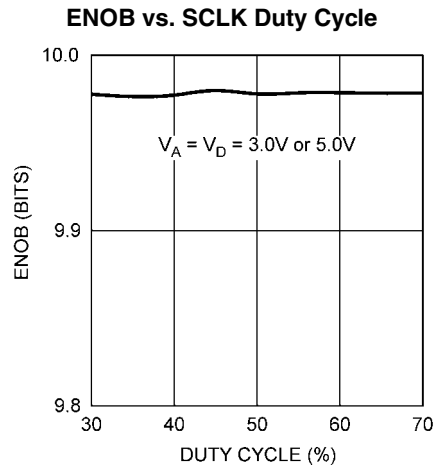
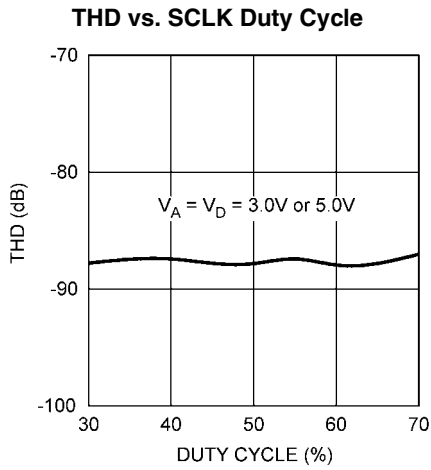
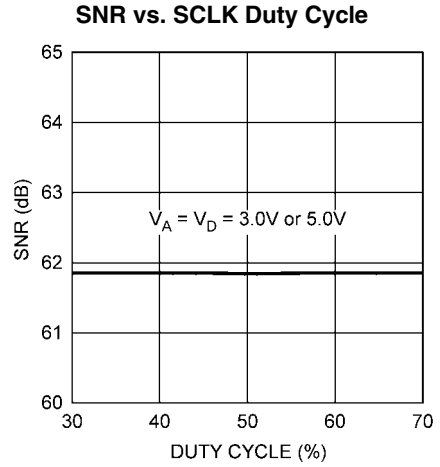
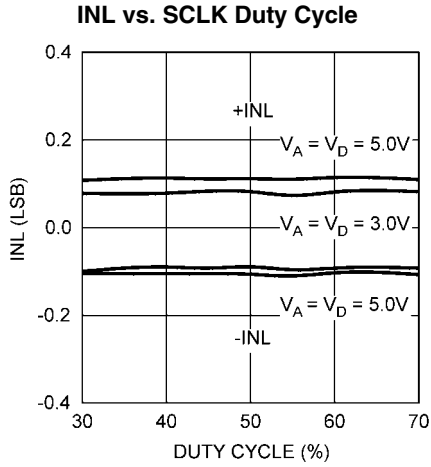


DNL vs. SCLK Duty Cycle



代表的な性能特性 (つづき)

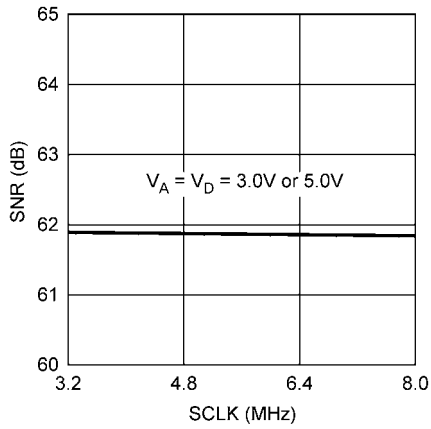
特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS}$ 、 $f_{SCLK} = 8\text{MHz}$ 、 $f_{IN} = 40.2\text{kHz}$ 。



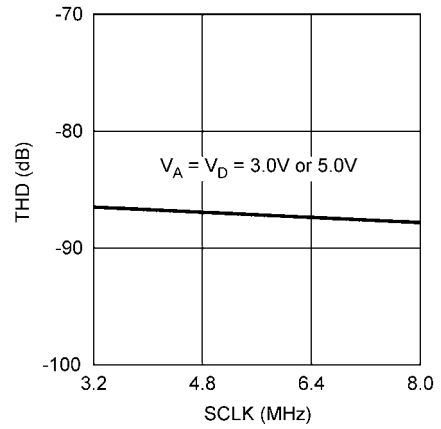
代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS}$ 、 $f_{SCLK} = 8\text{MHz}$ 、 $f_{IN} = 40.2\text{kHz}$ 。

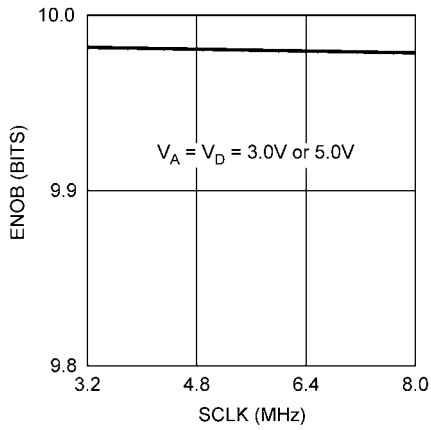
SNR vs. SCLK



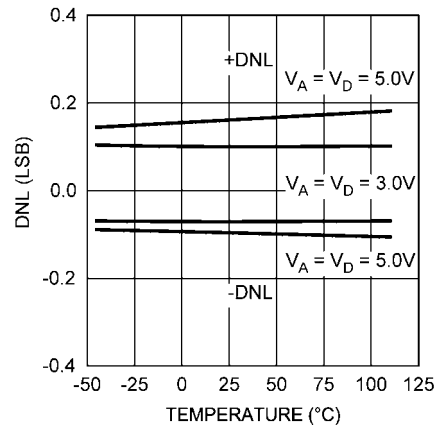
THD vs. SCLK



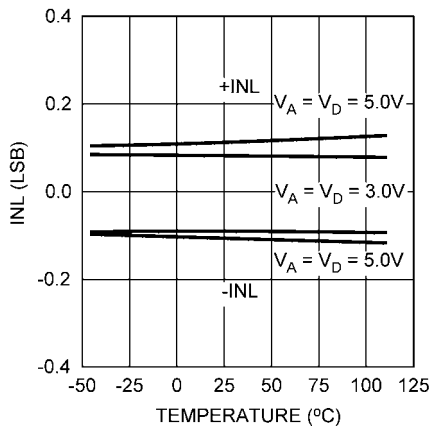
ENOB vs. SCLK



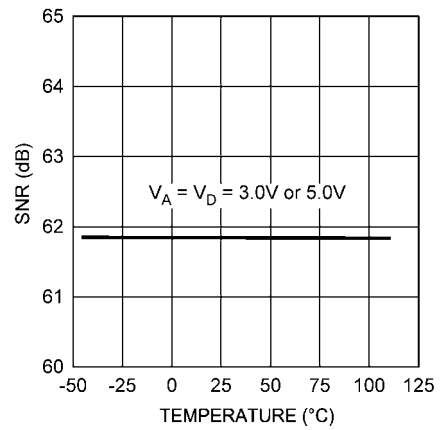
DNL vs. Temperature



INL vs. Temperature

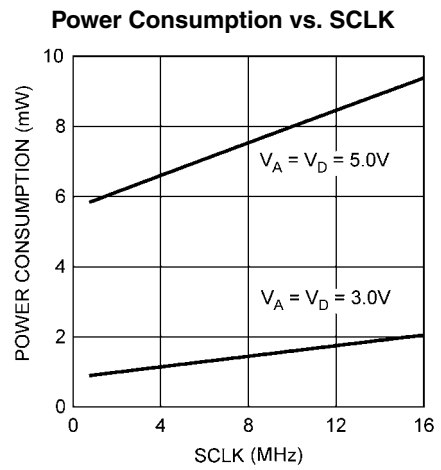
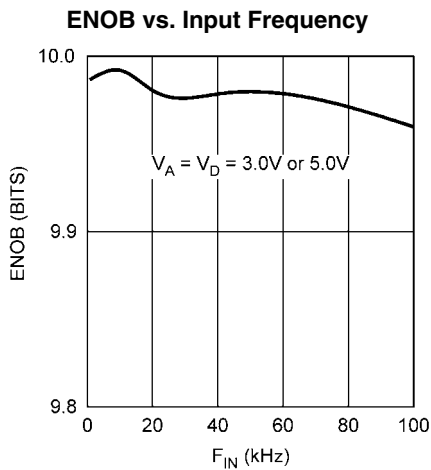
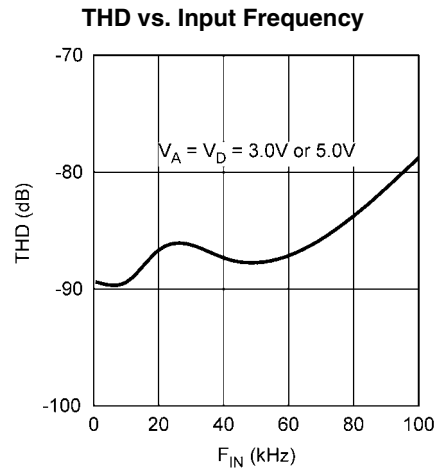
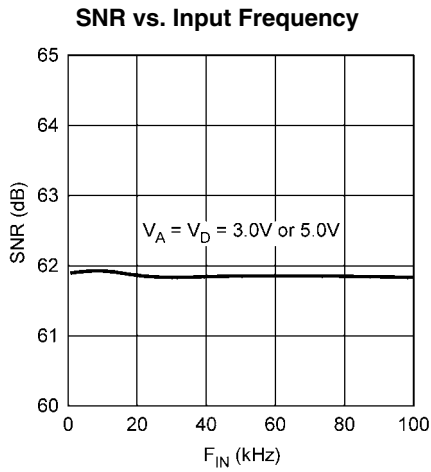
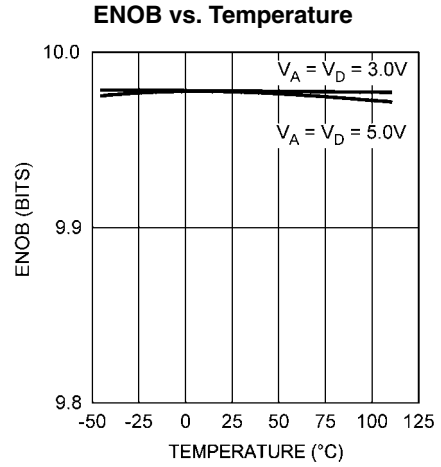
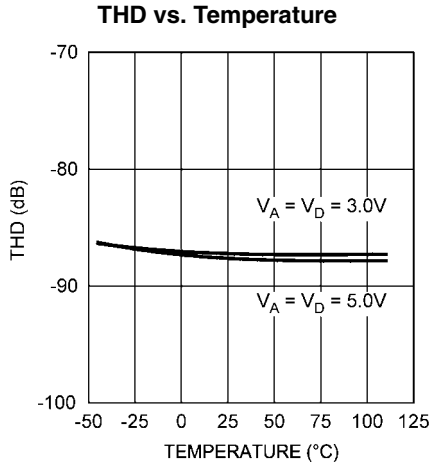


SNR vs. Temperature



代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 500\text{kSPS}$ 、 $f_{SCLK} = 8\text{MHz}$ 、 $f_{IN} = 40.2\text{kHz}$ 。



1.0 機能説明

ADC108S052 は、電荷再配分 D/A コンバータを採用した逐次比較型の A/D コンバータです。

1.1 ADC108S052 の動作

トラック・モードとホールド・モードでの ADC108S052 の内部回路を Figure 4 と Figure 5 にそれぞれ模式化して示します。Figure 4 では ADC108S052 はトラック・モードになっています。スイッチ SW1 によってマルチプレクサで選択された 8 チャンネルのうちの 1 つのチャンネルがサンプリング・コンデンサに接続され、SW2 によってコンパ

レータ入力に平衡に保たれます。ADC108S052 は、 \overline{CS} が Low になったあと 3SCLK サイクルにわたってこの状態を保ちます。

Figure 5 では ADC108S052 はホールド・モードにあります。サンプリング・コンデンサは入力電圧（正確には $V_{DD}/2$ と V_{IN} との電位差）を保持したまま SW1 によってグラウンドに接続され、またスイッチ SW2 はコンパレータを非平衡状態にします。制御回路はコンパレータが平衡状態になるまで、サンプリング・コンデンサに一定量の電荷（電位）を加算または減算するように電荷再配分型 DAC を制御します。コンパレータが平衡になった時点で DAC に与えられているデジタル・ワードがアナログ入力電圧のデジタル値を表します。ADC108S052 は、 \overline{CS} が Low になったあと後半の 13SCLK サイクルにわたってこの状態を保ちます。

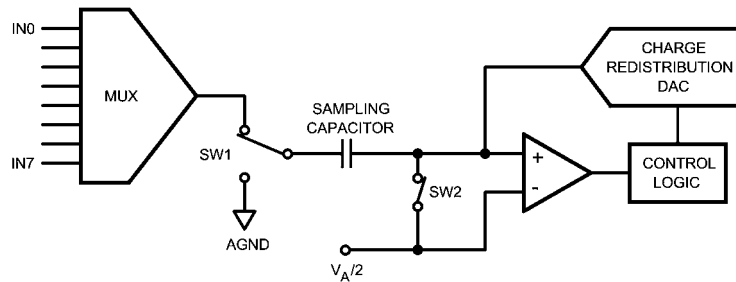


FIGURE 4. ADC108S052 in Track Mode

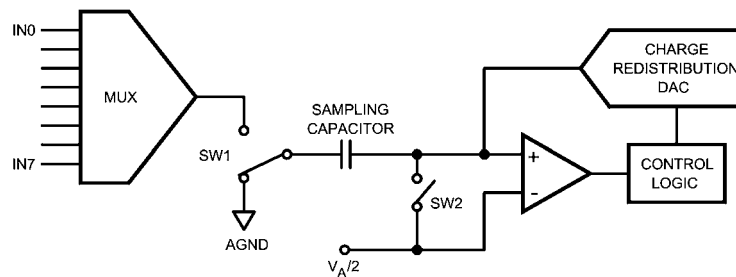


FIGURE 5. ADC108S052 in Hold Mode

1.2 シリアル・インタフェース

ADC108S052 の動作とシリアル・インタフェースのタイミング図を「タイミング図」にそれぞれ示します。 \overline{CS} はチップ・セレクトを表し、ADC108S052 の変換サイクルとシリアル・データ転送フレームの開始をトリガします。また SCLK (シリアル・クロック) は、変換処理とシリアル・データ・タイミングの両方を制御します。DOUT はシリアル・データ出力ピンで、変換結果がシリアル・データ・ストリーム、MSB ファーストとして出力されます。シリアル・データ・ピン DIN のデータは ADC108S052 の制御レジスタに書き込まれます。DIN には変換ごとに新しいデータが書き込まれます。

シリアル・フレームは \overline{CS} の立ち下がりがエッジで始まり、 \overline{CS} の立ち上がりエッジで終わります。各フレームには 16 の整数倍の立ち上がり SCLK エッジが存在する必要があります。A/D コンバータの出力データ (DOUT) ピンは、 \overline{CS} が High のときハイ・インピーダンス状態になり、 \overline{CS} が Low のときアクティブ状態になります。このため、 \overline{CS} は出力イネーブル信号として機能します。 \overline{CS} を High にすると、SCLK は内部のゲートによりオフになります。

SCLK の最初の 3 サイクルの間、A/D コンバータはトラック・モードになっており、入力電圧を取り込みます。SCLK の次の 13 サイクルでは変換が実行され、同期したデータが出力されます。SCLK の 1 ~ 4 の立ち下がりがエッジで先頭のゼロが同期出力され、5 ~ 14 の立ち下がりがエッジで変換結果が MSB を先頭として同期出力

され、15 と 16 の立ち下がりがエッジで末尾のゼロが同期出力されます。1 つのフレーム期間内に 2 回以上の変換が実行されると (連続変換モード)、A/D コンバータは SCLK の $N \times 16$ 番目の立ち上がりエッジ後の SCLK の立ち下がりがエッジでトラック・モードに再び移行し、 $N \times 16 + 4$ 番目の SCLK の立ち下がりがエッジでホールド / 変換モードに再び移行します (N は整数)。

ADC108S052 は 3 つの異なる条件でトラック・モードになります。まず、SCLK が High のときに \overline{CS} を Low にすると、ADC は SCLK の最初の立ち下がりがエッジでトラック・モードに移行します (Figure 1 参照)。2 つ目は、SCLK が Low のときに \overline{CS} を Low にする条件です。この条件では、ADC は自動的にトラック・モードに入り、 \overline{CS} の立ち下がりがエッジが、SCLK の最初の立ち下がりがエッジと同条件としてみなされます。3 つ目は、 \overline{CS} と SCLK は同時に Low となり、ADC はトラック・モードに入ります。 \overline{CS} と SCLK の立ち上がりエッジに関してタイミング制約がなければ、SCLK の立ち上がりエッジに関連する \overline{CS} の立ち下がりがエッジに対するセットアップとホールド・タイム要件に関しては Figure 3 を参照してください。

各変換期間中、 \overline{CS} の立ち下がりが後、先頭の 8 つの SCLK 立ち上がりエッジで、データはクロックに同期して DIN ピンに入力されます。制御レジスタには、次の変換で変換される入力チャネルを示すデータがロードされます (Table 1、2、3 を参照)。

1.0 機能説明 (つづき)

ADC108S052 では、パワーアップ後の待ち動作やダミー変換サイクルは必要ありません。デバイスはパワーアップ直後の最初の変換から、完全な分解能でアナログ入力を取り込みます。電源投入後の最初の変換結果は、IN0 の変換結果になります。

換から、完全な分解能でアナログ入力を取り込みます。電源投入後の最初の変換結果は、IN0 の変換結果になります。

TABLE 1. Control Register Bits

Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DONTC	DONTC	ADD2	ADD1	ADD0	DONTC	DONTC	DONTC

TABLE 2. Control Register Bit Descriptions

ビット	シンボル	説明
7, 6, 2, 1, 0	DONTC	Don't care です。これらのビットの値はデバイスの動作には影響を与えません。
5	ADD2	この 3 ビットで、次の変換サイクルでサンプリングと変換を行う入力チャンネルを指定します。ビット・パターンとチャンネルの対応を Table 3 に示します。
4	ADD1	
3	ADD0	

TABLE 3. Input Channel Selection

ADD2	ADD1	ADD0	Input Channel
0	0	0	IN0 (Default)
0	0	1	IN1
0	1	0	IN2
0	1	1	IN3
1	0	0	IN4
1	0	1	IN5
1	1	0	IN6
1	1	1	IN7

1.3 ADC108S052 の変換機能

ADC108S052 の出力フォーマットはストレート・バイナリ形式です。コード遷移は連続する LSB と LSB の中点付近で生じます。ADC108S052 の LSB の大きさは $V_A/1024$ です。理想伝達特性を Figure 6 に示します。出力コード 00 0000 0000 からコード 00 0000 0001 への遷移は 1/2LSB または $V_A/2048$ のポイントで生じます。以後、1LSB を単位として遷移が発生します。

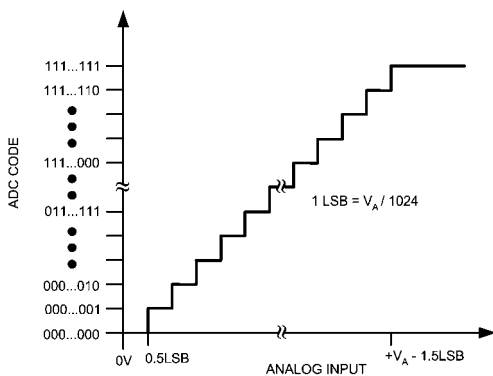


FIGURE 6. Ideal Transfer Characteristic

1.4 アナログ入力

ADC108S052 の片方の入力チャンネルの等価回路を Figure 7 に示します。ダイオード D1 と D2 はアナログ入力の ESD 保護を目的としています。アナログ入力の動作範囲は $0V \sim V_A$ です。この範囲を超えると、ESD ダイオードが導通して、動作不良状態となります。

Figure 7 に示すコンデンサ C1 の代表値は 3pF で、これは主にパッケージのピン間容量です。抵抗 R1 はマルチプレクサとトラック/ホールド回路のスイッチに起因するもので代表値は 500 です。コンデンサ C2 は ADC108S052 のサンプリング・コンデンサで、代表値は 30pF です。ADC108S052 は低インピーダンスの信号源で駆動されたときに最も高い性能を発揮します (100 以下)。このような設計は ADC108S052 を AC 信号のサンプリングに使用する場合は特に重要です。また、ダイナミック信号をサンプリングする場合にも重要で、バンドパス・フィルタまたはローパス・フィルタを使用すれば、高調波や入力のノイズを除去することができます。多くの場合、このようなフィルタはアンチ・エイリアス・フィルタと呼ばれます。

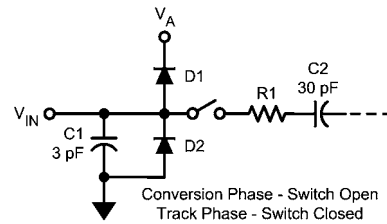


FIGURE 7. Equivalent Input Circuit

1.5 デジタル入力とデジタル出力

ADC108S052 のデジタル入力 (SCLK、 \overline{CS} 、DIN) の動作範囲は $0V \sim V_A$ です。これらはラッチアップが起こらないよう設計されていますが、デジタルサプライ (V_D) 確定したあとに印加したほうがリスクを低減できます。デジタル出力 (DOUT) の動作範囲は V_D によって制御されます。出力の High 電圧は $V_D - 0.5V$ (min) で、Low 電圧は 0.4V (max) になります。

2.0 アプリケーション情報

2.1 代表的なアプリケーション回路

代表的なアプリケーション回路の例を Figure 8 に示します。この例では、ナショナル セミコンダクターの LP2950 低ドロップアウト電圧レギュレータを用いて、アナログ電圧とデジタル電圧の両方を供給しています。アナログ電源は近くに配置したコンデンサ・ネットワークでバイパスしています。デジタル電源は直列抵抗を介してアナログ電源と分離し、さらにコンデンサで安定化を図っています。ADC108S052 はアナログ電圧 (V_A) をリファレンス電圧として使用

するため、 V_A を可能な限りクリーンにすることが重要です。ADC108S052 の消費電力は小さいため、高精度な電圧リファレンスを電源として用いることも可能です。

ADC108S052 の変化する入力容量起因の誤差を最小化するためには、コンデンサを各入力ピンとグラウンド間に接続します。トラック・モードにおける ADC108S052 の入力容量は先ずっと大きいコンデンサは ADC108S052 のサンプリング・コンデンサを急速に充電するための電流を供給します。負荷容量を入力源から切り離すためには、アイソレーション抵抗を追加します。

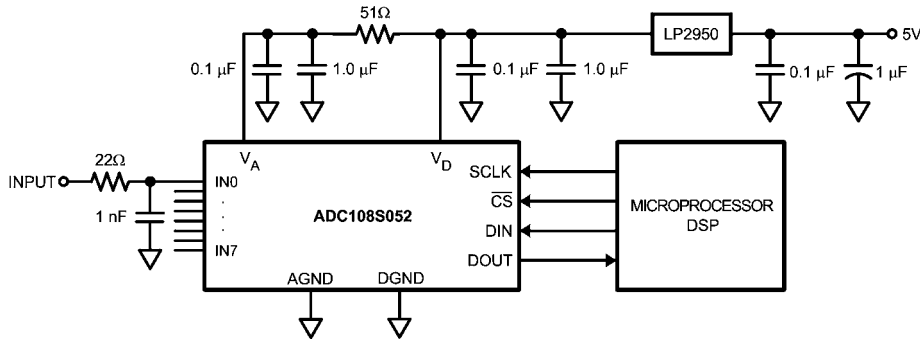


FIGURE 8. Typical Application Circuit

2.2 電源構成

本製品を扱うには電源に関して 3 つの点に注意が必要です。電源オン・シーケンスを含む 2 電源の相対レベル、パワーマネジメント、アナログ電源に重畳するデジタル電源ノイズの影響です。

2.2.1 電源電圧シーケンス

ADC108S052 はデュアル電源のデバイスです。2 系統の電源ピンは ESD 保護回路を共有しているため、電源を適切なシーケンスで印加しなければならない点に注意が必要です。ESD ダイオードの導通を避けるため、デジタル電源 (V_D) 電圧はアナログ電源 (V_A) 電圧を 300mV 以上超えてはなりません。したがって、 V_A は V_D と同時か、またはより早く立ち上がりなければなりません。

2.2.2 パワーマネジメント

\overline{CS} を Low にすると ADC108S052 は全面的にパワーアップし、 \overline{CS} を High にすると全面的にパワーダウンします。連続変換モードの場合、変換処理の 16 番目の SCLK 立ち下がりエッジから、次の変換処理の 1 番目の SCLK 立ち下がりエッジまでの間は、ADC108S052 は自動的にパワーダウン・モードに移ります (Figure 1 参照)。

連続変換モードのとき、ADC108S052 は連続して複数の変換を実行します。各変換には 16SCLK サイクルがかかります。ADC108S052 は \overline{CS} が Low の間は変換を継続して実行します。連続モードにすると、最高のスループットが提供されます。

バースト・モードでは単位時間あたりの変換数を減らせば、設計者はスループットと消費電力のどちらかを優先できます。つまり、パワーダウン・モードの時間を長くして、ノーマル・モードの時間を短くします。この技術を使用すると、電気的的特性の範囲内で SCLK を使用しながら、非常に低いサンプル・レートが実現できます。「代表的な性能特性」の「Power Consumption vs. Throughput」に、ADC108S052 の代表的な消費電力対スループットのグラフを示します。消費電力 (P_C) は単純に、ノーマル・モードで動作する時間の割り合い (t_N) にノーマル・モード時の消費電力 (P_N) を乗算し、シャットダウン・モードで動作する時間の

割り合い (t_S) にシャットダウン・モード時の消費電力 (P_S) を乗算して、両者を加算すれば求められます (Figure 9 参照)。

$$P_C = \frac{t_N}{t_N + t_S} \times P_N + \frac{t_S}{t_N + t_S} \times P_S$$

FIGURE 9. Power Consumption Equation

2.2.3 電源ノイズに関する考慮事項

出力負荷容量の充電には、デジタル電源 V_D から電流を供給する必要があります。電源を流れる充電電流パルスによってデジタル電源の電圧は変動します。この変動が十分大きいと、A/D コンバータの S/N 比や SINAD の性能が低下する可能性があります。また、アナログ電源とデジタル電源が直接接続されている場合、デジタル電源上のノイズがアナログ電源に直接重畳し、デジタル電源側にノイズが存在する場合、先性能低下が大きくなります。さらに、デジタル出力がロジック High からロジック Low に変化したときに生じる出力容量からの放電によって、ダイ・サブストレートに流れる電流が抵抗を受けて抑えられます。負荷放電電流が大きい場合、ノイズ性能を低下させる「グラウンド・バウンス」がサブストレート内で発生します。出力容量が大きいほど多くの電流がダイ・サブストレートに流れ、アナログ・チャネルへのノイズ重畳が大きくなります。

対策としては、まずはじめに、アナログ電源とデジタル電源間をデカップリングするか異なる電源系統から供給して、デジタル・ノイズがアナログ電源に混入しないようにしてください。さらに、デジタル電源のノイズ対策と合わせて、出力負荷容量を妥当な範囲で小さくしてください。負荷容量値が 50pF を超える場合は、A/D コンバータの出力に 100 の抵抗を直列に接続します。接続位置は A/D コンバータの出力ピンに実用上最も近い位置にします。抵抗が出力容量の充電電流と放電電流を制限し、ノイズ性能の低下を防ぎます。直列抵抗と負荷容量で低周波数ボールが形成されるため、直列抵抗を追加したら、信号の安定性を確認してください。

2.0 アプリケーション情報 (つづき)

2.3 レイアウトとグラウンド構成

ノイズの多いデジタル回路とノイズに高感度なアナログ回路との間の S/E により、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

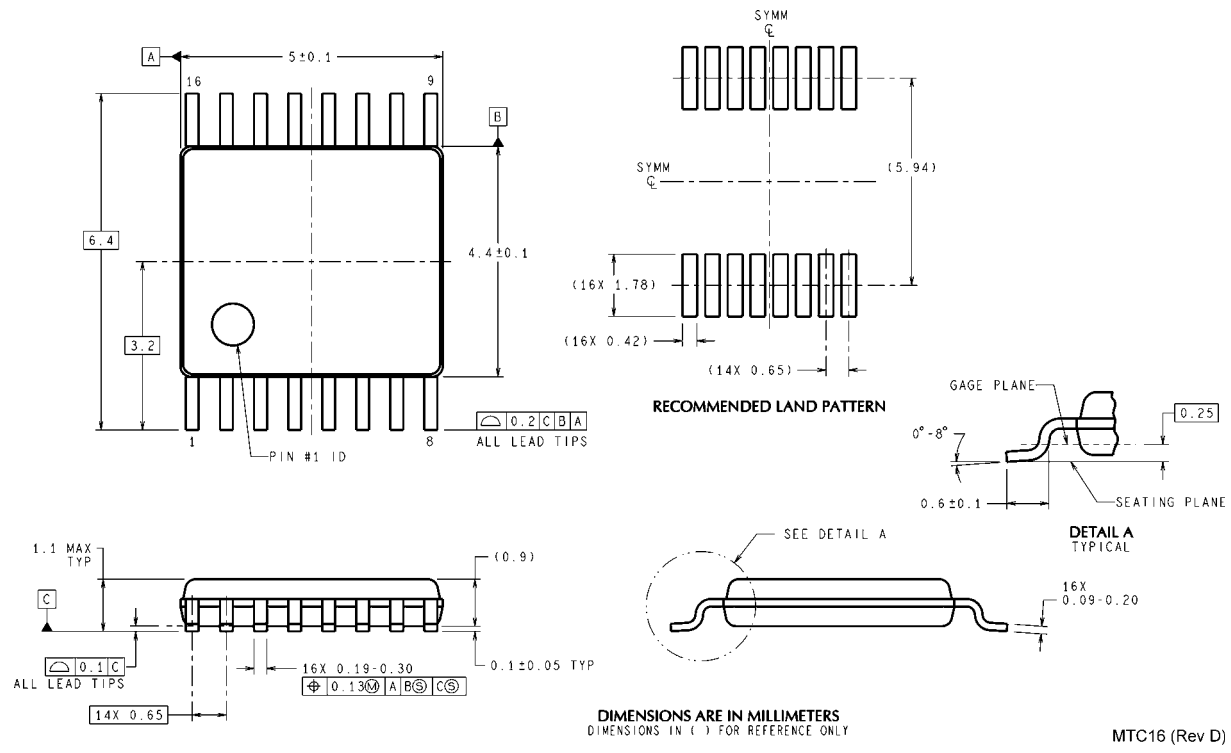
デジタル回路は電源とグラウンドにかなりの過渡電流を発生させます。このようなロジックノイズがシステムのノイズ特性に大きく影響を及ぼします。電源ノイズによる ADC108S052 の性能悪化を避けるため、デジタル・ロジックに使用する ADC108S052 と同じ電源を使用しないでください。

一般に、アナログ、デジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。さらに、クロック・ラインは伝送線路として扱い、正しく終端してください。

アナログ入力、入力にスプリアス信号がカップリングされないようにノイズの多い信号経路からアイソレートしてください。コンバータの入力ピンとアナログ・グラウンドの間、またはリファレンス入力ピンとグラウンドに接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

推奨はグラウンド・プレーンと電源層を専用に設ける層構成です。電源層は同一の基板層に配置してください。すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) は、アナログ・グラウンド・プレーンを覆うように配置してください。すべてのデジタル回路とデジタル入出力 (I/O) は、デジタル・グラウンド・プレーンを覆うように配置してください。さらに、リファレンス回路と入力信号チェーンを構成するグラウンドに接続されているすべての部品は、短いトレースを使って接続し、ノイズのない単一点でアナログ・グラウンド・プレーンへ落としてください。

外形寸法図 特記のない限り inches (millimeters)



16-Lead TSSOP
Order Number ADC108S052CIMT, ADC108S052CIMTX
NS Package Number MTC16

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。 www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上