

# ADC10D020

*ADC10D020 Dual 10-Bit, 20 MSPS, 150 mW A/D Converter*



Literature Number: JAJ979

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2005年2月

## ADC10D020

### デュアル 10 ビット、20MSPS、150mW A/D コンバータ

#### 概要

ADC10D020 は、3.0V 単一電源動作時にわずか 150mW (代表値) の消費電力で、最大 30MSPS の変換レートで 10 ビットのデジタル信号にデジタル化する低消費、高性能の 2 回路入り A/D コンバータです。全温度範囲にわたりノー・ミッシング・コードが保証されています。ADC10D020 が採用している独自の 2 段アーキテクチャにより、20MHz サンプリング・レートで、ナイキスト周波数以下の全帯域に対して 9.5 有効ビットを実現しています。出力データ・フォーマットは、オフセット・バイナリまたは 2 の補数コードを選択できます。ゲインを 2 段階に切り換えられるので、多くのシステムと容易にインタフェースが可能です。また、10 ビット・マルチプレクサ出力モードおよび 20 ビット・パラレル出力モードを選択できるため、柔軟性が高くなっています。オフセット補正機能はオフセット誤差を低減します。

ADC10D020 のデジタル出力バッファ電源には、回路部の電源電圧とは独立した 1.5V から 3.6V の電圧を与えられるため、さまざまな低電圧システムと互換性を保ち、インタフェースが容易です。変換動作を行う必要がない場合、PD (パワーダウン) ピンに HIGH を与えると、コンバータは消費電力が 1mW 以下のパワーダウン・モードに入ります。コンバータが通常動作に戻るために必要な時間は 1ms 以下です。また、STBY (スタンバイ) ピンに HIGH を与えると、コンバータは消費電力がおよそ 27mW のスタンバイ・モードに入ります。通常動作に戻るために必要な時間は 800ns です。

ADC10D020 は、変換レート、分解能および単一電源動作などの特長により、高速ポータブル・アプリケーションなどのさまざまなアプリケーションに最適なデバイスです。

ADC10D020 は工業用温度範囲 ( - 40  $T_A$  + 85 ) に対応し、48 ピン TQFP で供給されます。設計を支援する評価用ポートも提供されています。

#### 特長

- サンプル / ホールド機能内蔵
- リファレンス電圧生成機能
- 2 段階のゲイン設定
- オフセット補正機能
- 出力はオフセット・バイナリ・コードもしくは 2 の補数コードを選択可
- マルチプレクスまたはパラレル出力バス
- + 2.7V ~ + 3.6V の単一電源動作
- パワーダウン・モードおよびスタンバイ・モードを装備

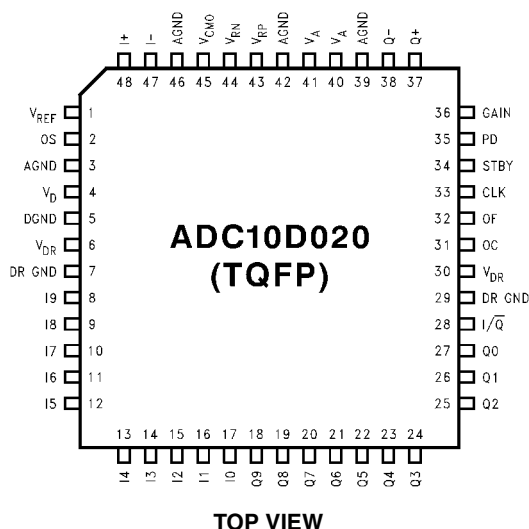
#### 主な仕様

分解能	10 ビット
サンプリング・レート	20MSPS
有効ビット (ENOB)	9.5 ビット (代表値)
DNL	0.35LSB (代表値)
パラレル出力遅延時間	2.5 クロック
マルチプレクス・モード時、“I” データバス	2.5 クロック
マルチプレクス・モード時、“Q” データバス	3 クロック
PSRR	90 dB
消費電力 通常動作	150mW (代表値)
パワーダウン・モード	< 1mW (代表値)
高速復帰可能なスタンバイ・モード	27mW (代表値)

#### アプリケーション

- デジタル・ビデオ
- CCD イメージング
- 携帯型測定器
- コミュニケーション
- 医療用画像処理
- 超音波

#### ピン配置図

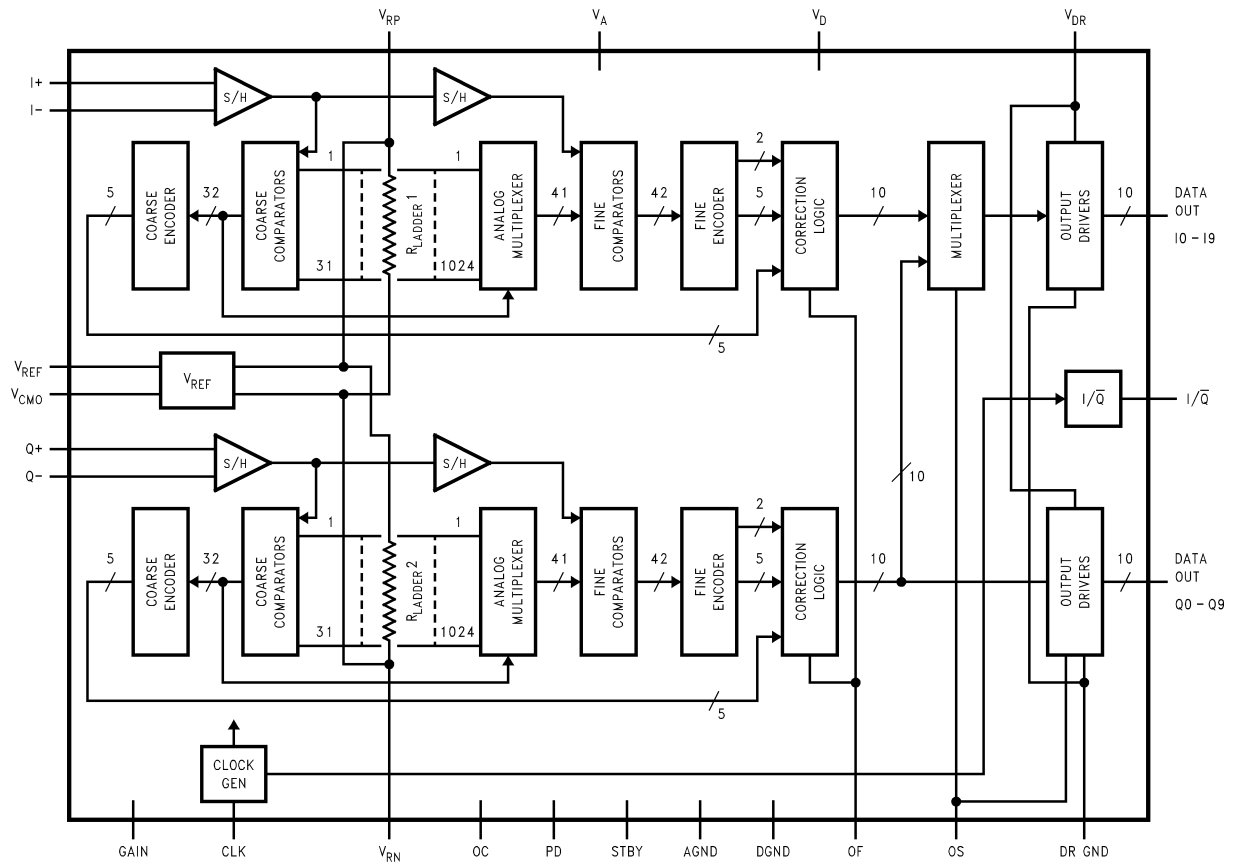


ADC10D020 デュアル 10 ビット、20MSPS、150mW A/D コンバータ

## 製品情報

Device	Temperature Range	NS Package
ADC10D020CIVS	-40°C to +85°C	48-Pin TQFP
ADC10D020EVAL		Evaluation Board

## ブロック図



端子説明および等価回路

端子番号	記号	等価回路	説明
48 47	I + I -		ADC の “ I ” チャンネルへのアナログ入力。公称変換電圧範囲は、GAIN ピンが LOW のとき 1.25V ~ 1.75V、GAIN ピンが HIGH のとき 1.0V ~ 2.0V です。
37 38	Q + Q -		ADC の “ Q ” チャンネルへのアナログ入力。公称変換電圧範囲は、GAIN ピンが LOW のとき 1.25V ~ 1.75V、GAIN ピンが HIGH のとき 1.0V ~ 2.0V です。
1	V <sub>REF</sub>		アナログ・リファレンス電圧入力。このピンに印加する電圧は 0.8V ~ 1.5V の範囲でなくてはなりません。GAIN ピンが LOW のときにこのピンに 1.0V を与えると、フルスケールの差動入力は 1V <sub>p-p</sub> となります。また GAIN ピンが HIGH のときにこのピンに 1.0V を与えると、フルスケールの差動入力は 2V <sub>p-p</sub> となります。1μF 以上のコンデンサでバイパスしてください。
45	V <sub>CMO</sub>		アナログ電圧出力で、リファレンス電圧として使用してもよく、また入力コモン・モード電圧の設定としても使用できます。1μF 以上の低 ESR コンデンサと 0.1μF のコンデンサを並列に接続してバイパスを行ってください。このピンの公称出力は 1.5V で駆動能力は 1mA です。
43	V <sub>RP</sub>		リファレンス・ラダーのトップ。このピンには電圧源を接続してはなりません。5μF 以上の低 ESR のタンタルまたは電解コンデンサと 0.1μF のコンデンサを並列に接続してバイパスを行ってください。
44	V <sub>RN</sub>		リファレンス・ラダーのボトム。このピンには電圧源を接続してはなりません。5μF 以上の低 ESR のタンタルまたは電解コンデンサと 0.1μF のコンデンサを並列に接続してバイパスを行ってください。

端子説明および等価回路 (つづき)

端子番号	記号	等価回路	説明
33	CLK		コンバータの両チャンネル共通のデジタル・クロック入力。アナログ入力はこのクロック入力の立ち下りエッジでサンプリングされます。
2	OS		出力バス選択。このピンを HIGH にするとパラレル・モード動作となり、“I” データと “Q” データはそれぞれの 10 ビット・バスから出力されます。一方、このピンを LOW にするとマルチプレクス・モード動作になり、“I” データと “Q” データは “I” バス出力にマルチプレクスされ、“Q” 出力は LOW となります。
31	OC		オフセット補正ピン。このピンを LOW から HIGH に変化させると、コンバータの両チャンネルそれぞれで、完了までに 34 クロックを必要とするオフセット補正シーケンスが開始されます。オフセット補正シーケンスで行われる 32 回の変換の平均がオフセット値になり、シーケンス終了後、すべての通常変換結果から減算されます。なおオフセット補正シーケンスの 34 クロックの全期間にわたって、各入力ペアには 0V 差動電圧を与えなければなりません。
32	OF		出力フォーマット選択ピン。このピンが LOW のとき出力フォーマットはオフセット・バイナリ・コードとなり、HIGH のとき出力フォーマットは 2 の補数コードとなります。このピンは非同期で変化させても構いませんが、その場合、続く 1 サイクルまたは 2 サイクルの結果が正しくない可能性があります。
34	STBY		スタンバイ・ピン。このピンと PD (パワーダウン) ピンが LOW のとき、デバイスは通常動作を行います。このピンが HIGH で PD ピンが LOW のとき、デバイスはスタンバイ・モードとなり、消費電力はわずか 27mW に低減されます。STBY ピンを HIGH から LOW に変化させたとき、デバイスが通常動作に戻るまでに必要な時間は、わずか 800ns です。
35	PD		パワーダウン。このピンが HIGH のとき、デバイスはパワーダウン・モードとなり消費電力は 1mW 以下となります。PD ピンを HIGH から LOW に変化させたとき、デバイスが通常動作へ戻るまでの時間は 1ms 以下が必要です。STBY ピンと PD ピンを同時に HIGH にした場合は PD ピンが優先されます。
36	GAIN		入力に対する ADC のゲインを選択します。フルスケール差動入力ピーク・ツー・ピーク電圧は、このピンが LOW のとき $V_{REF}$ と等しくなり、HIGH のとき $V_{REF}$ の 2 倍になります。
8 ~ 27	I0-19 および Q0-Q9		3V TTL/CMOS 互換のデジタル出力ピン (ただし $V_{DR}$ が高いとき)。“I” 入力および “Q” 入力に対する変換結果が出力されます。I0 と Q0 が LSB で、I9 と Q9 が MSB です。パラレル・モードの場合、CLK ピンの立ち上がりで、全出力ビットに有効なデータが出力されます。マルチプレクス・モードの場合は I0 から I9 のみが使われ、I/Q 出力が HIGH のとき “I” チャンネルのデータ、I/Q 出力が LOW のとき “Q” チャンネルのデータが、それぞれ出力されます。
28	I/Q		出力有効を示す信号。マルチプレクス・モードで、このピンの LOW から HIGH の遷移は、I0 から I9 のデータバス出力が “Q” チャンネルから “I” チャンネルに切り替ったことを示し、HIGH から LOW の遷移は、I0 から I9 のデータバス出力が “I” チャンネルから “Q” チャンネルに切り替ったことを示します。パラレル・モードでは、出力データが変化したとき、このピンは LOW から HIGH へ変化します。
40, 41	$V_A$		正のアナログ電源電圧ピン。ノイズのない $1 + 2.7V \sim + 3.6V$ の電圧源に接続してください。 $V_A$ および $V_D$ は共通の電源より供給し、 $10\mu F \sim 50\mu F$ の電解コンデンサと $0.1\mu F$ のセラミック・コンデンサを並列に接続したもので別々にバイパスしてください。

## 端子説明および等価回路(つづき)

端子番号	記号	等価回路	説明
4	V <sub>D</sub>		デジタル電源電圧ピン。このピンには、電圧が+ 2.7V から+ 3.6V の範囲の安定した電源を接続してください。V <sub>A</sub> とV <sub>D</sub> は同一の電源に接続し、10μF から 50μF のコンデンサに 0.1μF のコンデンサを並列に接続し、それぞれ個別にバイパスを行ってください。
6, 30	V <sub>DR</sub>		デジタル出力ドライバ用電源ピン。このピンには、電圧が+ 1.5V から V <sub>D</sub> の範囲の電源を接続してください。10μF から 50μF のコンデンサに 0.1μF のコンデンサを並列に接続して、バイパスを行ってください。
3, 39, 42, 46	AGND		アナログ電源のグラウンド・リターン・ピン。AGND および DGND は ADC10D020 のパッケージの近くで互いに一点接続してください。
5	DGND		デジタル電源のグラウンド・リターン・ピン。AGND および DGND は ADC10D020 のパッケージの近くで互いに一点接続してください。
7, 29	DR GND		デジタル出力ドライバ電源のグラウンド・リターン・ピン。

**絶対最大定格** (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧	3.8V
各入出力ピン電圧	- 0.3V ~ (V <sub>A</sub> または V <sub>D</sub> + 0.3V)
各ピンの入力電流 (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50mA
パッケージ消費電力 (T <sub>A</sub> = 25 )	(Note 4 参照)
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	250V
ハンダ付け温度	
赤外線 (10 秒)	235
保存温度範囲	- 65 ~ + 150

**動作定格** (Note 1、2)

動作温度範囲	- 40	T <sub>A</sub>	+ 85
V <sub>A</sub> 、V <sub>D</sub> 電源電圧	+ 2.7V ~ + 3.6V		
V <sub>DR</sub> 電源電圧	+ 1.5V ~ V <sub>D</sub>		
V <sub>IN</sub> 差動電圧範囲			
ゲイン = LOW	± V <sub>REF</sub> /2		
ゲイン = HIGH	± V <sub>REF</sub>		
V <sub>CM</sub> 入力コモン・モード電圧範囲			
ゲイン = LOW	V <sub>REF</sub> /4 ~ (V <sub>A</sub> - V <sub>REF</sub> /4)		
ゲイン = HIGH	V <sub>REF</sub> /2 ~ (V <sub>A</sub> - V <sub>REF</sub> /2)		
V <sub>REF</sub> 電源電圧	0.8V ~ 1.5V		
デジタル入力ピン電圧範囲	- 0.3V ~ (V <sub>A</sub> + 0.3V)		

**コンバータの電気的特性**

以下の仕様は、V<sub>A</sub> = V<sub>D</sub> = V<sub>DR</sub> = + 3.0V<sub>DC</sub>、V<sub>REF</sub> = 1.0V<sub>DC</sub>、ゲイン = OF = 0V、OS = 3.0V、V<sub>IN</sub> (ACカップリング) = FSR = 1.0V<sub>P-P</sub>、C<sub>L</sub> = 15pF、f<sub>CLK</sub> = 20MHz、デューティ・サイクル 50%、R<sub>S</sub> = 50、t<sub>rc</sub> = t<sub>fc</sub> < 4ns、オフセット補正なしの場合に適用されます。太文字表記のリミット値は T<sub>A</sub> = T<sub>MIN</sub> ~ T<sub>MAX</sub> にわたって適用され、その他のすべてのリミット値は T<sub>A</sub> = 25 に対して適用されます (Note 7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 9)	Units (Limits)
<b>STATIC CONVERTER CHARACTERISTICS</b>					
INL	Integral Non-Linearity		±0.65	<b>±1.8</b>	LSB (max)
DNL	Differential Non-Linearity		±0.35	<b>+1.2</b> <b>-1.0</b>	LSB (max) LSB (min)
	Resolution with No Missing Codes			<b>10</b>	Bits
V <sub>OFF</sub>	Offset Error	Without Offset Correction	-5	<b>+10</b> <b>-16</b>	LSB (max) LSB (min)
		With Offset Correction	+0.5	<b>+2.0</b> <b>-1.5</b>	LSB (max) LSB (min)
GE	Gain Error		-4	<b>+6</b> <b>-14</b>	%FS (max) %FS (min)
<b>DYNAMIC CONVERTER CHARACTERISTICS</b>					
ENOB	Effective Number of Bits	f <sub>IN</sub> = 1.0 MHz, V <sub>IN</sub> = FSR -0.1 dB	9.5	<b>9.0</b>	Bits
		f <sub>IN</sub> = 4.7 MHz, V <sub>IN</sub> = FSR -0.1 dB	9.5		Bits (min)
		f <sub>IN</sub> = 9.5 MHz, V <sub>IN</sub> = FSR -0.1 dB	9.5		Bits
		f <sub>IN</sub> = 19.5 MHz, V <sub>IN</sub> = FSR -0.1 dB	9.5		Bits
SINAD	Signal-to-Noise Plus Distortion Ratio	f <sub>IN</sub> = 1.0 MHz, V <sub>IN</sub> = FSR -0.1 dB	59	<b>56</b>	dB
		f <sub>IN</sub> = 4.7 MHz, V <sub>IN</sub> = FSR -0.1 dB	59		dB (min)
		f <sub>IN</sub> = 9.5 MHz, V <sub>IN</sub> = FSR -0.1 dB	59		dB
		f <sub>IN</sub> = 19.5 MHz, V <sub>IN</sub> = FSR -0.1 dB	59		dB
SNR	Signal-to-Noise Ratio	f <sub>IN</sub> = 1.0 MHz, V <sub>IN</sub> = FSR -0.1 dB	59	<b>56</b>	dB
		f <sub>IN</sub> = 4.7 MHz, V <sub>IN</sub> = FSR -0.1 dB	59		dB (min)
		f <sub>IN</sub> = 9.5 MHz, V <sub>IN</sub> = FSR -0.1 dB	59		dB
		f <sub>IN</sub> = 19.5 MHz, V <sub>IN</sub> = FSR -0.1 dB	59		dB
THD	Total Harmonic Distortion	f <sub>IN</sub> = 1.0 MHz, V <sub>IN</sub> = FSR -0.1 dB	-73	<b>-62</b>	dB
		f <sub>IN</sub> = 4.7 MHz, V <sub>IN</sub> = FSR -0.1 dB	-73		dB (min)
		f <sub>IN</sub> = 9.5 MHz, V <sub>IN</sub> = FSR -0.1 dB	-73		dB
		f <sub>IN</sub> = 19.5 MHz, V <sub>IN</sub> = FSR -0.1 dB	-73		dB

コンバータの電気的特性 (つづき)

以下の仕様は、 $V_A = V_D = V_{DR} = +3.0V_{DC}$ 、 $V_{REF} = 1.0V_{DC}$ 、ゲイン = OF = 0V、OS = 3.0V、 $V_{IN}$  (ACカップリング) = FSR = 1.0V<sub>P-P</sub>、 $C_L = 15pF$ 、 $f_{CLK} = 20MHz$ 、デューティ・サイクル 50%、 $R_S = 50$ 、 $t_{rc} = t_{fc} < 4ns$ 、オフセット補正なしの場合に適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます (Note 7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 9)	Units (Limits)
HS2	Second Harmonic	$f_{IN} = 1.0 MHz, V_{IN} = FSR -0.1 dB$	-84		dB
		$f_{IN} = 4.7 MHz, V_{IN} = FSR -0.1 dB$	-92		dB
		$f_{IN} = 9.5 MHz, V_{IN} = FSR -0.1 dB$	-87		dB
		$f_{IN} = 19.5 MHz, V_{IN} = FSR -0.1 dB$	-87		dB
HS3	Third Harmonic	$f_{IN} = 1.0 MHz, V_{IN} = FSR -0.1 dB$	-80		dB
		$f_{IN} = 4.7 MHz, V_{IN} = FSR -0.1 dB$	-78		dB
		$f_{IN} = 9.5 MHz, V_{IN} = FSR -0.1 dB$	-78		dB
		$f_{IN} = 19.5 MHz, V_{IN} = FSR -0.1 dB$	-78		dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 1.0 MHz, V_{IN} = FSR -0.1 dB$	76		dB
		$f_{IN} = 4.7 MHz, V_{IN} = FSR -0.1 dB$	75		dB
		$f_{IN} = 9.5 MHz, V_{IN} = FSR -0.1 dB$	75		dB
		$f_{IN} = 19.5 MHz, V_{IN} = FSR -0.1 dB$	74		dB
IMD	Intermodulation Distortion	$f_{IN1} < 4.9 MHz, V_{IN} = FSR -6.1 dB$	65		dB
		$f_{IN2} < 5.1 MHz, V_{IN} = FSR -6.1 dB$			
	Overrange Output Code	$(V_{IN+} - V_{IN-}) > 1.1V$		<b>1023</b>	
	Underrange Output Code	$(V_{IN+} - V_{IN-}) < -1.1V$		<b>0</b>	
FPBW	Full Power Bandwidth		140		MHz
INTER-CHANNEL CHARACTERISTICS					
	Crosstalk	1 MHz input to tested channel, 4.75 MHz input to other channel	-90		dB
	Channel - Channel Aperture Delay Match	$f_{IN} = 8 MHz$	8.5		ps
	Channel - Channel Gain Matching		0.03		%FS
REFERENCE AND ANALOG CHARACTERISTICS					
$V_{IN}$	Analog Differential Input Range	Gain Pin = AGND	1		$V_{P-P}$
		Gain Pin = $V_A$	2		$V_{P-P}$
$C_{IN}$	Analog Input Capacitance (each input)	Clock High	6		pF
		Clock Low	3		pF
$R_{IN}$	Analog Differential Input Resistance		27		k $\Omega$
$V_{REF}$	Reference Voltage		1.0	0.8	V (min)
				1.5	V (max)
$I_{REF}$	Reference Input Current		<1		$\mu A$
$V_{CMO}$	Common Mode Voltage Output	1 mA load to ground (sourcing current)	1.5	<b>1.35</b>	V (min)
				<b>1.6</b>	V (max)
TC $V_{CMO}$	Common Mode Voltage Temperature Coefficient		20		ppm/ $^{\circ}C$
DIGITAL INPUT CHARACTERISTICS					
$V_{IH}$	Logical "1" Input Voltage	$V_D = +2.7V$		<b>2.0</b>	V (min)
$V_{IL}$	Logical "0" Input Voltage	$V_D = +3.6V$		<b>0.5</b>	V (max)
$I_{IH}$	Logical "1" Input Current	$V_{IH} = V_D$	<1		$\mu A$
$I_{IL}$	Logical "0" Input Current	$V_{IL} = DGND$	>-1		$\mu A$
DIGITAL OUTPUT CHARACTERISTICS					
$V_{OH}$	Logical "1" Output Voltage	$V_{DR} = +2.7V, I_{OUT} = -0.5 mA$		$V_{DR}$ <b>-0.3V</b>	V (min)
$V_{OL}$	Logical "0" Output Voltage	$V_{DR} = +2.7V, I_{OUT} = 1.6 mA$		<b>0.4</b>	V (max)



### コンバータの電気的特性 (つづき)

以下の仕様は、 $V_A = V_D = V_{DR} = +3.0V_{DC}$ 、 $V_{REF} = 1.0V_{DC}$ 、ゲイン = OF = 0V、OS = 3.0V、 $V_{IN}$  (ACカップリング) = FSR = 1.0V<sub>P-P</sub>、 $C_L = 15pF$ 、 $f_{CLK} = 20MHz$ 、デューティ・サイクル 50%、 $R_S = 50$ 、 $t_{rc} = t_{fc} < 4ns$ 、オフセット補正なしの場合に適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます (Note 7)。

Symbol	Parameter	Conditions		Typical (Note 8)	Limits (Note 9)	Units (Limits)
+I <sub>SC</sub>	Output Short Circuit Source Current	V <sub>OUT</sub> = 0V	Parallel Mode	-7		mA
			Multiplexed Mode	-14		mA
-I <sub>SC</sub>	Output Short Circuit Sink Current	V <sub>OUT</sub> = V <sub>DR</sub>	Parallel Mode	7		mA
			Multiplexed Mode	14		mA

#### POWER SUPPLY CHARACTERISTICS

I <sub>A</sub> + I <sub>D</sub>	Core Supply Current	PD = LOW, STBY = LOW, dc input	47.6	<b>55</b>	mA (max)
		PD = LOW, STBY = HIGH	8.8		mA
		PD = HIGH, STBY = LOW or HIGH	0.22		mA
I <sub>DR</sub>	Digital Output Driver Supply Current (Note 10)	PD = LOW, STBY = LOW, dc input	1.3	<b>1.4</b>	mA (max)
		PD = LOW, STBY = HIGH	0.1		mA
		PD = HIGH, STBY = LOW or HIGH	0.1		mA
PWR	Power Consumption	PD = LOW, STBY = LOW, dc input	150	169	mW (max)
		PD = LOW, STBY = LOW, 1 MHz Input	178		mW
		PD = LOW, STBY = HIGH	27		mW
		PD = HIGH, STBY = LOW or HIGH	<1		mW
PSRR1	Power Supply Rejection Ratio	Change in Full Scale with 2.7V to 3.6V Supply Change	90		dB
PSRR2	Power Supply Rejection Ratio	Rejection at output with 20 MHz, 250 mV <sub>P-P</sub> Riding on V <sub>A</sub> and V <sub>D</sub>	52		dB

### AC 電気的特性 OS = Low (マルチプレクス・モード)

以下の使用は、 $V_A = V_D = V_{DR} = +3.0V_{DC}$ 、 $V_{REF} = 1.0V_{DC}$ 、ゲイン = OF = 0V、OS = 0V、 $V_{IN}$  (ACカップリング) = FSR = 1.0V<sub>P-P</sub>、 $C_L = 15pF$ 、 $f_{CLK} = 20MHz$ 、デューティ・サイクル 50%、 $R_S = 50$ 、 $t_{rc} = t_{fc} < 4ns$ 、オフセット補正なしの場合に適用されます。太文字表記のリミット値は  $T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます (Note 7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 9)	Units (Limits)
f <sub>CLK1</sub>	Maximum Clock Frequency		30	<b>20</b>	MHz (min)
f <sub>CLK2</sub>	Minimum Clock Frequency		1		MHz
	Duty Cycle		50	<b>30</b> <b>70</b>	% (min) % (max)
	Pipeline Delay (Latency)				
	I Data			<b>2.5</b>	Clock Cycles
	Q Data			<b>3.0</b>	Clock Cycles
t <sub>r</sub> , t <sub>f</sub>	Output Rise and Fall Times		4		ns
t <sub>OC</sub>	Offset Correction Pulse Width			<b>10</b>	ns (min)
t <sub>OD</sub>	Output Delay from CLK Edge to Data Valid		13	<b>18</b>	ns(max)
t <sub>DIQ</sub>	I/Q Output Delay		13		ns
t <sub>SKEW</sub>	I/Q to Data Delay		±200		ps
t <sub>AD</sub>	Sampling (Aperture) Delay		2.4		ns
t <sub>AJ</sub>	Aperture Jitter		<10		ps (rms)
t <sub>VALID</sub>	Data Valid Time		21		ns
	Overrange Recovery Time	Differential V <sub>IN</sub> step from 1.5V to 0V	50		ns
t <sub>WUPD</sub>	PD Low to 1/2 LSB Accurate Conversion (Wake-Up Time)		<1		ms

**AC 電気的特性 OS = Low (マルチプレクス・モード)(つづき)**

以下の使用は、 $V_A = V_D = V_{DR} = +3.0V_{DC}$ 、 $V_{REF} = 1.0V_{DC}$ 、ゲイン= OF = 0V、OS = 0V、 $V_{IN}$  (ACカップリング) = FSR =  $1.0V_{P-P}$ 、 $C_L = 15pF$ 、 $f_{CLK} = 20MHz$ 、デューティ・サイクル50%、 $R_S = 50$ 、 $t_{rc} = t_{fc} < 4ns$ 、オフセット補正なしの場合に適用されます。太文字表記のリミット値は  $T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます (Note 7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 9)	Units (Limits)
$t_{WUSB}$	STBY Low to 1/2 LSB Accurate Conversion (Wake-Up Time)		800		ns

**AC 電気的特性 OS = High (パラレル・モード)**

以下の使用は、 $V_A = +3.0V_{DC}$ 、 $V_D = +3.0V_{DC}$ 、 $V_{DR} = +3.0V_{DC}$ 、 $V_{REF} = 1.0V_{DC}$ 、ゲイン= OF = 0V、OS = 3.0V、 $V_{IN}$  (ACカップリング) = FSR =  $1.0V_{P-P}$ 、 $C_L = 15pF$ 、 $f_{CLK} = 20MHz$ 、デューティ・サイクル50%、 $R_S = 50$ 、 $t_{rc} = t_{fc} < 4ns$ 、オフセット補正なしの場合に適用されます。太文字表記のリミット値は  $T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます (Note 7)。

Symbol	Parameter	Conditions	Typical (Note 8)	Limits (Note 9)	Units (Limits)
$f_{CLK}^1$	Maximum Clock Frequency		30	<b>20</b>	MHz (min)
$f_{CLK}^2$	Minimum Clock Frequency		1		MHz
	Duty Cycle		50	<b>30</b> <b>70</b>	% (min) % (max)
	Pipeline Delay (Latency)			<b>2.5</b>	Conv Cycles
$t_r$ $t_f$	Output Rise and Fall Times		7		ns
$t_{oc}$	OC Pulse Width			<b>10</b>	ns
$t_{OD}$	Output Delay from CLK Edge to Data Valid		15	<b>21</b>	ns (max)
$t_{DIQ}$	I/Q Output Delay		13		ns
$t_{AD}$	Sampling (Aperture) Delay		2.4		ns
$t_{AJ}$	Aperture Jitter		<10		ps (rms)
$t_{VALID}$	Data Valid Time		43		ns
	Overrange Recovery Time	Differential $V_{IN}$ step from 1.5V to 0V	50		ns
$t_{WUPD}$	PD Low to 1/2 LSB Accurate Conversion (Wake-Up Time)		<1		ms
$t_{WUSB}$	STBY Low to 1/2 LSB Accurate Conversion (Wake-Up Time)		800		ns

**Note 1:** 「絶対最大定格」とは、IC に破壊が発生する可能性があるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様、試験条件は「電気的特性」を参照してください。保証された仕様は「電気的特性」に記載されている試験条件のみで適用されます。デバイスが記載の試験条件下で動作しない場合、いくつかの性能特性が低下する場合があります。

**Note 2:** 特記のない限り、すべての電圧は GND = AGND = DGND = DR GND = 0V を基準にして測定されています。

**Note 3:** いずれかのピンで入力電圧 ( $V_{IN}$ ) が電源電圧を超えた場合 (すなわち  $V_{IN} < AGND$  または  $V_{IN} > V_A$ 、 $V_D$  のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流せるピン数は 2 本に制限されます。

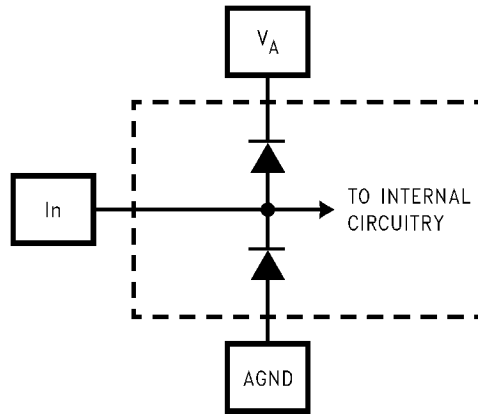
**Note 4:** 温度上昇時の動作では、最大消費電力の定格を  $T_{Jmax}$  (最大接合部温度: このデバイスの場合、 $T_{Jmax}$  は 150 )、 $J_A$  (接合部・周囲温度間熱抵抗)、 $T_A$  (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} = (T_{Jmax} - T_A) / J_A$  または絶対最大定格で示される値のうち、いずれか低い方の値です。ボード実装時におけるこのデバイスの代表的な熱抵抗  $J_A$  は 48ピン TQFP では 76 /W なので、25 での最大許容消費電力は、 $P_{DMAX} = 1.645mW$ 、85 の最大動作周囲温度では、855mW になります。通常動作時のこのデバイスの消費電力は代表値で約 170mW (待機時消費電力が 150mW + 各デジタル出力での 1LVTTL 負荷時の消費電力が約 20mW になることに注意してください)。上記の最大許容消費電力の値にまで上がる場合は、ADC10D020 が何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

**Note 5:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各ピンに放電させます。

**Note 6:** その他の表面実装法については、アプリケーション・ノート AN-450 「表面実装法と信頼性上における効果」、またはナショナル・セミコンダクター社の最新版データブックの「表面実装」の項を参照ください。

**Note 7:** アナログ入力は、以下に示されるように保護されています。入力電圧が電源電圧レールを超えて 300mV まで振幅する場合にはデバイスが損傷を受けることはありません。ただし、入力電圧が「電気的特性」の表記載のリミット値を超えると、AD 変換結果に誤差を生じる場合があります。

AC 電气的特性 OS = High (パラレル・モード)(つづき)

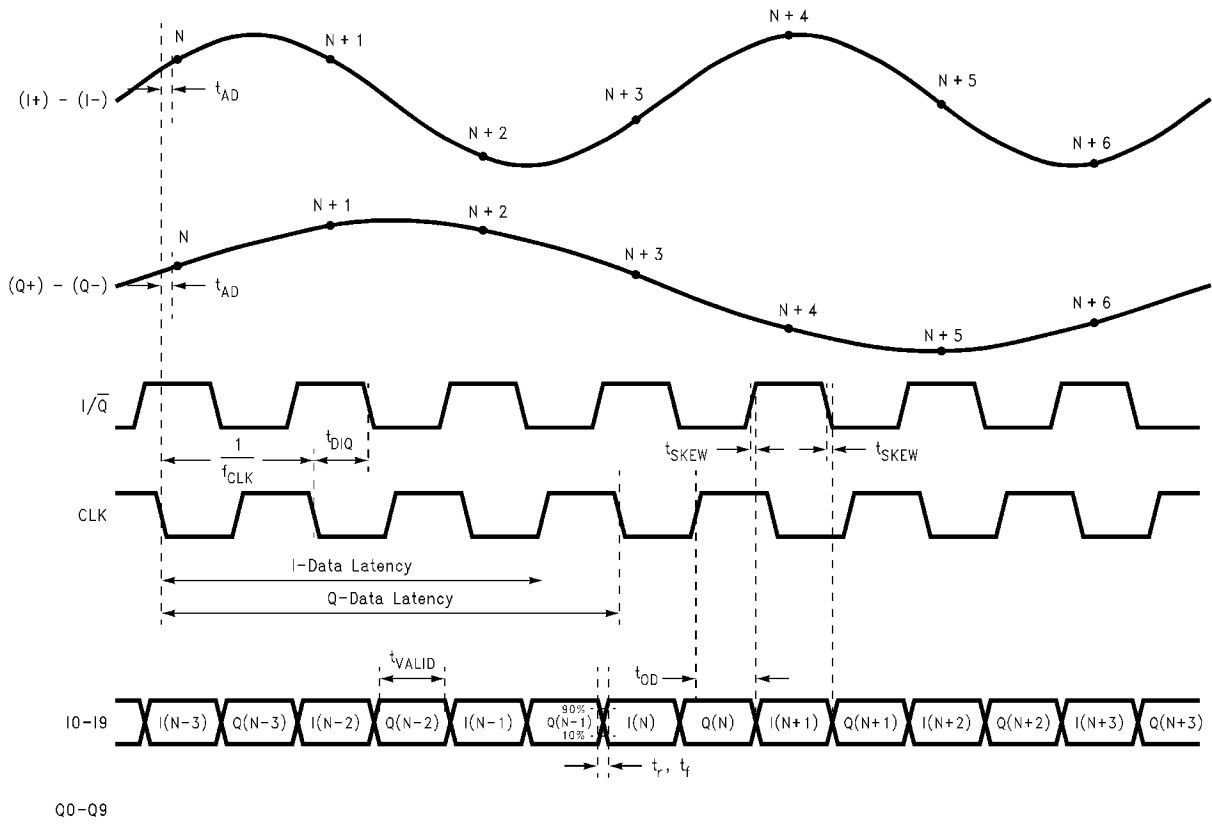


**Note 8:** 代表値 (Typical) は、 $T_j = +25$  で得られる最も標準的な数値です。

**Note 9:** テスト・リミット値はナショナル セミコンダクター社の平均出荷品質レベル AOQL (Average Outgoing Quality Level) に基づき保証されます。性能は、 $V_{REF} = 1.0V$  でクロック・デューティ・サイクルが 50% の場合にのみ保証されます。 $V_{REF}$  およびクロック・デューティ・サイクルのリミット値は、妥当な性能が得られる範囲を規定しています。試験の実施およびリミット値の保証で、クロックの LOW レベルは  $0.3V$ 、HIGH レベルは  $V_D - 0.3V$  としています。

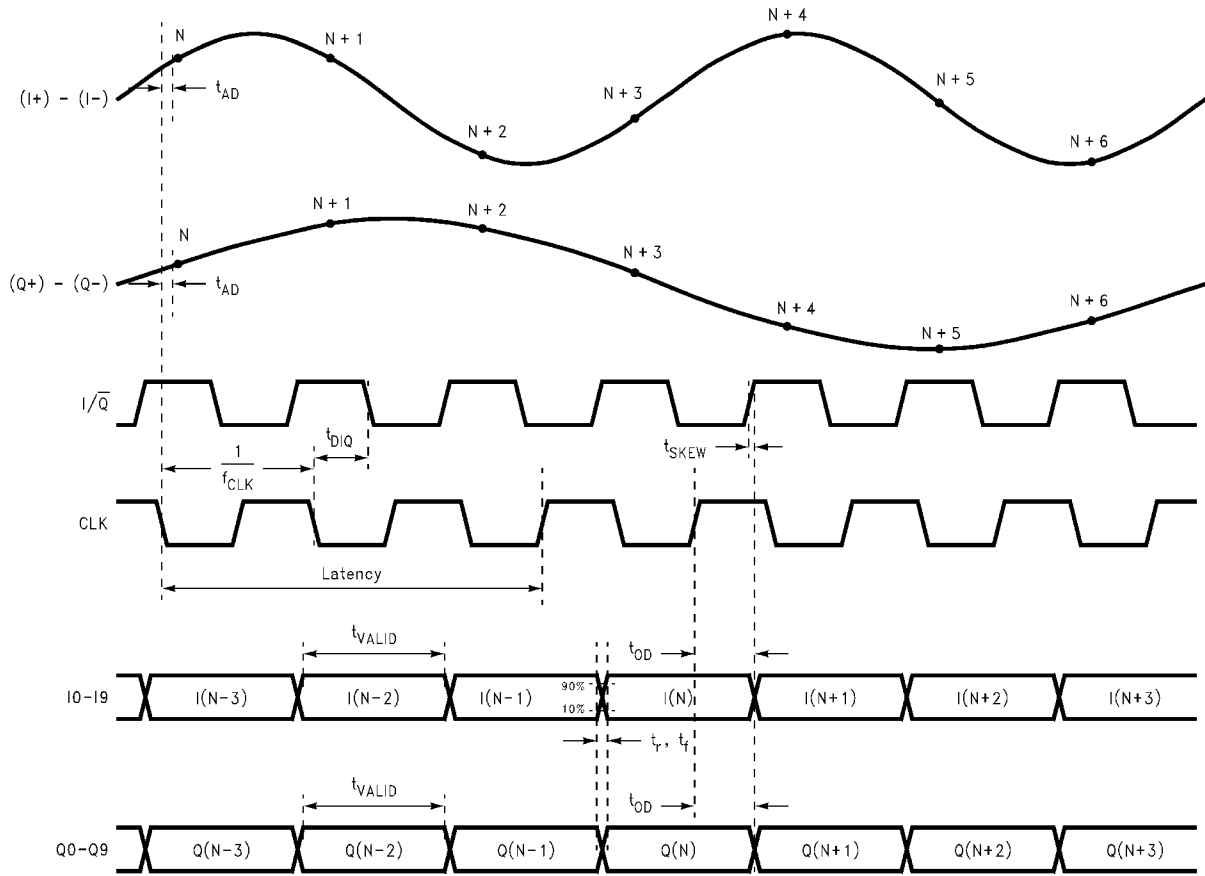
**Note 10:**  $I_{DR}$  は、出力ドライバのスイッチング処理に消費される電流です。この値を決める主な要素は、出力ピンの負荷容量、電源電圧、 $V_{DR}$ 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 $I_{DR}$  は、 $I_{DR} = V_{DR} (C_0 \times f_0 + C_1 \times f_1 + \dots + C_9 \times f_9)$  の式で計算されます。 $V_{DR}$  は出力ドライバ用の電源電圧、 $C_n$  は当該出力ピンの総負荷容量、 $f_n$  は当該出力ピンの平均スイッチング周波数です。

タイミング図

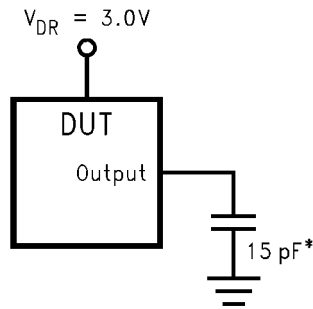


ADC10D020 Timing Diagram for Multiplexed Mode

タイミング図(つづき)



ADC10D020 Timing Diagram for Parallel Mode



\* Includes stray and distributed capacitance

FIGURE 1. AC Test Circuit

## 用語の定義

アパーチャ(サンプリング)ディレイ (**APERTURE (SAMPLING) DELAY**) は、クロック入力の立ち上がりエッジからサンプリング・スイッチが開くまでに要する時間です。サンプル/ホールド回路は入力信号の取り込みを効果的に停止させ、クロックが LOW レベルになってから  $t_{AD}$  後に「ホールド」モードになります。

アパーチャ・ジッタ (**APERTURE JITTER**) は、隣り合うサンプリング間アパーチャ・ディレイのばらつき期間を示します。アパーチャ・ジッタは、入力雑音として示されます。

クロック・デューティ・サイクル (**CLOCK DUTY CYCLE**) は、クロック周期に対してクロック波形が HIGH になっている時間の比です。

クロストーク (**CROSSTALK**) は、一方のチャネルから他方のチャネルへのエネルギーの結合です。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。20MSPS でランブ入力に対して測定されます。

有効ビット (**EFFECTIVE NUMBER OF BITS: ENOB**) は、信号/(ノイズ+歪み)比または SINAD の別の規定方法です。ENOB は  $(\text{SINAD} - 1.76)/6.02$  として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (**FULL POWER BANDWIDTH: FPBW**) は、復号後の信号振幅が、復号後の 1MHz の信号振幅に比べて 3dB 低くなる周波数です。

ゲイン誤差 (**GAIN ERROR**) は、最初のコード遷移が起こる入力レベルと最後のコード遷移が起こる入力レベルの差における、理想と実際の差異です。すなわちこの差異は、フルスケールからのずれとなります。

積分非直線性 (**INTEGRAL NON LINEARITY: INL**) は、ゼロスケール(最初のコード遷移の 1/2LSB 下)から正のフルスケール(最後のコード遷移の 1/2LSB 上)まで引いた直線からそれぞれ個々のコードとの最大の偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。エンド・ポイント・テスト法が用いられます。20MSPS でランブ入力とともに測定されます。

混変調歪み (**INTERMODULATION DISTORTION: IMD**) は、2 つの近接した周波数を ADC に同時に入力したときに生成される、入力には含まれていないスペクトル成分です。元の 2 つの周波数のうちの 1 つのパワーに対する、二次および三次混変調成分のパワーの比として定義されます。IMD は通常 dB で表されます。

LSB (**LEAST SIGNIFICANT BIT**) は、全ビットのうち最下位もしくは重み付けの最も小さいビットです。LSB の値は、

$$m * V_{REF}/2^n$$

として表されます。"m" はリファレンス・スケール係数、"n" は ADC の分解能で ADC10D020 では 10 です。"m" の値は GAIN ピンのレベルで決まり、LOW のとき 1、HIGH のとき 2 となります。

ミッシング・コード (**MISSING CODE**) は、入力電圧をわずかに変化させたときに、あるコードから次位のコードの間に抜けが生じて ADC から出力されないコードです。すべての入力レベルで、ミッシング・コードが発生することはありません。

MSB (**MOST SIGNIFICANT BIT**) は、全ビットのうち最上位または重み付けの最も大きいビットです。MSB の値はフルスケールの 1/2 に相当します。

オフセット誤差 (**OFFSET ERROR**) は、出力がフルスケールの 1/2 となる入力電圧と、理想的なゼロ電圧入力の差です。

出力ディレイ (**OUTPUT DELAY**) は、クロック入力の立ち上がりエッジから出力ピンにアップデートされたデータが現われるまでの遅延時間です。

オーバーレンジ回復時間 (**OVERRANGE RECOVERY TIME**) は、差動入力が 1.5V から 0V に変化した後、コンバータが復帰し、規定された変換精度が得られるまでに必要な時間です。

パイプライン・ディレイ (**PIPELINE DELAY: LATENCY**) は、変換開始からその変換結果が出力バスに有効になるまでの期間をクロック・サイクル数で表したものです。新しいデータは各クロック・サイクルごとに有効になりますが、入力から出力へのデータ・レイテンシは、パイプライン・ディレイと出力遅延を加えた時間となります。

電源電圧除去比 (**POWER SUPPLY REJECTION RATIO: PSRR**) には 2 つの定義があります。PSRR1 (DC PSRR) は、電源電圧を 2.7V から 3.6V へ変化させたときの、フルスケール誤差の変化の比です。PSRR2 (AC PSRR) は、電源に 20MHz、250mV<sub>p-p</sub> の信号を重畳させたときの、電源の信号振幅と出力に現れる当該周波数成分の振幅との比です。PSRR はそれぞれ dB で表されます。

信号/ノイズ比 (**SIGNAL TO NOISE RATIO: SNR**) は、クロック信号の 1/2 以下の周波数の歪みと DC 成分を除いた、その他すべてのスペクトラル成分の実効値に対する基本信号の出力での実効値の比として、dB で表されます。

信号/(ノイズ+歪み)比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) or SINAD**) は、クロック信号の 1/2 以下の周波数の歪みを含め DC 成分を除いた、その他すべてのスペクトラル成分の実効値に対する基本信号の出力での実効値の比として、dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE: SFDR**) は、基本信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号は、出力スペクトラムに現われる任意のスプリアス信号で、入力に現われるものではありません。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、入力された基本周波数の出力レベルに対する、最初から 9 番目までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で、dB で表されます。全高調波歪み THD は次式から求められます。

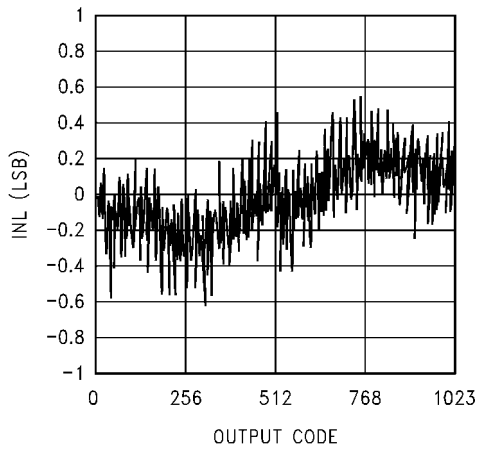
$$\text{THD} = 20 \log \sqrt{\frac{f_2^2 + f_3^2 + f_4^2 + f_5^2 + f_6^2 + f_7^2 + f_8^2 + f_9^2 + f_{10}^2}{f_1^2}}$$

$f_1$  は基本出力周波数の RMS パワーで、 $f_2$  から  $f_{10}$  は、それぞれ出力スペクトルに含まれる最初から 9 番目の歪み成分の周波数の RMS パワーです。

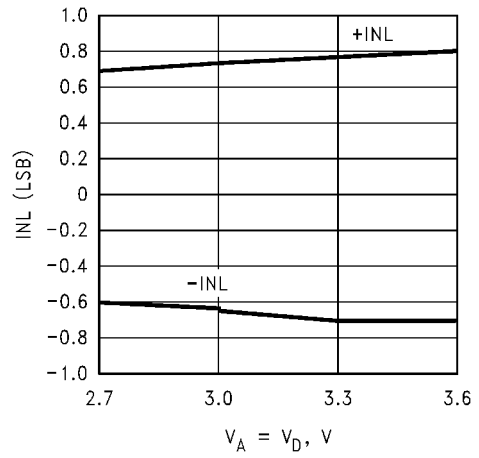
代表的な性能特性

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

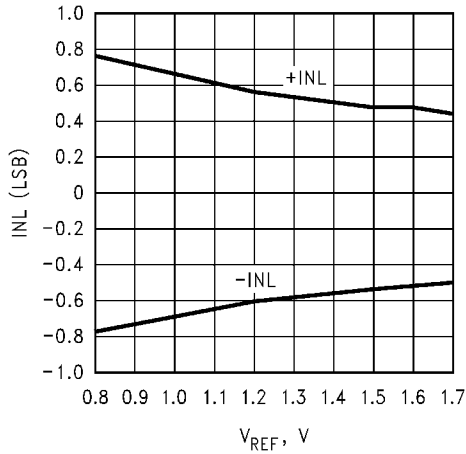
Typical INL



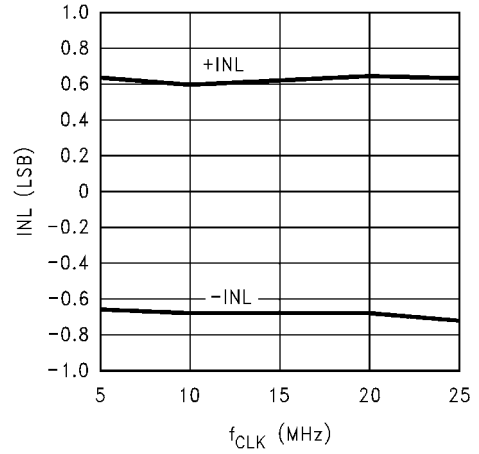
INL vs. Supply Voltage



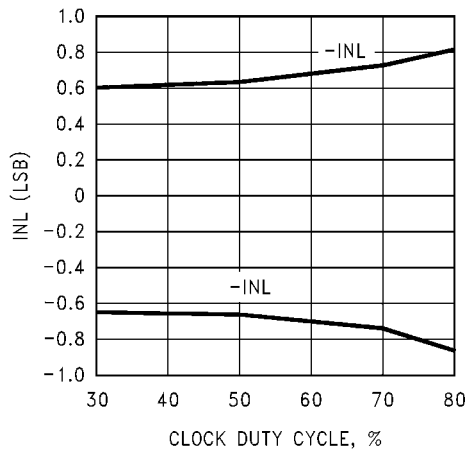
INL vs.  $V_{REF}$



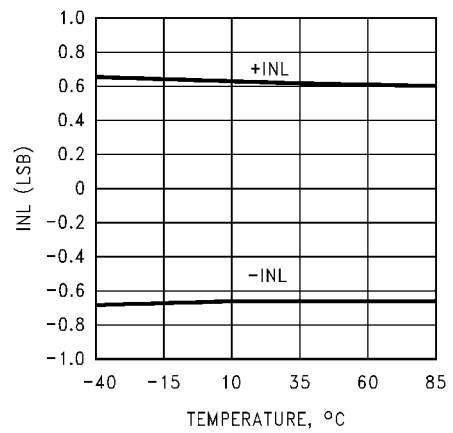
INL vs.  $f_{CLK}$



INL vs. Clock Duty Cycle



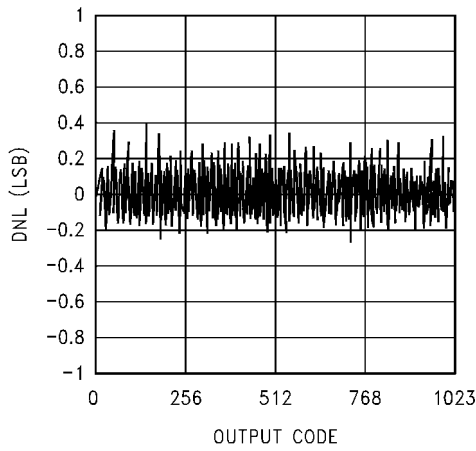
INL vs. Temperature



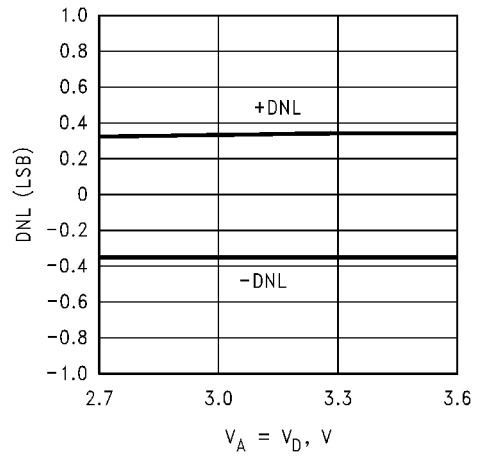
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

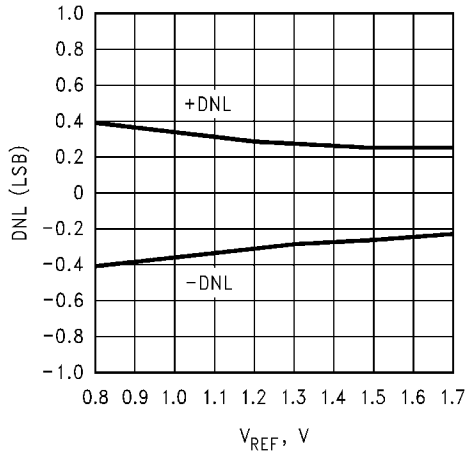
Typical DNL



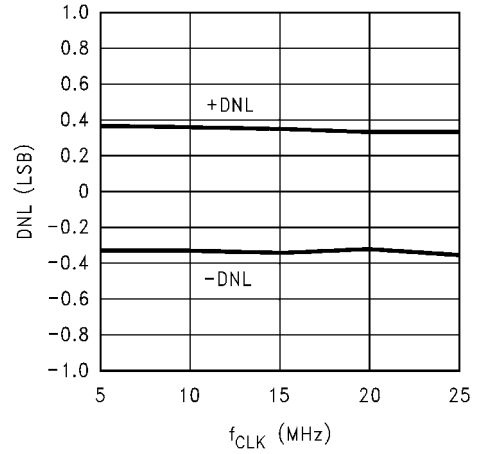
DNL vs. Supply Voltage



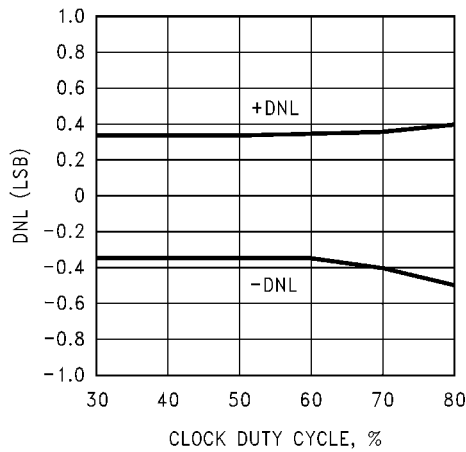
DNL vs.  $V_{REF}$



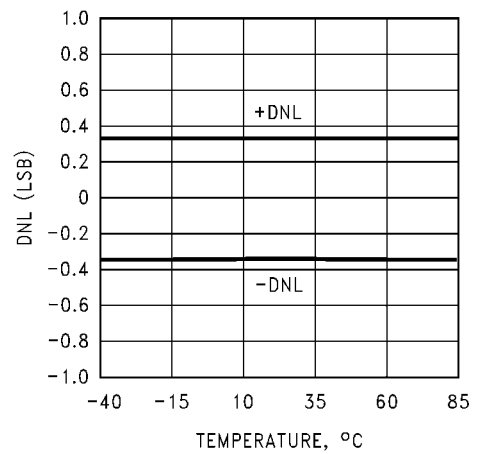
DNL vs.  $f_{CLK}$



DNL vs. Clock Duty Cycle



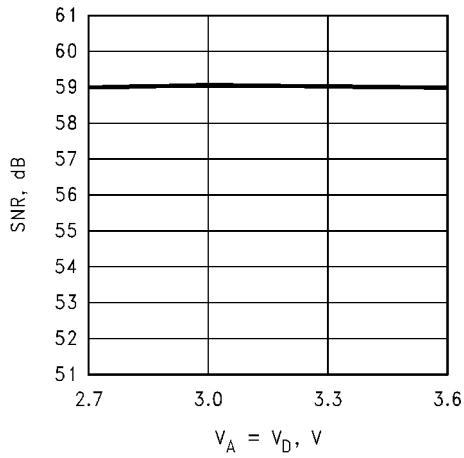
DNL vs. Temperature



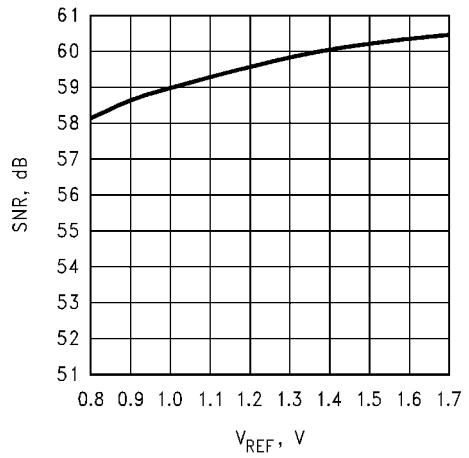
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

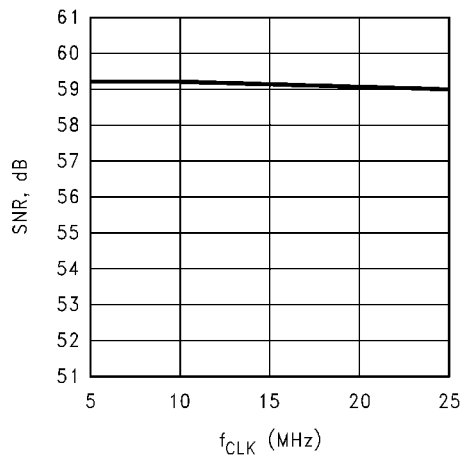
**SNR vs. Supply Voltage**  
@  $f_{IN} = 1\text{ MHz to }9.5\text{ MHz}$



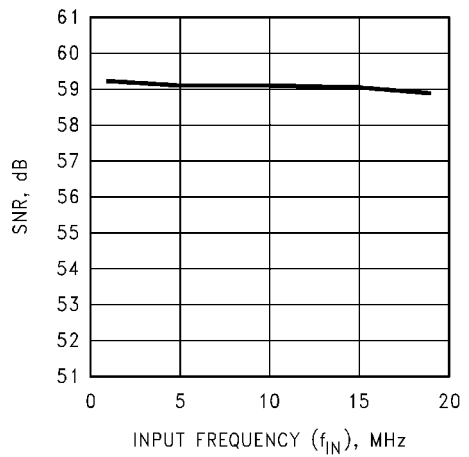
**SNR vs.  $V_{REF}$**   
@  $f_{IN} = 4.7\text{ MHz}$



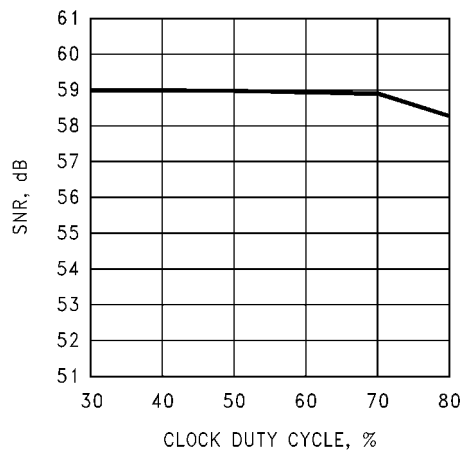
**SNR vs.  $f_{CLK}$**  @  $f_{IN} = 9.5\text{ MHz}$



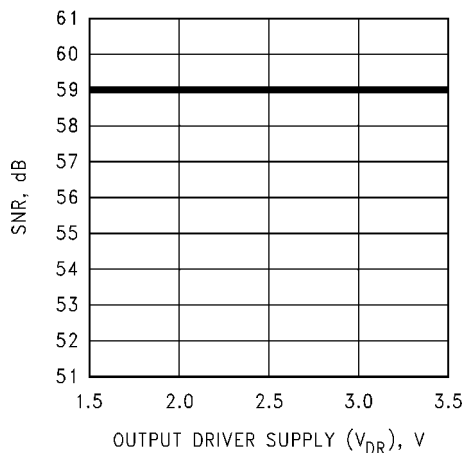
**SNR vs.  $f_{IN}$**



**SNR vs. Clock Duty Cycle**  
@  $f_{IN} = 4.7\text{ MHz}$



**SNR vs.  $V_{DR}$**  @  $f_{IN} = 9.5\text{ MHz}$

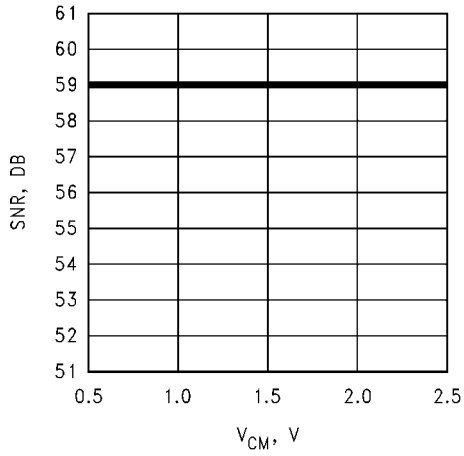




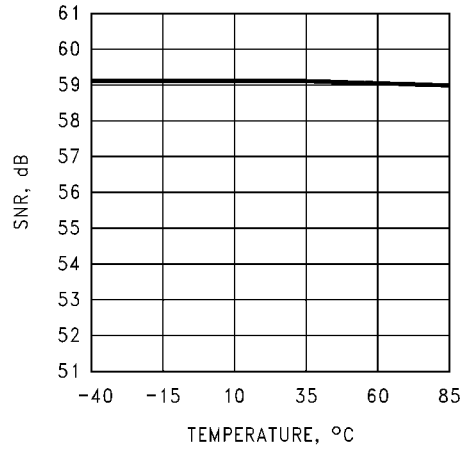
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

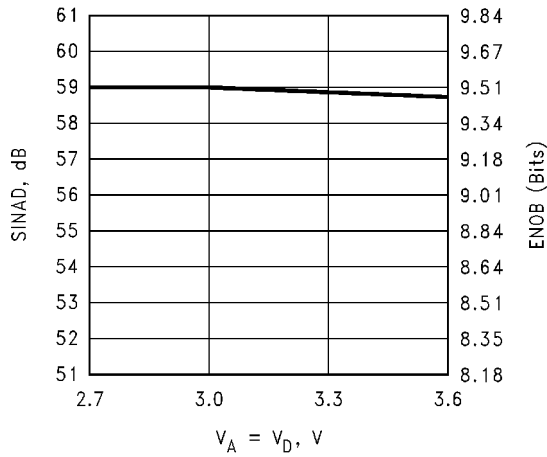
SNR vs.  $V_{CM}$  @  $f_{IN} = 9.5 MHz$



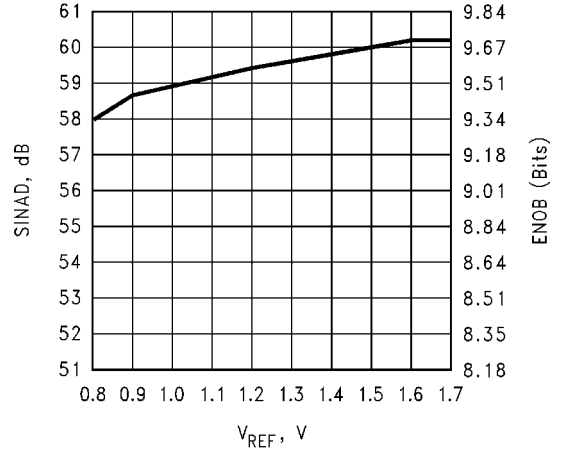
SNR vs. Temperature @  $f_{IN} = 1 MHz$  to 9.5 MHz



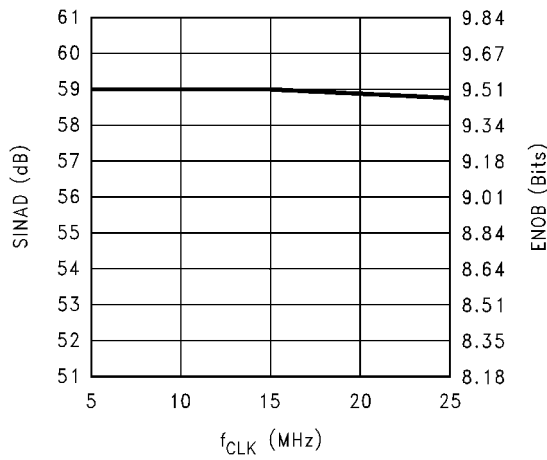
SINAD & ENOB vs. Supply Voltage @  $f_{IN} = 1 MHz$  to 9.5 MHz



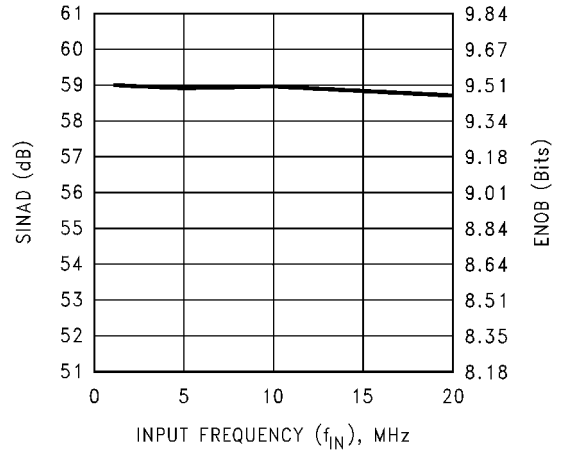
SINAD & ENOB vs.  $V_{REF}$  @  $f_{IN} = 4.7 MHz$



SINAD & ENOB vs. @  $f_{CLK}$  ( $f_{IN} = 9.5 MHz$ )



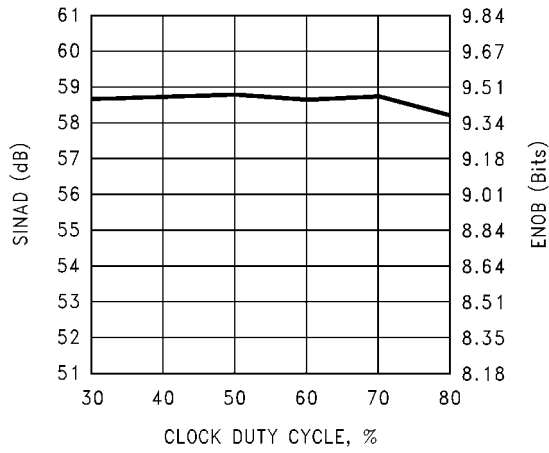
SINAD & ENOB vs.  $f_{IN}$



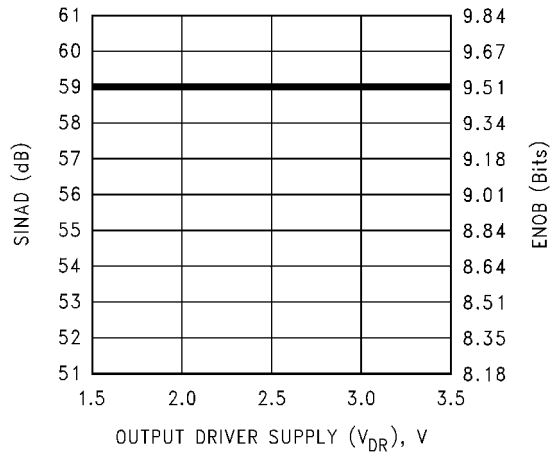
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

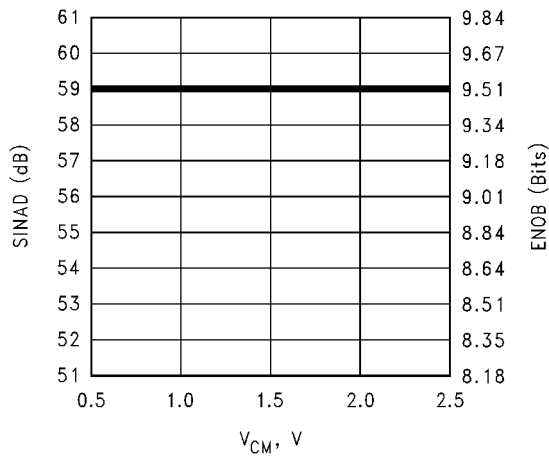
**SINAD & ENOB vs. Clock Duty Cycle @  $f_{IN} = 4.7 MHz$**



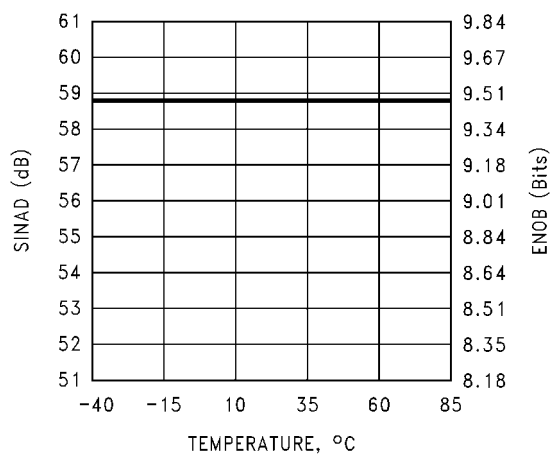
**SINAD & ENOB vs.  $V_{DR}$  @  $f_{IN} = 9.5 MHz$**



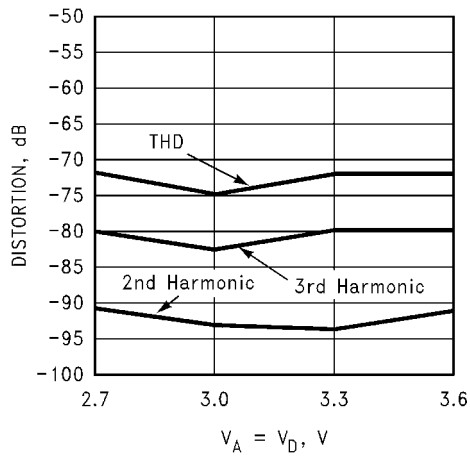
**SINAD & ENOB vs.  $V_{CM}$  @  $f_{IN} = 9.5 MHz$**



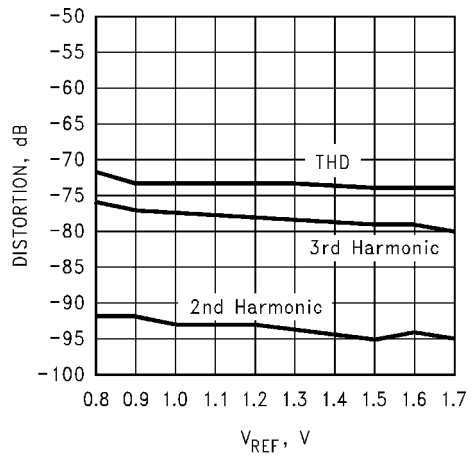
**SINAD & ENOB vs. Temperature @  $f_{IN} = 1 MHz$  to  $9.5 MHz$**



**Distortion vs. Supply Voltage @  $f_{IN} = 4.7 MHz$**



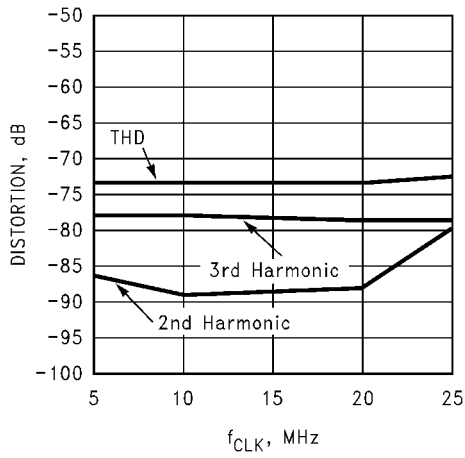
**Distortion vs.  $V_{REF}$  @  $f_{IN} = 4.7 MHz$**



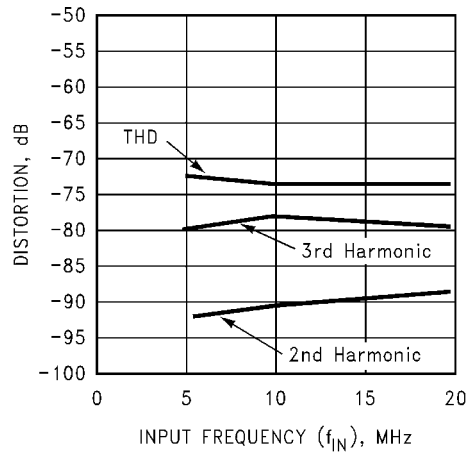
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

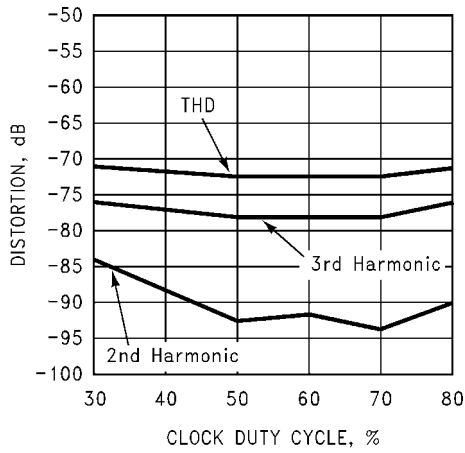
Distortion vs.  $f_{CLK}$  @  $f_{IN} = 9.5 MHz$



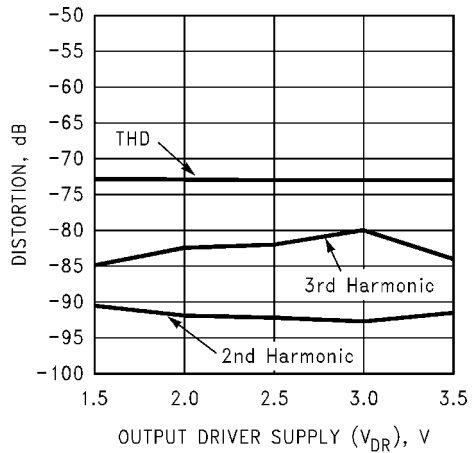
Distortion vs.  $f_{IN}$



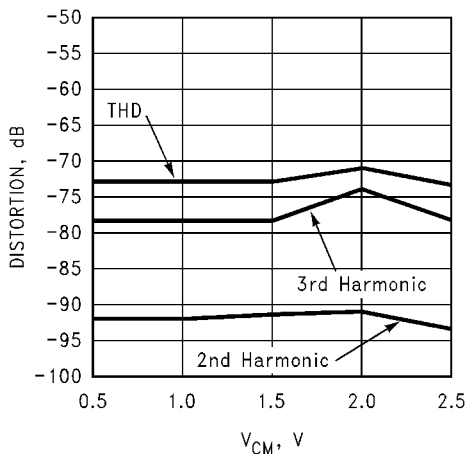
Distortion vs. Clock Duty Cycle @  $f_{IN} = 4.7 MHz$



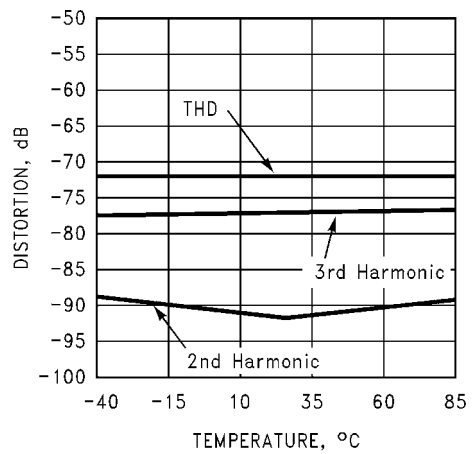
Distortion vs.  $V_{DR}$  @  $f_{IN} = 4.7 MHz$



Distortion vs.  $V_{CM}$  @  $f_{IN} = 4.7 MHz$



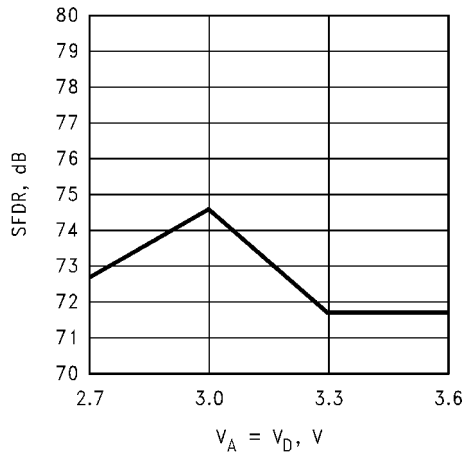
Distortion vs. Temperature



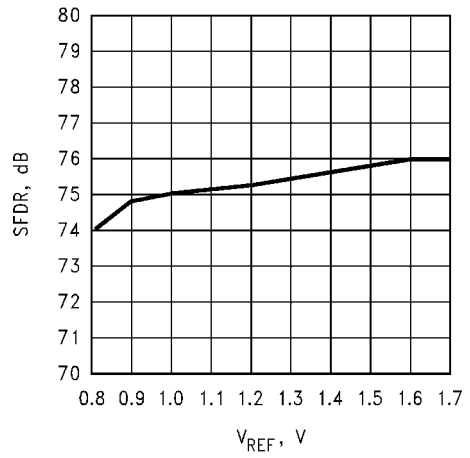
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

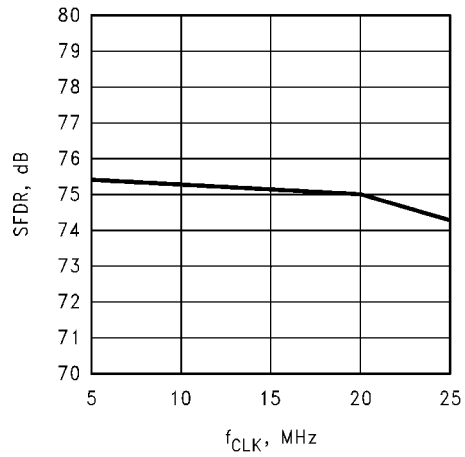
SFDR vs. Supply Voltage @  $f_{IN} = 4.7 MHz$



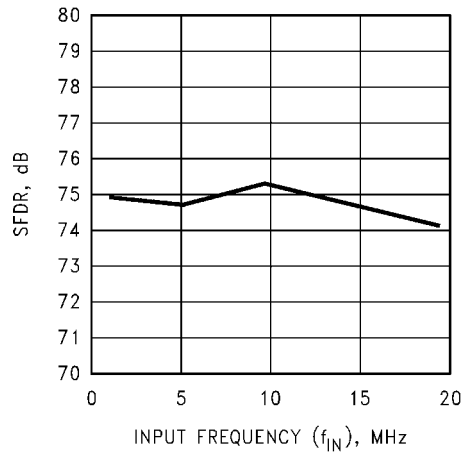
SFDR vs.  $V_{REF}$  @  $f_{IN} = 4.7 MHz$



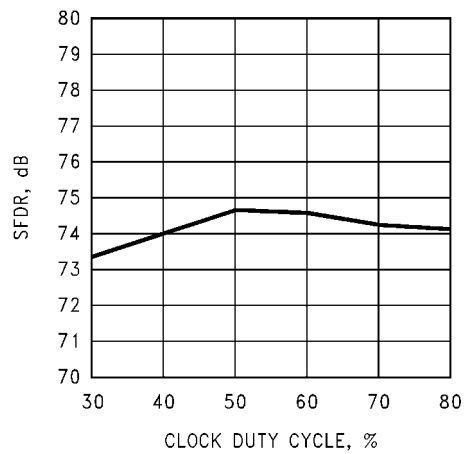
SFDR vs.  $f_{CLK}$  @  $f_{IN} = 9.5 MHz$



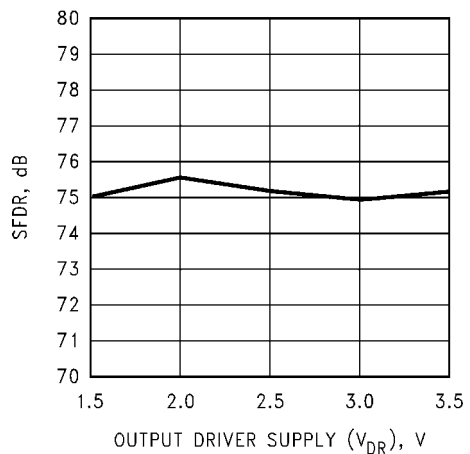
SFDR vs.  $f_{IN}$



SFDR vs. Clock Duty Cycle @  $f_{IN} = 4.7 MHz$



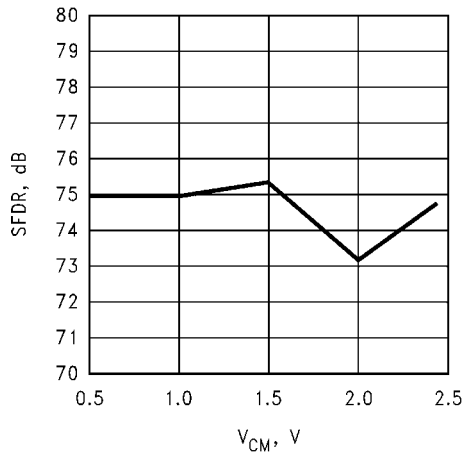
SFDR vs.  $V_{DR}$  @  $f_{IN} = 4.7 MHz$



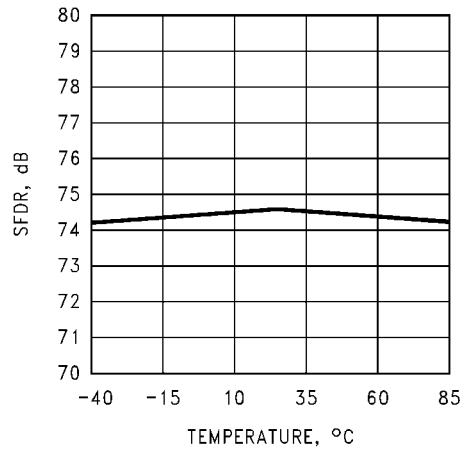
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

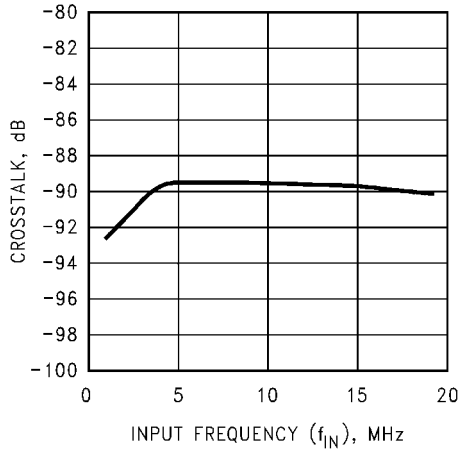
SFDR vs.  $V_{CM}$  @  $f_{IN} = 4.7 MHz$



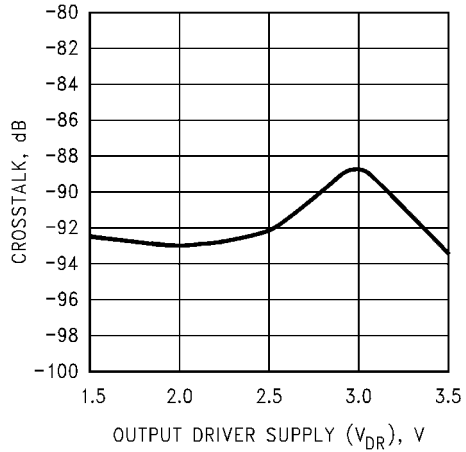
SFDR vs. Temperature @  $f_{IN} = 4.7 MHz$



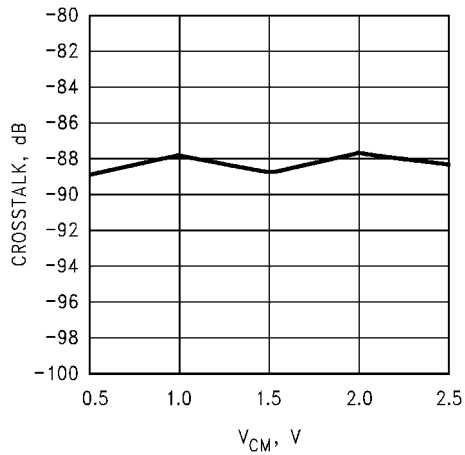
Crosstalk vs.  $f_{IN}$



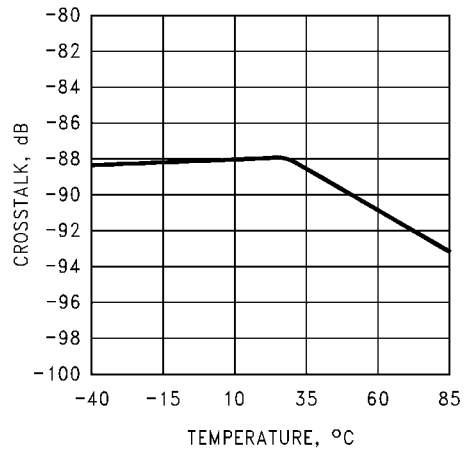
Crosstalk vs.  $V_{DR}$  @  $f_{IN} = 4.7 MHz$



Crosstalk vs.  $V_{CM}$  @  $f_{IN} = 4.7 MHz$



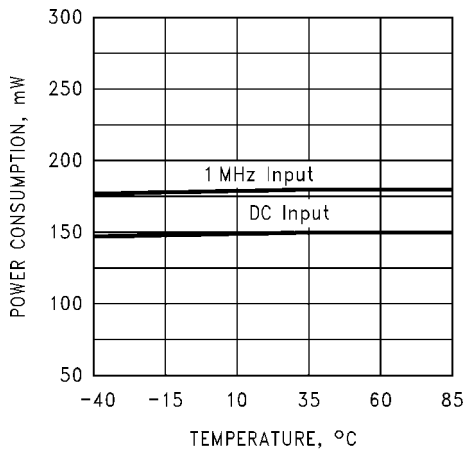
Crosstalk vs. Temperature



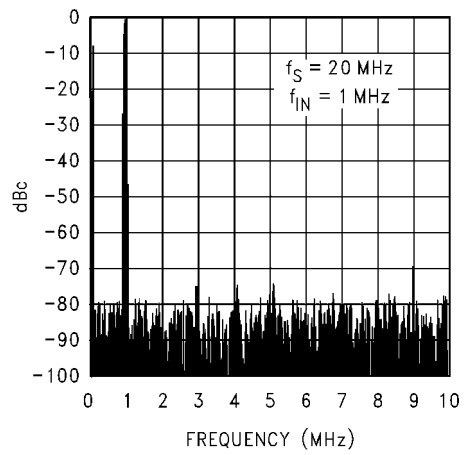
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。

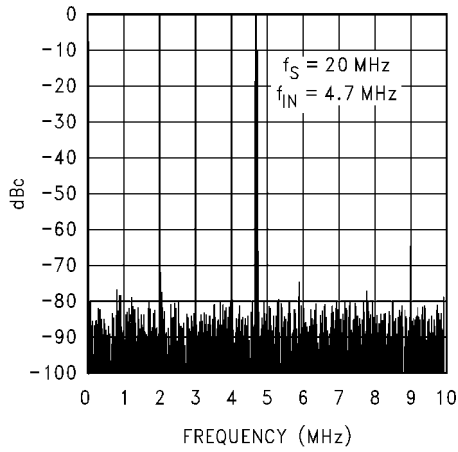
Power Consumption vs. Temperature



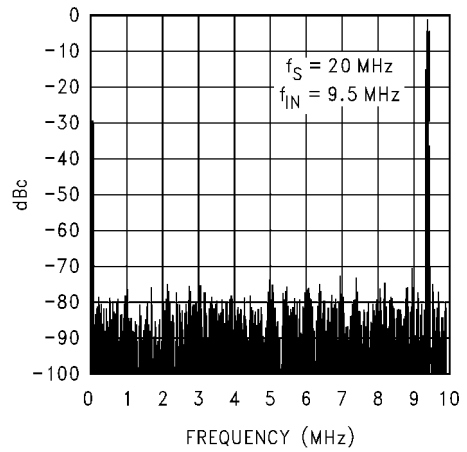
Spectral Response @  $f_{IN} = 1 MHz$



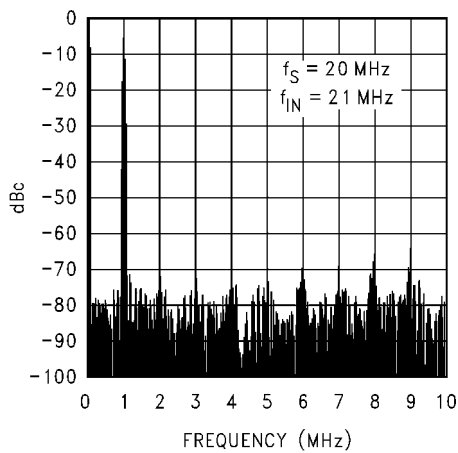
Spectral Response @  $f_{IN} = 4.7 MHz$



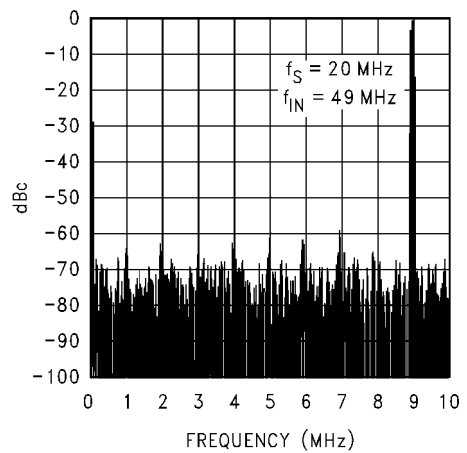
Spectral Response @  $f_{IN} = 9.5 MHz$



Spectral Response @  $f_{IN} = 21 MHz$

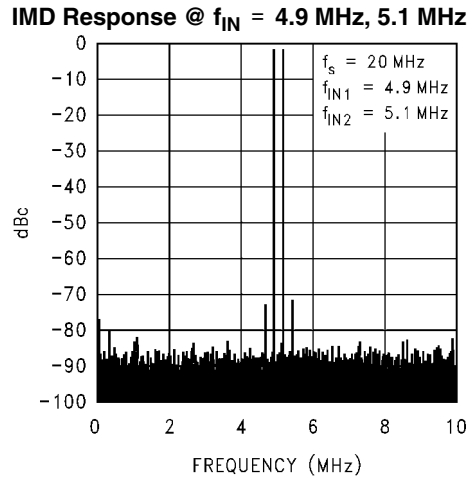
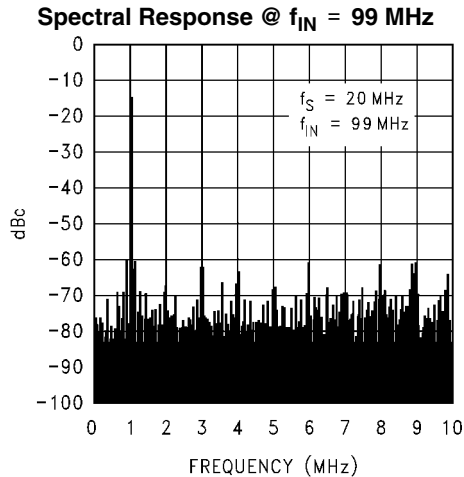


Spectral Response @  $f_{IN} = 49 MHz$



## 代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = V_{DR} = 3.0V$ 、 $f_{CLK} = 20MHz$  の条件下でのグラフを示す。



## 機能説明

ADC10D020 はサブレンジ・アーキテクチャを採用しており、わずか 150mW の消費電力の 20MSPS サンプルング・レートで、ナイキスト周波数以下の全帯域に対して 9.5 有効ビットを実現しています。内部サンプル/ホールド・アンプ (SHA) の採用により、ダイナミック特性を維持し、さらにコンバータの入力インピーダンスを低減して入力部に必要な外付け回路素子数を減らすことが可能です。

$V_{REF}$  電圧と GAIN ピンのレベルによって電圧範囲が設定される “I” および “Q” のアナログ入力信号は、10 ビットの 2 値コードに最大 30MSPS のクロック・レートでデジタル化されます。 $V_{REF}$  の電圧範囲は 0.8V から 1.5V です。GAIN ピンが LOW のとき、差動入力のピーク・ツー・ピーク値範囲は  $0.8V_{P-P}$  から  $1.5V_{P-P}$ 、GAIN ピンが HIGH のときは  $1.6V_{P-P}$  から  $3.0V_{P-P}$  となります。GAIN ピンが LOW のときに  $-V_{REF}/2$  を下回る差動電圧が入力された場合、または GAIN ピンが HIGH のときに  $-V_{REF}$  を下回る差動電圧が入力された場合は、出力ワードは負のフルスケールとなります。逆に、GAIN ピンが LOW のときに  $+V_{REF}/2$  を上回る差動電圧が入力された場合、または GAIN ピンが HIGH のとき  $+V_{REF}$  を上回る差動電圧が入力された場合は、出力ワードは正のフルスケールとなります。

“I”、“Q” の両チャンネル入力は、ともにクロック入力の立ち下がりがエッジでサンプルングされます。一方、“I”、“Q” 各チャンネルのデータ出力タイミングは、動作モードによって変わります。

パラレル・モードでは、“I” と “Q” 出力バスには、それぞれの入力に対応した変換結果が出力されます。入力クロックの立ち上がりエッジから  $t_{OD}$  時間後に、有効な “I” と “Q” チャンネル・データが出力ピンに現れます。マルチプレクス・モードでは、“I” チャンネル・データは入力クロックの立ち上がりエッジから  $t_{OD}$  時間後に出力され、“Q” チャンネル・データは入力クロックの立ち下がりがエッジから  $t_{OD}$  時間後に出力されます。このように、マルチプレクス・モードでは、“I” チャンネルと “Q” チャンネルのデータ出力タイミングが異なるので、タイミングを整合させるためには外部ラッチを用いてください。

パラレル・モードでのデータ出力遅延時間は 2.5 クロックです。一方、マルチプレクス・モードでのデータ出力遅延時間は、“I” チャンネルは 2.5 クロック、“Q” チャンネルは 3.0 クロックとなります。ADC10D020 はクロックが入力され、パワーダウン・ピン PD とスタンバイ・ピン STBY が LOW である限り変換をします。

なお、本データシートでは、ADC10D020 のコモン・モード入力電圧は  $V_{CM}$ 、コモン・モード出力電圧は  $V_{CMO}$  と表記しています。

## アプリケーション情報

## 1.0 アナログ信号入力

ADC10D020 のそれぞれのアナログ入力段は、スイッチ (トランスファ・ゲート) とこれに続くスイッチ・キャパシタ・アンプで構成されています。それぞれの入力ピンの容量はクロックのレベルに応じて変わり、クロックが LOW の場合には 3pF になり、クロックが HIGH の場合には 6pF になります。スイッチ・キャパシタは容量が変化するため、固定容量コンデンサに比べて駆動が難しくなっています。

LMH6550 および LMH6551 差動オペアンプは、このような低電圧駆動能力、広帯域、低歪みを備えたアンプとして、ADC10D020 のアナログ入力をドライブするのに最適なデバイスです。

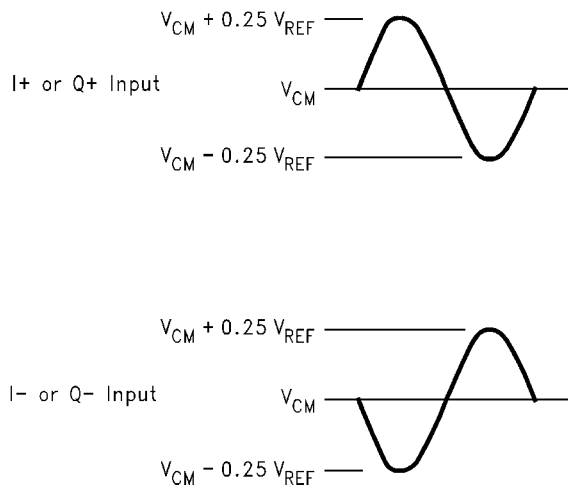
なお、たとえ瞬間であっても、入力電圧が電源電圧を超えないように、特にパワーアップ時に注意を払う必要があります。

ADC10D020 は、差動構成で入力を与えたときに最適な性能が得られるように設計されています。 $V_{REF}$  電圧が 1.0V で GAIN ピンが LOW のとき、最大  $1.0V_{P-P}$  の差動入力をデジタル化できます。Figure 2 を参照してください。差動構成で動作させた場合、入力コモン・モード電圧はおおよそ 1.5V となりますが、差動入力電圧はコモン・モード電圧自体にそれほど影響を受けないので、各入力ピンの信号電位がグラウンドまたは電源から 300mV を超えない限り、グラウンド電位から電源電圧  $V_A$  の範囲の任意の電圧を入力コモン・モード電圧として選択しても、ADC 性能の低下はありません (またはわずかです)。

シングルエンド方式で動作させる場合、入力ペアの一方を 1.5V ( $V_{CM}$ ) に固定し、GAIN ピンが LOW のときは、他方のピンを 1.5V を中央とする  $1.0V_{P-P}$  の信号に接続して使います。

シングルエンド構成では、一方の入力振幅のみが大きくなってしまいうため、差動構成に比べて歪み性能は劣ります。これに代わる簡単なソリューションとして、DC から低周波数に対する応答が求められないアプリケーションであれば、Figure 3 に示すように、トランスを用いてシングルエンドから差動へ変換するとよいでしょう。この回路で 36 抵抗と 110pF コンデンサは、クロック周波数の近くにカットオフ周波数を与え入力サンプルングの影響を補償します。アンダー・サンプルング・アプリケーションでは、さらに低い時定数を用いてください。

## アプリケーション情報 (つづき)



**FIGURE 2.** The ADC10D020 is designed for use with differential signals of 1.0 V<sub>p-p</sub> with a common mode voltage of 1.5V. The signal swing should not cause any pin to experience a swing more than 300 mV beyond the supply rails.

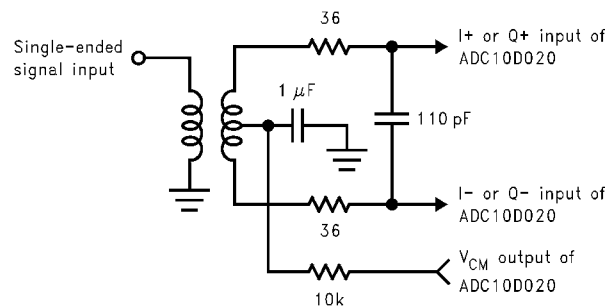
## 2.0 リファレンス入力

V<sub>RP</sub> と V<sub>RN</sub> ピンは、それぞれ 5 μF 以上のタンタルまたは電解コンデンサと 0.1 μF のセラミック・コンデンサを並列に接続してバイパスを行ってください。これらピンはバイパス専用です。ほかの素子を接続してはなりません。

Figure 4 は最小の外付け回路でシンプルにリファレンス・ピンをバイパスする回路を示しています。この回路は多くのアプリケーションに適用できますが、リファレンス電圧は電源電圧を分圧して設定しています。

Figure 5 に示す回路は Figure 4 の改良版で、リファレンス電圧は電源電圧とは独立に設定されています。そのため、リファレンス電圧の変動で生じる問題が低減されます。V<sub>REF</sub> ピンに与えるリファレンス電圧は、AGND に対して、5 μF 以上のタンタルまたは電解コンデンサと 0.1 μF のセラミック・コンデンサを並列に接続してバイパスを行ってください。

ダイオードによって決まる電圧以外の、高精度なリファレンス電圧が必要な場合は、Figure 6 に示す回路を用いてください。240 と 1k 抵抗は、必要に応じてポテンション・メータを用いてください。



**FIGURE 3.** Use of an input transformer for single-ended to differential conversion can simplify circuit design for single-ended signals.



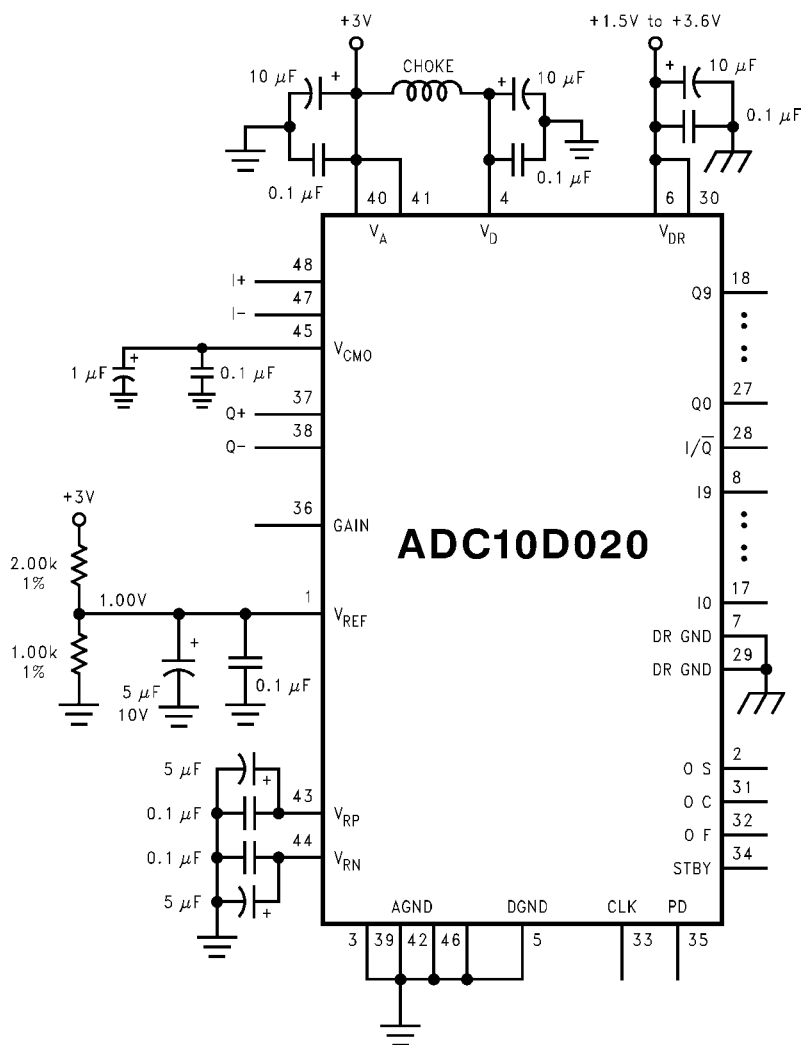


FIGURE 4. Simple Reference Biasing

アプリケーション情報 (つづき)

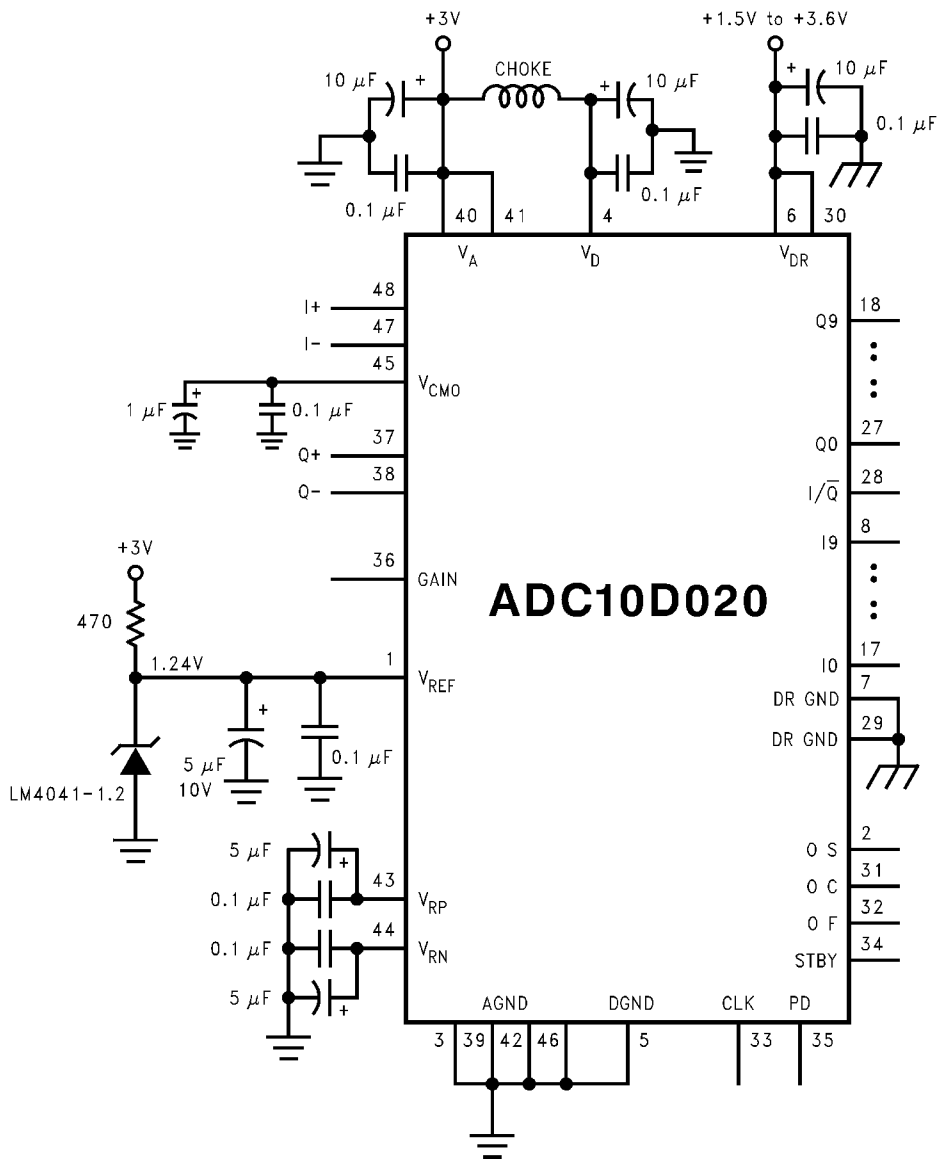


FIGURE 5. Improved Low Component Count Reference Biasing

$V_{CMO}$  出力は、負荷が過大にならないように注意すれば、ADC のリファレンス電圧源として使用できます。しかし、 $V_{CMO}$  出力は高精度のリファレンス電圧としては設計されてなく、また、高精度のリファレンス電圧源に比べて変動は大きくなっています。 $V_{CMO}$  の仕様は、「コンバータの電気的特性」から “Common Mode Voltage Output” の項を参照してください。ADC10D020 のリファレンス入力にはバッファされているので、 $V_{CMO}$  出力を  $V_{REF}$  ピンに接続した場合は、実質的には無負荷に近い状態となります。ADC10D020 はリファレンス電圧が 1.5V でも動作しますが、完全

に仕様が規定されているのはリファレンス電圧が 1.0V のときです。 $V_{CMO}$  を 1.0V リファレンス電圧源として用いる場合は、1.5V  $V_{CMO}$  出力を抵抗分圧してください。この場合、 $V_{CMO}$  の負荷が大きくなり、分圧抵抗値の選択には注意が必要です。Figure 7 に回路例を示します。 $V_{CMO}$  の平均温度係数は 20ppm/°C です。この係数を細かく見ると、-40 から +25 の温度範囲での代表値は 50ppm/°C、+25 から +85 の温度範囲での代表値は -12ppm/°C となっています。

アプリケーション情報(つづき)

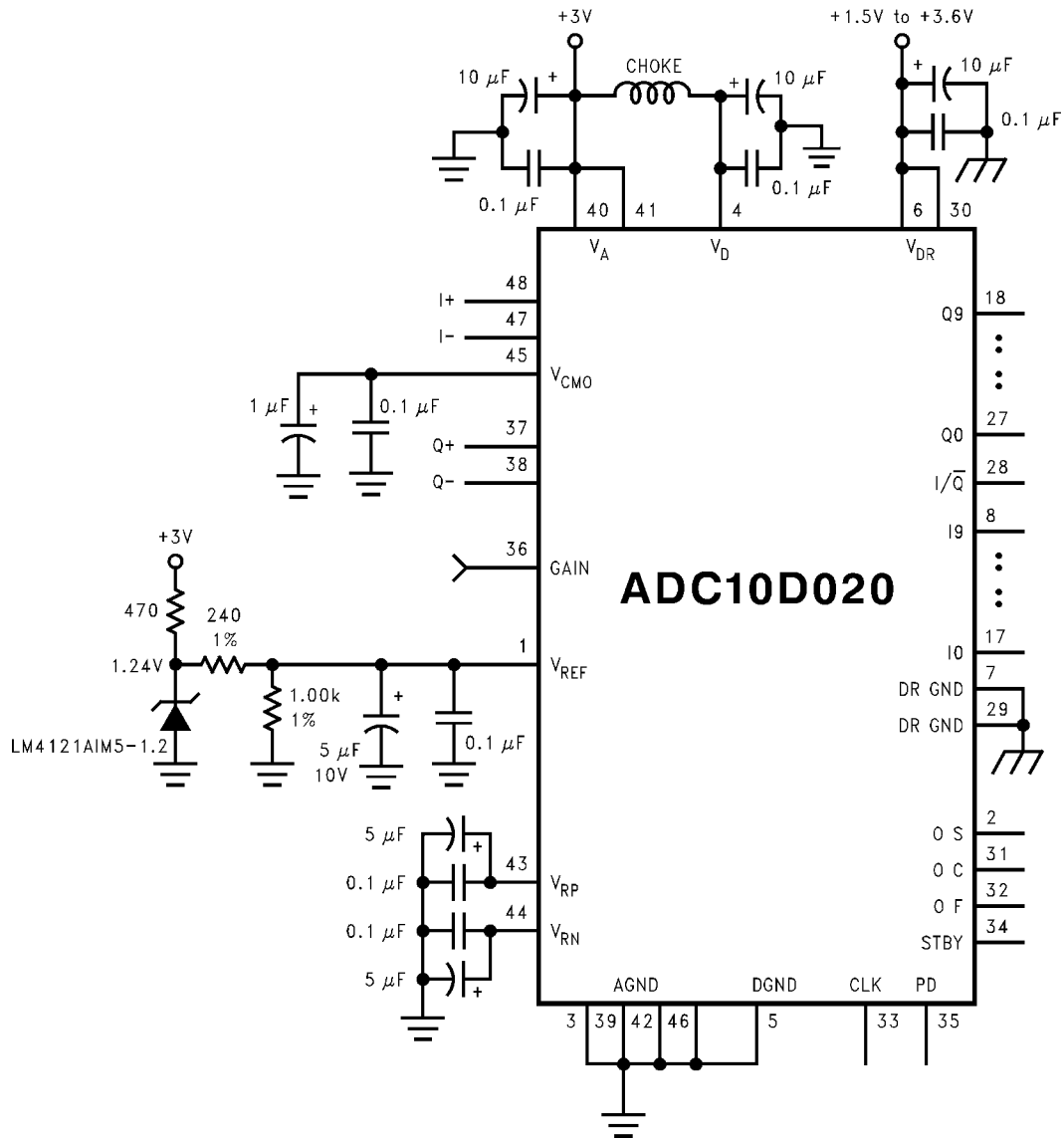


FIGURE 6. Setting An Accurate Reference Voltage

## アプリケーション情報 (つづき)

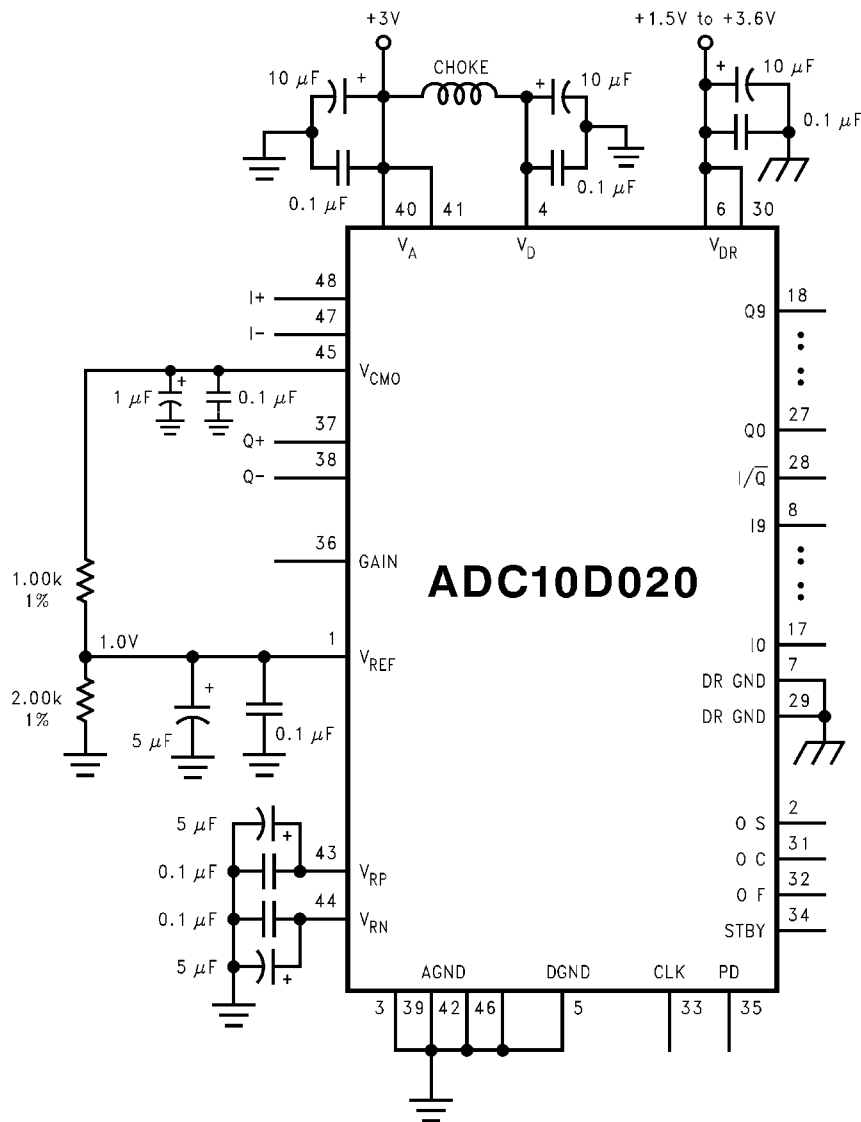


FIGURE 7. The  $V_{CM0}$  output pin may be used as an internal reference source if its output is divided down and not loaded excessively.

## 2.1 リファレンス電圧

リファレンス電圧は、「動作定格」で規定されている電圧範囲でなければなりません (0.8V から 1.5V)。リファレンス電圧が低すぎると、量子化レベルがノイズより小さくなってしまいうため、所望のノイズ性能が得られません。逆にリファレンス電圧が高すぎると、フルスケール出力に対応する入力信号は、入力段の直線性が良好ではない高い電圧領域を使うことになるため、歪み性能の低下を招きます。また、高いリファレンス電圧は、内部ラダー・バッファの動作マージンを減少させるので、バッファのゲイン低下によりゲイン誤差性能の劣化を招きます。

リファレンス・バイパス・ピンである  $V_{RP}$  と  $V_{RN}$  ピンは、出力補償されており、それぞれ 5  $\mu\text{F}$  以上のタンタルまたは電解コンデンサと 0.1  $\mu\text{F}$  のセラミック・コンデンサを並列に接続してバイパスを行ってください。

また、前項で述べたように、 $V_{CM0}$  を ADC リファレンス電圧として使用できます。

## 2.2 $V_{CM0}$ 出力

$V_{CM0}$  出力は、ADC10D020 の差動入力ピンに対する共通・モード・バイパスを与えることを目的としています。またリファレンス電圧源としても使用できます。しかし、負荷電流が 1mA を超えないように注意が必要です。負荷がこれより大きくなると、 $V_{CM0}$  出力電圧の長期安定性と温度安定性が劣化します。 $V_{CM0}$  ピンは出力補償されており、2  $\mu\text{F}$  以上のコンデンサと 0.1  $\mu\text{F}$  のセラミック・コンデンサを並列に接続してバイパスを行ってください。なお、 $V_{CM0}$  出力をリファレンス電圧源として使用する場合は、「2.0 リファレンス入力」の項を参照してください。

## 3.0 デジタル入力ピン

ADC10D020 の機能を制御する 7 本のデジタル入力ピンがあります。

## アプリケーション情報 (つづき)

### 3.1 クロック入力 (CLK)

クロック (CLK) 入力は、ADC の両チャンネルで共通です。このピンは CMOS/LVTTL 互換で、スレッショルド電圧はおおよそ  $V_{DD}/2$  です。ADC10D020 は、20MHz のクロックでのみテストされかつ性能が保証されていますが、1MHz ~ 30MHz の範囲の low-jitter のクロック周波数でも十分に動作します。クロックは、クロック源のソース・インピーダンスとクロック配線の特性インピーダンス  $Z_0$  を整合させるために、直列終端を行ってください。また ADC クロック・ピンは、ピン近くに直列 RC 回路を設けて、グラウンドに対して AC 終端を行ってください。抵抗値 R はクロック配線の特性インピーダンス  $Z_0$  と等しくなければなりません。また、コンデンサ C は、 $C \times Z_0 = 4 \times t_{PD}$  となる値でなければなりません。ここで  $t_{PD}$  は、クロック源から ADC クロック・ピンまでのクロック信号の伝搬遅延時間です。FR4 基材を用いたプリント基板の標準的な伝搬遅延時間は 150ps/ インチです。ADC クロック・ピンに与えられるクロック信号の立ち上がり時間および立ち下がり時間は、4ns を超えてはなりません。アナログ入力  $I = (I+) - (I-)$  および  $Q = (Q+) - (Q-)$  は、2 つのチャンネル間のアパーチャ・ディレイを確実に揃えるため、クロック・ピンの立ち下がりエッジで同時にサンプリングされます。

### 3.2 出力バス選択ピン (OS)

出力バス選択 (OS) ピンは、ADC10D020 の出力モードを、パラレル・モードがマルチプレクス・モードに切り換えます。このピンが HIGH のとき、デバイスはパラレル・モードとなり、“I” チャンネルと“Q” チャンネルのデータは、それぞれのチャンネルの出力バスから出力されます。このピンが LOW のとき、デバイスはマルチプレクス・モードとなり、“I” チャンネルと“Q” チャンネルのデータはマルチプレクスされて“I” 出力バスから出力され、一方“Q” 出力バスは LOW に固定されます。

### 3.3 オフセット補正ピン (OC)

オフセット補正 (OC) ピンは、オフセット補正シーケンスを開始するために使用します。パワーアップ後はこのシーケンスを実行しなければなりません。ADC10D020 の電源がオフにならない限り再実行の必要はありません。本 OC ピンを LOW から HIGH に遷移させると、各コンバータ・チャンネルでそれぞれ、独立したオフセット補正シーケンスが始まります。このシーケンスは終了までに 34 クロック・サイクルを必要としますが、シーケンス中に行われる 32 回の変換の平均がオフセット値となり、シーケンス終了後、すべての通常変換結果から減算されます。オフセット補正は ADC の出力段でデジタル的に処理されるので、ADC の出力範囲はオフセット量だけ狭くなります。

各入力ペアは、シーケンス全体の 34 クロックにわたって差動 0V でなければなりません。ただし、“I” チャンネルと“Q” チャンネル

の入力コモン・モード電圧は、互いに異なっていても構いません。補正シーケンスの開始タイミングを正確に特定できないため、シーケンスには 35 クロックかかるものとみなしてください。

### 3.4 出力フォーマット選択ピン (OF)

出力フォーマット (OF) ピンは出力フォーマットを、オフセット・バイナリ (0 から始まる通常のバイナリ) か、2 の補数コードに切り換えます。出力フォーマットは、このピンが LOW のときオフセット・バイナリとなり、HIGH のとき 2 の補数コードとなります。

### 3.5 スタンバイ・ピン (STBY)

ADC10D020 は、スタンバイ (STBY) ピンにより、通常動作モードへの復帰が高速でありながら、わずか 27mW しか消費しない低消費電力モードへ切り換わります。このピンと PD ピンが LOW のとき、デバイスは通常動作モードとなります。

スタンバイ・モード中のデータ出力には、スタンバイ・モードに移行する前の最後の変換結果が出力されます。

### 3.6 パワーダウン・ピン (PD)

ADC10D020 は、パワーダウン (PD) ピンが HIGH のとき、わずか 1mW しか消費しない低消費電力のスリープ状態に切り換わります。STBY ピンを HIGH にしたときのスタンバイ・モードに比べ、PD ピンを HIGH にしたパワーダウン・モードのほうが消費電力は少なくなりますが、通常動作モードへの復帰に必要な時間は、パワーダウン・モードよりスタンバイ・モードのほうが高速です。STBY ピンと PD ピンの両方を HIGH にすると、ADC10D020 はパワーダウン・モードになります。

パワーダウン・モード中のデータ出力には、パワーダウン・モードに移行する前の最後の変換結果が出力されます。

### 3.7 ゲイン選択ピン (GAIN)

GAIN ピンは、“I” チャンネルと“Q” チャンネル入力に対する内部ゲインを設定します。フルスケールの差動ピーク・ツー・ピーク入力電圧は、このピンが LOW のとき  $V_{REF}$  と等しくなり、HIGH のとき  $V_{REF}$  の 2 倍と等しくなります。

### 4.0 入出力の関係と動作切り換え

ADC10D020 の GAIN ピンは入力電圧範囲を切り換え、一方、OF ピンは出力データ・フォーマットをオフセット・バイナリか 2 の補数コードに切り換えます。

GAIN ピンと OF ピンの関係を、アナログ入力と出力コードとして Table 1 に示します。なお入力信号は電源電圧 (またはグラウンド) を超えないように注意してください。

TABLE 1. ADC10D020 Input/Output Relationships

GAIN	OF	I+ / Q+	I- / Q-	Output Code
0	0	$V_{CM} + 0.25 \cdot V_{REF}$	$V_{CM} - 0.25 \cdot V_{REF}$	11 1111 1111
0	0	$V_{CM}$	$V_{CM}$	10 0000 0000
0	0	$V_{CM} - 0.25 \cdot V_{REF}$	$V_{CM} + 0.25 \cdot V_{REF}$	00 0000 0000
0	1	$V_{CM} + 0.25 \cdot V_{REF}$	$V_{CM} - 0.25 \cdot V_{REF}$	01 1111 1111
0	1	$V_{CM}$	$V_{CM}$	00 0000 0000
0	1	$V_{CM} - 0.25 \cdot V_{REF}$	$V_{CM} + 0.25 \cdot V_{REF}$	10 0000 0000
1	0	$V_{CM} + 0.5 \cdot V_{REF}$	$V_{CM} - 0.5 \cdot V_{REF}$	11 1111 1111
1	0	$V_{CM}$	$V_{CM}$	10 0000 0000
1	0	$V_{CM} - 0.5 \cdot V_{REF}$	$V_{CM} + 0.5 \cdot V_{REF}$	00 0000 0000
1	1	$V_{CM} + 0.5 \cdot V_{REF}$	$V_{CM} - 0.5 \cdot V_{REF}$	01 1111 1111
1	1	$V_{CM}$	$V_{CM}$	00 0000 0000
1	1	$V_{CM} - 0.5 \cdot V_{REF}$	$V_{CM} + 0.5 \cdot V_{REF}$	10 0000 0000

アプリケーション情報 (つづき)

5.0 電源構成

ほとんどの A/D コンバータは適切にバイパスされていないと、デバイス自身の電源により性能を劣化させてしまう非常に大きなトランジェント電流が流れます。A/D コンバータの電源ピンのできる限り近くに配置された 0.1 μF のセラミック・チップ・コンデンサとともに、10 μF ~ 50 μF のタンタル・コンデンサまたはアルミニウム電解コンデンサを A/D コンバータの電源ピンから 0.5 インチ (約 1.2 センチ) 以内に配置してください。リードレス・チップ・コンデンサは、低リード・インダクタンスなので望ましい選択です。

ADC10D020 のアナログ電源、デジタル電源には単一の電源から供給してください。一方これらの電源ピンは、いかなるデジタル・ノイズもアナログ電源ピンにカップリングされないようにそれぞれのピンを十分にアイソレートしてください。V<sub>A</sub> と V<sub>D</sub> 電源の間にはチョークコイルの挿入を推奨します。入力系へのノイズ・カップリングを防ぐため、V<sub>DR</sub> には、V<sub>A</sub> および V<sub>D</sub> とは別の電源を与えてください。

V<sub>DR</sub> ピンは、他の電源ピンとは完全に分離されています。そのため、このピンに別の電圧を与えることができます。V<sub>DR</sub> 電圧は 3V を相当下回ってもよく、低振幅デジタル・システムと容易にインタフェースもできます。電源電圧を低くすると、消費電力が下がり、出力ドライバで発生するノイズ低減にも効果があります。

コンバータのデジタル電源は、基板上的別のデジタル回路に使われている電源から供給しないでください。A/D コンバータのアナログ電源に使われている同一の電源から供給してください。

あらゆる高速の A/D コンバータに共通していますが、ADC10D020 の高周波の電源電圧変動除去性能はあまり高くないため、クリーンなアナログ電源を供給するよう注意してください。

トランジェントによる変動時でも、いかなるピンも電源電圧以上やグラウンド以下になる電圧が印加されないようにしてください。これは、回路への電源供給の方法、電源のターンオフ制御の問題です。CLK 入力、デジタル入力、アナログ入力のいずれのピンへの入力も ADC10D020 の電源ピンの電圧の立ち上がりより速く立ち上がらない回路に設計されているかを確認してください。

6.0 レイアウトとグラウンド構成

A/D コンバータで高い変換精度を実現するためには、すべての信号が適切に配線され、かつグラウンドが適切に設計されていなければならない。グラウンド層をアナログ系とデジタル系で分離する方式を採用する場合、EMI/RFI の問題を引き起こすことがあるため信号配線に十分な配慮が必要です。EMI/RFI を抑える点では、単一グラウンド層で適切な部品配置を行ったほうがよい結果をもたらします。

アナログ信号とデジタル信号からのグラウンドに対する電流経路は、コモン・インピーダンスによってデジタル系のノイズがアナログ信号に重畳してしまうため共通にはいけません。したがってデジタル信号配線とアナログ信号配線は可能な限り距離を離す必要があります。また電源は、電源層ではなく配線によって供給してください。このとき、アナログ電源配線とデジタル電源配線も離します。なお、V<sub>DR</sub> を除き、ADC10D020 のすべての電源ピンはアナログ電源として取り扱う必要があります。ただし DR GND ピンのみデジタル・グラウンドとして扱う必要があり、ADC10D020 の他のグラウンド・ピンからは離して配線してください。

各バイパス・コンデンサは、コンバータの適切なピンのできる限り近くに配置し、適切なグラウンドに短い配線でバイパスしてください。アナログ入力は入力にスプリアス信号がカップリングされないように、ノイズの多い信号経路からアイソレーションしてください。コンバータの入力とアナログ・グラウンドの間に接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド・リターン中の十分にクリーンな点に接続してください。

クロック配線は、3.1 項で述べたように、適切に終端してください。また、可能な限り配線を短くしてください。

Figure 8 は、バイパス・コンデンサの配置を含めた適切なレイアウトの例を示します。すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) とアナログ信号配線は、アナログ回路用に割り当てられている実装領域に配置します。また、すべてのデジタル回路と I/O 信号は、デジタル回路用に割り当てられている実装領域に配置してください。これらの設計ルールを順守しないと、アナログ回路にデジタル・ノイズが混入し、変換精度の低下とダイナミック特性 (THD、SNR、SINAD) の悪化を招く場合があります。

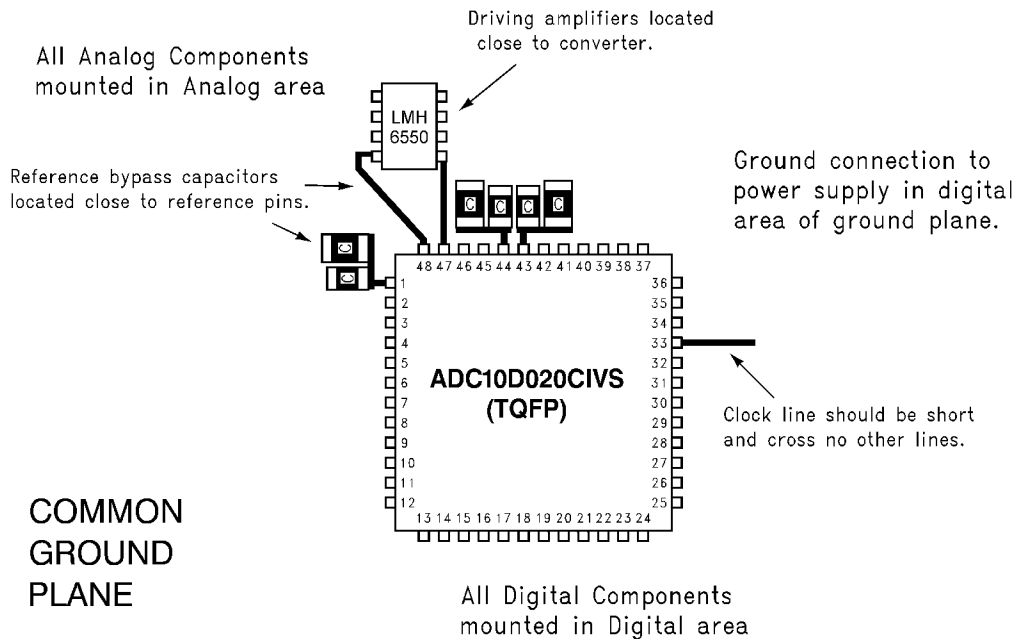


FIGURE 8. An Acceptable Layout Pattern

## アプリケーション情報 (つづき)

## 7.0 ダイナミック特性

ADC10D020 は AC テストされており、ダイナミック特性が保証されています。規定されている特性値を満足するために、CLK 入力をドライブするクロック信号源はジッタのないものでなければなりません。最高のダイナミック特性を得るために、Figure 9 に示されるような適当なバッファを用いてクロック・ツリーを構成し、A/D のクロック信号をその他のデジタル回路からアイソレートしなければなりません。

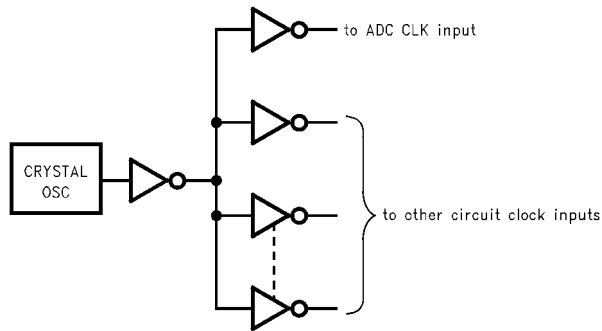


FIGURE 9. Isolating the ADC Clock from Digital Circuitry

## 8.0 アプリケーション共通の注意事項

電源範囲を超えてアナログまたはデジタル入力をドライブしないこと。適当な動作を行うために、すべての入力、グラウンド・ピンより 300mV 以下または、電源ピンより 300mV 以上にならないようにしてください。トランジェントによる場合でもこれらのリミット値を超えると、システムにとって良くない状態や誤差を招く可能性があります。高速デジタル回路（たとえば 74F や 74AC ロジック・ファミリ）では、電源もしくはグラウンドを数百 mV も超えるようなオーバーシュートやアンダーシュートの発生は、それほどまれな現象ではありません。この問題を回避するため、デジタル入力に対して、50 から 100 の抵抗を信号源の近くに直列に挿入してください。

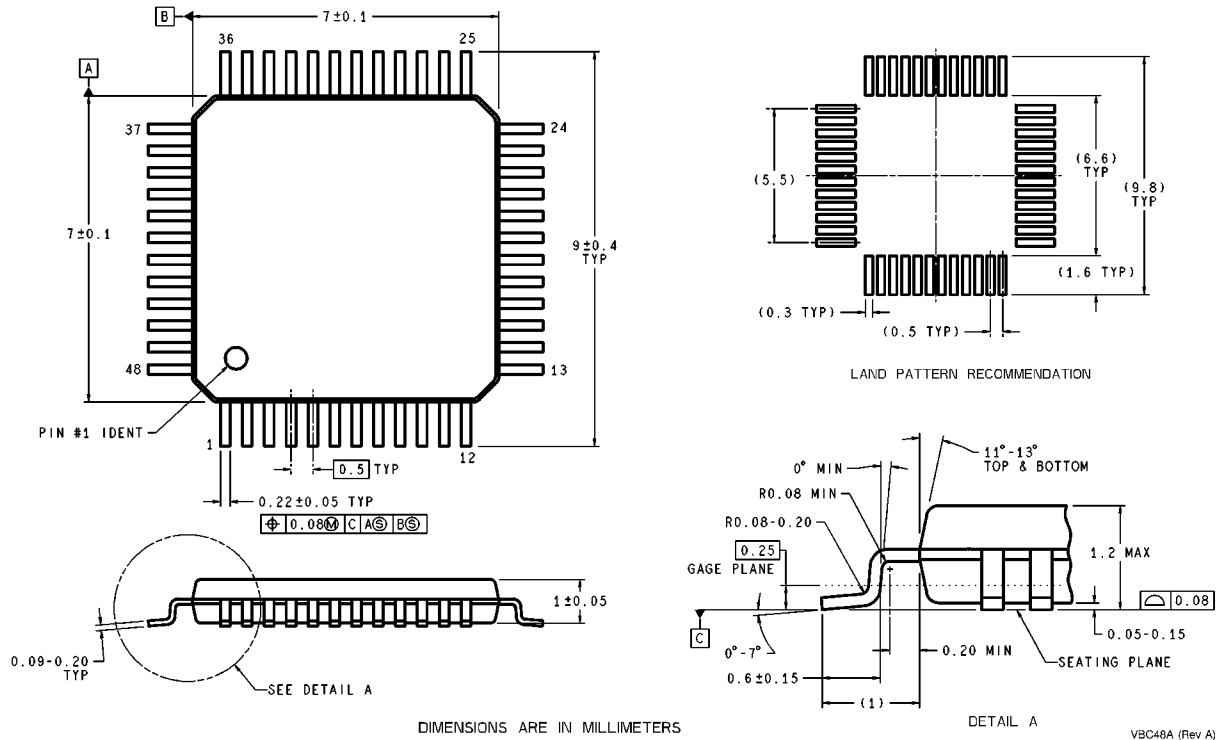
ADC10D020 (あるいはその他のデバイス)の入力を ADC10D020 の電源範囲外の電源から供給されたデバイスで、オーバードライブしないように注意してください。このような過度の入力ドライブはコンバータの誤差を招き、さらにはデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと。各変換毎に充電すべきデジタル出力ドライバ回路の容量性負荷が大きくなればなるほど、 $V_{DR}$  や DR GND からのより大きな瞬間的なデジタル電流が必要となります。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。適切なバイパスと基板レイアウトの配慮によって、この問題を回避できます。ドライブされるデータ・バスが非常に重い負荷の場合には、デジタル・データ出力を（例えば、74ACTQ841 で）バッファリングすることが必要になります。ADC の各デジタル出力に、47 から 56 の直列抵抗を出力ピンの近くに挿入し、ダイナミック特性の改善を図ってください。

過度のジッタを持ったクロック信号源を使用しないこと。この場合には、サンプリング間隔が変化し、過度の出力ノイズを発生し、かつ S/N 比および SINAD の劣化を招きます。RC 発振回路とゲートの組み合わせによる単純なクロック源は、一般的に不適当です。

$V_D$  と外部デジタル・ロジック用の電源に同じ電源を使用しないこと。5.0 項で述べたように、 $V_D$  は  $V_A$  および他のアナログ回路と同一の電源を使用してください。ただし  $V_A$  に対して必ずデカップリングを行ってください。

外形寸法図 単位は millimeters



**NOTE:** 特記のない限り

1. 標準リード仕上げ  
42 アロイ / 銅の上に、7.62µm 以上厚のハンダメッキ (85/15)
2. 寸法には突起部分は含まれません  
許容されるモールド最大突起は各側面あたり 0.15mm
3. 1999 年 2 月現在、JEDEC 登録 MS-026、VARIATION ABC を参照。

**48-Lead TQFP Package**  
**Ordering Number ADC10D020CIVS**  
**NS Package Number VBA48A**

**生命維持装置への使用について**

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

**ナショナル セミコンダクター ジャパン株式会社**

本社 / 〒 135-0042 東京都江東区木場 2-17-16      TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

その他のお問い合わせはフリーダイヤルをご利用ください。

**0120-666-116**



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上