

ADC121S625

*ADC121S625 12-Bit, 50 ksps to 200 ksps, Differential Input, Micro Power
Sampling A/D Converter*



Literature Number: JAJ SAB8



2005年5月

ADC121S625

12ビット、50kSPS ~ 200kSPS、差動入力、マイクロパワー・サンプリング A/D コンバータ

概要

ADC121S625 は、50kSPS から 200kSPS のサンプリング範囲に対応した、完全差動構成、高インピーダンス・アナログ入力、外付け基準電圧源を特徴とする 12 ビットの A/D コンバータです。リファレンス電圧が 500mV から 2.5V の範囲のときに最適な性能が得られますが、100mV から 2.5V の範囲でも動作し、その場合、分解能は 49 μ V から 1.22mV の範囲になります。

出力シリアル・データ形式は 2 の補数バイナリで、SPI™、QSPI™、MICROWIRE™ などのシリアル・スタンダードや主要な DSP と互換です。差動入力、低消費電力、自動パワーダウン、小型パッケージを特徴とする ADC121S625 は、バッテリー動作システムやリモート・データ・アキュイジション・アプリケーションで、トランスデューサとの直接接続に最適です。

ADC121S625 は単一 + 5V 電源で動作し、パワーダウン・モードでは公称消費電力は数ナノワットにまで低下します。ADC121S625 は MSOP-8 パッケージで供給され、ADS7817 とピン互換性を有し上位代替品として最適です。工業用温度範囲である - 40 から + 85 と、800kHz から 3.2MHz のクロック範囲で動作を保証しています。

特長

- 完全な差動入力
- 50kSPS から 200kSPS の範囲で性能を保証
- 外付け基準電圧源
- 優れた AC コモンモード除去性能
- SPI™/QSPI™/MICROWIRE™/DSP と互換性のあるシリアル・インタフェース

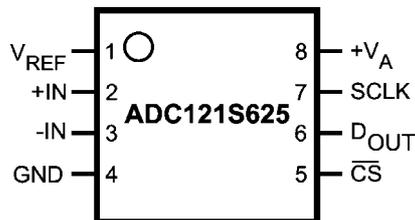
主な仕様

変換レート	50kSPS ~ 200kSPS
オフセット誤差	0.4LSB (代表値)
ゲイン誤差	0.05LSB (代表値)
INL	± 1LSB (最大値)
DNL	± 0.75LSB (最大値)
CMRR	82dB (代表値)
消費電力	
- 動作時、200kSPS	2.25mW (代表値)
- 動作時、50kSPS	1.33mW (代表値)
- パワーダウン	60nW (代表値)

アプリケーション

- 自動車のナビゲーション・システム
- ポータブル・システム
- 医療機器
- 計装システムや制御システム
- モータ制御
- ダイレクト・センサ・インタフェース

ピン配置図



製品情報

Order Code	Temperature Range	Description	Top Mark
ADC121S625C1MM	-40°C to +85°C	8-Lead MSOP Package, 1000 Units Tape & Reel	X0AC
ADC121S625C1MMX	-40°C to +85°C	8-Lead MSOP Package, 3500 Units Tape & Reel	X0AC
ADC121S625EVAL		Evaluation Board	

TRI-STATE® はナショナル セミコンダクター社の登録商標です。
MICROWIRE™ はナショナル セミコンダクター社の商標です。
QSPI™ および SPI™ はモトローラ (株) の商標です。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V _A)	- 0.3V ~ + 6.5V
任意のピンの対 GND 電圧	- 0.3V ~ (V _A + 0.3V)
入力電流 (Note 3)	± 10mA
パッケージの入力電流 (Note 3)	± 50 mA
パッケージ消費電力 (T _A = 25)	Note 4 参照
ESD 耐性 (Note 5)	
人体モデル	2500V
マシン・モデル	250V
デバイス帯電モデル (CDM)	750V
ハンダ付け温度	
赤外線 (10 秒) (Note 6)	260
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

定格温度範囲 (Note 1、2)

動作温度範囲	- 40 T _A + 85
電源電圧 (V _A)	+ 4.5V ~ + 5.5V
リファレンス電圧 (V _{REF})	+ 0.1V ~ + 2.5V
入力コモンモード電圧 (V _{CM})	Figure 1 参照 (セクション 2.3)
デジタル入力ピン電圧範囲	0 ~ V _A
クロック周波数	0.8MHz ~ 3.2MHz
差動アナログ入力電圧	- V _{REF} ~ + V _{REF}

パッケージ熱抵抗

Package	θ _{JA}
8-lead MSOP	20°C / W

ADC121S625 コンバータの電氣的特性 (Note 8)

特記のない限り、以下の仕様は V_A = + 4.5V ~ 5.5V、V_{REF} = 2.5V、f_{SCLK} = 0.8 ~ 3.2MHz、f_{IN} = 20kHz、C_L = 100pF に対して適用されます。太文字表記のリミット値は T_A = T_{MIN} ~ T_{MAX} にわたって適用され、その他のすべてのリミット値は T_A = 25 に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units (Note 7)	
STATIC CONVERTER CHARACTERISTICS						
	Resolution with No Missing Codes			12	Bits	
INL	Integral Non-Linearity		+0.5 -0.3	+1.0 -1.0	LSB (max) LSB (min)	
DNL	Differential Non-Linearity		±0.4	±0.75	LSB (max)	
OE	Offset Error		0.4	±4	LSB (max)	
FSE	Positive Full-Scale Error		+0.2		LSB	
	Negative Full-Scale Error		+0.2		LSB	
GE	Gain Error		-0.05	±4	LSB	
DYNAMIC CONVERTER CHARACTERISTICS						
SINAD	Signal-to-Noise Plus Distortion Ratio	f _{IN} = 20 kHz, -0.1 dBFS	72.6	68.5	dBc (min)	
SNR	Signal-to-Noise Ratio	f _{IN} = 20 kHz, -0.1 dBFS	72.9	70	dBc (min)	
THD	Total Harmonic Distortion	f _{IN} = 20 kHz, -0.1 dBFS	-84	-74	dBc (max)	
SFDR	Spurious-Free Dynamic Range	f _{IN} = 20 kHz, -0.1 dBFS	85.2	74	dBc (min)	
ENOB	Effective Number of Bits	f _{IN} = 20 kHz, -0.1 dBFS	11.8	11.1	bits (min)	
FPBW	-3 dB Full Power Bandwidth	Output at 70.7%FS with FS Input	Differential Input	26		MHz
			Single-Ended Input	22		MHz
ANALOG INPUT CHARACTERISTICS						
V _{IN}	Differential Input Range			-V _{REF}	V (min)	
				+V _{REF}	V (max)	
I _{DCL}	DC Leakage Current		±0.04	±2	µA (max)	
C _{INA}	Input Capacitance	In Track Mode	17		pF	
		In Hold Mode	3		pF	
CMRR	Common Mode Rejection Ratio		82		dB	
V _{REF}	Reference Voltage Range			0.1	V (min)	
				2.5	V (max)	

ADC121S625 コンバータの電気的特性 (Note 8) (つづき)

特記のない限り、以下の仕様は $V_A = +4.5V \sim 5.5V$ 、 $V_{REF} = 2.5V$ 、 $f_{SCLK} = 0.8 \sim 3.2MHz$ 、 $f_{IN} = 20kHz$ 、 $C_L = 100pF$ に対して適用されます。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他のすべてのリミット値は $T_A = 25$ に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units (Note 7)
ANALOG INPUT CHARACTERISTICS					
I_{REF}	Reference Current	\overline{CS} low, $f_{SCLK} = 3.2 MHz$, $f_S = 200 ksp/s$, output = FF8h	12		μA
		\overline{CS} low, $f_{SCLK} = 3.2 MHz$, $f_S = 50 ksp/s$, output = FF8h	3		μA
		\overline{CS} low, $f_{SCLK} = 3.2 MHz$, 12.5 ksp/s, output = FF8h	0.7		μA
		\overline{CS} high, $f_{SCLK} = 0$	0.3		μA
DIGITAL INPUT CHARACTERISTICS					
V_{IH}	Input High Voltage	$V_A = 4.5V$ to $5.5V$		2.4	V (min)
V_{IL}	Input Low Voltage	$V_A = 4.5V$ to $5.5V$		0.8	V (max)
I_{IN}	Input Current	$V_{IN} = 0V$ or V_A	± 0.03	1	μA (max)
C_{IND}	Input Capacitance		2	4	pF (max)
DIGITAL OUTPUT CHARACTERISTICS					
V_{OH}	Output High Voltage	$V_A = 4.5V$ to $5.5V$, $I_{SOURCE} = 250 \mu A$	$V_A - 0.05$	$V_A - 0.2$	V (min)
		$V_A = 4.5V$ to $5.5V$, $I_{SOURCE} = 2 mA$	$V_A - 0.1$		V
V_{OL}	Output Low Voltage	$V_A = 4.5V$ to $5.5V$, $I_{SINK} = 250 \mu A$	0.02	0.4	V (max)
		$V_A = 4.5V$ to $5.5V$, $I_{SOURCE} = 2 mA$	0.1		V
I_{OZH} , I_{OZL}	TRI-STATE Leakage Current		± 0.03	± 1	μA (max)
C_{OUT}	TRI-STATE Output Capacitance		2	4	pF (max)
	Output Coding		Binary 2'S Complement		
POWER SUPPLY CHARACTERISTICS					
V_A	Analog Supply Voltage			4.5	V (min)
				5.5	V (max)
I_A Active	Supply Current, Normal Mode (Operational)	$f_{SCLK} = 3.2 MHz$, $f_{SMPL} = 200 ksp/s$, $f_{IN} = 20 kHz$, $C_L = 15pF$	410	510	μA (max)
		$f_{SCLK} = 3.2 MHz$, $f_{SMPL} = 12.5 ksp/s$, $C_L = 15pF$, Power Down between conversions	31		μA
		$f_{SCLK} = 0.8 MHz$, $f_{SMPL} = 50 ksp/s$, $C_L = 15pF$	242		μA
		$f_{SCLK} = 0.2 MHz$, $f_{SMPL} = 12.5 ksp/s$, $C_L = 15pF$ (Note 10)	200		μA
I_A Shutdown	Supply Current, Shutdown (\overline{CS} high)	$f_{SCLK} = 0$	0.01	2	μA (max)
		$f_{SCLK} = 3.2 MHz$	6		μA
PWR Active	Power Consumption, Normal Mode (Operational)	$f_{SCLK} = 3.2 MHz$, $f_{SMPL} = 200 ksp/s$, $f_{IN} = 20 kHz$, $C_L = 15pF$	2.25	2.8	mW (max)
		$f_{SCLK} = 3.2 MHz$, $f_{SMPL} = 12.5 ksp/s$, $C_L = 15pF$, Power Down between conversions	0.18		mW
		$f_{SCLK} = 0.8 MHz$, $f_{SMPL} = 50 ksp/s$, $C_L = 15pF$	1.33		mW
		$f_{SCLK} = 0.2 MHz$, $f_{SMPL} = 12.5 ksp/s$, $C_L = 15pF$ (Note 10)	1.1		mW
PWR Shutdown	Power Consumption, Shutdown (\overline{CS} high)	$f_{SCLK} = 0$	0.06	11	μW (max)
		$f_{SCLK} = 3.2 MHz$	33		μW

ADC121S625 コンバータの電気的特性 (Note 8) (つづき)

特記のない限り、以下の仕様は $V_A = +4.5V \sim 5.5V$ 、 $V_{REF} = 2.5V$ 、 $f_{SCLK} = 0.8 \sim 3.2MHz$ 、 $f_{IN} = 20kHz$ 、 $C_L = 100pF$ に対して適用されます。太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他のすべてのリミット値は $T_A = 25$ に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units (Note 7)
POWER SUPPLY CHARACTERISTICS					
PSRR	Power Supply Rejection Ratio	Offset Change with 1.0V change in V_A	71		dB
		Gain Error Change with 1.0V change in V_A	83		dB
AC ELECTRICAL CHARACTERISTICS					
f_{SCLK}	Maximum Clock Frequency		4.8	3.2	MHz (min)
f_{SCLK}	Minimum Clock Frequency		200	800	kHz (max)
f_S	Maximum Sample Rate		300	200	ksps (min)
t_{ACQ}	Track/Hold Acquisition Time			1.5	SCLK cycles (min)
				2.0	SCLK cycles (max)
t_{CONV}	Conversion Time		12	12	SCLK cycles
t_{CYC}	Throughput Time	Normal Operation		16	SCLK cycles
		Short Cycled		14	SCLK cycles (min)
f_{RATE}	Throughput Rate			200	ksps (max)
t_{AD}	Aperture Delay		6		ns

ADC121S625 タイミング仕様 (Note 8)

特記のない限り、以下の仕様は $V_A = +4.5V \sim 5.5V$ 、 $V_{REF} = 2.5V$ 、 $f_{SCLK} = 0.8MHz \sim 3.2MHz$ 、 $C_L = 100pF$ に対して適用され、太文字表記のリミット値は $T_A = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他のすべてのリミット値は $T_A = 25$ に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
t_{CFCS}	SCLK Fall to \overline{CS} Fall	(Note 9)		0	ns (min)
t_{CSCR}	\overline{CS} Fall to SCLK Rise	(Note 9)		0	ns (min)
t_{CHLD}	SCLK Fall to Data Change Hold Time			10	ns (min)
t_{CDV}	SCLK Fall to Next D_{OUT} Valid		38	100	ns (max)
t_{DIS}	Rising Edge of \overline{CS} To D_{OUT} Disabled		38	50	ns (max)
t_{EN}	2nd SCLK Fall after \overline{CS} Fall to D_{OUT} Enabled		6	50	ns (max)
t_{CH}	SCLK High Time		42	60	ns (min)
t_{CL}	SCLK Low Time		42	60	ns (min)
t_r	D_{OUT} Rise Time		5	50	ns (max)
t_f	D_{OUT} Fall Time		13	50	ns (max)

Note 1: 「絶対最大定格」とは、この値を超えるとデバイスに損傷が及ぶ可能性のある限界値を表します。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。また、記載の試験条件以外でデバイスを動作させると、性能特性が低下することがあります。

Note 2: 特記のない限り、全電圧は $GND = 0V$ を基準にして測定されます。

Note 3: いずれかの端子で入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$ または V_D)、その端子の入力電流を 10mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 10mA の電流を流せる端子数は 5 本に制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を $T_{j,max}$ (最大接合部温度: このデバイスの場合、 $T_{j,max}$ は 150)、 J_A (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{D,MAX} = (T_{j,max} - T_A) / J_A$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。上記の最大許容消費電力の値にまで上がる場合は、ADC121S625 が何らかの異常な状態で動作しているときのみです (例えば、入力端子または出力端子を電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5 k を通して各端子に放電させます。マシン・モデルの場合は、220pF のコンデンサから直接各端子に放電させます。

Note 6: その他の表面実装デバイスのハンダ付け方法については、アプリケーション・ノート AN-450 「スモール・アウトライン (SO) パッケージ表面実装と製品信頼性上における効果」、またはナショナル セミコンダクター社の最新版データブックの「表面実装」の項を参照してください。

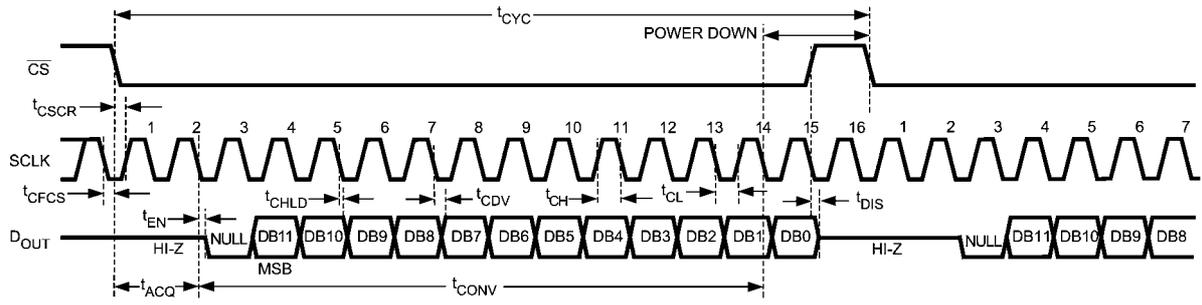
Note 7: テスト・リミット値はナショナル セミコンダクター社の平均出荷品質レベル AOQL に基づき保証されます。

Note 8: データシートの min/max リミット値は、設計、テスト、統計解析によって保証されています。

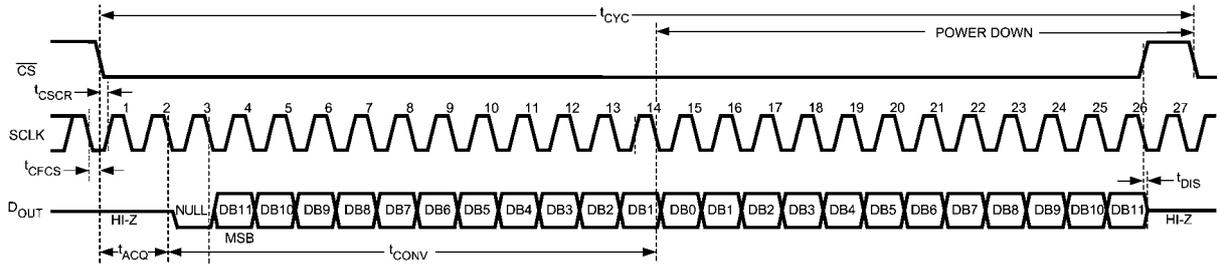
Note 9: t_{CSCR} 仕様および t_{CFCS} 仕様に記載のとおり、 \overline{CS} をアサートするときはクロックは Low でなければなりません。

Note 10: サンプリング・レートの最高は $f_{SCLK}/16$ ですが、 \overline{CS} レートを $f_{SCLK}/16$ より先低く設定すれば実際のサンプリング・レートは下がります。

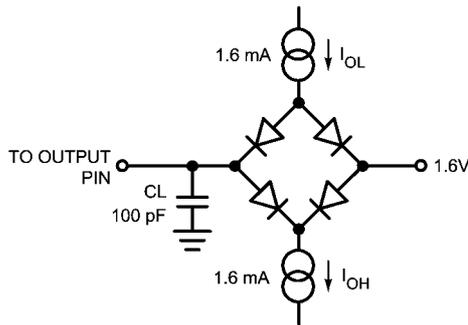
タイミング図



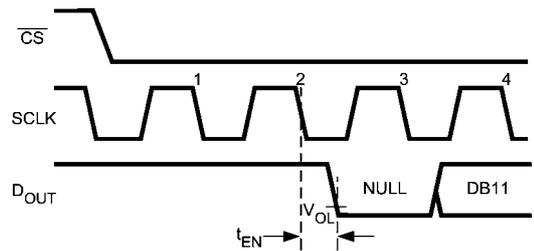
ADC121S625 Single Cycle Timing Diagram



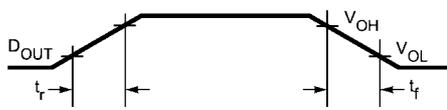
ADC121S625 Double Cycle Timing Diagram



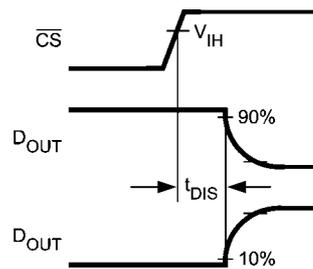
Timing Test Circuit



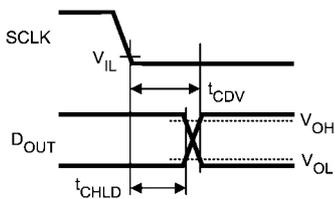
Voltage Waveform for t_{EN}



Voltage Waveform for D_{OUT} , t_r , t_f



Voltage Waveform for t_{DIS}



Voltage Waveforms for d_{OUT} delay time, t_{CDV}

用語の定義

アパーチャ・ディレイ (**APERTURE DELAY**) は、変換処理開始後 2 番目の SCLK 立ち下がりエッジから、変換を行なうために入力信号がホールドされるまでの時間です。

コモンモード除去比 (**COMMON MODE REJECTION RATIO: CMRR**) とは、両方の入力ピンに与えられた同位相の信号を除去する性能指標です。

$$\text{CMRR} = 20 \text{LOG} (\text{Common 入力} / \text{Output})$$

変換時間 (**CONVERSION TIME**) とは、入力電圧を取り込んだ後、A/D コンバータが入力電圧をデジタル・ワードに変換するために必要な時間のことです。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY : DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (**DUTY CYCLE**) は、繰り返しデジタル波形での、周期に対する High の時間の比です。このデータシートでは SCLK に適用されます。

有効ビット (**EFFECTIVE NUMBER OF BITS: ENOB**) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (**FULL POWER BANDWIDTH**) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン誤差 (**GAIN ERROR**) は、正のフルスケール誤差と負のフルスケール誤差との差です。

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、負のフルスケール (最初のコード遷移の 1/2LSB 下) から正のフルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

ミッシング・コード (**MISSING CODES**) は、ADC 出力に現れることのないコードです。ADC121S625 は、ミッシング・コードのないことが保証されています。

負のフルスケール誤差 (**NEGATIVE FULL-SCALE ERROR**) は、出力コードが負のフルスケールから次のコードに遷移する差動入力電圧と、 $(- V_{\text{REF}} + 0.5\text{LSB})$ との差です。

オフセット誤差 (**OFFSET ERROR**) は、出力がコード 000h からコード 001h に遷移する差動入力電圧と、 $1/2\text{LSB}$ との差です。

正のフルスケール誤差 (**POSITIVE FULL-SCALE ERROR**) は、出力コードが正のフルスケールに遷移する差動入力電圧と、 $(V_{\text{REF}} - 1.5\text{LSB})$ との差です。

電源電圧除去比 (**POWER SUPPLY REJECTION RATIO: PSRR**) とは、電源電圧の変化を吸収する性能指標です。DC 電源電圧の変化に対して、フルスケール・ゲイン誤差またはオフセット誤差の変化の量を比で表したもので、単位は dB です。

$$\text{PSRR} = 20 \text{LOG} (V_A / \text{Offset})$$

$$\text{PSRR} = 20 \text{LOG} (V_A / \text{Gain})$$

信号 / ノイズ比 (**SIGNAL TO NOISE RATIO: SNR**) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (**SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD**) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE: SFDR**) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号は、出力スペクトラムに現れる任意のスプリアス信号で、入力に現れるものではありません。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、出力における先頭の 5 つの高調波成分の RMS の合計と、出力に現れる入力信号周波数の RMS レベルとの比で、dB または dBc で表されます。全高調波歪み THD は次式から求めます。

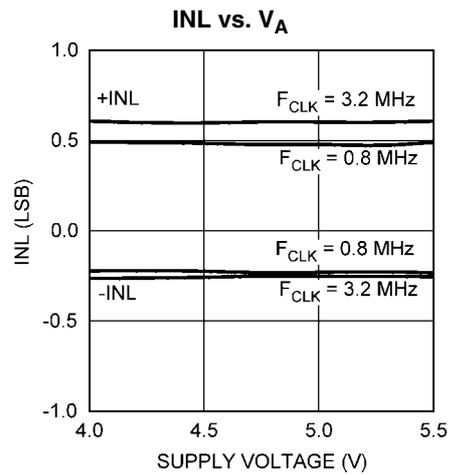
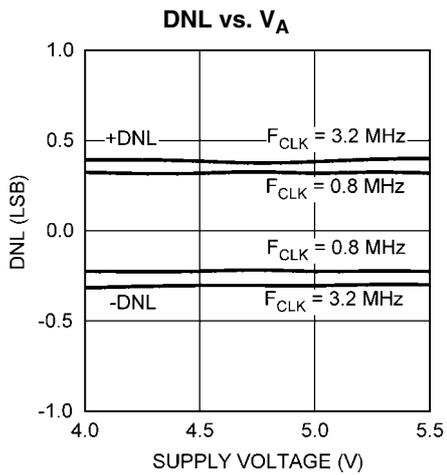
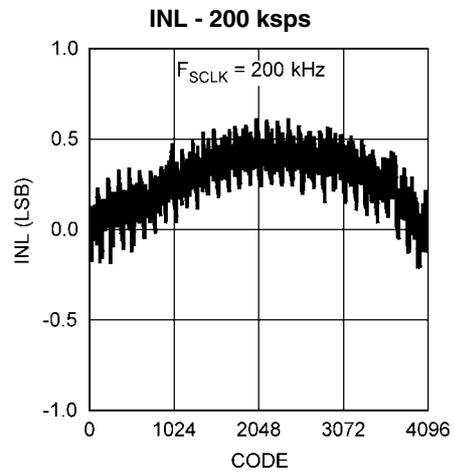
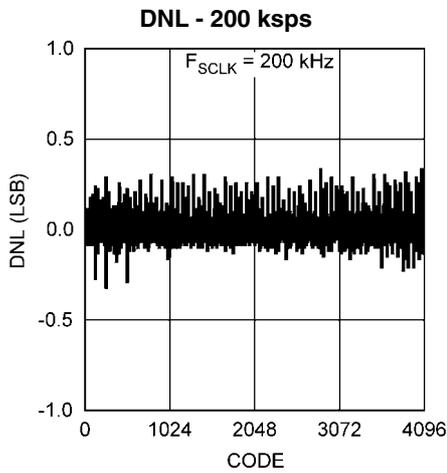
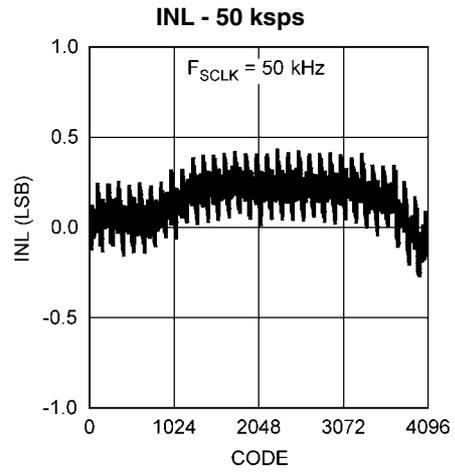
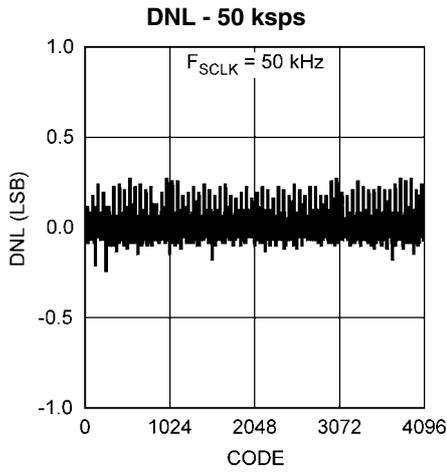
$$\text{THD} = 20 \cdot \log_{10} \sqrt{ \frac{A_{f2}^2 + \dots + A_{f6}^2}{A_{f1}^2} }$$

ここで A_{f1} は出力における入力周波数の RMS パワー、 A_{f2} から A_{f6} は先頭の 5 個の高調波の RMS パワーです。

スループット時間 (**THROUGHPUT TIME**) は、連続した 2 回の変換を開始するために必要な最小の時間です。

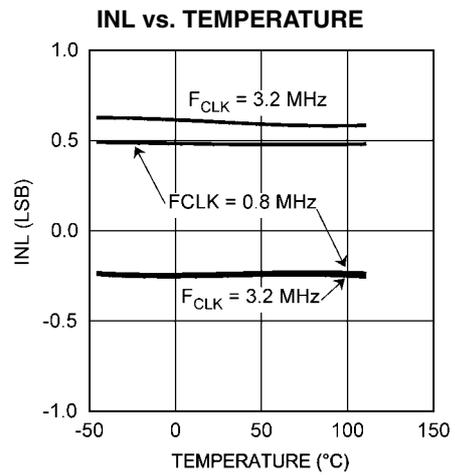
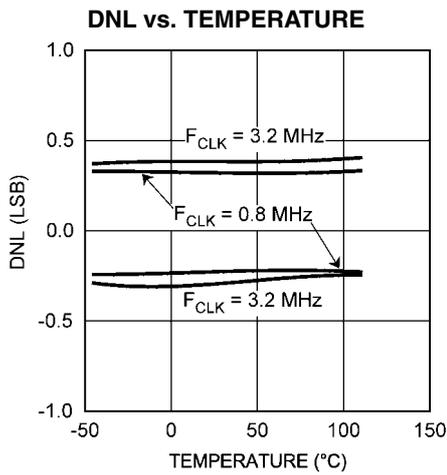
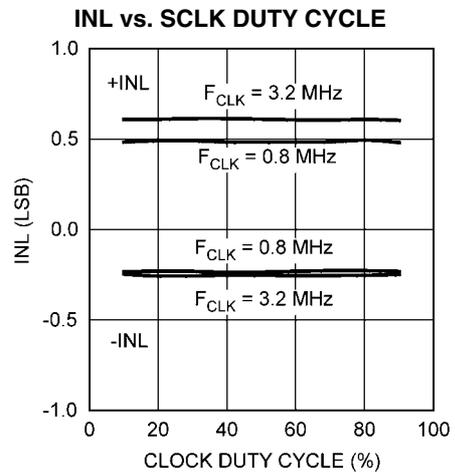
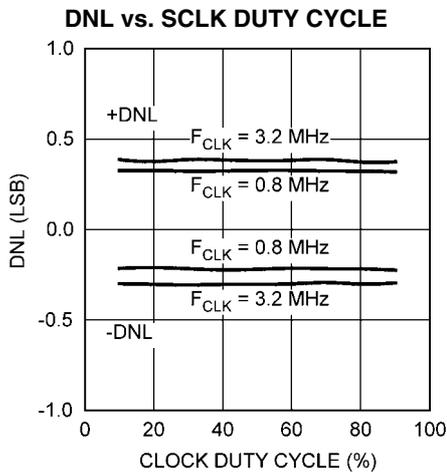
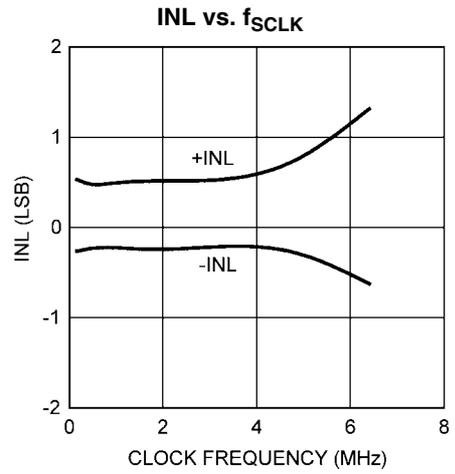
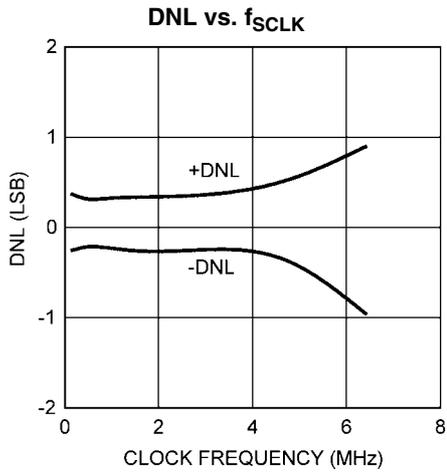
代表的な性能特性

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 200\text{kpsps}$ 、 $f_{SCLK} = 3.2\text{MHz}$ 、 $f_{IN} = 20\text{kHz}$ 。



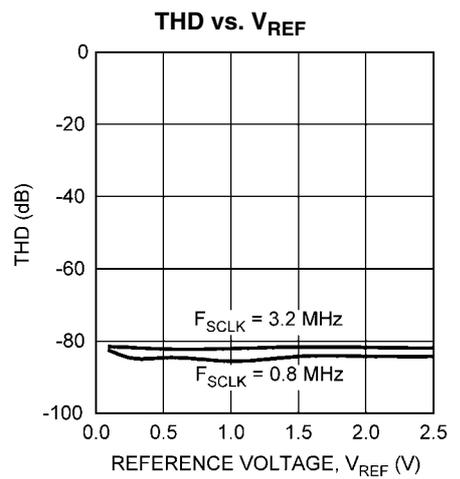
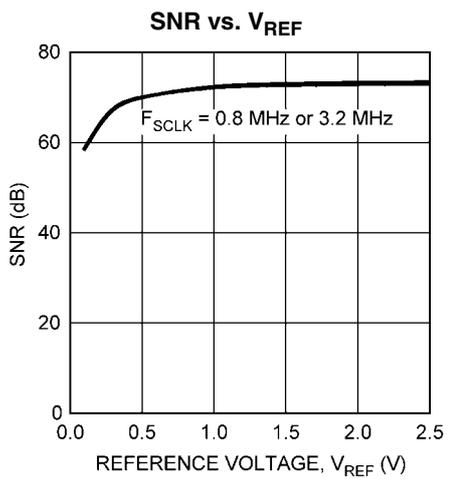
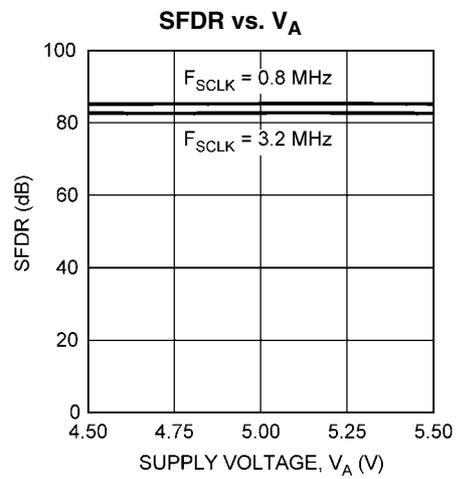
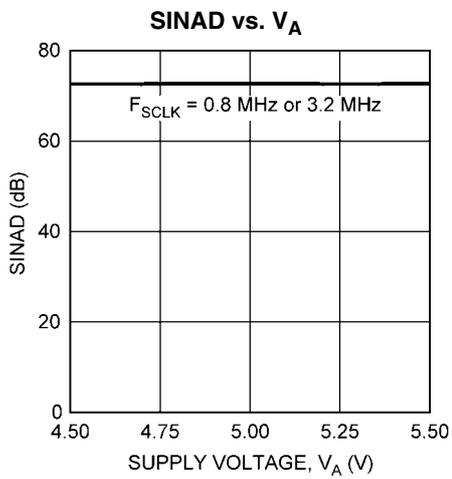
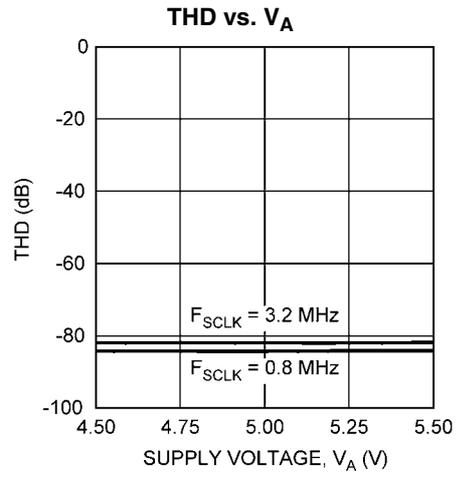
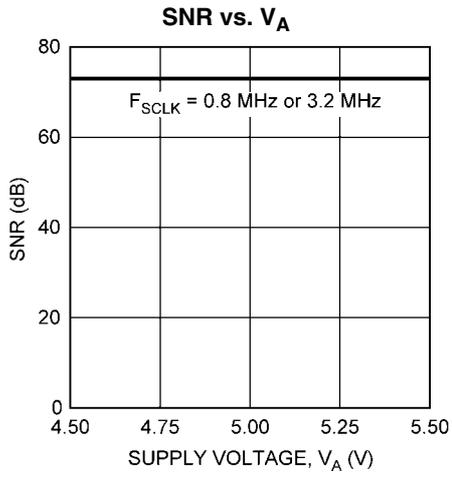
代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 200\text{kpsps}$ 、 $f_{SCLK} = 3.2\text{MHz}$ 、 $f_{IN} = 20\text{kHz}$ 。



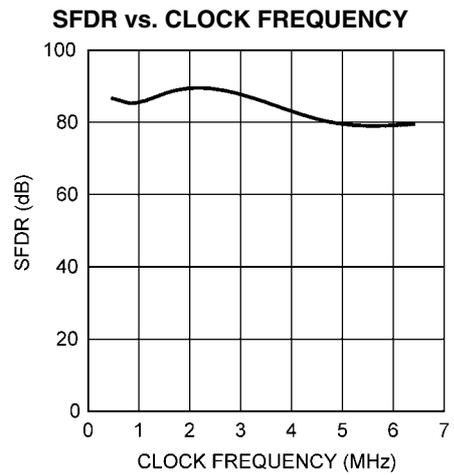
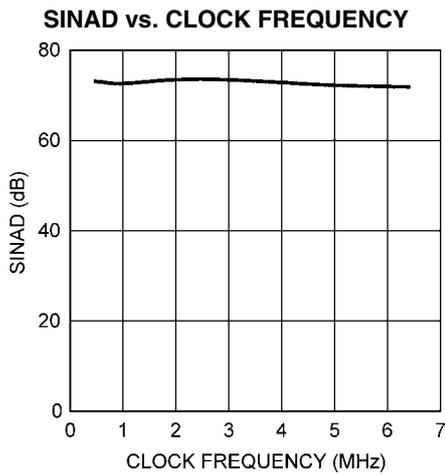
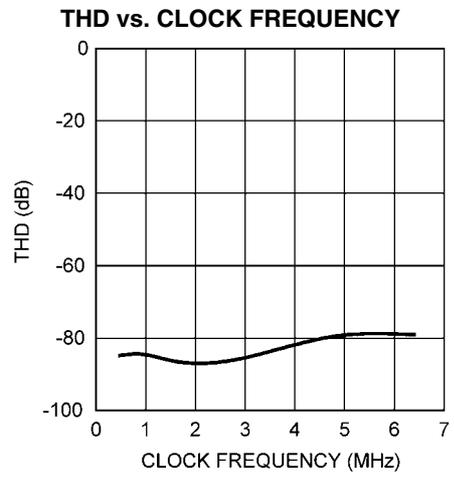
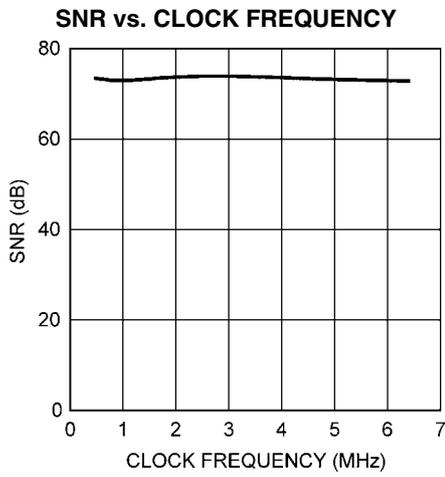
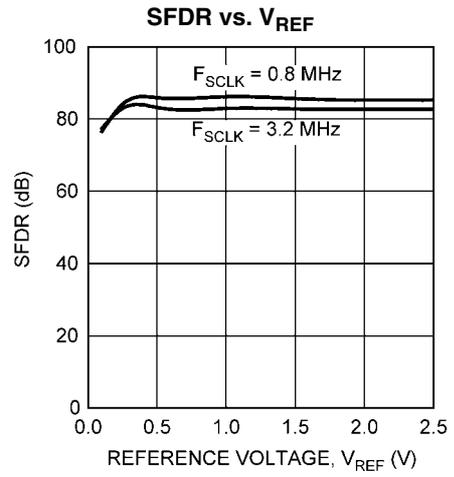
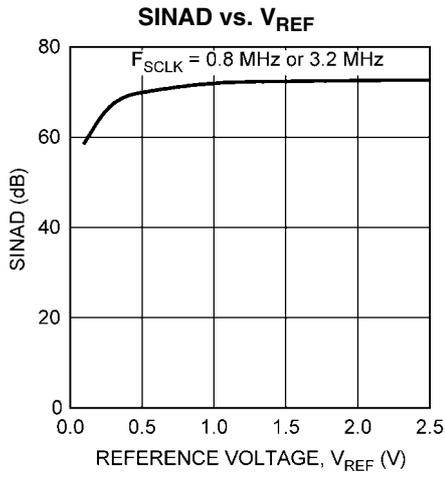
代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 200\text{kpsps}$ 、 $f_{SCLK} = 3.2\text{MHz}$ 、 $f_{IN} = 20\text{kHz}$ 。



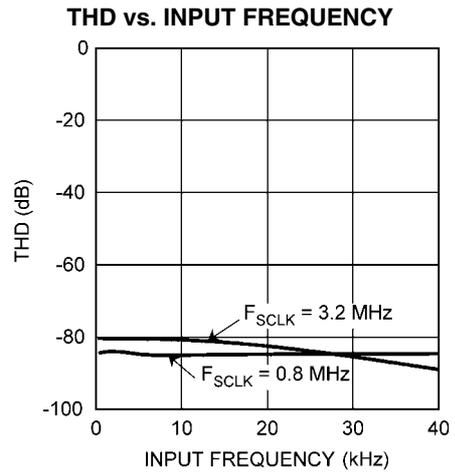
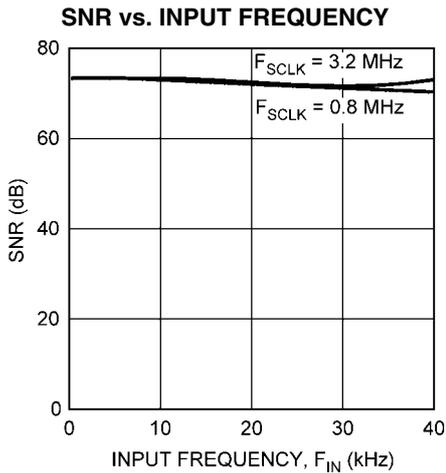
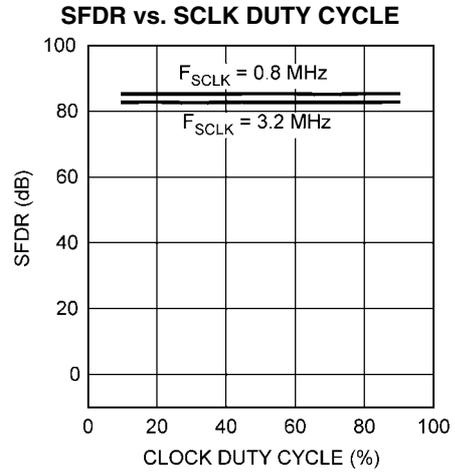
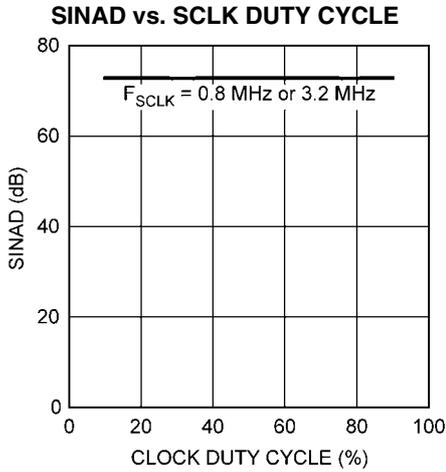
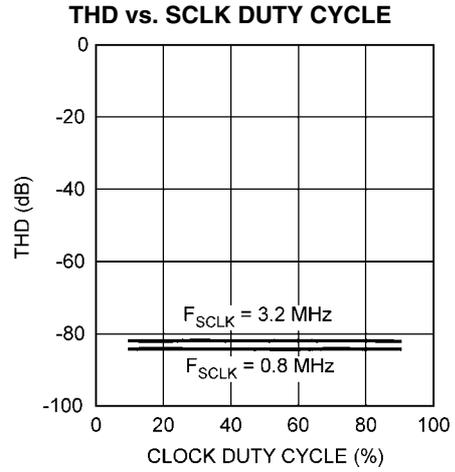
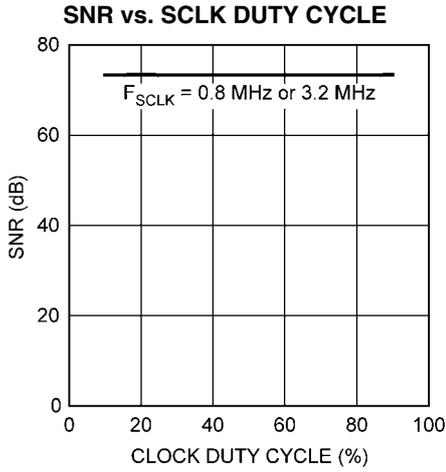
代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 200\text{kpsps}$ 、 $f_{SCLK} = 3.2\text{MHz}$ 、 $f_{IN} = 20\text{kHz}$ 。



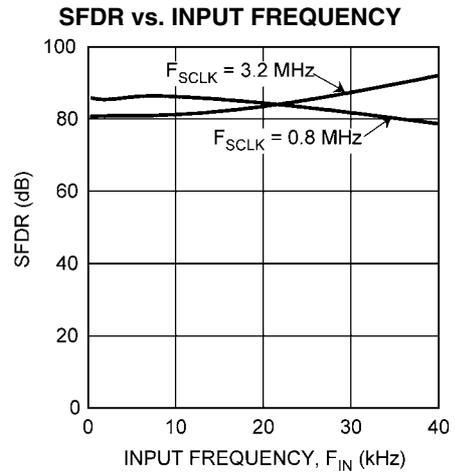
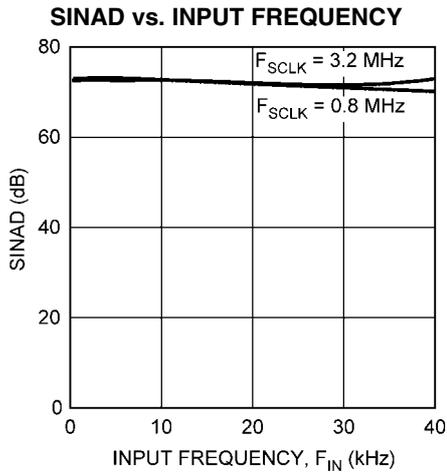
代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 200\text{kpsps}$ 、 $f_{SCLK} = 3.2\text{MHz}$ 、 $f_{IN} = 20\text{kHz}$ 。

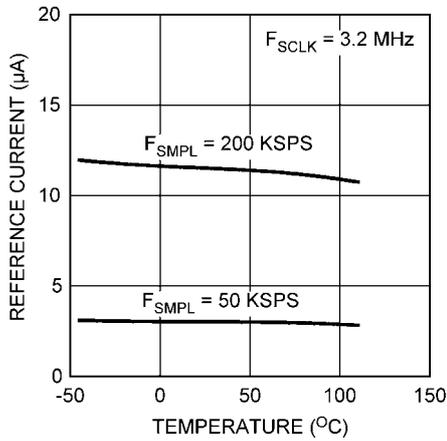


代表的な性能特性 (つづき)

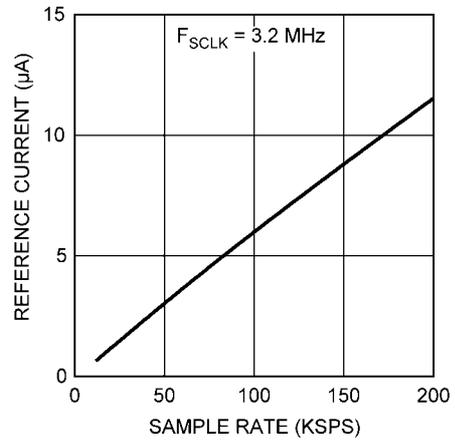
特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 200\text{kSPS}$ 、 $f_{SCLK} = 3.2\text{MHz}$ 、 $f_{IN} = 20\text{kHz}$ 。



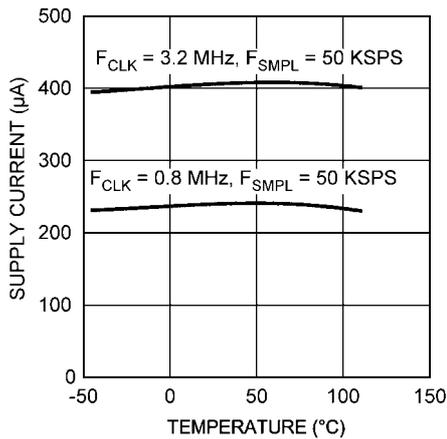
REF. CURRENT vs. TEMPERATURE (Output = FF8h)



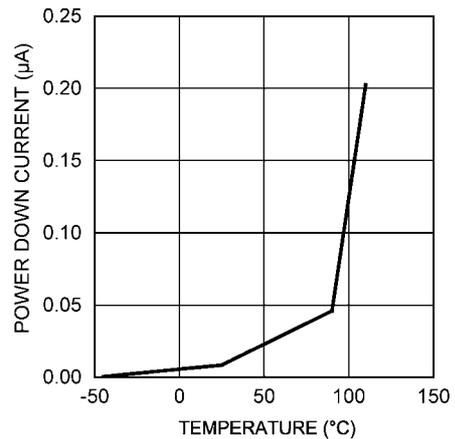
REF. CURRENT vs. SAMPLE RATE (Output = FF8h)



SUPPLY CURRENT vs. TEMPERATURE

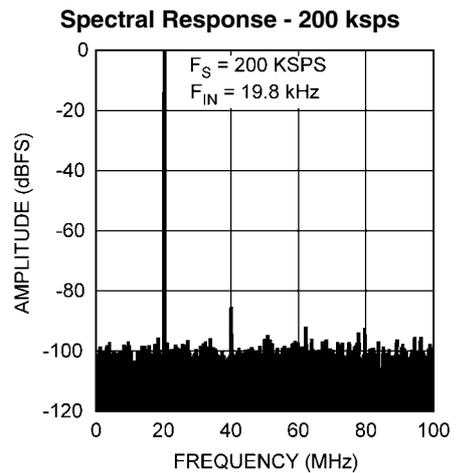
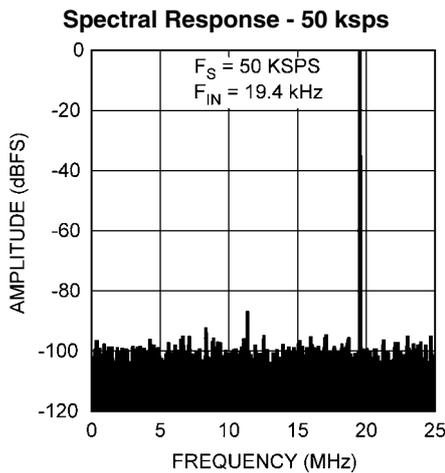
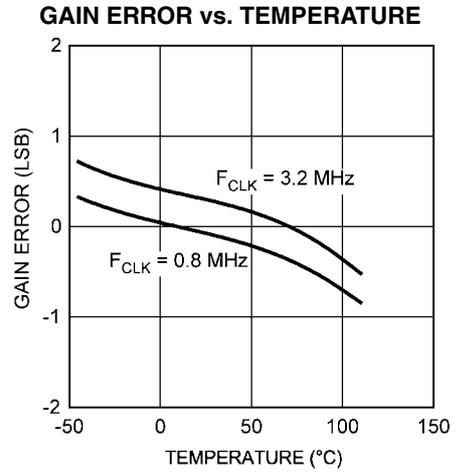
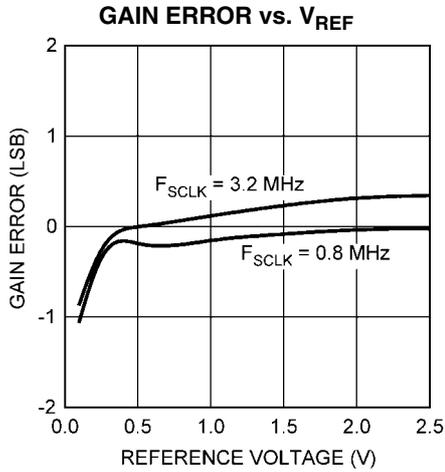
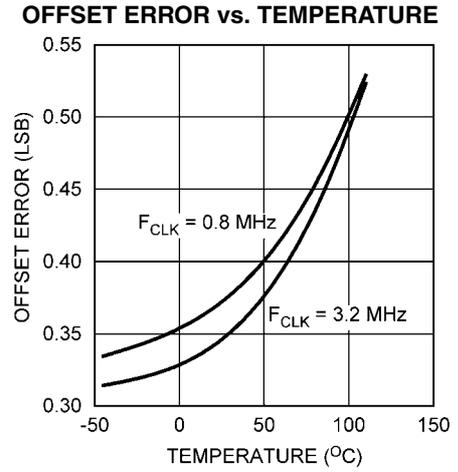
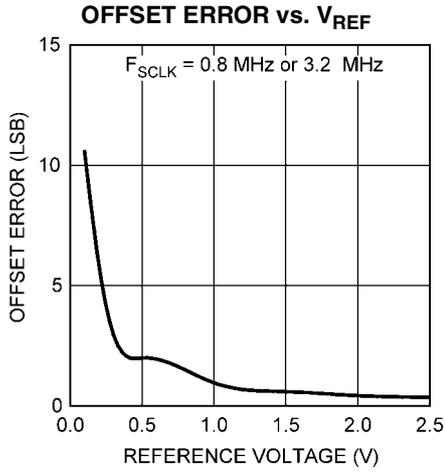


POWER DOWN CURRENT vs. TEMPERATURE



代表的な性能特性 (つづき)

特記のない限り、 $T_A = +25$ 、 $f_{SAMPLE} = 200\text{kpsps}$ 、 $f_{SCLK} = 3.2\text{MHz}$ 、 $f_{IN} = 20\text{kHz}$ 。



機能説明

ADC121S625 は、逐次比較型レジスタ (SAR) アーキテクチャを使用した A/D コンバータで、回路自体が原理的にサンプル・アンド・ホールド機能を持つ電荷再分配方式を採用しています。このようなアーキテクチャと製造プロセスが相まった ADC121S625 は、低消費電力ながら、最高 20 万変換のサンプリング・レートでアナログ信号をキャプチャして変換する高い性能を備えています。

ADC121S625 は外付け基準電圧源と外部クロックを必要とします。また、必要な電源は、+ 4.5V 以上の単一 + 5V 電源です。外付け基準電圧源の電圧範囲は 100mV から 2.5V です。リファレンス電圧値によってアナログ入力電圧範囲が決まります。また、リファレンス入力電流は変換レートによって変わります。

外部クロックのパラメータはデータシートの「電気的特性」の表に記載されているとおりです。最小クロック High 時間と Low 時間を満たしていれば、クロックのデューティ・サイクルは本質的には重要ではありません。最低クロック周波数は内部コンデンサの漏れ電流により決まります。1 回の変換処理には 16SCLK サイクルが必要です。

アナログ入力は + IN と - IN の 2 本の入力で与えます。このピンに与えられている差動入力は、変換の開始時点において、内部キャパシタ・アレイにサンプリングされます。変換処理中は入力は内部回路から切り離されます。

デジタル変換結果は、SCLK クロックに同期して、D_{OUT} ピンから最上位ビット (MSB) を先頭にシリアル・データとして出力されます。D_{OUT} から出力されるデジタル・データは現在処理中の変換結果です。変換が完了した後も ADC121S625 にクロックを与え続けられれば、最下位ビットを先頭にシリアル・データが出力されます。データワードの各ビット (先頭の null ビットを含む) は SCLK の立ち下がりに同期して出力されますので、後段の受信デバイスはデータ取り込みで SCLK の立ち上がりエッジが使えます。詳細は「3.0 シリアル・デジタル・インタフェース」セクションとタイミング図を参照してください。

1.0 リファレンス入力

外部から与えるリファレンス電圧によってアナログ入力範囲が決まります。ADC121S625 は 100mV から 2.5V のリファレンス電圧範囲で動作します。ただし、500mV 未満のリファレンス電圧を与える場合は注意が必要です。

リファレンス電圧を低くすると、各出力コードに対応する入力電圧範囲も低くなります。すなわち、より狭いアナログ入力電圧範囲が 1LSB (最下位ビット) に相当します。1LSB の大きさは、リファレンス電圧の 2 倍を 4096 で割った値です。LSB の大きさが ADC121S625 のノイズ・フロアを下回れば、ノイズが影響する範囲はより多くの出力コードに広がり、全体のノイズ性能が悪化します。結果として、入力が AC 信号の場合は SNR が低下し、DC 信号の場合はコード不確実性が高まります。ノイズはガウス分布特性を有するため、変換を複数回連続して行って結果を平均すれば、ノイズの影響は小さくなります。

また、オフセット誤差とゲイン誤差は LSB を単位として規定されているため、リファレンス電圧を下げて LSB の大きさが小さくなればなるほど、A/D コンバータが原理的に持っているオフセット誤差とゲイン誤差は相対的に大きく見えるようになります。

低いリファレンス電圧を用いた場合、ADC121S625 は近くの信号や EMI (電磁干渉) の影響をより敏感に受けるようになります。この理由により、低いリファレンス電圧を使用する場合は、適切なレイアウト、低ノイズのリファレンス、およびクリーンな電源が実現されるよう十分に注意してください。

リファレンス入力とアナログ入力は、入力がサンプリングされるときに、スイッチ・マトリクスを介してキャパシタ・アレイに接続されます。そのため、リファレンス入力とアナログ入力には瞬間的なスパイク電流のみが流れます。スパイクの大きさはある程度は変換コードに依存しますが大きくは変わりません。

リファレンス入力とアナログ信号入力の入力容量を充電する電流によって、これらピンには電圧スパイクが発生します。ただし、このスパイク・ノイズはフィルタを使って除去しようとはしません。それは先サンプリング期間 (CS 入力の立ち上がり後 1.5 クロック・サイクル) の間に変動を落ち着かせるようにしてください。

リファレンス電圧が低ければ再充電に必要な電荷量が少なく済み、リファレンス入力で発生する電流パルスも小さくなるため、平均入力電流はわずかに抑えられます。リファレンス電流の温度変化はわずかです。詳しくは「代表的な性能特性」セクションの "REF. CURRENT vs. SAMPLE RATE"、"REF CURRENT vs. TEMPERATURE"、"SNR vs. V_{REF}" の各グラフを参照してください。

2.0 アナログ信号入力

ADC121S625 の入力は差動構成です。したがって、デジタル化される実効入力電圧は (+ IN) - (- IN) になります。他の差動入力 A/D コンバータと同じく、入力信号はシングルエンドで取り扱えば先完全な差動方式で取り扱ったほうが高い性能が得られます。ただし ADC121S625 はシングルエンド入力にも対応しています。

2.1 差動入力動作

全面的な差動入力信号を使った場合、正のフルスケール出力コード (0111 1111 1111b、7FFh) は (+ IN) - (- IN) - V_{REF} - 1.5LSB のときに得られ、負のフルスケール出力コード (1000 0000 0000b、800h) は (+ IN) - (- IN) - V_{REF} + 0.5LSB のときに得られます。以上の関係式では、出力コードと差動入力電圧との正確な対応に影響を与え得る、ゲイン誤差、オフセット誤差、リニアリティ誤差を無視しています。

2.2 シングルエンド入力動作

シングルエンド動作の場合、ADC121S625 の非反転入力 (+ IN) は、最大電圧と最小電圧の振幅幅がリファレンス電圧の 2 倍以下となる信号で駆動してください。反転入力 (- IN) は、最大電圧と最小電圧の中間となる安定した電圧にバイアスしてください。シングルエンド動作は差動動作に比べて性能低下が許容可能な場合にのみ使用してください。

2.3 入力コモンモード電圧

入力コモンモード電圧 (V_{CM}) の許容範囲は ADC121S625 に与える電源電圧とリファレンス電圧に依存し、その関係を Figure 1 と Figure 2 に示します。差動動作およびシングルエンド動作におけるそれぞれの最小コモンモード電圧と最大コモンモード電圧を Table 1 に示します。

機能説明 (つづき)

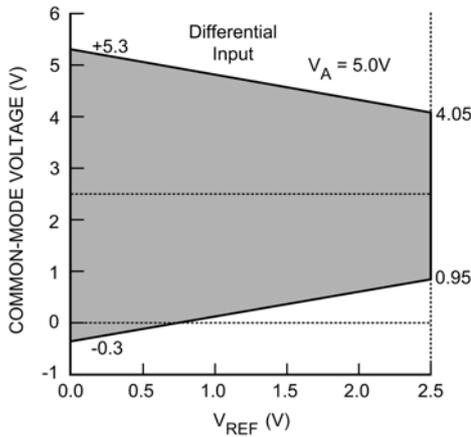


FIGURE 1. V_{CM} range for Differential Input operation

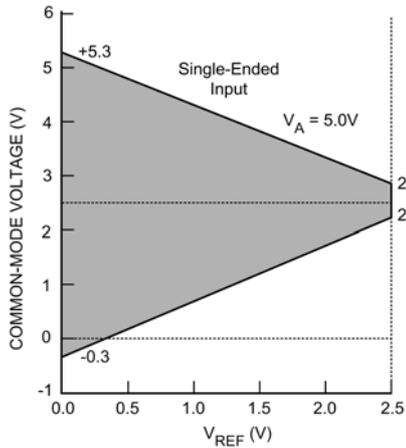


FIGURE 2. V_{CM} range for single-ended operation

TABLE 1. Allowable V_{CM} Range

Input Signal	Minimum V_{CM}	Maximum V_{CM}
Differential	$V_{REF} / 2 - 0.3V$	$V_A + 0.3V$ $-(V_{REF} / 2)$
Single-Ended	$V_{REF} - 0.3V$	$V_A + 0.3V$ $-V_{REF}$

3.0 シリアル・デジタル・インタフェース

ADC121S625 は、タイミング図に示すように、同期式の 3 線シリアル・インタフェースを介してデータを出します。各出力ビットは SCLK の立ち下がりエッジで送出されます。一般に後段のシステムは SCLK の立ち上がりエッジを使ってデジタル出力ビットをキャプチャすると思われませんが、 D_{OUT} の最小ホールド時間が満たされるのであれば、SCLK の立ち下がりエッジで各ビットをキャプチャしても構いません。

3.1 デジタル入力

SCLK と \overline{CS} がデジタル入力です。 \overline{CS} の立ち下がりエッジから、続く SCLK の 2 つ目の立ち下がりエッジまでの時間を使って、入力信号はサンプリングされます。データ出力は、 \overline{CS} の立ち下がりエッジ後の SCLK の 2 つめの立ち下がりエッジからインペーブルになります。最初に出されるビットは null ビットで、MSB は \overline{CS} 立ち下がり後の 3 つめの SCLK 立ち下がりエッジで出力されます。続く 12SCLK 期間にわたって、最上位ビットを先頭に D_{OUT} から変換結果が出力されます。最下位ビット (B0) が出力された後も \overline{CS} が Low に維持されていれば、最下位ビットを先頭にして、出力データは繰り返して出力されます。ただし、"ADC121S625 Double Cycle Timing Diagram" に示すとおり、LSB は 1 回しか出力されません。B9 B10 B11 シーケンスが終わると D_{OUT} はハイ・インペーダンス状態に移行します。15 番目のクロック立ち下がりまでに \overline{CS} が High になった場合は、 D_{OUT} は LSB (B0) を出力後にハイ・インペーダンス状態になり、データ出力は繰り返されません。この状態で SCLK を与えてもコンバータ動作は変わりません。High になっている \overline{CS} を Low に戻さないかぎり次の変換は始まりません。

3.1 SCLK 入力

SCLK (シリアル・クロック) は、変換プロセスのタイミング信号としての役割と、変換結果の出力クロックとしての役割を担います。入力は TTL/CMOS 互換です。内部セッティング時間によって最高クロック周波数が決まり、内部コンデンサの漏れ電流によって最低クロック周波数が決まります。ADC121S625 の性能は電気的特性の表記載のクロック・レートの範囲にわたって保証されています。

3.2 データ出力

ADC121S625 の出力データ・フォーマットは Table 2 に示すように 2 の補数です。この表は与えられた入力電圧に対する理想出力を示し、オフセット誤差、ゲイン誤差、リニアリティ誤差、ノイズの影響は考慮していません。

TABLE 2. Ideal Output Code vs. Input Voltage

Description	Analog Input (+IN) - (-IN)	2's Complement Binary Output	2's Comp. Hex Code
+ Full Scale	$V_{REF} - 1 \text{ LSB}$	0111 1111 1111	7FF
Midscale	0V	0000 0000 0000	000
Midscale - 1 LSB	$0V - 1 \text{ LSB}$	1111 1111 1111	FFF
- Full Scale	$-V_{REF}$	1000 0000 0000	800

アプリケーション情報

動作条件

ADC121S625 の動作条件としては次の各値を推奨します。

- 40 T_A + 85
- + 4.5V V_A + 5.5V
- 0.1V V_{REF} 2.5V
- 0.8MHz f_{CLK} 4.8MHz
- V_{CM} : セクション 2.3 参照

アプリケーション情報 (つづき)

4.0 消費電力

ADC121S625 は、アーキテクチャ、回路、製造プロセスの工夫により、低消費電力と最高変換レート 200kSPS とを両立しています。サンプリング・レートが 50kSPS 未満のアプリケーションで消費電力を最小限に抑えるには、ADC121S625 に 3.2MHz の f_{SCLK} を与え、 \overline{CS} にシステムが必要とすることができるだけ低いレートを与えて動作させてください。ADC は各変換の終了でパワーダウン・モードに移行するため、消費電力は最小限に抑えられます。詳細は、セクション 4.2 を参照してください。

ただし、限界に近いところまで消費電力を最小限に抑えるには、いくつかの注意が必要です。

消費電力は変換レートに直接比例します。したがって消費電力を最小限に抑えるために、システム要件を満たす最低変換レートを定めてください。

ADC121S625 は、「機能説明」セクションに記載のとおり、 \overline{CS} の立ち下がりがエッジ後、14 番目または 16 番目の SCLK の立ち下がりがエッジか、あるいは \overline{CS} の立ち上がりエッジのいずれかが先に起こった時点で、パワーダウン・モードに移行します (タイミング図を参照)。できれば最大定格クロック・レートで各変換をできるだけ速やかに完了させ、 \overline{CS} を使ってサンプリング・レートを決める方法が理想です。このような制御を行うことで、コンバータを可能な限り長い時間にわたってパワーダウン・モードに保持することができます。コンバータはアナログ回路が変換中に連続的に電力を消費するため、このように変換時間を短縮する方法はきわめて有効です。したがって、12 ビットも出力データがいらぬのであれば、必要なビットが出力された時点で \overline{CS} を High にして電力を節減する方法も可能です。

コンバータは、通常のデジタル CMOS 素子と同じように、SCLK が遷移したタイミングでも電力を消費します。したがって、パワーダウン・モード中にクロックを停止すれば消費電力はさらに抑えられます。また、セクション 1.0 の「リファレンス入力」に記載のとおり、リファレンス電圧が低い場合も消費電力はわずかに下がります。

\overline{CS} が Low のままで各変換が完了した時点でパワーダウン・モードに移行する動作で、 \overline{CS} を High にして完全なパワーダウン・モードに移行させた動作の間には大きな違いがあります。両方とも ADC121S625 のアナログ部分はパワーダウンしますが、デジタル部分は \overline{CS} を High にしたときにしかパワーダウンされません。すなわち、変換終了が過ぎても \overline{CS} を Low のまま保持し、コンバータにクロックを与え続けると、 \overline{CS} を High にしたときほど消費電力は下がらません。

4.1 ショート・サイクリング制御

消費電力を節減する方法のひとつが変換プロセスのショート・サイクリング制御で、ADC121S625 出力から必要なビットがすべて出力された時点で、 \overline{CS} 信号を速やかに High にします。ADC121S625 は生成された順番でデータ・ビットを D_{OUT} ピンに出力するため、このような制御が可能です。たとえば、8 ビット分の変換結果のみが必要な場合、8 番目のビットが出力された後で \overline{CS} を High にすれば変換動作は終了します。必要な最後のビットを受信した後で変換を終結させる制御をショート・サイクリングと呼びます。

ショート・サイクリングは、12 ビットすべての分解能を必要としないアプリケーションや、特定の条件が起こるまでアナログ信号を監視するアプリケーションで、消費電力を低減する方法として有効です。たとえば、監視されている信号が特定の範囲内に収まっているのであれば、ADC121S625 から 12 ビットもの分解能でデータを得る必要がない事例などが考えられます。先頭の数ビット (場合によっては 3 ビットや 4 ビット) を変換しただけで終結させてもかまいません。このような制御を行うと、コンバータはほとんどの時間

をパワーダウン・モードで動作し、アクティブ・モードの動作時間が短くなるため、コンバータと周辺システムの両方の消費電力が下がります。

また、ショート・サイクリングを使って 1 回の変換に必要な SCLK のクロック数を 16 から 14 に短縮すれば、スレーブをわずかに向上させることができます。すなわち、SCLK の 14 番目の立ち上がりエッジ後に \overline{CS} を High にすれば、全体のサイクル・タイム (t_{CYC}) はおよそ 12% 短くなります。

4.2 バースト・モード動作

通常は SCLK にはサンプリング・レートの 16 倍の周波数のクロックを与え、また \overline{CS} には、サンプリング・レートと同じレートの信号を与える必要があります。ただし、新たな変換サイクルは \overline{CS} の立ち下がりが開始されるため、 \overline{CS} レートの 16 倍より先高速な SCLK を与えても問題ありません。この場合、デバイスはいわゆるバースト・モードで動作します。

バースト・モード動作は消費電力の抑制に効果があります。その理由は、変換が完了したときに、データ出力に必要な出力レジスタと出力ドライバのみをパワーアップしたまま、デバイスをパワーダウンすることができるからです。最後のビットが出力されると残っていた回路もパワーダウンし、出力ドライバはハイ・インピーダンス状態になります。

\overline{CS} 立ち下がりが数えて SCLK の 15 番目の立ち下がりがエッジ前に \overline{CS} を High にしなければ、出力レジスタと出力ドライバには長めにパワーが与えられます。Double Cycle Timing Diagram を参照してください。

5.0 タイミングの考慮事項

適切な動作を得るには、 \overline{CS} の立ち下がりがエッジが SCLK の立ち下がりがエッジと立ち上がりエッジの間にくるように、タイミング設計を行う必要があります。SCLK が High のときに \overline{CS} の立ち下がりがエッジを配置すると、データは 1 ビット早く出力されてしまいます。いずれにせよ、 \overline{CS} 遷移と SCLK 遷移のタイミングが近い場合、デバイス温度や個々のデバイスのばらつきに依存して、データが早く出力されることがあります。データが出力されるタイミングを確定させるには、SCLK の Low 期間に \overline{CS} の立ち下がりがエッジを配置してください。

6.0 PCB レイアウトと回路の考慮事項

最高性能を発揮させるにはプリント回路板のレイアウト設計に十分な注意が必要です。とくに、リファレンス電圧が低い場合や、変換レートが高い場合は重要です。クロック・レートが高い場合は入力波形がセトリングする時間が十分にありません。そのため精度を確保するには、いかなるノイズに対しても入力を速やかに安定させることが重要です。

一般に SAR アーキテクチャは、電源やリファレンス、あるいはグラウンドに重畳する、コンバータ出力をラッチする直前のスパイクに敏感です。スパイクは、たとえばスイッチング電源やデジタル回路、大電力デバイスなどから発せられます。この種のグリッチがコンバータの SCLK に同期している場合は対策が困難です。また、SCLK とノイズとの位相差が時間経過や温度変化によって変われば不規則な現象として現れます。ADC121S625 に与える電源はクリーンでなければならず、あわせて適切なバイパスが必要です。0.1 μF のセラミック・バイパス・コンデンサと 1 μF ~ 10 μF のコンデンサを ADC121S625 の電源バイパスに使用し、このうち 0.1 μF は ADC121S625 パッケージのできるだけ近くに実装してください。電源ラインに 10 の抵抗を挿入すると、ノイズを抑制するローパス・フィルタの形成に効果があります。

アプリケーション情報 (つづき)

リファレンス入力には $0.1\mu\text{F}$ 以上のコンデンサを使ってバイパスしてください。直列抵抗と大容量コンデンサで、リファレンス入力にローパス・フィルタを付加する方法もあります。リファレンス電圧をオペアンプで生成している場合は、バイパス・コンデンサを駆動してもオペアンプが発振しないように注意してください (発振防止に直列抵抗が効果があります)。AD121S625 はリファレンス・ピンから平均ではわずかな電流しか引き込みませんが、電流スパイクがリファレンス入力に発生します。スパイクは SCLK が High の期間内に安定させなければなりません。電流スパイクは最大 20mA にも達する可能性があるため、リファレンス回路はこのような大きな電流を供給できて、かつ、サンプリング周期の 1.5 クロック以内にスパイクを吸収できる必要があります。SCLK の最小 High 期間と最小 Low 期間をよく確認してください。

一般の A/D コンバータと同様に、ADC121S625 のリファレンス入力にはノイズや電圧変動を除去する機能はありません。リファレンス電圧を電源電圧から生成する場合はこの点に注意してください。外付け基準電圧源の回路では除去されない電源起因のノイズやリップルは変換結果に現れます。また、高周波ノイズは前述のようにバイパス・コンデンサで吸収可能ですが、電源リップル ($50\text{Hz} \sim 120\text{Hz}$) の電圧変動は除去が困難です。このような場合はアクティブ・リファレンス回路をします。シャント・リファレンス・ファミリの LM4040 と LM4050 や、低ドロップアウト・リファレンス・ファミリ LM4120、LM4121、LM4140 などが、リファレンス電圧源として最適です。

ADC121S625 の GND ピンは変動のないグラウンド点に接続してください。電源層とグラウンド層の利用方法にはさまざまな考え方がありますが、当社での詳細な研究の結果、 30MHz から 40MHz までならば、個々の方法に忠実に従うかぎり、どの方法も良好な結果が得られることが分かっています。ただし一部の方法は、システムの観点からは許容しがたい過度の EMI/RFI が発生します。一般に、適切なレイアウトと配線を行えば、必要な性能が得られると同時に、場合によってはシールドを必要としない程度に EMI/RFI を抑えることができます。

推奨はグラウンド層と電源層を専用で設ける層構成です。電源層は同一層を電源系統ごとに分割します。結果として、アナログ電源層領域によってアナログ信号領域が、一般デジタル電源層によって一般デジタル信号領域が、大電流デジタル電源領域によって大電流デジタル信号領域が決まります。これら信号領域内の各信号は該当する領域内で閉じるようにルーティングします。なお、信号が他の領域にまたがる場合には対応する設計ガイドラインが存在しますが、このドキュメントの範囲を超えるため省略します。

GND ピンは、マイクロプロセッサ、マイクロコントローラ、デジタル・シグナル・プロセッサなどの高パワー・デジタル・デバイスに近いグラウンド点に接続してはなりません。

7.0 アプリケーション回路

以降の図は ADC121S625 の代表的なアプリケーション回路例です。これらの回路は基本的なものであり、実用化には修正が必要です。

7.1 データ・アキュイジション

Figure 3 は低コストかつ低電力のデータ・アキュイジション回路です。サンプリング・レートを最小に抑えつつ、クロック・レートを最大に高める工夫を行えば、消費電力はさらに低減します。

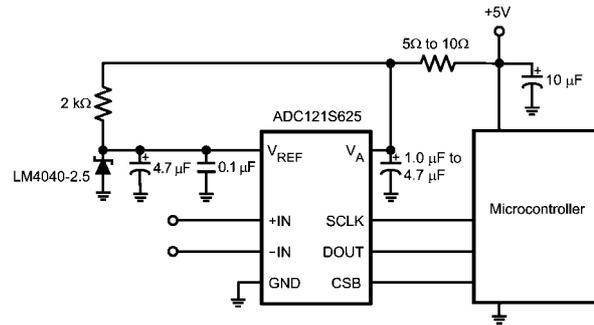


FIGURE 3. Low cost, low power Data Acquisition System

7.2 モータ制御

Figure 4 は、モータが出力するアナログ信号を絶縁する代わりに AD121S625 のデジタル出力を絶縁した、モータ制御アプリケーションです。図に示すように、AD121S625 には 150mV のリファレンス電圧を与え、AD121S625 のアナログ入力は電流センス抵抗を直接接続しています。モータの出力信号をシグナルパスから離すことで、システムの S/N 比を高められます。なお A/D コンバータの絶縁には、絶縁アンプではなく、オプティカル・アイソレータが 3 個必要です。三相モータの場合はこれら回路を 3 組使用します。

7.3 歪みゲージ・インタフェース

Figure 5 に歪みゲージ (ロード・セル) を AD121S625 にインタフェースする例を示します。歪みゲージのバイアスにはリファレンス電圧源を使用し、レシオメトリック (比が同一) な動作を実現して電圧変動に対する耐性を確保しています。ただし、リファレンス電圧あるいは歪みゲージ・バイアスに重畳したノイズに対する耐性はありません。ADC121S625 にリファレンス電圧を与える分圧抵抗の値は、実際のアプリケーションのリファレンス電圧に合わせて変更が必要です。

アプリケーション情報 (つづき)

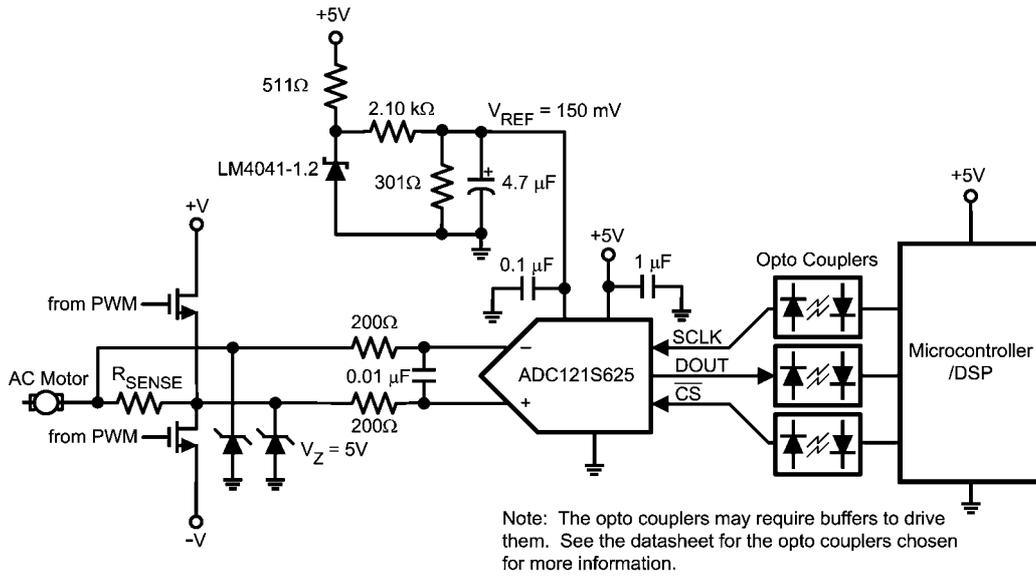


FIGURE 4. Motor Control using isolated ADC121S625

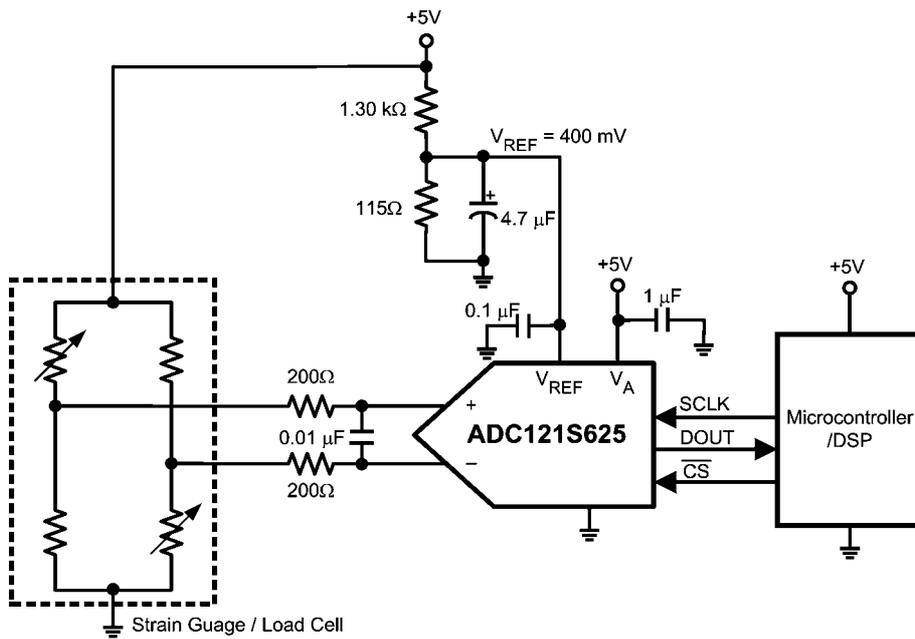


FIGURE 5. Interfacing the ADC121S625 to a strain gauge

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上