

ADC12L080

ADC12L080 12-Bit, 80 MSPS, 450 MHz Bandwidth A/D Converter with Internal Reference



Literature Number: JAJSA42

ADC12L080

12ビット、80MSPS、450MHz 帯域幅 基準電圧内蔵 A/D コンバータ

概要

ADC12L080 は最小限でアナログ入力信号を 80MSPS のサンプリング・レートで 12ビットのデジタルワードに変換できる、モノリシック CMOS A/D コンバータです。デジタル・エラー訂正機能とサンプル / ホールド回路を備えた差動式パイプライン型アーキテクチャを採用し、チップ寸法も消費電力も最小限に抑えながらすぐれた性能を発揮します。ADC12L080 は内部基準電圧または外部基準電圧のいずれでも動作します。ADC12L080 の消費電力は、基準電流も含めて単電源 3.3V、80MSPS 動作でわずか 425mW です。パワーダウン機能を使うと消費電力はわずか 50mW まで下がります。

差動入力のフルスケール入力振幅は $\pm V_{REF}$ です。外部基準電圧入力はバッファを内蔵する高インピーダンスのシングルエンド入力で、差動電圧に変換されてから内部処理回路で使用されます。出力データ・フォーマットはオフセット・バイナリまたは 2 の補数のいずれかを選択可能です。

32ピンの LQFP パッケージで提供され、産業用温度範囲 (-40 ~ +85) で動作します。

特長

- 単一電源で動作
- 低消費電力
- パワーダウン・モード
- 内蔵基準電圧または外部基準電圧
- データ・フォーマットはオフセット・バイナリまたは 2 の補数のいずれかを選択可能
- ADC12010、ADC12020、ADC12040、ADC12L063、ADC12L066 とピン互換

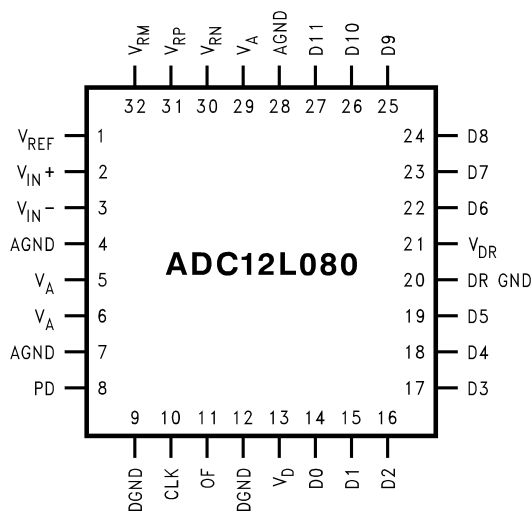
主な仕様

フルパワー帯域幅	450MHz
DNL	$\pm 0.4\text{LSB}$ (代表値)
S/N 比 ($f_{IN} = 10\text{MHz}$)	66dB (代表値)
SFD 比 ($f_{IN} = 10\text{MHz}$)	80dB (代表値)
消費電力 80MHz	
- 動作時	425mW (代表値)
- パワーダウン時	50mW (代表値)

アプリケーション

- 超音波映像装置
- 計測機器
- 携帯電話の基地局、受信機
- ソナー、レーダ
- xDSL
- 無線ローカル・ループ
- データ・アキュイジション・システム
- DSP のフロントエンド

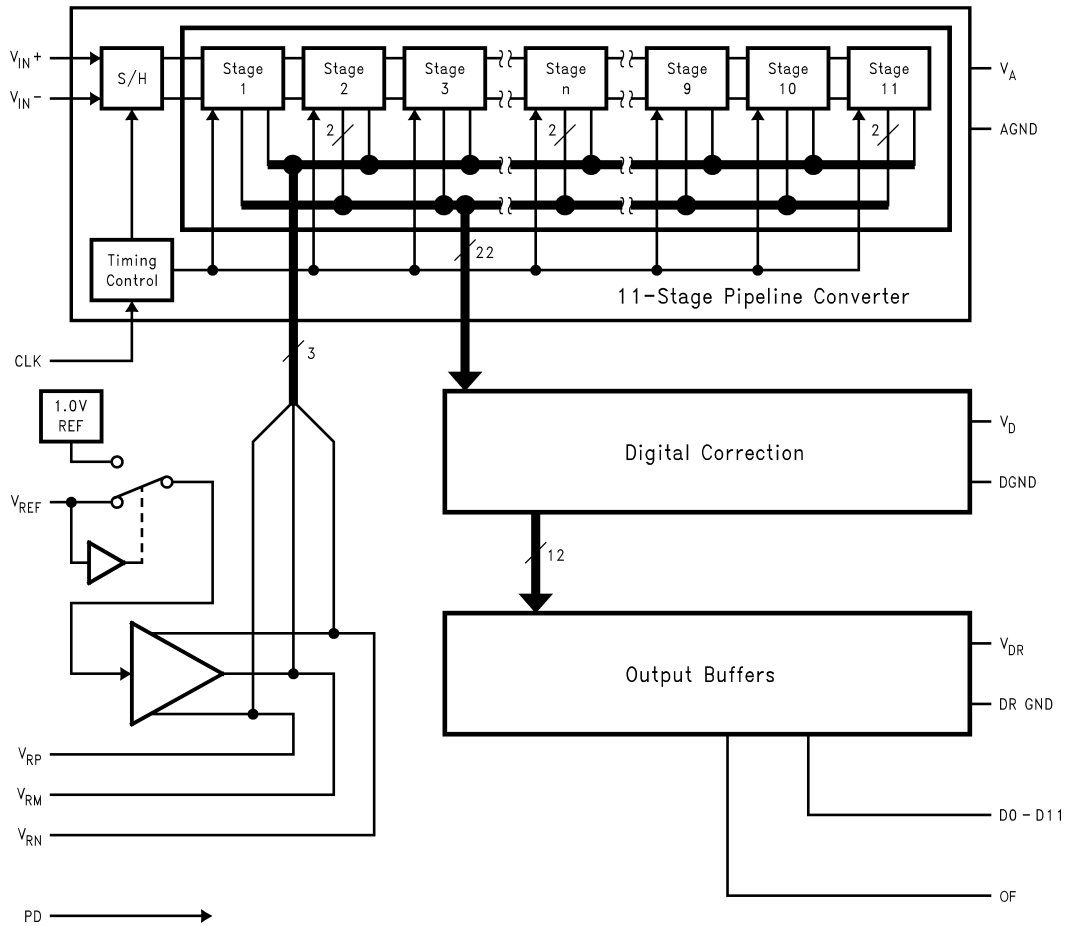
ピン配置図



製品情報

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC12L080CIVY	32 Pin LQFP
ADC12L080EVAL	Evaluation Board

ブロック図



ピン説明および等価回路

ピン番号	シンボル	等価回路	説明
アナログ I/O			
2	V_{IN+}		<p>差動アナログ信号入力ピンです。基準電圧が 1.0V の場合、各入力ピンのフルスケール差動入力レベルは、共通モード電圧 V_{CM} を中心電圧として 2.0V_{P-P} です。V_{IN-} ピンを V_{CM} に接続すればシングルエンド動作にできますが、最適性能を得るには差動入力信号が必要です。</p>
3	V_{IN-}		
1	V_{REF}		<p>基準電圧入力ピン。内部 1.0V 基準電圧を使用する場合は V_{REF} ピンを V_A に接続します。外部基準電圧を使用する場合は V_{REF} ピンを 0.1 μF の低 ESL コンデンサにて AGND にバイパスします。デバイスの動作は V_{REF} が 1.0V の条件で規定されていますが、「コンバータの電気的特性」記載の V_{REF} 範囲であれば問題なく動作します。</p>
31	V_{RP}		<p>高インピーダンスの基準電圧用バイパス・ピン。各ピンと AGND の間に 0.1 μF のコンデンサを 1 つずつ挿入してください。V_{RP} と V_{RN} の間に 1.0 μF のコンデンサを接続してください。これらのピンには絶対に負荷を接続しないでください。</p>
32	V_{RM}		
30	V_{RN}		
デジタル I/O			
10	CLK		<p>デジタル・クロック入力ピン。このピンに入力できる周波数範囲は 10MHz ~ 80MHz で、記載の性能は 80MHz で保証されています。このクロック・パルスの立ち上がりエッジでアナログ入力信号がサンプリングされます。</p>
11	OF		<p>出力フォーマットの選択。出力フォーマットをオフセット・バイナリに設定する場合はこのピンを Low にします。2 の補数に設定する場合はこのピンを High にします。このピンは動作中に非同期に変化させても問題ありませんが、切り替え後は数回の変換サイクルにわたって誤ったデータが出力されることがあります。</p>
8	PD		<p>PD はパワーダウン・モード制御用の入力ピン。このピンが High レベルの時はパワーダウン・モードになります。Low レベルの時は、通常動作になります。</p>

ピン説明および等価回路(つづき)

ピン番号	シンボル	等価回路	説明
14-19, 22-27	D0-D11		変換後の 12 ビット・デジタル・データ出力ピン。D0 が出力ワードの LSB であり、D11 が同 MSB です。
アナログ電源			
5, 6, 29	V _A		正のアナログ電源ピン。このピンは 3 本とも共通の安定化低ノイズ + 3.3V 電源に接続してください。各電源ピンと AGND の間のバイパス・コンデンサとして、各ピンから 1cm 以内の所に 0.1μF の低 ESL を 1 つずつ挿入し、3 ピン共通の 10μF のコンデンサも 1 つ挿入してください。
4, 7, 28	AGND		アナログ電源のグラウンド・リターンです。
デジタル電源			
13	V _D		正のデジタル電源ピン。V _A ピンと共通の低ノイズ安定化 + 3.3V 電源に接続してください。DGND との間にバイパス・コンデンサとして 0.1μF のモノリシック・コンデンサと 10μF のコンデンサを 1 つずつ並列にして挿入してください。どちらのバイパス・コンデンサも電源ピンから 1cm 以内の所に挿入してください。
9, 12	DGND		デジタル電源のグラウンド・ピン。
21	V _{DR}		ADC12L080 の出力ドライバ用の正のデジタル電源ピン。「動作定格」に示す電圧範囲の電源に接続してください。DR GND との間にはバイパス・コンデンサ 0.1μF を挿入してください。V _A ピン、V _D ピンと異なる電源を使う場合は、このピンのバイパス・コンデンサとしてさらに 10μF コンデンサを 1 つ挿入してください。この末端の電圧が V _D の電圧を 300mV を上回って超過しないようにしてください。どのバイパス・コンデンサも電源ピンから 1cm 以内に挿入してください。
20	DR GND		ADC12L080 の出力ドライバ用デジタル電源のグラウンド・ピン。システム・デジタル・グラウンドに接続してください。ただし ADC12L080 の DGND ピンの近くにも AGND ピンの近くにも接続しないでください。詳細はセクション 6.0 「レイアウトとグラウンド構成」を参照ください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

V_A , V_D , V_{DR}	4.2V
$ V_A - V_D $	100mV
$V_{DR} - V_D$	300mV
各入出力ピン電圧	- 0.3V ~ V_A , または ($V_D + 0.3V$)
入力電流 (Note 3)	± 25mA
パッケージの入力電流 (Note 3)	± 50mA
$T_A = 25$ でのパッケージ損失	Note 4 参照
ESD 耐性	
人体モデル (Note 5)	2,500V
マシン・モデル (Note 5)	250V
ハンダ付け温度、赤外線 (10 秒) (Note 6)	235
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40 T_A + 85
電源電圧 (V_A , V_D)	+ 3.0V ~ + 3.60V
出力ドライバ用の電源 (V_{DR})	+ 2.4V ~ V_D
V_{REF}	0.8V ~ 1.5V
CLK、PD、OE	- 0.05V ~ $V_D + 0.05V$
V_{IN} 入力	- 0V ~ ($V_A - 0.5V$)
V_{CM}	0.5V ~ ($V_A - 1.5V$)
グラウンド電圧差 AGND - DGND	0V

パッケージ熱抵抗

Package	θ_{J-A}
32-Lead LQFP	79°C / W

コンバータの電気的特性

特記のない限り、以下の仕様は AGND = DGND = DR GND = 0V、 $V_A = V_D = + 3.3V$ 、 $V_{DR} = + 2.5V$ 、PD = 0V、 V_{REF} = 外部 + 1.0V、 $V_{CM} = 1.65V$ 、 $R_S < 100$ 、 $f_{CLK} = 80MHz$ 、 $t_r = t_f = 2ns$ 、 $f_{IN} = 70MHz$ 、 $C_L = 15pF$ /ピンに対して適用されます。太文字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他すべてのリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9、10)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			12	Bits
INL	Integral Non Linearity	Best Fit Method	±1.2	4.0 -3.3	LSB (max) LSB (min)
DNL	Differential Non Linearity	No missing codes	±0.4	1.5 -1.0	LSB (max) LSB (min)
GE	Gain Error	Positive Error	-0.15	+5.7 -2	%FS (max) %FS (min)
		Negative Error	+0.4	+5 -3.7	%FS (max) %FS (min)
	Offset Error ($V_{IN+} = V_{IN-}$)		+0.2	+1.7 -0.6	%FS (max)
	Under Range Output Code		0	0	
	Over Range Output Code		4095	4095	
REFERENCE AND ANALOG INPUT CHARACTERISTICS					
V_{CM}	Common Mode Input Voltage		1.65	0.5 2.0	V (min) V (max)
C_{IN}	V_{IN} Input Capacitance (each pin to GND)	$V_{IN} = 1.0$ Vdc + 1 V_{P-P}	(CLK LOW)	8	pF
			(CLK HIGH)	7	pF
V_{REF}	Reference Voltage (Note 12)		1.0	0.8 1.5	V (min) V (max)

DC およびロジック電氣的特性

特記のない限り、以下の仕様は AGND = DGND = DR GND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $V_{PD} = 0V$ 、 V_{REF} = 外部 + 1.0V、 $V_{CM} = 1.65V$ 、 $R_S < 100$ 、 $f_{CLK} = 80MHz$ 、 $t_r = t_f = 2ns$ 、 $f_{IN} = 70MHz$ 、 $C_L = 15pF$ に対して適用されます。太文字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他すべてのリミット値は $T_J = 25$ に対して適用されます。(Note 7, 8, 9, 10)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
DYNAMIC CONVERTER CHARACTERISTICS					
BW	Full Power Bandwidth	-0.5 dBFS Input, Output at -3 dB	450		MHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 10$ MHz, Differential $V_{IN} = -0.5$ dBFS	66	64	dB (min)
		$f_{IN} = 40$ MHz, Differential $V_{IN} = -0.5$ dBFS	65		dB
		$f_{IN} = 70$ MHz, Differential $V_{IN} = -0.5$ dBFS	65	63	dB (min)
		$f_{IN} = 150$ MHz, Differential $V_{IN} = -0.5$ dBFS	63		dB
SINAD	Signal-to-Noise & Distortion	$f_{IN} = 10$ MHz, Differential $V_{IN} = -0.5$ dBFS	66	63	dB (min)
		$f_{IN} = 40$ MHz, Differential $V_{IN} = -0.5$ dBFS	64.5		dB
		$f_{IN} = 70$ MHz, Differential $V_{IN} = -0.5$ dBFS	64	62.7	dB (min)
		$f_{IN} = 150$ MHz, Differential $V_{IN} = -0.5$ dBFS	62		dB
ENOB	Effective Number of Bits	$f_{IN} = 10$ MHz, Differential $V_{IN} = -0.5$ dBFS	10.7	10.2	Bits (min)
		$f_{IN} = 40$ MHz, Differential $V_{IN} = -0.5$ dBFS	10.4		Bits
		$f_{IN} = 70$ MHz, Differential $V_{IN} = -0.5$ dBFS	10.3	10.1	Bits (min)
		$f_{IN} = 150$ MHz, Differential $V_{IN} = -0.5$ dBFS	10.0		Bits
THD	Total Harmonic Distortion	$f_{IN} = 10$ MHz, Differential $V_{IN} = -0.5$ dBFS	-77	-66	dB (max)
		$f_{IN} = 40$ MHz, Differential $V_{IN} = -0.5$ dBFS	-74		dB
		$f_{IN} = 70$ MHz, Differential $V_{IN} = -0.5$ dBFS	-71	-65	dB (max)
		$f_{IN} = 150$ MHz, Differential $V_{IN} = -0.5$ dBFS	-70		dB
2nd Harm	Second Harmonic Distortion	$f_{IN} = 10$ MHz, Differential $V_{IN} = -0.5$ dBFS	-80	-68	dB (max)
		$f_{IN} = 40$ MHz, Differential $V_{IN} = -0.5$ dBFS	-80		dB
		$f_{IN} = 70$ MHz, Differential $V_{IN} = -0.5$ dBFS	-80	-65.5	dB (max)
		$f_{IN} = 150$ MHz, Differential $V_{IN} = -0.5$ dBFS	-79		dB
3rd Harm	Third Harmonic Distortion	$f_{IN} = 10$ MHz, Differential $V_{IN} = -0.5$ dBFS	-84	-69	dB (max)
		$f_{IN} = 40$ MHz, Differential $V_{IN} = -0.5$ dBFS	-81		dB
		$f_{IN} = 70$ MHz, Differential $V_{IN} = -0.5$ dBFS	-79	-66	dB (max)
		$f_{IN} = 150$ MHz, Differential $V_{IN} = -0.5$ dBFS	-78		dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 10$ MHz, Differential $V_{IN} = -0.5$ dBFS	80	68	dB (min)
		$f_{IN} = 40$ MHz, Differential $V_{IN} = -0.5$ dBFS	77		dB
		$f_{IN} = 70$ MHz, Differential $V_{IN} = -0.5$ dBFS	74	-65.5	dB (min)
		$f_{IN} = 150$ MHz, Differential $V_{IN} = -0.5$ dBFS	73		dB
IMD	Intermodulation Distortion	$f_{IN1} = 19.6MHz$, $f_{IN2} = 20.5$ MHz, each = -6.0 dBFS	66		dBFS
CLK, PD, OF DIGITAL INPUT CHARACTERISTICS					
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 3.3V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 3.3V$		0.8	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN+}, V_{IN-} = 3.3V$	10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN+}, V_{IN-} = 0V$	-10		μA
C_{IN}	Digital Input Capacitance		5		pF
D0-D11 DIGITAL OUTPUT CHARACTERISTICS					
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_{OUT} = -0.5$ mA		$V_{DR} - 0.18$	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_{OUT} = 1.6$ mA		0.4	V (max)
+ I_{SC}	Output Short Circuit Source Current	$V_{OUT} = 0V$	-20		mA
- I_{SC}	Output Short Circuit Sink Current	$V_{OUT} = 2.5V$	20		mA

DC およびロジック電氣的特性 (つぎ)

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $PD = 0V$ 、 $V_{REF} =$ 外部 $+1.0V$ 、 $V_{CM} = 1.65V$ 、 $R_S < 100$ 、 $f_{CLK} = 80MHz$ 、 $t_r = t_f = 2ns$ 、 $f_{IN} = 70MHz$ 、 $C_L = 15pF$ /ピンに対して適用されます。太文字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他すべてのリミット値は $T_J = 25$ に対して適用されます。(Note 7, 8, 9, 10)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	PD Pin = DGND	120	168	mA (max)
		PD Pin = V_{DR}	10		
I_D	Digital Supply Current	PD Pin = DGND	6	11.5	mA (max)
		PD Pin = V_{DR}	5		
I_{DR}	Digital Output Supply Current	PD Pin = DGND, $f_{in} = 0$, (Note 13)	<1		mA
		PD Pin = V_{DR}	0		
	Total Power Consumption	PD Pin = DGND, $C_L = 0$ pF (Note 14)	425	590	mW (max)
		PD Pin = V_{DR}	50		
PSRR1	Power Supply Rejection Ratio	Rejection of Full-Scale Gain Error change with $V_A = 3.0V$ vs. $3.6V$	41		dB

AC 電氣的特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $PD = 0V$ 、 $V_{REF} =$ 外部 $+1.0V$ 、 $V_{CM} = 1.65V$ 、 $R_S < 100$ 、 $f_{CLK} = 80MHz$ 、 $t_r = t_f = 2ns$ 、 $f_{IN} = 70MHz$ 、 $C_L = 15pF$ /ピンに対して適用されます。太文字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他すべてのリミット値は $T_J = 25$ に対して適用されます。(Note 7, 8, 9, 10, 11)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
	Maximum Clock Frequency			80	MHz (min)
	Minimum Clock Frequency		10		MHz
	Clock Duty Cycle		60		% (max)
			40		% (min)
t_{CH}	Clock High Time		5.5		ns (min)
t_{CL}	Clock Low Time		5.5		ns (min)
t_{CONV}	Conversion Latency			6	Clock Cycles
t_{OD}	Data Output Delay after Rising CLK Edge	$V_{DR} = 2.5V$	5.2	8.3	ns (max)
		$V_{DR} = 3.3V$	4.8	7.5	ns (max)
t_{AD}	Aperture Delay		2		ns
t_{AJ}	Aperture Jitter		0.7		ps rms
t_{PD}	Power Down Mode Exit Cycle	0.1 μF on pins 30, 31, 32, and 1.0 μF from pin 30 to 31	1		μs

Note 1: 「絶対最大定格」とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電氣的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。

Note 2: 特記のない限り、すべての電圧は $GND = AGND = DGND = 0V$ を基準にして測定されています。

Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ または $V_{IN} > V_A$ 、 V_D 、 V_{DR})、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流すことができるピン数は 2 本に制限されます。

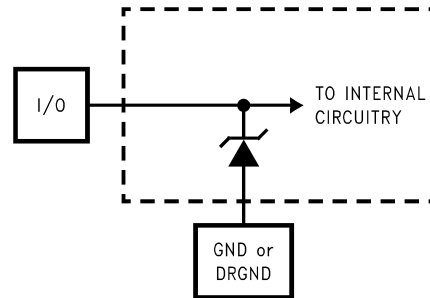
Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度: このデバイスの場合、 T_{Jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗) および T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} = (T_{Jmax} - T_A) / J_A$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 使用した試験回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k を通して、各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各ピンに放電させます。

AC 電気的特性 (つぎ)

Note 6: 235 のリフロー温度は赤外線リフローを指しています。気相リフロー (VPR: Vapor Phase Reflow) の場合は別の条件が適用されます。気相リフローの場合は最低 60 秒間はパッケージ本体の上面温度を 183 °C 以上高く維持してください。パッケージ本体の表面温度は 220 °C を超えてはなりません。183 °C を超えるのが許されるのはリフロー・サイクル 1 回につき 1 回だけです。

Note 7: 下図に示すように、入力ピンはツェナー・ダイオードで保護されています。Note 3 に従って電流制限を行うことで、入力電圧が V_A を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、入力電圧が $V_A + 100\text{mV}$ 以上もしくは $\text{GND} - 100\text{mV}$ 以下になる場合は A/D 変化に誤差を生じる可能性があります。例えば、 V_A が 3.3V の場合には、変換精度を確保するためにはアナログ入力フルスケールは 3.4V 以下にしなければなりません。



Note 8: 精度を保証するために、各電源電圧差を $|V_A - V_D| = 100\text{mV}$ にし、かつそれぞれの電源ピンに別個のバイパス・コンデンサが必要となります。

Note 9: $V_{\text{REF}} = +1.0\text{V}$ (2V_{P-P} 差動入力) のテスト条件で、12 ビットの 1LSB は 488 μV になります。

Note 10: 代表値 (Typical) は、 $T_A = T_J = 25^\circ\text{C}$ で得られる最も標準的な数値です。テスト・リミット値はナショナル セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。

Note 11: タイミング特性は、TTL ロジックレベル (立ち下がりがエッジが $V_{\text{IL}} = 0.4\text{V}$ 、立ち上がりエッジが $V_{\text{IH}} = 2.4\text{V}$) でテストされます。

Note 12: 最適なダイナミック性能は、リファレンス入力を 0.8V ~ 1.5V に維持することで得られます。このアプリケーションの場合、ハンドギャップ基準電圧の LM4051CIM3-ADJ または LM4051CIM3-1.2 が推奨されます。

Note 13: I_{DR} とは、出力ドライバのスイッチング処理に消費される電流のことです。この値を決める主要要素は、出力ピンの負荷容量、電源電圧、 V_{DR} 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 I_{DR} は、 $I_{\text{DR}} = V_{\text{DR}}(C_0 \times f_0 + C_1 \times f_1 + \dots + C_{11} \times f_{11})$ の式で計算されます。 V_{DR} は出力ドライバ用の電源電圧、 C_n は当該出力ピンの総負荷容量、 f_n は当該出力ピンの平均スイッチング周波数です。

Note 14: 消費電力には出力ドライバの電力は含まれていません。Note 13 を参照してください。

用語の定義

アパーチャ・ディレイ (APERTURE DELAY) は、クロック・パルスが立ち上がったから入力信号が取り込まれるか保持されるかまでの時間のことです。

アパーチャ・ジッタ (APERTURE JITTER) は「APERTURE UNCERTAINTY」(アパーチャ・ディレイのばらつき)ともいいます。サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは、それ自身は出力のノイズとして現れます。

コモンモード電圧 (COMMON MODE VOLTAGE: V_{CM}) とは、ADC の差動入力ピンのいずれにも共通して現れる直流電位のことで、

変換レイテンシ (CONVERSION LATENCY) については「パイプライン・ディレイ」(PIPELINE DELAY) を参照ください。

微分非直線性 (DIFFERENTIAL NON-LINEARITY : DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (DUTY CYCLE) は、繰り返しデジタル波形での、周期に対する HIGH の時間の比です。本データシートに記載されているデューティ・サイクルの仕様は、ADC のクロック入力信号に対して適用されます。

有効ビット (EFFECTIVE NUMBER OF BITS : ENOB, or EFFECTIVE BITS) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。次の式で計算できます。

$$\text{ゲイン誤差} = \text{正側フルスケール誤差} - \text{オフセット誤差}$$

積分非直線性 (INTEGRAL NON LINEARITY: INL) は、ベストフィットさせた直線と各個別コードとの偏差を表します。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D の入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

ミッシング・コード (MISSING CODES) は ADC から出力されない出力コードです。ADC12L080 は、ミッシング・コードのないことが保証されています。

負のフルスケール誤差 (NEGATIVE FULL SCALE ERROR) は、負のフルスケールから最初のコード遷移を引き起こす入力電圧 ($V_{IN+} - V_{IN-}$) と、0.5LSB の理想値との差を表します。

オフセット誤差 (OFFSET ERROR) は、コード 01 1111 1111 からコード 10 0000 0000 への遷移を引き起こす入力電圧を表します。

出力ディレイ (OUTPUT DELAY) は、クロック入力の立ち上がりエッジから出力ピンにアップデートされたデータが現われるまでの遅延時間です。

パイプライン・ディレイ (PIPELINE DELAY: LATENCY) は、変換開始からその変換結果が出力バスに有効になるまでの期間をクロック・サイクル数で表したものです。任意に与えられたサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイや出力ディレイの出力ピン上で有効になります。新しいデータはクロック・サイクル毎に有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

正のフルスケール誤差 (POSITIVE FULL SCALE ERROR) は、最後のコード遷移点の実測値と (正側フルスケール - 1.5LSB) の理想値とのずれのことです。

電源電圧変動除去比 (POWER SUPPLY REJECTION RATIO: PSRR) は、電源電圧の変動を ADC でどの程度除去できるかを表したものです。PSRR1 は、電源電圧の DC 変動に対するフルスケール・ゲイン誤差の変化の割合を、dB を単位として示した値です。また、直流電源に乗っている交流成分が出力端でどの程度まで除去されるかについては PSRR2 で表します。

信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION: S/(N + D) または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現われる任意のスプリアス信号であり、入力に現われるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、2 次から 10 次までの高調波の合計出力レベルと基本周波数の出力レベルの比で、dBc で表されます。全高調波歪み THD は次式から求められます。

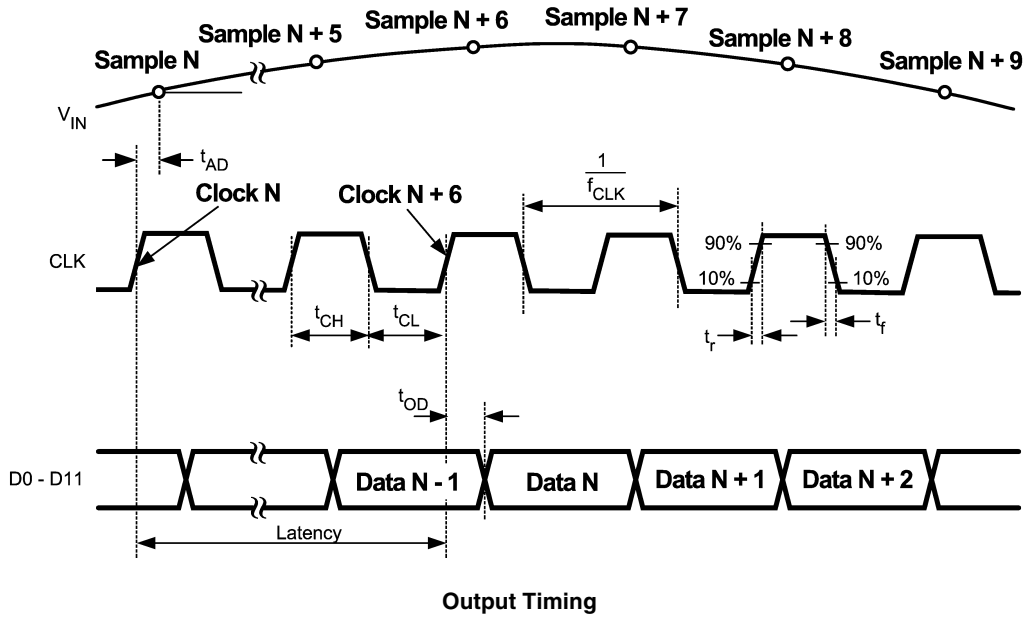
$$\text{THD} = 20 \times \log \sqrt{\frac{A_{f2}^2 + \dots + A_{f10}^2}{A_{f1}^2}}$$

ここで、 A_{f1} は基本周波数 (出力) パワーの実効値 (RMS 値)、 A_{f2} から A_{f10} は高調波のうち 2 次から 10 次までの高調波のパワーです。

- 2 次高調波歪み (2nd Harm) は、出力で見た入力周波数の RMS パワーと出力で見た 2 次高調波のパワーとの差で、単位は dB です。

- 3 次高調波歪み (3rd Harm) は、出力で見た入力周波数の RMS パワーと出力で見た 3 次高調波のパワーとの差で、単位は dB です。

タイミング図



Output Timing

変換特性

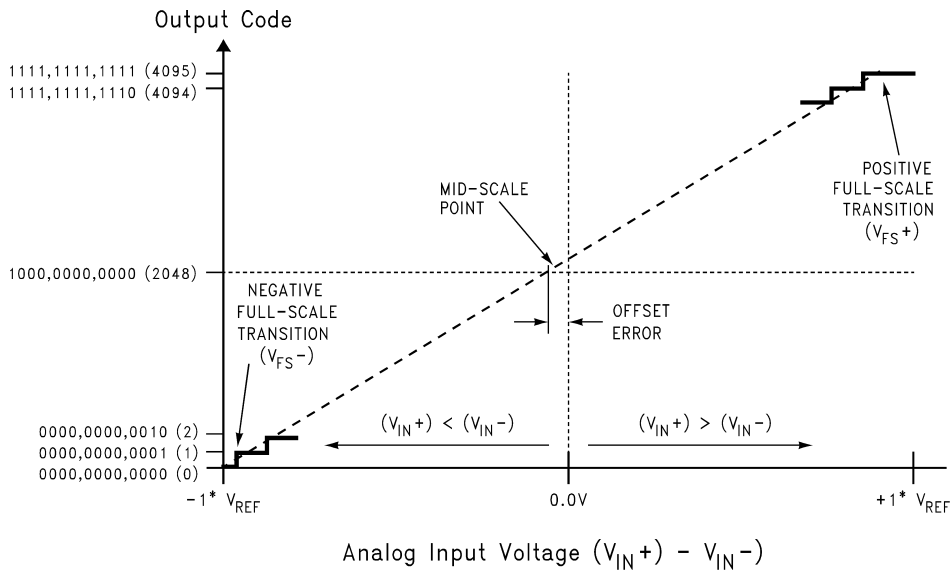
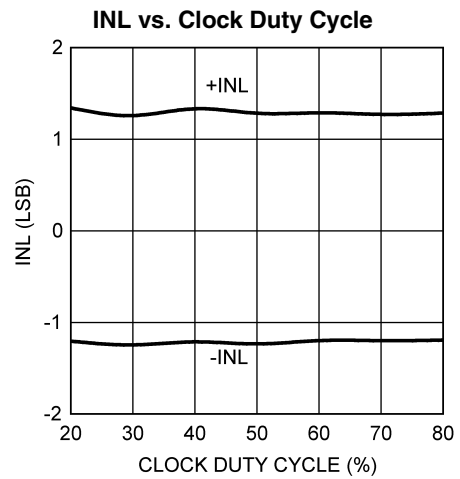
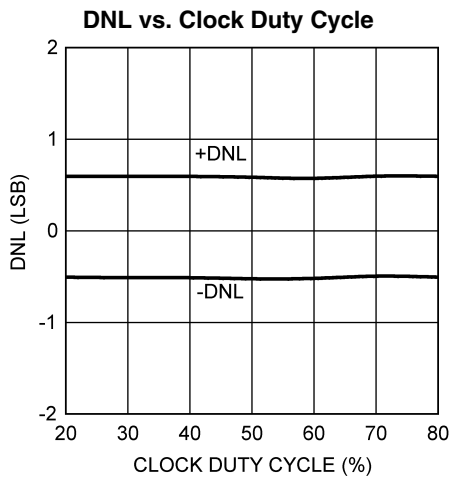
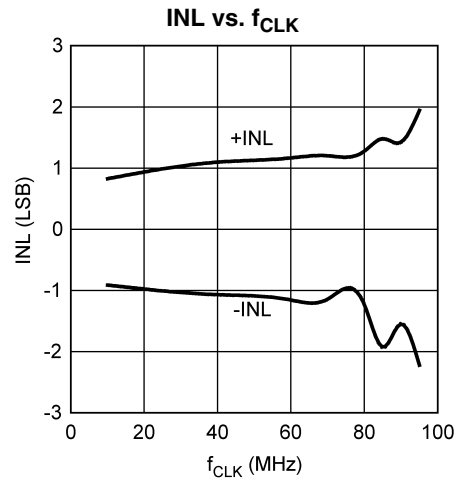
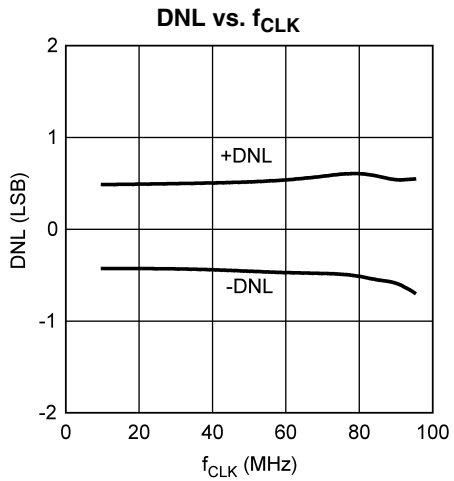
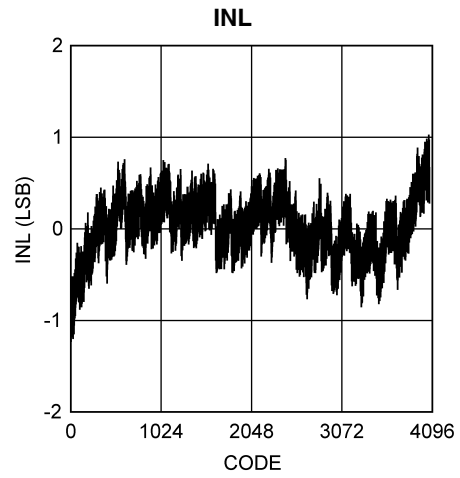
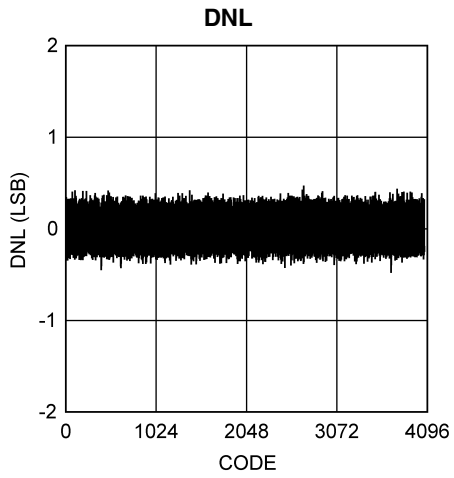


FIGURE 1. Transfer Characteristic

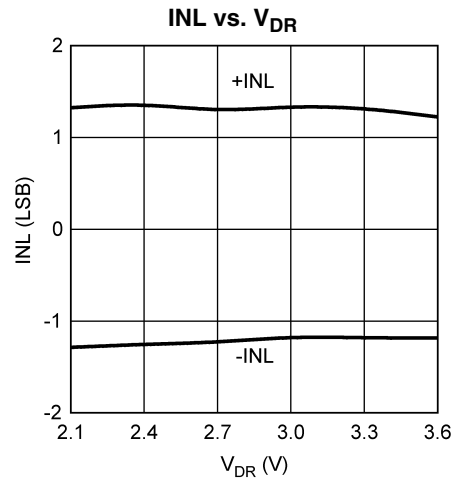
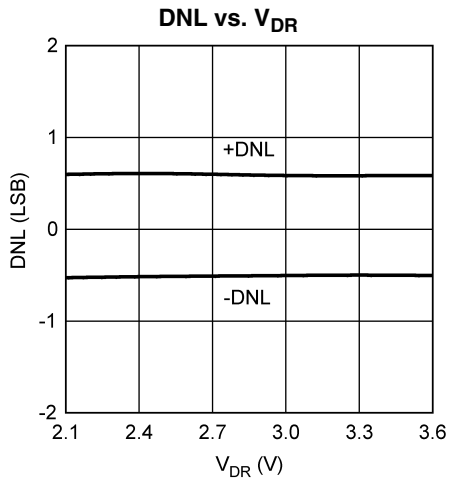
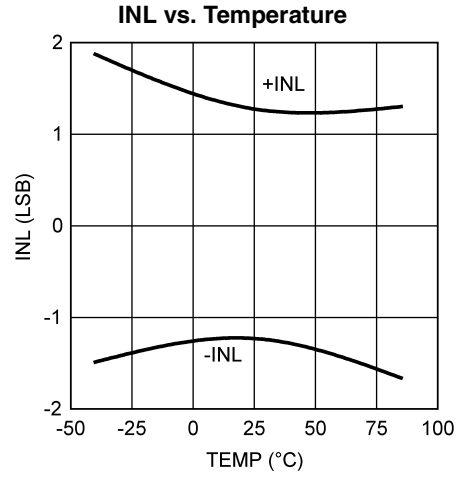
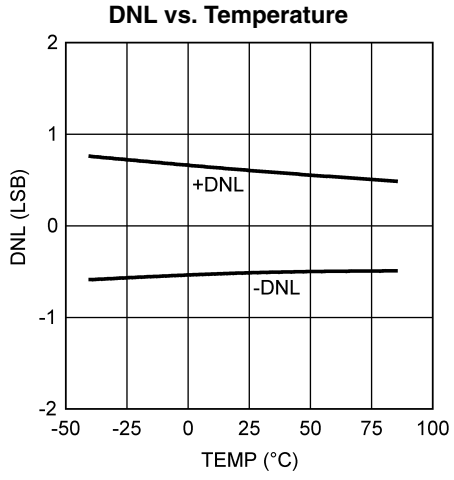
代表的な性能特性 (DNL、 INL)

特記のない限り、 $V_A = V_D = 3.3V$ 、 $V_{DR} = 2.5V$ 、 $V_{REF} =$ 外部 $1.0V$ 、 $V_{CM} = 1.65V$ 、 $f_{CLK} = 80MHz$ 、 $f_{IN} = 0$ です。



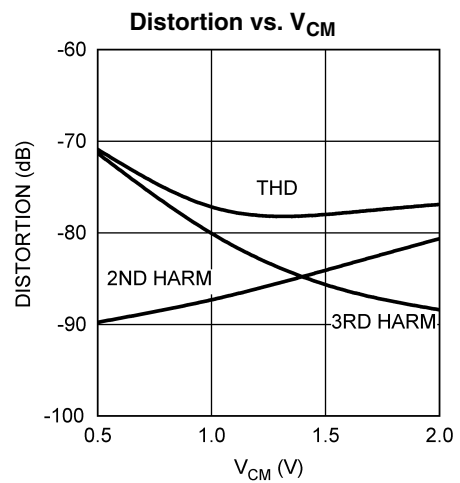
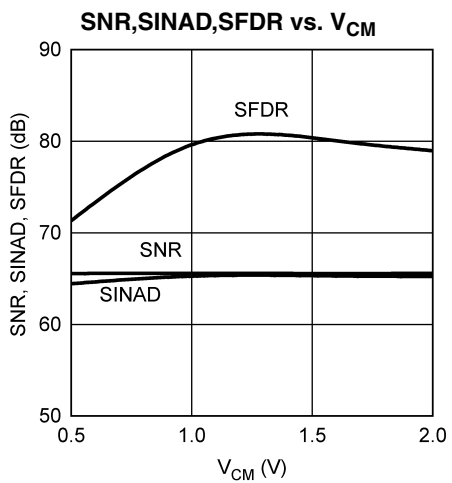
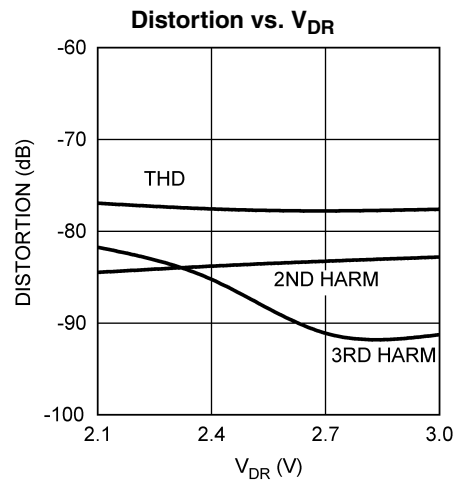
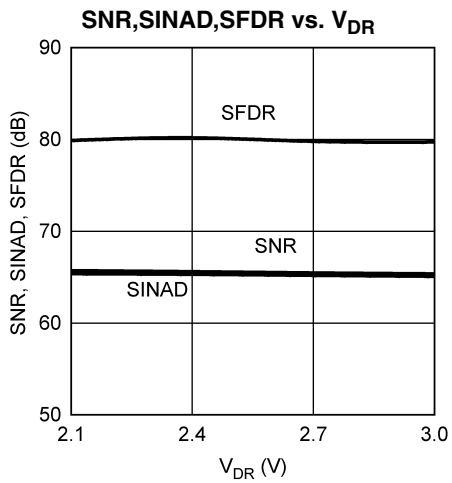
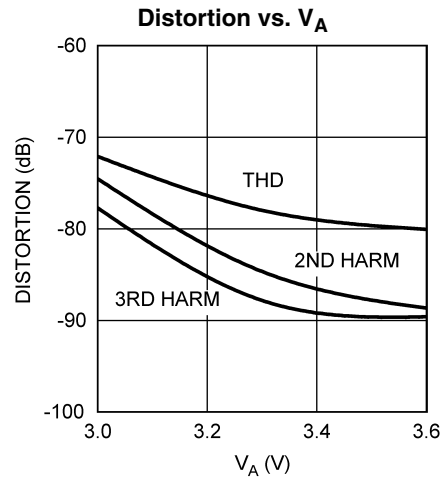
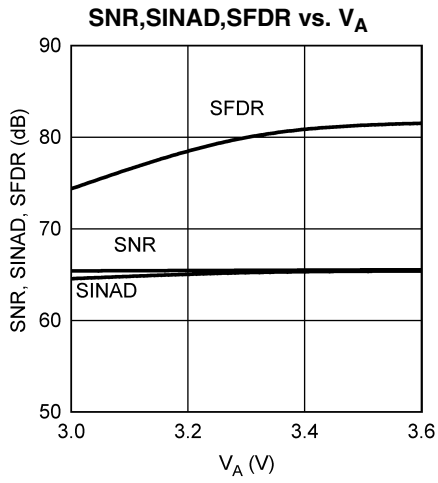
代表的な性能特性 (DNL、INL) (つぎ)

特記のない限り、 $V_A = V_D = 3.3V$ 、 $V_{DR} = 2.5V$ 、 $V_{REF} =$ 外部 $1.0V$ 、 $V_{CM} = 1.65V$ 、 $f_{CLK} = 80MHz$ 、 $f_{IN} = 0$ です。



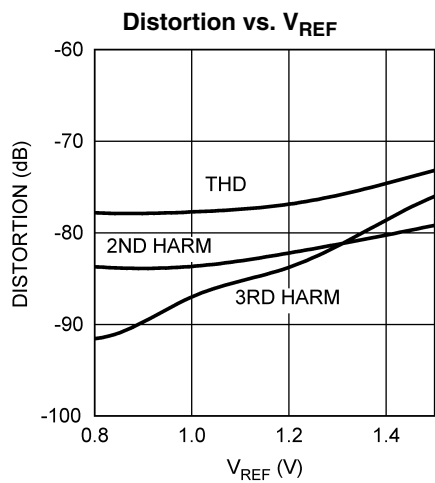
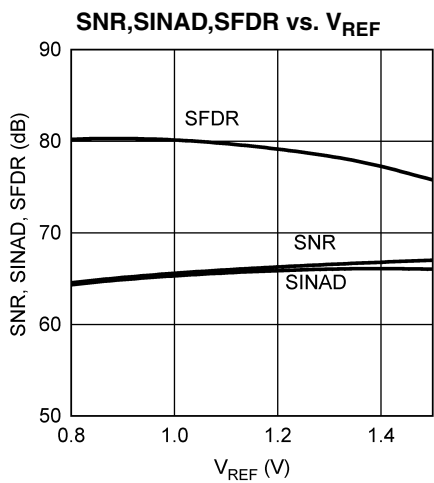
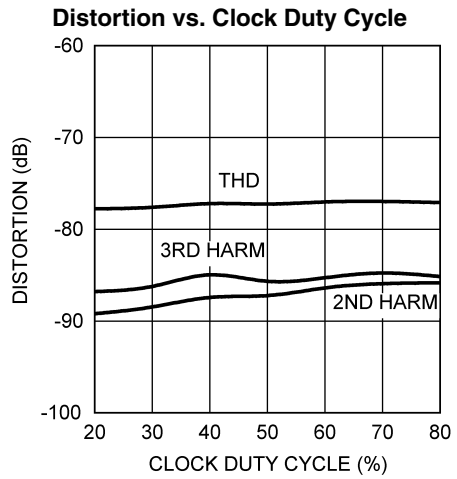
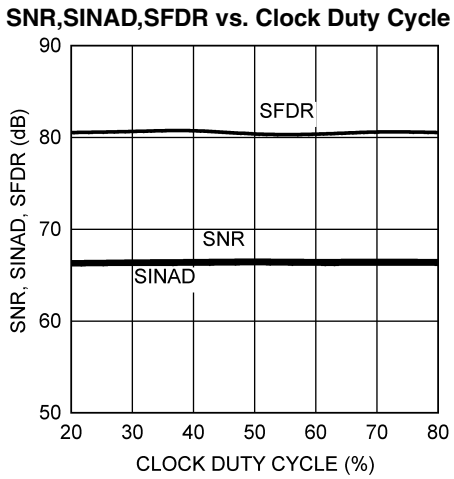
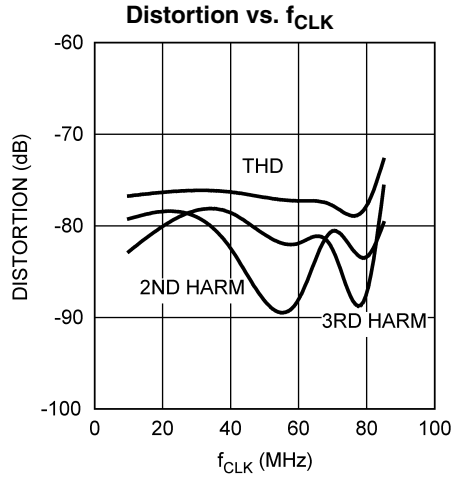
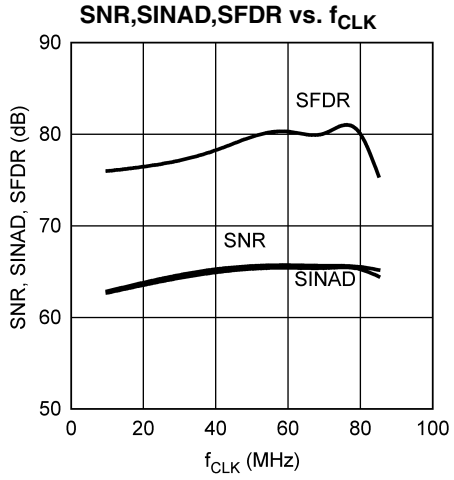
代表的な性能特性

特記のない限り、 $V_A = V_D = 3.3V$ 、 $V_{DR} = 2.5V$ 、 $V_{REF} =$ 外部 $1.0V$ 、 $V_{CM} = 1.65V$ 、 $f_{CLK} = 80MHz$ 、 $f_{IN} = 70MHz$ です。



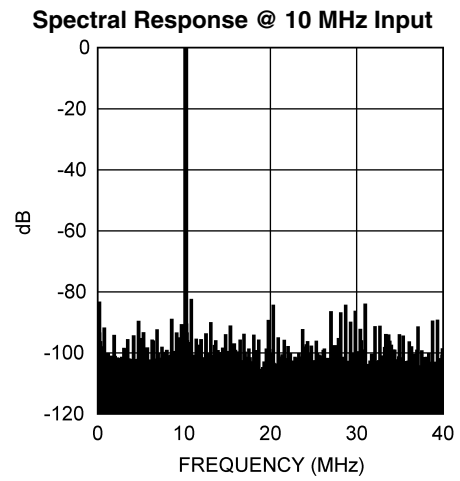
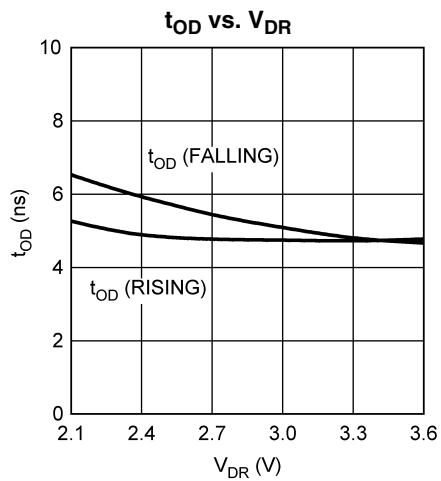
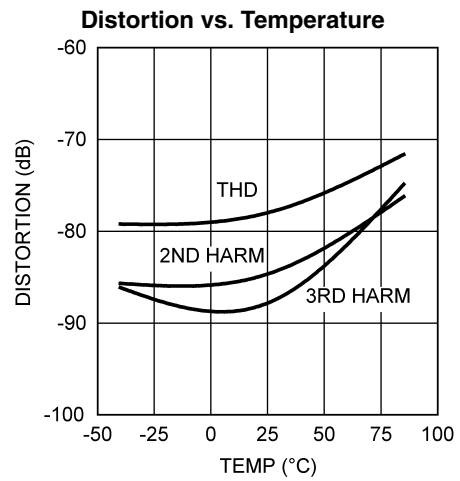
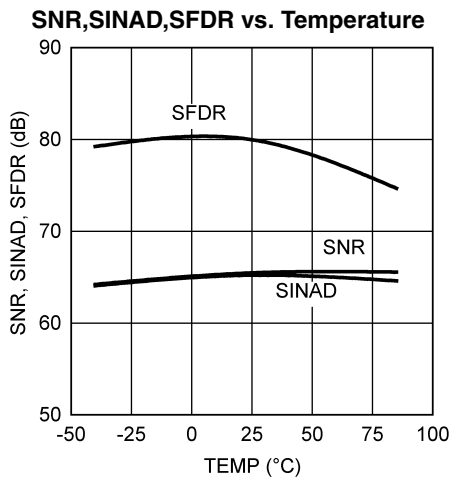
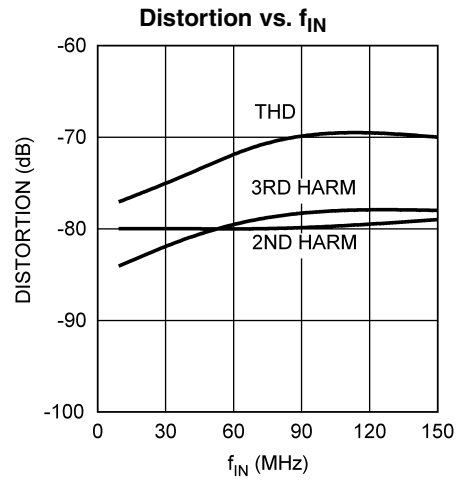
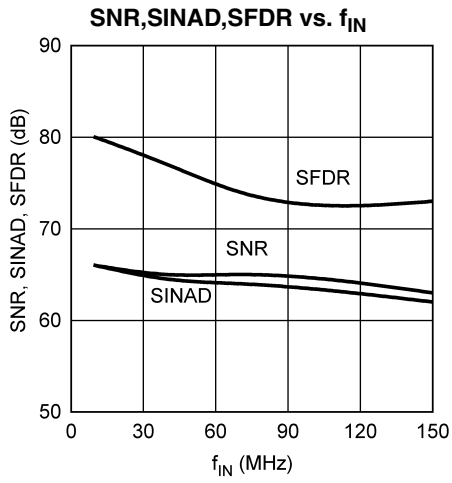
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = 3.3V$ 、 $V_{DR} = 2.5V$ 、 $V_{REF} =$ 外部 $1.0V$ 、 $V_{CM} = 1.65V$ 、 $f_{CLK} = 80MHz$ 、 $f_{IN} = 70MHz$ です。



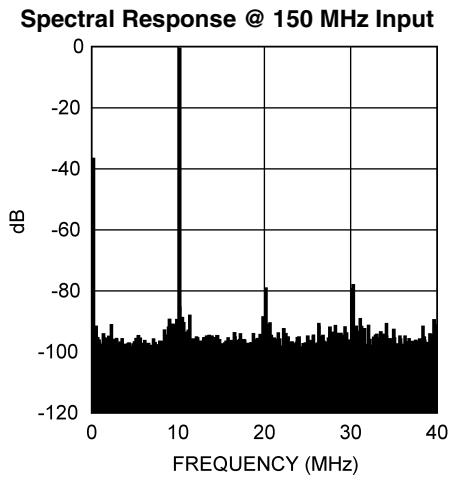
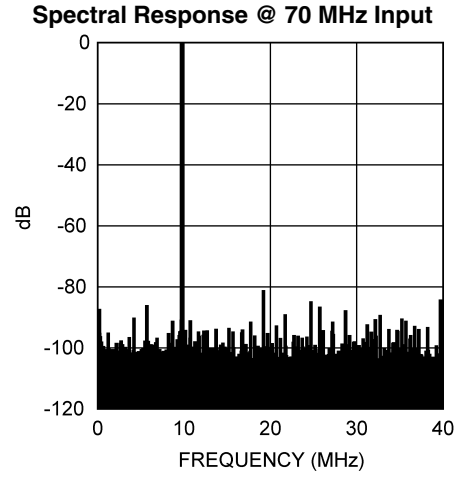
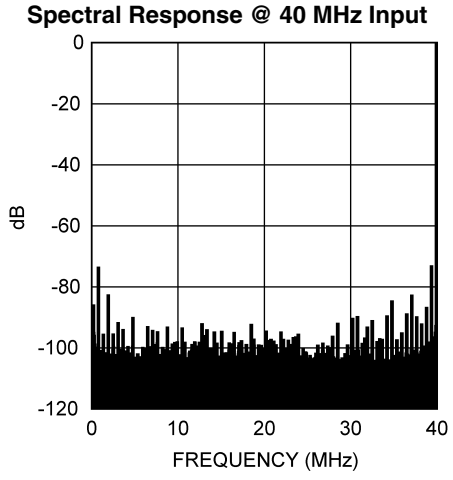
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = 3.3V$ 、 $V_{DR} = 2.5V$ 、 $V_{REF} =$ 外部 $1.0V$ 、 $V_{CM} = 1.65V$ 、 $f_{CLK} = 80MHz$ 、 $f_{IN} = 70MHz$ です。

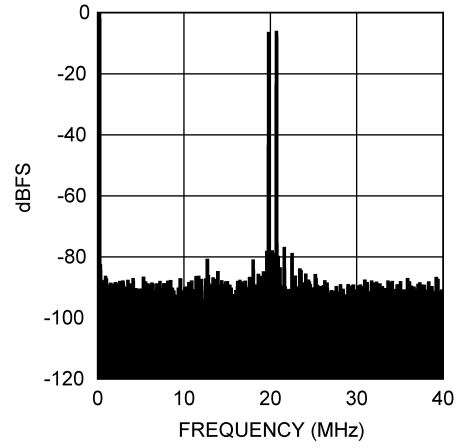


代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = 3.3V$ 、 $V_{DR} = 2.5V$ 、 $V_{REF} =$ 外部 $1.0V$ 、 $V_{CM} = 1.65V$ 、 $f_{CLK} = 80MHz$ 、 $f_{IN} = 70MHz$ です。



Intermodulation Distortion, $f_{IN1} = 19.6 MHz$, $f_{IN2} = 20.5 MHz$



機能説明

ADC12L080 は + 3.3V 単電源で動作します。パイプライン型アーキテクチャを採用し、かつ誤差補正回路を内蔵しているため、性能が最大限まで発揮されます。

差動のアナログ入力信号は 12 ビットのデジタル信号に変換されます。両方のアナログ入力信号は、ピーク・ツー・ピーク電圧のリミットは入力基準電圧 V_{REF} 、中心電圧は V_{CM} 、また、位相差は 180° でなければなりません。Table 1 と Table 2 に ADC12L080 の入力と出力の関係を示します。定格仕様を得るには差動信号で動作させる必要がありますが、一方の入力を V_{CM} でバイアスし、もう一方に入力信号を与えれば、定格性能は得られないもののシングルエンドで動作させることも可能です。シングルエンドでフルスケールの入力信号を与えた場合、両方の入力を差動信号で駆動した場合に比べて、得られる出力範囲は 1/4 から 3/4 までの範囲に狭まります。「2.2 信号入力」では、この出力範囲の縮小を防ぐ方法を説明します。

TABLE 1. Input to Output Relationship—Differential Input

V_{IN+}	V_{IN-}	Output
$V_{CM} - V_{REF}$	$V_{CM} + V_{REF}$	0000 0000 0000
$V_{CM} - 0.5 * V_{REF}$	$V_{CM} + 0.5 * V_{REF}$	0100 0000 0000
V_{CM}	V_{CM}	1000 0000 0000
$V_{CM} + 0.5 * V_{REF}$	$V_{CM} - 0.5 * V_{REF}$	1100 0000 0000
$V_{CM} + V_{REF}$	$V_{CM} - V_{REF}$	1111 1111 1111

TABLE 2. Input to Output Relationship—Single-Ended Input

V_{IN+}	V_{IN-}	Output
$V_{CM} - 2 * V_{REF}$	V_{CM}	0000 0000 0000
$V_{CM} - V_{REF}$	V_{CM}	0100 0000 0000
V_{CM}	V_{CM}	1000 0000 0000
$V_{CM} + V_{REF}$	V_{CM}	1100 0000 0000
$V_{CM} + 2 * V_{REF}$	V_{CM}	1111 1111 1111

出力ワードレートは「電気的特性」の表に記載されているクロック周波数と同一です。アナログ入力信号はクロック・パルスの立ち上がりエッジで取り込まれますが、それに対応するデジタル・データは、パイプライン・ディレイがあるため、6 クロック・サイクルだけ遅れて出力されます。

パワーダウン・ピン (PD) が High レベルの間は消費電力が 50mW まで下がります。

アプリケーション情報

1.0 動作条件

ADC12L080 を動作させる際は「電気的特性」に記載された動作条件を順守してください。

2.0 アナログ入力

ADC12L080 は差動入力ペアを構成する V_{IN+} と V_{IN-} の 2 本のアナログ入力を備えています。また、 V_{REF} は基準電圧の入力ピンです。

2.1 基準電圧ピン

ADC12L080 は内蔵 1.0V 基準電圧または外部基準電圧で動作します。設計と仕様規定では 1.0V 基準電圧を用いていますが、「コンバータの電気的特性」表記載の電圧範囲であれば正しく

動作します。基準電圧を下げると ADC12L080 の信号 / ノイズ比 (SNR) が低くなります。逆に基準電圧 (と入力信号振幅) を高くするとフルスケール入力時の THD 性能が低下します。

1 ピン (V_{REF}) の入力電圧を 2.0V 未満にすると外部基準電圧を使用するものとして解釈されます。 V_{REF} ピンをアナログ電源 (V_A) に接続すると内部 1.0V 基準電圧が必ず使用されます。

基準電圧および入力信号に対するすべてのグラウンドは、グラウンド経路に流れるノイズ電流の影響を抑えるため、アナログ・グラウンド・プレーンに対して一点アースで接続するのが極めて重要になります。

基準電圧入力ピンは 2 つの役割を持っています。 V_{REF} 電圧が 2.0V 以下のときは、この電圧がコンバータの基準電圧として使用されます。 V_{REF} 電圧が V_A のときは内部 1.0V 基準電圧が使用されます。2V から V_A の範囲の電圧を与えた場合の動作は不定です。

3 本の基準電圧バイパス・ピン (V_{RP} 、 V_{RM} 、 V_{RN}) はバイパス専用です。これらのピンは 0.1 μ F コンデンサを使ってグラウンドにバイパスするとともに、 V_{RP} と V_{RN} を 1.0 μ F コンデンサで接続してください。コンデンサの容量を大きくするとパワー・ダウンからの復帰時間が長くなります。容量を小さくするとダイナミック性能が低下します。これらのピンには絶対に負荷を接続しないでください。

2.2 信号入力

信号入力には V_{IN+} と V_{IN-} があります。入力信号 V_{IN} は次のように定義されます。

$$V_{IN} = (V_{IN+}) - (V_{IN-})$$

Figure 2 は、入力信号として予想される範囲を示したものです。ここで、公称入力コモンモード電圧 V_{CM} は $V_A/2$ です。また、公称入力信号は AGND と V_{REF} の電圧範囲に制限されます。ダイナミック性能を維持するには、各入力 (V_{IN+} 、 V_{IN-}) のピーク値は次式を超えてはなりません。

$$\text{ピーク入力電圧} = V_A - 0.5V$$

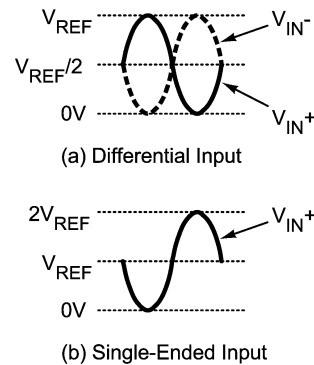


FIGURE 2. Expected Input Signal Range

ADC12L080 は、両方の入力をコモンモード電圧 V_{CM} を中心電圧とする差動入力で使用した場合に最も性能を発揮します。 V_{IN+} と V_{IN-} の振幅 (ピーク・ツー・ピーク値) は基準電圧を超えないようにしてください。これを超えた場合、出力データが最大値もしくは最小値で飽和します。差動信号を成す 2 つの入力信号は、位相差はちょうど 180° にし、振幅は正確に同じにしてください。入力信号の周波数が 1 つだけのときは、位相差があると (つまり差動信号の位相差が正確に 180° になっていないと)、実効フルスケール入力の範囲が狭くなってしまいます。複雑な波形の場合は位相差があると歪みが生じます。

アプリケーション情報 (つづき)

正弦波入力での LSB のフルスケール誤差は次の式で近似されま
す。

$$E_{FS} = 4096 (1 - \sin(90 \text{ } \mu\text{ dev}))$$

「dev」は、互いに 180 の相対位相差を持つ 2 つの信号どう
しの位相差です (Figure 3 を参照)。アナログ入力ピンを駆動する
信号源のソース・インピーダンスは 100 Ω 未満になるようにしてく
ださい。

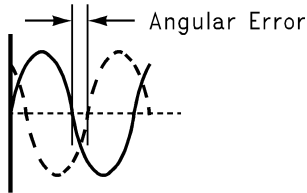


FIGURE 3. Angular Errors Between the Two Input Signals Will Reduce the Output Level or Cause Distortion

差動入力にする場合は、各アナログ入力信号の振幅 (ピーク
・ツー・ピーク値) を基準電圧 V_{REF} に等しくし、その中間電位は
 V_{CM} に設定してください。シングルエンド動作 (性能が低下した
状態での動作) させる場合は、アナログ入力の一方を駆動信号
の DC コモンモード電圧に接続してください。入力信号の振幅
(ピーク・ツー・ピーク値) を基準電圧の 2 倍にした場合で、SNR、
SINAD が最適になります (Figure 2b を参照)。例えば、 V_{REF} を
1.0V に設定したら、 V_{IN-} には 1.0V のバイアスをかけ、 V_{IN+} は
0V ~ 2.0V の信号で駆動してください。

入力信号の振幅が非常に大きいと歪みがひどくなる恐れがある
ため、シングルエンド動作のときに出力信号を最大幅まで振りたい
ときは、性能を改善するために基準電圧を下げてください。Table
1、2 は ADC12L080 の入出力の対応表です。

ADC12L080 の V_{IN+} 、 V_{IN-} の各ピンの内部回路は、アナログ・
スイッチが 1 つに、それに続いてスイッチ・キャパシタ・アンプが
1 つの構成になっています。アナログ入力ピンの内部回路ではス
イッチングが行われるため、入力ピンから電流が帰ってきます。こ
の電流をアナログ入力信号の駆動源側で打ち消そうとすると入
力信号にノイズが乗ります。ノイズを抑えるには、Figure 5 と Figure
6 のように、各信号入力に 33 Ω 抵抗を直列に接続し、また、グ
ラウンドとの間に 51pF のコンデンサを追加します。部品の実装位
置は ADC のすぐ近くになしてください。その理由は、ADC の入力
ピンが全体の中でも最も敏感な部分であり、入力信号にフィルタを
かけるには最適なポイントであるためです。コンデンサの容量値
51pF はナイクスト・アプリケーション向けです。アンダー・サンプリ
ング・アプリケーションの場合は容量を小さくしてください。発生す
るボールが最高入力周波数の 1.7 倍から 2.0 倍の範囲になるよう
に容量を選択します。容量を決定する際には、ADC 入力に存在
する入力容量 8pF を加味してください。

Table 3 に Figure 5 の回路の部品定数を示します。ADC12L080
の各差動入力に与えられた 1.0V ± 0.5V の信号を変換します。

TABLE 3. Resistor values for Circuit of FIGURE 5

SIGNAL RANGE	R1	R2	R3	R4	R5, R6
0 - 0.25V	0Ω	open	200Ω	1780Ω	1000Ω
0 - 0.5V	0Ω	open	249Ω	1400Ω	499Ω
±0.5V	100Ω	1210Ω	100Ω	1210Ω	499Ω

3.0 デジタル入力

CLK、OF、PD がデジタル入力です。各デジタル入力は 3V
CMOS 互換です。

3.1 CLK

CLK 信号はサンプリングのタイミングを決めます。クロック入力に
は、「AC 電気的特性」の表に記載されている範囲にあって、立ち
上がり時間と立ち下がり時間が 2ns 未満の安定した低ジッタ・
クロック信号を与えてください。クロック信号の配線パターンは最
短とし、アナログ、デジタルを問わず他の一切の信号線と交差し
ないようにしてください。

CLK 信号は内部のステート・マシンのクロックとしても使われま
す。クロック入力に中断されたり周波数があまりにも低いと、出力デ
ータの精度が低下するポイントまで内部コンデンサの電荷を消失す
る可能性があります。サンプリング・レートの下限が規定されてい
るのはこのためです。

クロック信号のデューティ・サイクルは A/D コンバータの性能に影
響を与えることがあります。しかし正確なデューティ・サイクルを維
持するのは難しいため、ADC12L080 では広い範囲のデューティ・
サイクルに対して性能を発揮するように設計されています。性能
の規定と保証はデューティ・サイクル 50% を条件としていますが、
「AC 電気的特性」の表に記載されているクロック・デューティ・
サイクル範囲にわたって、性能は一般に維持されます。

クロック・ラインはラインの特性インピーダンスによってソース端で終
端しなければなりません。ラインの全長にわたってインピーダンスが
一定になるように注意してください。特性インピーダンスの求め方
はアプリケーション・ノート AN-905 を参照してください。

ADC の CLK 入力を駆動する信号ソースは、対象となる CLK ピ
ンのみを駆動するようにしてください。仮に同じソースから他のピ
ンも駆動する場合は、駆動する各ピンは Figure 4 に示すようにグ
ラウンドに対する直列 RC 回路を用いて AC 終端を行ってください。
RC 回路の抵抗値はクロック・ラインの特性インピーダンスに
等しく設定し、コンデンサ容量は次のとおりです。

$$C \geq \frac{4 \times t_{PD} \times L}{Z_0}$$

ここで t_{PD} はクロック配線の信号伝搬遅延時間、「L」は配線長、
 Z_0 はクロック配線の特性インピーダンスです。この終端回路は
ADC クロック・ピンのできるだけ近くに、かつ、クロック・ソースか
ら見て遠い側に配置してください。 t_{PD} の代表値は、FR-4 を使
用した基板でおおよそ 150ps/inch (60ps/cm) です。「L」の単位と
 t_{PD} の単位は一致させてください (cm またはインチ)。

3.2 OF

OF ピンでデジタル・データ出力フォーマットを選択します。この
ピンを High にすると出力フォーマットは 2 の補数形式になります。
このピンを Low にすると出力フォーマットはオフセット・バイナリ形
式になります。デバイスの動作中にこのピンのレベルを変化させた
場合、数回の変換サイクルにわたって不定データが出力されま
す。

アプリケーション情報 (つづき)

3.3 PD

コンバータが使われない場合には、PD ピンを High レベルにすると ADC12L080 がパワーダウン・モードになります。これによって、未使用時の消費電力が抑えられます。パワーダウン動作状態での消費電力は 50mW に低下し、クロックの周波数、あるいはクロック印加の有無には依存しません。パワーダウン・モード中は出力データ・ピンは不定になりパイプライン内のデータは破壊されます。

Power Down Mode Exit Cycle 時間 (パワーダウン・モードからの復帰時間) は、30 ピン、31 ピン、32 ピンの容量値によって決まります。これらのコンデンサはパワーダウン・モード中に電荷を失い、正確な変換を得る前に内蔵回路によって再充電されます。セクション 2.1 を参照してください。

4.0 出力

ADC12L080 は、TTL/CMOS 互換のデジタル・データ出力ピンを 12 本備えています。PD ピンが Low のとき、出力データは出力ピンから出力されます。出力タイミング情報は t_{OD} 仕様によって与えられていますが、有効な出力データをとらえる簡単な方法の 1 つは、変換クロック・パルス (ピン 10) の立ち上がりエッジでデータをラッチすることです。

容量の多いバスを駆動するときは注意が必要です。変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。このような大きな充電電流スパイクは、チップ上でのグラウンド・ノイズの原因となり、またアナログ回路部にも結合するため、動的性能が劣化しかねません。これらの問題に対処するには、適切なバイパス、出力容量の制限、適切なグラウンド・プレーン設計などが必要です。また、バス・ラインの負荷容量が仕様値 15pF/ピンを超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合、動的性能が劣化する恐れがあります。

デジタル出力のスイッチングによるノイズを最小にするには、デジタル出力の負荷電流を最小にします。これを実現するには、ADC の出力ピンとそれ以降の回路の間に、例えば 74ACQ541 などのバッファ IC を設けます。各出力ピンはひとつの負荷しか駆動できません。さらに 100 の抵抗をデジタル出力ピンのすぐ近くに直列に挿入すると配線パターンやその他回路の持つ容量から出力ピンが分離されるため出力電流が抑えられます。この措置を講じないと性能が低下する場合があります。Figure 4 参照。

ADC12L080 の V_{DR} を 1.8V に下げて使用すると、 V_{DR} の低下に伴って t_{OD} が増加します。したがって V_{DR} を下げて使用する場合は外部回路のタイミング設計に注意が必要です。

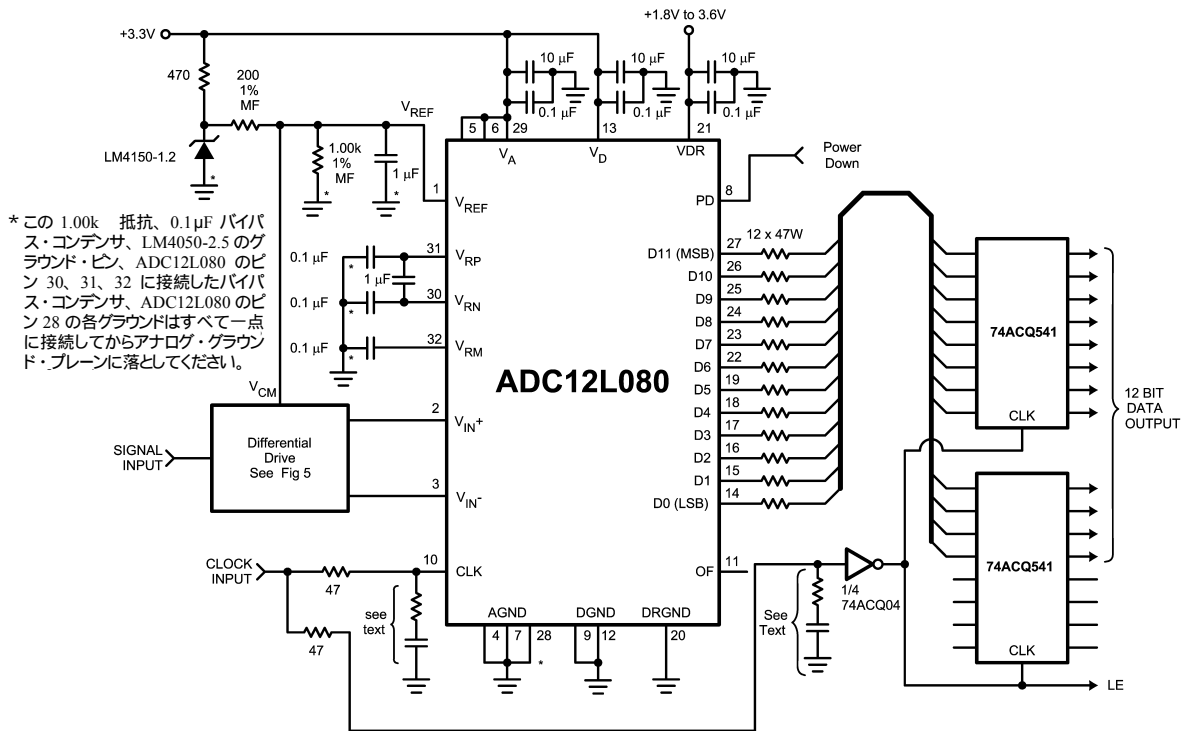


FIGURE 4. Simple Application Circuit with Single-Ended to Differential Buffer

アプリケーション情報 (つぎ)

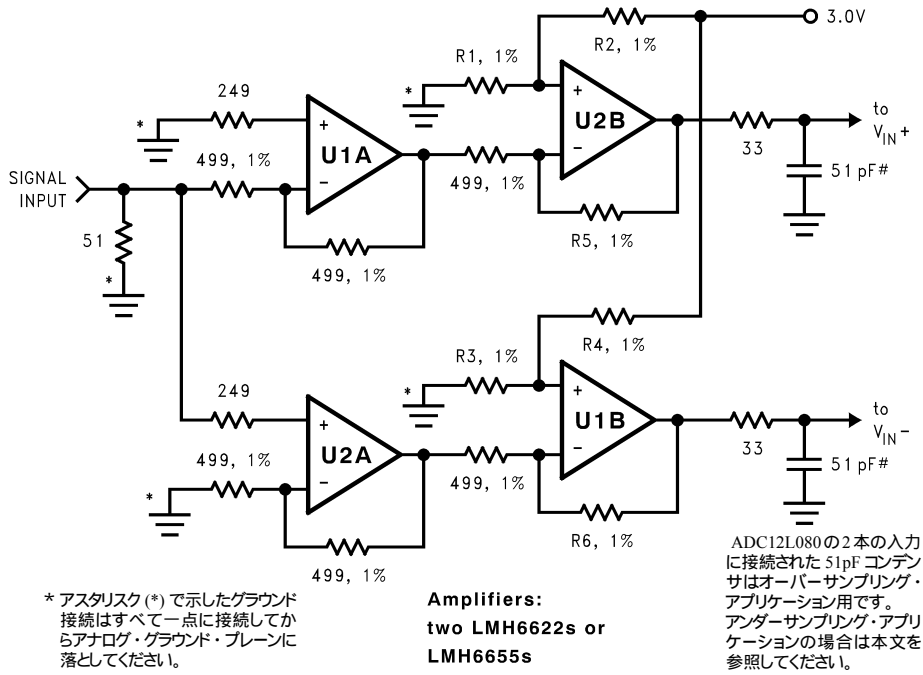


FIGURE 5. Differential Drive Circuit of FIGURE 4

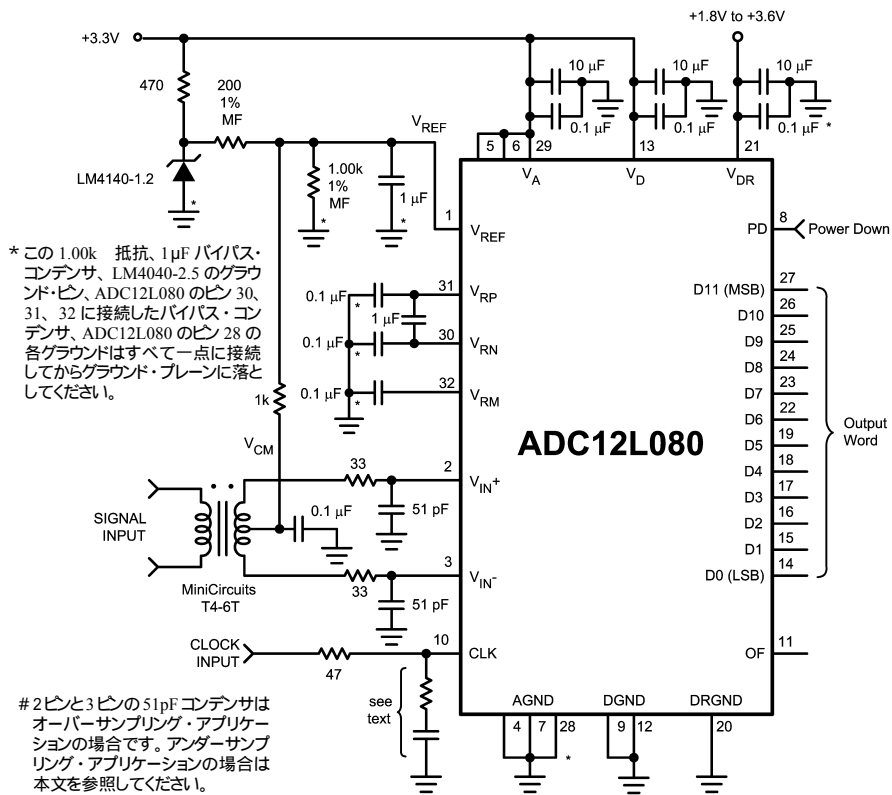


FIGURE 6. Driving the Signal Inputs with a Transformer

アプリケーション情報 (つづき)

5.0 電源構成

どの電源ピンも当該ピンから 3mm 以内の所にバイパス・コンデンサとして 10 μ F コンデンサと 0.1 μ F 低 ESL セラミック・コンデンサを 1 つずつ挿入してください。

一般の高速コンバータと同じように ADC12L080も電源ノイズに敏感です。したがって、ADC12L080 のアナログ電源ピンに乗るノイズ・レベルは 100mV_{p-p} より低く抑えてください。

どのピンも、電源電圧より高い電圧を加えることは、たとえ瞬時であっても許されません。特に電源の投入時、遮断時には注意してください。

V_{DR} ピンは出力ドライバ用の電源ピンで、1.8V ~ V_D の範囲で動作します。そのため、V_D 未満の電源で動作するデバイスおよびシステムと簡単にインタフェースすることができます。ただし、V_{DR} ピンには、V_D よりも高い電圧を絶対に印加しないでください。

6.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。ADC12L080 はアナログ領域とデジタル領域との間に挟まれる形になります。仕様どおりの性能を発揮するには、この 2 つの領域を分離しておく必要があります。

データ出力用のグラウンド・ピン (DR GND) には、出力ドライバのための電流が流れます。この出力電流により、変換プロセスにノイズが介入する可能性のある大きなトランジエントを発生することがあります。このようなことが起こらないように DR GND ピンは、ADC12L080 のいかなるその他のグラウンド・ピンに近接したシステム・グラウンドにも接続しないでください。

ノイズの多いデジタル回路とノイズに敏感なアナログ回路との容量性カップリングにより、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

デジタル回路は非常に大きな電源トランジエントやグラウンド・トランジエントを生じます。このようなロジック・ノイズがシステムのノイズ特性に大きく影響を及ぼします。A/D コンバータを備えたシステムに使用するのに最適なロジック・ファミリは、74LS、74HC(T) や

74AC(T)Q ファミリのようなノンサチュレーティング・トランジスタ (不飽和トランジスタ) を採用した設計がなされたものか低ノイズ特性を備えたものです。最も良くないノイズの発生源は、74F や 74AC(T) ファミリのようなクロックや信号エッジでの電源電流トランジエントが大きなファミリです。

ADC の出力スイッチングによって生じるノイズの影響は、デジタル・データ出力ラインのそれぞれに 1 つずつ直列に 100 Ω 抵抗を挿入すると最小に抑えられます。この抵抗の取り付け位置は ADC の出力ピンにできる限り近づけてください。

デジタル・スイッチング・トランジエント (デジタル回路の瞬間的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはあまり影響がありません。これは表皮効果を伴うため、グラウンド・プレーンの全重量より全表面積のほうが重要となります。

一般に、アナログとデジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべての他のラインからアイソレートすることが重要です。クロック・ラインが一般的に受け入れられている 90° で A/D 信号ラインを互いに交差させる方法は、高周波でのちょっとしたカップリングによる問題が起こる可能性があるため避けるべきです。これは、その他のラインがクロック・ラインにジッタを招き、結果的に SN 比の劣化につながります。また、クロックが高速だとアナログ回路にノイズの生じる場合もあります。

高周波 / 高分解能で最大限の性能を得るには、まっすぐの信号経路に配線すると実現できます。これは、すべての部品を通る信号経路をできるだけまっすぐな直線に配線することです。

インダクタのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、たとえそれぞれの個体の大きさが小さくても並べたり、近い配置にせず、互いを離れた状態で使用してください。

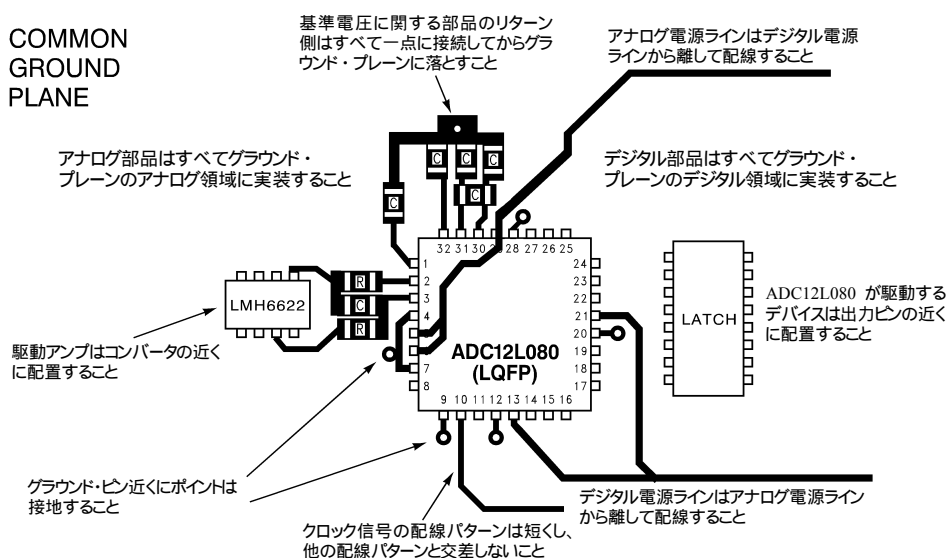


FIGURE 7. Example of a Suitable Layout

アプリケーション情報 (つづき)

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力、ノイズの多い信号経路から十分にアイソレートしてください。コンバータの入力ピンとアナログ・グラウンドの間、または基準入力ピンとグラウンドに接続される任意の外部回路 (例えばフィルタ用のコンデンサ) は、グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

Figure 7 は、適切なレイアウト例です。すべてのアナログ回路 (入力アンプ、フィルタ、基準電圧生成部品など) はボードのアナログ領域に配置してください。すべてのデジタル回路と I/O トレースはボードのデジタル領域に配置してください。さらに、基準電圧回路と入力信号に関連する回路に含まれているすべての部品については、そのリターン側どうしを短い配線で一点に接続してからグラウンド・プレーンに落としてください。すべてのグラウンドへの接続は、グラウンドへの経路が低インダクタンスになるように配線してください。

最高性能は、単一のグラウンド・プレーンにアナログ領域とデジタル領域とに分割した電源層とを組み合わせた場合に得られます。ボード上のアナログ領域とデジタル領域は電源層によって決まります。アナログ部品とデジタル部品、および各信号トレースは、対応するそれぞれの領域内に配置しなければなりません。

7.0 ダイナミック特性

最高のダイナミック特性を実現するために、CLK 入力をドライブするクロック信号源はジッタのないものでなければなりません。変換プロセスでノイズを追加させない最大許容可能ジッタは、

$$\text{最大ジッタ} = 1/(2^{n+1} \times \dots \times f_{IN})$$

Figure 8 に示されるようなバッファを用いてクロック・ツリーを構成して、A/D のクロック信号をその他のデジタル回路からアイソレートしなければなりません。クロック信号にジッタを加えないためには、Figure 8 に示す各部品は、使用する周波数の最高 10 倍の周波数でドリフトできるものでなければなりません。

セクション 6.0 で述べたように、A/D クロック・ラインをできる限り短くかつその他の任意の信号から十分に離して置くのは、良い手段です。別の信号はクロック信号にジッタを招く可能性があり、SNR の性能劣化につながる場合や、クロック信号が原因でほかの配線にノイズを生じることもあります。信号ラインが互いに 90° に交わっているときでも容量性のカップリングが起こりますので、クロック・ラインは 90° の交差もしないようにしてください。

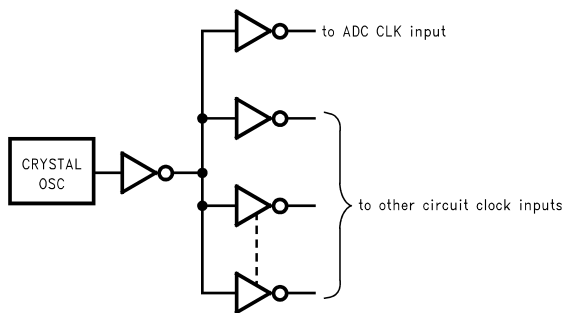


FIGURE 8. Isolating the ADC Clock from other Circuitry with a Clock Tree

8.0 アプリケーション共通の注意事項

電源範囲をこえてアナログもしくはデジタル入力をドライブしないこと

適当な動作を行うために、すべての入力、グラウンド・ピンより 100mV 以下または、電源ピンより 100mV 以上にならないようにしてください。トランジエントによる場合でもこれらのリミット値を超える

と、システムにとって良くない状態や誤差を招く可能性があります。電源電圧とそのグラウンド電位を超えるオーバershootやアンダーシュートを起こす高速デジタル IC (例えば、74F や 74AC などのファミリ・デバイス) では、よくある現象です。A/D コンバータのデジタル入力に約 50 ~ 100 の直列抵抗を挿入し、また信号源の近くに挿入すると、通常はこの問題を取り除けます。

入力電圧は、たとえ瞬間的であっても電源電圧を超えないようにしてください。電源の投入時も遮断時も同じです。

ADC12L080 の入力を ADC12L080 の電源範囲を超える範囲にまでドライブするようなデバイスで、オーバードライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと
変換のたびに出力ドライブで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。適切なバイパスと基板上のアナログ領域とデジタル領域を十分にアイソレートすればこの問題を低減できます。

また、バス・ラインの負荷容量が仕様値 15pF/ピンを超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合もやはり動的性能は劣化する恐れがあります。

また、デジタル・データ出力は (例えば、74ACQ541 で) バッファリングしてください。また、各デジタル出力のできる限り近くに、直列抵抗を加えることで、出力電流を制限し、コンバータの出力に戻ってくるカップリング信号のエネルギが低減されて、ダイナミック特性を改善することができます。この時に使用する推奨の抵抗値は 100 オームです。

不適当なアンプを使ってアナログ入力をドライブしないこと
セクション 2.2 で説明したように、ダイナミック性能を劣化させることなくサンプリング入力を駆動することは簡単ではありません。

信号レベルがきわめて小さな場合であっても、オーバershootやリングングを発生させるアンプ、あるいは挙動が不安定なアンプを使用した場合には、性能の劣化を招きます。Figure 5 や Figure 6 に示すように、アンプの各出力に直列に低抵抗を挿入し、あわせて、A/D コンバータの各アナログ入力とグラウンド間にコンデンサを配置すると、性能の改善が図れます。LMH6702、LMH6628、LMH6622、LMH6655 は ADC12L080 のアナログ入力の駆動に十分な性能を備えます。

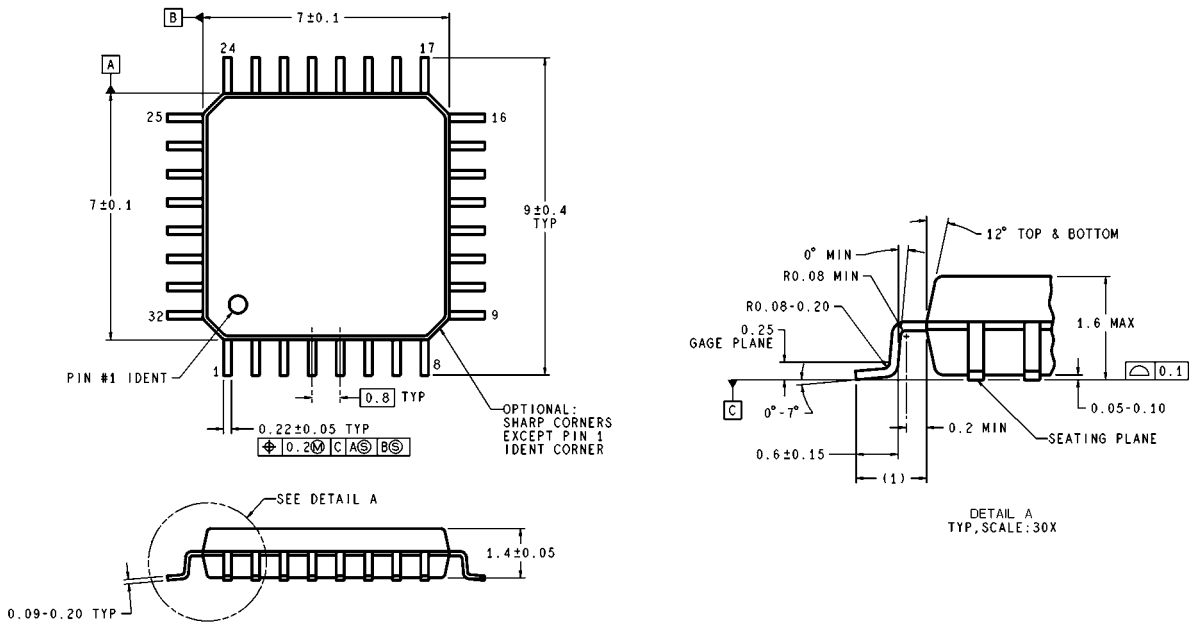
また、差動入力信号を成す 2 つの信号は、振幅が完全に等しく、180° の正確な位相差があることが重要です。入力ピンの 2 本のトレースの均一性などの、ボード・レイアウトが 2 本の信号間の位相に影響を与えます。オペアンプは非反転回路のほうが反転回路より遅延時間が長くなる点に注意してください。

リファレンス・ピンを仕様範囲外の入力で作動させないこと
セクション 2.1 で説明したように、 V_{REF} は「電気的特性」の表記載の範囲になければなりません。これらのピンが、必要な電流を制御できるデバイスでドライブしない場合には、これらのリミット範囲外の動作は、結果として性能の劣化を招きます。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変化し、過度の出力ノイズが発生し、かつ SN 比と SINAD の劣化を招きます。RC によるタイミング回路を用いた単純なゲート回路は、一般的にクロック信号源として適切ではありません。

外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS

VBE32A (Rev E)

32-Lead LQFP Package
Ordering Number ADC12L080CIVV
NS Package Number VBE32A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上