

# ADC14155

*ADC14155 14-Bit, 155 MSPS, 1.1 GHz Bandwidth A/D Converter*



Literature Number: JAJSAI4

## ADC14155

### 14ビット、155MSPS、1.1GHz 帯域幅 A/D コンバータ

#### 概要

ADC14155 は、アナログ入力信号を 155MSPS のサンプリングレートで、14ビットのデジタル・ワードに変換できる、高性能 CMOS A/D コンバータです。デジタル・エラー訂正機能とサンプル/ホールド回路を備えた差動バイプライン型アーキテクチャを採用し、消費電力と外付け部品を最小限に抑えながら優れた性能を発揮します。独自のサンプル/ホールド・ステージによって、1.1GHz のフルパワー帯域幅を持っています。ADC14155 はデュアル+ 3.3V および+ 1.8V 電源で動作し、155MSPS における消費電力は 967mW です。

デジタル出力インタフェースの電源を独立の+ 1.8V 電源にすれば、低ノイズの低電力動作が可能です。パワーダウン機能は、クロック入力をディスエーブルにすることによって5mWまで消費電力を低減する一方、フル動作までの起動を高速に行えます。

差動入力、フルスケール差動入力振幅をリファレンス電圧の 2 倍にします。ADC14155 は、提供される安定した 1.0V 内部リファレンスまたは外部リファレンスで動作できます。

ADC14155 は、シングルエンドか差動動作で構成できます。クロックモード(差動かシングルエンド)と出力データ・フォーマット(オフセット・バイナリか 2 の補数)はピン選択で可能です。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの広範囲にわたって性能を保持します。

ADC14155 は 48 ピンの LLP パッケージで提供され、産業用温度範囲(- 40 ~ + 85 )で動作します。

#### 特長

- 1.1GHz のフルパワー帯域幅
- サンプル/ホールド回路内蔵
- 低消費電力
- 1.0V 高精度リファレンス内蔵
- クロックモード：差動またはシングルエンド
- データ・レディ出力クロック
- クロック・デューティ・サイクル安定化回路
- デュアル+ 3.3V および+ 1.8V 電源で動作 (+ / - 10%)
- パワーダウン・モード
- 出力データ・フォーマットはオフセット・バイナリまたは 2 の補数
- 48 ピン LLP パッケージ (7 × 7 × 0.8mm、0.5mm ピンピッチ)

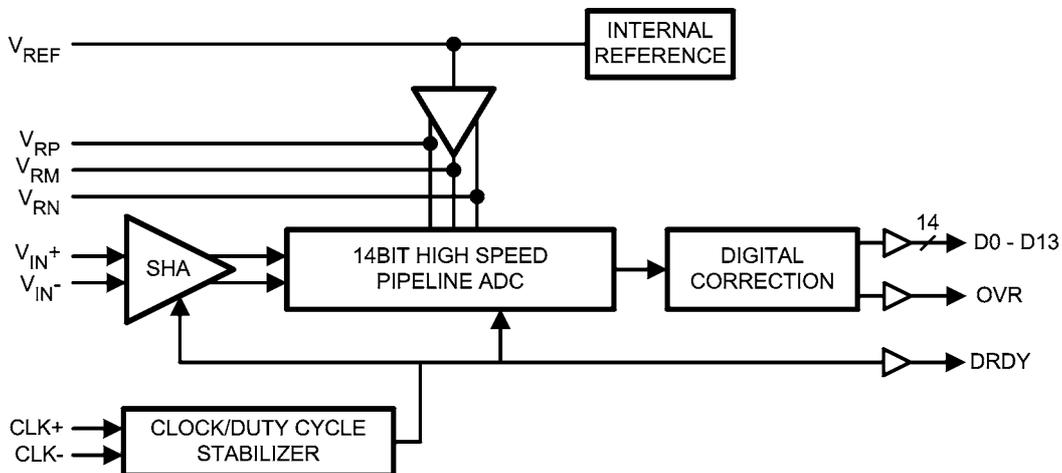
#### 主な仕様

分解能	14ビット
変換レート	155MSPS
S/N 比 ( $f_{IN} = 70\text{MHz}$ )	71.3dBFS (typ)
SFDR ( $f_{IN} = 70\text{MHz}$ )	87.0dBFS (typ)
有効ビット (ENOB) ( $f_{IN} = 70\text{MHz}$ )	11.5ビット (typ)
フルパワー帯域幅	1.1GHz (typ)
消費電力	967mW (typ)

#### アプリケーション

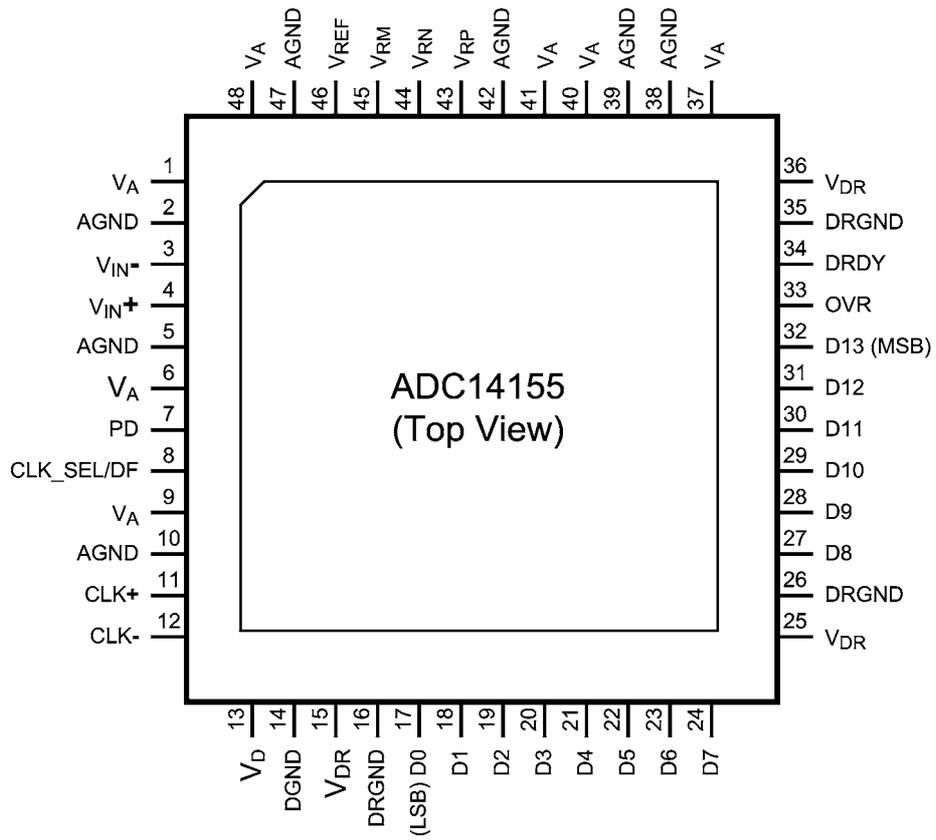
- 高 IF サンプリング・レシーバ
- 無線基地局レシーバ
- パワーアンプ直線化
- マルチ・キャリア、マルチモード・レシーバ
- 試験装置および測定機器
- 通信測定用
- レーダ・システム

#### ブロック図



# ADC14155

## 配置図



## 製品情報

Industrial ( $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ )	Package
ADC14155CISQ	48 Pin LLP
ADC14155EB	Evaluation Board

ピン説明および等価回路

ピン番号	シンボル	等価回路	説明
<b>アナログ I/O</b>			
3	$V_{IN -}$		<p>差動アナログ入力ピン。差動フルスケール入力信号レベルは、コモンモード電圧 <math>V_{CM}</math> を中心電圧として各入力ピン信号がリファレンス電圧の 2 倍です。</p>
4	$V_{IN +}$		
43	$V_{RP}$		<p>これらのピンを、低 ESL (等価直列インダクタンス) の <math>0.1\mu F</math> コンデンサで AGND にバイパスし、それは浮遊インダクタンスを最小にするためピンのごく近くに配置する必要があります。 <math>0.1\mu F</math> コンデンサと <math>10\mu F</math> コンデンサを並列にして、 <math>V_{RP}</math> と <math>V_{RN}</math> の間のできるだけピンの近くに配置する必要があります。</p> <p><math>V_{RP}</math> と <math>V_{RN}</math> には負荷をかけないようにしてください。 <math>V_{RM}</math> は、温度の安定した <math>1.5V</math> リファレンスとして <math>1mA</math> までの負荷をかけることができます。</p> <p>差動アナログ入力、 <math>V_{IN +}</math> と <math>V_{IN -}</math> に対するコモンモード電圧 (<math>V_{CM}</math>) の供給のために <math>V_{RM}</math> の使用を推奨します。</p>
45	$V_{RM}$		
44	$V_{RN}$		
46	$V_{REF}$		<p>このピンは、 <math>+1.0V</math> 内部リファレンス電圧出力 (内部リファレンス動作) または外部リファレンス電圧入力 (外部リファレンス動作) として使用されます。</p> <p>内部リファレンスを使用するには、 <math>V_{REF}</math> は、低等価直列インダクタンス (ESL) の <math>0.1\mu F</math> コンデンサで AGND にデカップルする必要があります。このモードでは、 <math>V_{REF}</math> は内部 <math>1.0V</math> リファレンスの出力としてデフォルト設定されます。</p> <p>外部リファレンスを使用するには、低ノイズ外部リファレンス電圧で、このピンをオーバードライブしてください。このピンにおける内部リファレンスの出力インピーダンスは、 <math>9k</math> です。したがって、このピンをオーバードライブするために、外部リファレンスソースのインピーダンスは、 <math>9k</math> よりかなり小さな値である必要があります。</p> <p>このピンは、ソースまたはシンク電流に使用してはなりません。フルスケール差動入力電圧範囲は、 <math>2 * V_{REF}</math> です。</p>
<b>デジタル I/O</b>			
11	CLK +		<p>クロック入力ピンは、シングルエンドまたは差動クロック入力信号のどちらかを受け入れ可能に構成できます。</p> <p>シングルエンド・クロック・モードが CLK_SEL/DF (8ピン) によって選択されているとき、クロック入力信号を CLK +ピンに接続し、CLK -ピンを AGND に接続してください。</p> <p>差動クロック・モードが CLK_SEL/DF (8ピン) によって選択されているとき、正と負のクロック入力を CLK +と CLK -ピンにそれぞれ接続してください。</p> <p>アナログ入力、クロック入力の立ち下がりがエッジでサンプリングされます。</p>
12	CLK -		

ピン説明および等価回路 (つづき)

ピン番号	シンボル	等価回路	説明
8	CLK_SEL/DF		<p>入力クロック・モードと出力データ・フォーマットをコントロールする 4 ステートピンです。</p> <p>CLK_SEL/DF = V<sub>A</sub> で、CLK + と CLK - は差動クロック入力として構成されます。出力データ・フォーマットは、2 の補数です。</p> <p>CLK_SEL/DF = (2/3) * V<sub>A</sub> で、CLK + と CLK - は、差動クロック入力として構成されます。出力データ・フォーマットは、オフセット・バイナリです。</p> <p>CLK_SEL/DF = (1/3) * V<sub>A</sub> で、CLK + は、シングルエンド・クロック入力として構成され、CLK - は AGND に接続する必要があります。出力データ・フォーマットは、2 の補数です。</p> <p>CLK_SEL/DF = AGND、CLK + は、シングルエンド・クロック入力として構成され、CLK - は AGND に接続されなければなりません。出力データ・フォーマットはオフセット・バイナリです。</p>
7	PD		<p>パワーダウンをコントロールする 2 ステート入力です。</p> <p>PD = V<sub>A</sub> で、パワーダウン・モードになります。パワーダウン・ステートではリファレンス電圧回路だけがアクティブのままで保持され、消費電力は低減されます。</p> <p>PD = AGND で、通常動作を行います。</p>
17-24, 27-32	D0 ~ D13		<p>変換後の 14 ビット・デジタル・データ出力ピンです。D0 (ピン 17) が出力ワードの LSB、D13 (ピン 32) が MSB です。出力レベルは CMOS レベルです。</p>
33	OVR		<p>オーバーレンジ・インジケータ。入力振幅が 14 ビットの変換範囲 (0 ~ 16383) を上回ると、この出力は High にセットされます。</p>
34	DRDY		<p>データ・レディ・ストロブ。このピンは、出力データとクロック同期をとるのに使用されます。これは、サンプリング・クロックと同じ周波数です。データの 1 つのワードは、この信号の各サイクルにおける出力です。この信号の立ち上がりエッジで、出力データを取得します。</p>

アナログ電源

1, 6, 9, 37, 40, 41, 48	V <sub>A</sub>		正のアナログ電源ピン。これらのピンは、無負荷の + 3.3V 電源に接続する必要があり、電源ピンの近くに配置した 100pF と 0.1 μF コンデンサで DGND にバイパスしてください。
2, 5, 10, 38, 39, 42, 47	AGND		アナログ電源のグラウンド・リターン

デジタル電源

13	V <sub>D</sub>		正のデジタル電源ピン。これらのピンは、無負荷の + 3.3V 電源に接続する必要があり、電源ピンの近くに配置した 100pF と 0.1 μF コンデンサで AGND にバイパスしてください。
14	DGND		デジタル電源のグラウンド・ピン
15, 25, 36	V <sub>DR</sub>		出力ドライバ用の正のデジタル電源ピン。これらのピンは、無負荷の + 1.8V 電源に接続する必要があり、電源ピンの近くに配置した 100pF と 0.1 μF コンデンサで DRGND にバイパスしてください。
16, 26, 35	DRGND		デジタル出力ドライバ電源のグラウンド・ピン。システムのデジタル・グラウンドに接続してください。ただし、A/D コンバータの DGND または AGND ピンの近くには接続しないでください。詳細はセクション 6.0「レイアウトとグラウンド構成」を参照ください。

## 絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 ( $V_A$ , $V_D$ )	- 0.3V ~ 4.2V
電源電圧 ( $V_{DR}$ )	- 0.3V ~ 2.35V
$ V_A - V_D $	100mV
全入力ピン (4.2V を越えないこと)	- 0.3V ~ ( $V_A + 0.3V$ )
全出力ピン (2.35V を越えないこと)	- 0.3V ~ ( $V_{DR} + 0.2V$ )
電源ピン以外の全入力ピン電流 (Note 3)	$\pm 5mA$
パッケージ入力電流 (Note 3)	$\pm 50mA$
最大接合部温度 ( $T_J$ )	+ 150
熱抵抗 ( $J_A$ )	24 /W
$T_A = 25$ でのパッケージ損失 (Note 4)	5.2W
ESD 耐圧	
人体モデル (Note 5)	2500V
マシン・モデル (Note 5)	250V
保存温度範囲	- 65 ~ + 150

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。  
[www.national.com/JPN/packaging/](http://www.national.com/JPN/packaging/) をご覧ください (Note 6)。

## 動作定格 (Note 1、2)

動作温度範囲	- 40 $T_A$ + 85
電源電圧 ( $V_A$ , $V_D$ )	+ 3.0V ~ + 3.6V
出カドライバ用の電源 ( $V_{DR}$ )	+ 1.6V ~ + 2.0V
CLK	- 0.05V ~ ( $V_A + 0.05V$ )
クロック・デューティ・サイクル	30/70 %
アナログ入力ピン	0V ~ 2.6V
$V_{CM}$	1.4V ~ 1.6V
AGND-DGND	100mV

## コンバータの電気的特性

特記のない限り、AGND = DGND = DRGND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部  $V_{REF} = +1.0V$ 、 $f_{CLK} = 155MHz$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5pF/ピン$ 、シングルエンド・クロック・モード、オフセット・バイナリ形式の仕様が適用されます。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$   $T_A$   $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
<b>STATIC CONVERTER CHARACTERISTICS</b>					
	Resolution with No Missing Codes			<b>14</b>	Bits (min)
INL	Integral Non Linearity (Note 11)		$\pm 1.9$	<b>+3.9</b> <b>-3.4</b>	LSB (max) LSB (min)
DNL	Differential Non Linearity		$\pm 0.5$	<b>+1.1</b> <b>-0.9</b>	LSB (max) LSB (min)
PGE	Positive Gain Error		+0.1	<b>+3.5</b> <b>-3.3</b>	%FS (max) %FS (min)
NGE	Negative Gain Error		+0.3	<b>+3.9</b> <b>-3.3</b>	%FS (max) %FS (min)
TC GE	Gain Error Tempco	$-40^{\circ}C \leq T_A \leq +85^{\circ}C$	+8.0		ppm/ $^{\circ}C$
$V_{OFF}$	Offset Error ( $V_{IN+} = V_{IN-}$ )		-0.1	<b>+0.7</b> <b>-0.9</b>	%FS (max) %FS (min)
TC $V_{OFF}$	Offset Error Tempco	$-40^{\circ}C \leq T_A \leq +85^{\circ}C$	+0.5		ppm/ $^{\circ}C$
	Under Range Output Code		0	<b>0</b>	
	Over Range Output Code		16383	<b>16383</b>	
<b>REFERENCE AND ANALOG INPUT CHARACTERISTICS</b>					
$V_{CM}$	Common Mode Input Voltage		1.5		V
$V_{RM}$	Reference Ladder Midpoint Output Voltage	Output load = 1 mA	1.5		V
$C_{IN}$	$V_{IN}$ Input Capacitance (each pin to GND) (Note 12)	$V_{IN} = 1.5 V_{dc}$ $\pm 0.5 V$	(CLK LOW)	6	pF
			(CLK HIGH)	9	pF
$V_{REF}$	Reference Voltage (Note 13)		1.00		V
	Reference Input Resistance		9		k $\Omega$

## コンバータの電氣的ダイナミック特性

特記のない限り、AGND = DGND = DRGND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部  $V_{REF} = +1.0V$ 、 $f_{CLK} = 155MHz$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5pF/ピン$ 、シングルエンド・クロック・モード、オフセット・バイナリ形式の仕様が適用されます。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$ 、 $T_A$ 、 $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
<b>DYNAMIC CONVERTER CHARACTERISTICS, <math>A_{IN} = -1dBFS</math></b>					
FPBW	Full Power Bandwidth	-1 dBFS Input, -3 dB Corner	1.1		GHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 10$ MHz	72.3		dBFS
		$f_{IN} = 70$ MHz	71.3	<b>68</b>	dBFS
		$f_{IN} = 169$ MHz	70.7		dBFS
		$f_{IN} = 238$ MHz	69.3		dBFS
		$f_{IN} = 398$ MHz	66.6		dBFS
SFDR	Spurious Free Dynamic Range	$f_{IN} = 10$ MHz	89.7		dBFS
		$f_{IN} = 70$ MHz	87.0	<b>74</b>	dBFS
		$f_{IN} = 169$ MHz	83.5		dBFS
		$f_{IN} = 238$ MHz	77.3		dBFS
		$f_{IN} = 398$ MHz	68.9		dBFS
ENOB	Effective Number of Bits	$f_{IN} = 10$ MHz	11.6		Bits
		$f_{IN} = 70$ MHz	11.5	<b>10.9</b>	Bits
		$f_{IN} = 169$ MHz	11.4		Bits
		$f_{IN} = 238$ MHz	11.0		Bits
		$f_{IN} = 398$ MHz	10.4		Bits
THD	Total Harmonic Distortion	$f_{IN} = 10$ MHz	-82.4		dBFS
		$f_{IN} = 70$ MHz	-83.0	<b>-72</b>	dBFS
		$f_{IN} = 169$ MHz	-81.0		dBFS
		$f_{IN} = 238$ MHz	-75.3		dBFS
		$f_{IN} = 398$ MHz	-68.2		dBFS
H2	Second Harmonic Distortion	$f_{IN} = 10$ MHz	-91.2		dBFS
		$f_{IN} = 70$ MHz	-88.3	<b>-77</b>	dBFS
		$f_{IN} = 169$ MHz	-90.2		dBFS
		$f_{IN} = 238$ MHz	-77.3		dBFS
		$f_{IN} = 398$ MHz	-68.9		dBFS
H3	Third Harmonic Distortion	$f_{IN} = 10$ MHz	-89.7		dBFS
		$f_{IN} = 70$ MHz	-89.8	<b>-74</b>	dBFS
		$f_{IN} = 169$ MHz	-83.5		dBFS
		$f_{IN} = 238$ MHz	-79.0		dBFS
		$f_{IN} = 398$ MHz	-79.8		dBFS
SINAD	Signal-to-Noise and Distortion Ratio	$f_{IN} = 10$ MHz	71.9		dBFS
		$f_{IN} = 70$ MHz	71.0	<b>67.6</b>	dBFS
		$f_{IN} = 169$ MHz	70.9		dBFS
		$f_{IN} = 238$ MHz	68.2		dBFS
		$f_{IN} = 398$ MHz	64.3		dBFS

## ロジックおよび電源の電気的特性

特記のない限り、AGND = DGND = DRGND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部  $V_{REF} = +1.0V$ 、 $f_{CLK} = 155MHz$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5pF/ピン$ 、シングルエンド・クロック・モード、オフセット・バイナリ形式の仕様が適用されます。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$ 、 $T_A$ 、 $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
<b>DIGITAL INPUT CHARACTERISTICS (CLK, PD/DCS, CLK_SEL/DF)</b>					
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 3.6V$		<b>2.0</b>	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 3.0V$		<b>0.8</b>	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 3.3V$	10		$\mu A$
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-10		$\mu A$
$C_{IN}$	Digital Input Capacitance		5		pF
<b>DIGITAL OUTPUT CHARACTERISTICS (D0–D13, DRDY, OVR)</b>					
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_{OUT} = -0.5 mA$ , $V_{DR} = 1.8V$		<b>1.2</b>	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_{OUT} = 1.6 mA$ , $V_{DR} = 1.8V$		<b>0.4</b>	V (max)
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$	-10		mA
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V_{DR}$	10		mA
$C_{OUT}$	Digital Output Capacitance		5		pF
<b>POWER SUPPLY CHARACTERISTICS</b>					
$I_A$	Analog Supply Current	Full Operation	283	<b>351</b>	mA (max)
$I_D$	Digital Supply Current	Full Operation	10	<b>11</b>	mA (max)
$I_{DR}$	Digital Output Supply Current	Full Operation (Note 14)	15		mA
	Power Consumption	Excludes $I_{DR}$ (Note 14)	967	<b>1194</b>	mW (max)
	Power Down Power Consumption	Clock disabled	5		mW

## タイミングと AC 特性

特記のない限り、AGND = DGND = DRGND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部  $V_{REF} = +1.0V$ 、 $f_{CLK} = 155MHz$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5pF/ピン$ 、シングルエンド・クロック・モード、オフセット・バイナリ形式の仕様が適用されます。標準値は  $T_A = 25$  に対して、タイミング測定は信号振幅の 50%で行われます。太字表記のリミット値は  $T_{MIN}$   $T_A$   $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 7、8、9)

Parameter	Conditions	Typical (Note 10)	Limits	Units (Limits)
Maximum Clock Frequency			<b>155</b>	MHz (max)
Minimum Clock Frequency			<b>5</b>	MHz (min)
Clock High Time		3.0		ns
Clock Low Time		3.0		ns
Conversion Latency			<b>8</b>	Clock Cycles
Output Delay of CLK to DATA	Relative to falling edge of CLK	2.0		ns
Data Output Setup Time	Relative to DRDY	2.1	<b>1.5</b>	ns (min)
Data Output Hold Time	Relative to DRDY	2.1	<b>1.5</b>	ns (min)
Aperture Delay		0.5		ns
Aperture Jitter		0.08		ps rms
Power Down Recovery Time	0.1 $\mu F$ on pins 43, 44; 10 $\mu F$ and 0.1 $\mu F$ between pins 43, 44; 0.1 $\mu F$ and 10 $\mu F$ on pins 46, 46	3.0		ms

**Note 1:** 絶対最大定格とは、その値を超えると IC に破壊が発生する可能性のあるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様および試験条件については「電気的特性」を参照ください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。最大動作定格を越えるデバイスの動作は推奨しません。

**Note 2:** 特記のない限り、すべての電圧は GND = AGND = DGND = 0V を基準にして測定されています。

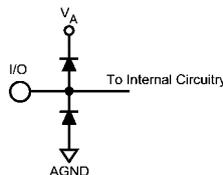
**Note 3:** いずれかのピンで入力電圧 ( $V_{IN}$ ) が電源電圧を超えた場合 ( $V_{IN} < AGND$  または  $V_{IN} > V_A$ )、そのピンの入力電流を  $\pm 5mA$  以下に制限する必要があります。  $\pm 50mA$  の最大パッケージ入力定格電流によって、電源電圧を超えて  $\pm 5mA \sim \pm 10mA$  の電流を流せるピン数が制限されます。

**Note 4:** 最大許容消費電力 ( $T_{J,max}$ ) は、接合部周囲間熱抵抗 ( $J_A$ ) および周囲温度 ( $T_A$ ) によって決まり、 $P_{D,max} = (T_{J,max} - T_A) / J_A$  で表されます。デバイスが何らかの異常な状態で動作しているときのみ上記の最大許容消費電力値にまで達します (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。このような条件での動作は必ず避けるようにしてください。

**Note 5:** 使用した試験回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k を通して、各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各ピンに放電させます。

**Note 6:** リフロー温度プロファイルは、鉛フリー・パッケージの場合と鉛フリー・パッケージ以外の場合で異なります。

**Note 7:** アナログ入力、以下に示されるように保護されています。Note 3 に従って電流制限を行うことで、入力電圧が  $V_A$  を上回った場合や GND を下回った場合でも本デバイスは損傷を受けません。しかし、動作定格で記載されたように入力が 2.6V 以上にまたは GND より低い場合、A/D 変換のエラーが発生します。



**Note 8:** 精度を保証するために、各電源電圧差を  $|V_A - V_D| = 100mV$  にし、かつそれぞれの電源ピンに別個のバイパス・コンデンサが必要となります。

**Note 9:**  $V_{REF} = +1.0V$  (2V<sub>P-P</sub> 差動入力) のテスト条件で、14 ビットの 1LSB は 122.1  $\mu V$  になります。

**Note 10:** 代表的性能値は、 $T_A = 25$  のときのものであり、製品特性試験の時点でとり得る最適なパラメータの基準を表しています。標準的仕様は保証されません。

**Note 11:** 積分非直線性 (INL) は LSB で表され、正と負のフルスケールを通る直線からのアナログ値の偏差として定義されます。

**Note 12:** 入力容量は、パッケージ/ピン・キャパシタンスとサンプル/ホールド回路キャパシタンスの合計です。

**Note 13:** 最適なダイナミック性能は、リファレンス入力を 0.9V ~ 1.1V に保つことによって得られます。外部リファレンスを使用するアプリケーションには LM4051CIM3-ADJ (SOT-23 パッケージ) を推奨します。

**Note 14:**  $I_{DR}$  は、出力ドライバのスイッチング処理に消費される電流です。この値は、出力ピンの負荷容量、電源電圧、 $V_{DR}$ 、出力信号のスイッチング・レートでほぼ決まります。出力信号のスイッチング・レートは入力信号に左右されます。 $I_{DR}$  は、 $I_{DR} = V_{DR}(C_0 \times f_0 + C_1 \times f_1 + \dots + C_{11} \times f_{11})$  の式で計算されます。ここで、 $V_{DR}$  は出力ドライバ用の電源電圧、 $C_n$  は当該出力ピンの総負荷容量、 $f_n$  は当該出力ピンの平均スイッチング周波数です。

## 用語の定義

**アパーチャ・ディレイ (APERTURE DELAY)** は、クロック・パルスが立ち下がってから入力信号が取り込まれるか保持されるまでの時間のことです。

**アパーチャ・ジッタ (アパーチャ不確定性) (APERTURE JITTER)** は、サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは、それ自身は出力のノイズとして現れます。

**クロック・デューティ・サイクル (CLOCK DUTY CYCLE)** とは、繰り返し波形の周期に対する High 期間の割合です。本データシートに記載されているデューティ・サイクルの仕様は、A/D コンバータのクロック入力信号に対して適用されます。

**コモンモード電圧 (COMMON MODE VOLTAGE:  $V_{CM}$ )** とは A/D コンバータの両方の入力ピンに印加されるコモン DC 電圧です。

**変換レイテンシ (CONVERSION LATENCY)** は、変換開始からその変換結果が出力ドライバで得られるまでの期間をクロック・サイクル数で表したものです。任意に与えられたサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイや出力ディレイの出力ピン上で有効になります。新しいデータはクロック・サイクル毎に有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

**微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL)** は、理想的なステップである 1LSB からの最大偏差として表されます。

**有効ビット (EFFECTIVE NUMBER OF BITS: ENOB)** は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は  $(\text{SINAD} - 1.76)/6.02$  として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

**フルパワー入力帯域 (FULL POWER BANDWIDTH)** は、フルスケール入力に対して再現される出力基本周波数特性で低周波数帯域に対して 3dB 落ちる周波数として測定されます。

**ゲイン誤差 (GAIN ERROR)** は、実測値と伝達関数の理想カーブとの偏差のことです。次の式で計算できます。

ゲイン誤差 = 正側フルスケール誤差 - 負側フルスケール誤差

正側ゲイン誤差と負側ゲイン誤差によって次のように表すこともできます。

正側ゲイン誤差 = 正側フルスケール誤差 - オフセット誤差

負側ゲイン誤差 = オフセット誤差 - 負側フルスケール誤差

**積分非直線性 (INTEGRAL NON LINEARITY: INL)** は、負のフルスケール (最初のコード遷移の 1/2LSB 下) から正のフルスケール (最後のコード遷移の 1/2LSB 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

**混変調歪み (INTERMODULATION DISTORTION: IMD)** は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

**LSB (LEAST SIGNIFICANT BIT)** は、全ビットのうち、最も小さな値、または最も小さな重みを持った最下位ビットです。この値は  $V_{FS}/2^n$  として表されます。" $V_{FS}$ " はフルスケール入力電圧、" $n$ " は A/D コンバータの分解能 (ビット) です。

**ミッシング・コード (MISSING CODES)** は A/D コンバータの出力に現れることのないコードです。ADC14155 は、ミッシング・コードのないことが保証されています。

**MSB (MOST SIGNIFICANT BIT)** は、全ビットのうち、最も大きな値、または最も大きな重みを持った最上位ビットです。MSB の値はフルスケールの半分です。

**負側フルスケール誤差 (NEGATIVE FULL SCALE ERROR)** とは、最初のコード遷移が生じる実際の値と、負のフルスケールから 1/2LSB 高いところにある理想値との差です。

**オフセット誤差 (OFFSET ERROR)** とは、コード 8191 から 8192 への遷移を発生させるために必要な、2 つの入力電圧の差  $[(V_{IN+}) - (V_{IN-})]$  です。

**出力ディレイ (OUTPUT DELAY)** は、クロック入力の立ち下がりがエッジから出力ピンにアップデートされたデータが現れるまでの遅延時間です。

**パイプライン・ディレイ (PIPELINE DELAY: LATENCY)** については「変換レイテンシ」(CONVERSION LATENCY)を参照ください。

**正側フルスケール誤差 (POSITIVE FULL SCALE ERROR)** は、最後のコード遷移点の実測値と (正側フルスケール - 1.5LSB) の理想値とのずれです。

**電源電圧変動除去比 (POWER SUPPLY REJECTION RATIO: PSRR)** は、電源電圧の変動を A/D コンバータでどの程度除去できるかを表したものです。PSRR は、最大 DC 電源限界値の電源での A/D コンバータのフルスケールの出力に対する、最小 DC 電源限界値の電源での A/D コンバータのフルスケールの出力の比であり、dB で表されます。

**信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR)** は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

**信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD)** は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

**スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR)** は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現れる任意のスプリアス信号であり、入力に現れるものではありません。

**全高調波歪み (TOTAL HARMONIC DISTORTION: THD)** は、2 次から 10 次までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で、dB で表されます。全高調波歪み THD は次式から求めます。

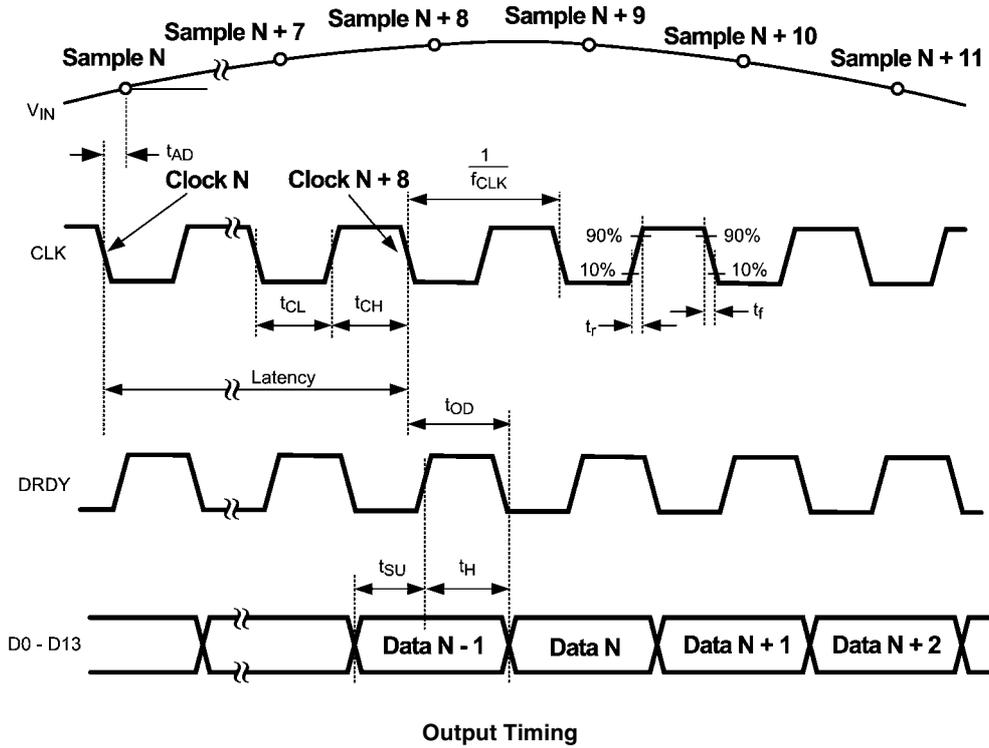
$$\text{THD} = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_{10}^2}{f_1^2}}$$

$f_1$  は基本周波数 (出力) パワーの実効値 (RMS 値)、 $f_2$  から  $f_{10}$  は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

**第 2 次高調波歪み (2ND HARM)** は、出力に現れる入力周波数の RMS パワーと 2 次高調波レベルのパワーとの差を dB で表した値です。

**第 3 次高調波歪み (3RD HARM)** は、出力に現れる入力周波数の RMS パワーと 3 次高調波レベルのパワーとの差を dB で表した値です。

タイミング図



Output Timing

変換特性

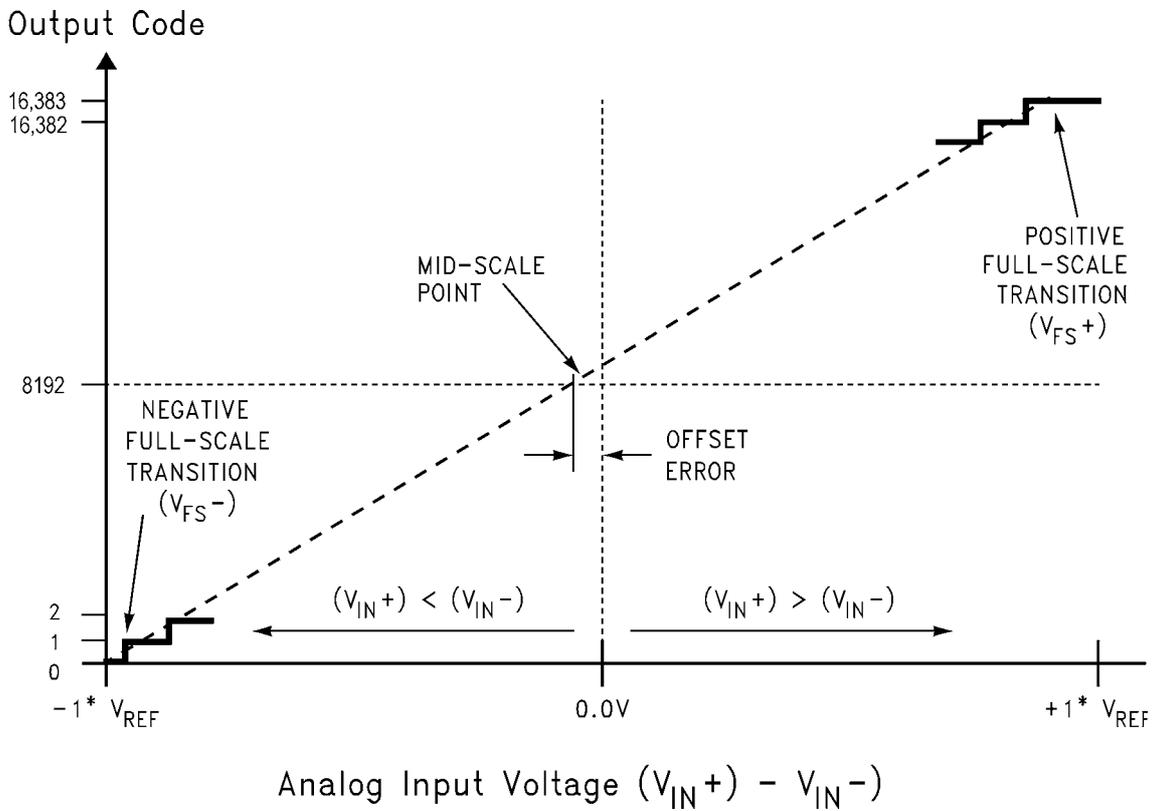
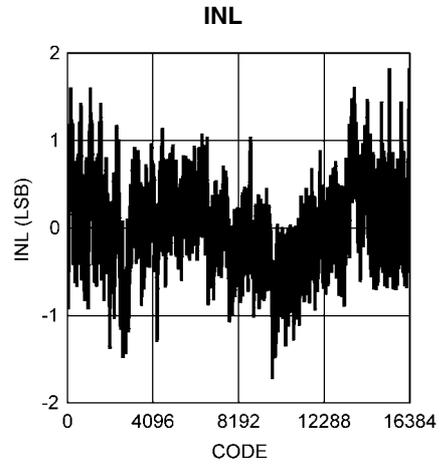
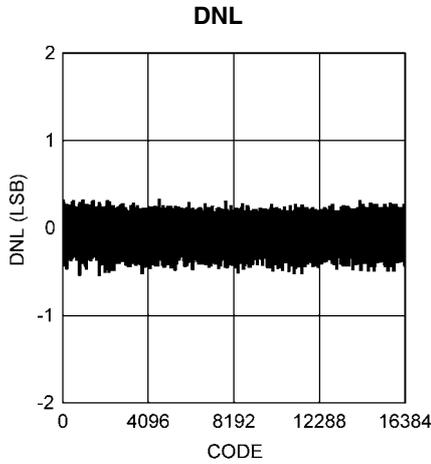


FIGURE 1. Transfer Characteristic

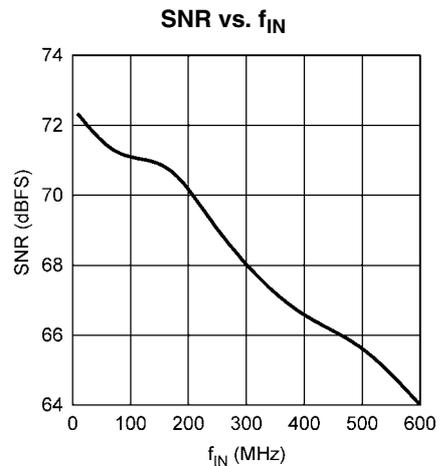
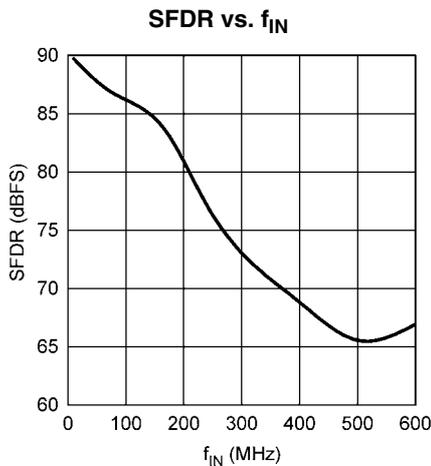
代表的な性能特性、DNL、INL

特記のない限り、AGND = DGND = DRGND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部  $V_{REF} = +1.0V$ 、 $f_{CLK} = 155MHz$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5pF/ピン$ 、シングルエンド・クロック・モード、オフセット・バイナリ形式の仕様が適用されます。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$   $T_A$   $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 7、8、9)



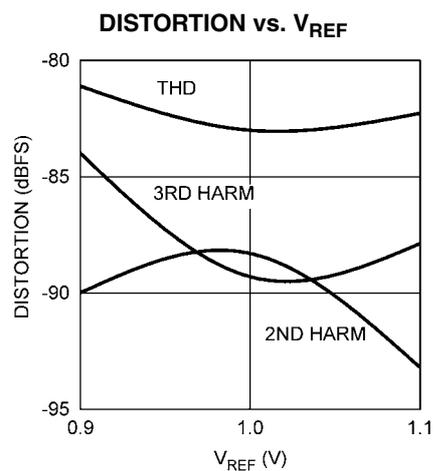
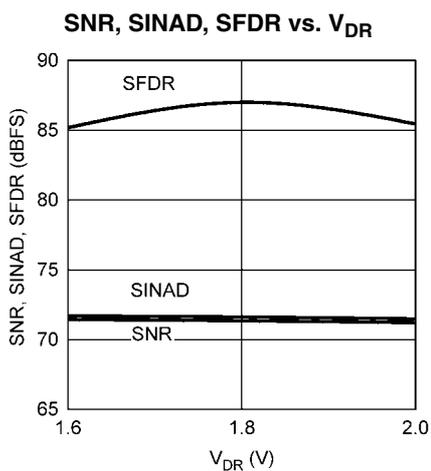
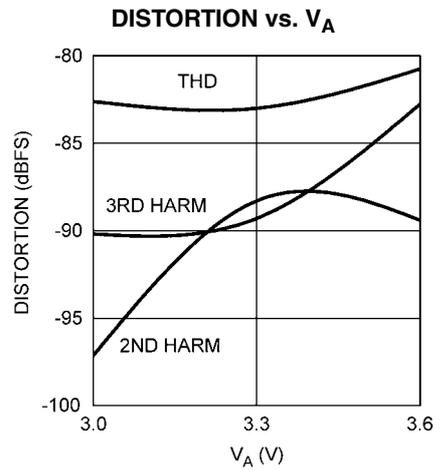
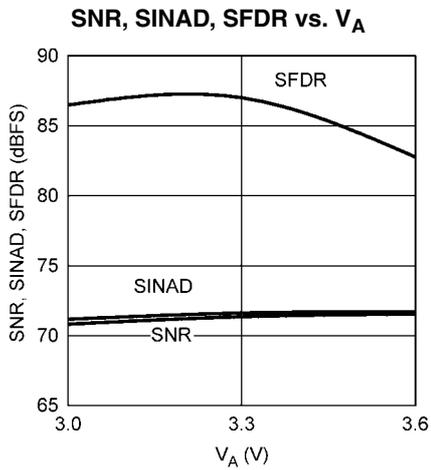
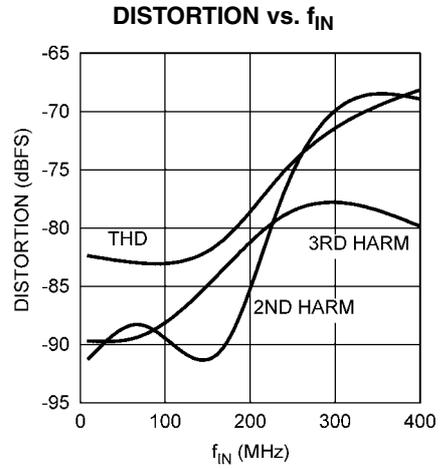
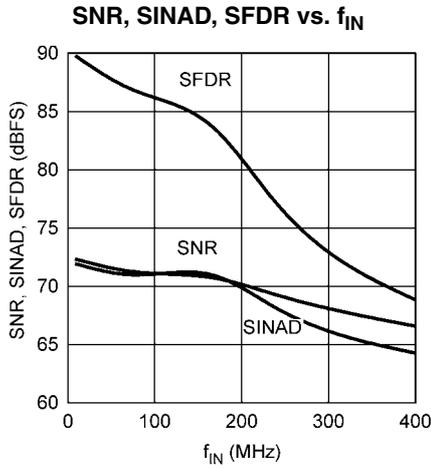
代表的な性能特性、ダイナミック性能

特記のない限り、AGND = DGND = DRGND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部  $V_{REF} = +1.0V$ 、 $f_{CLK} = 155MHz$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5pF/ピン$ 、シングルエンド・クロック・モード、オフセット・バイナリ形式の仕様が適用されます。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$   $T_A$   $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。



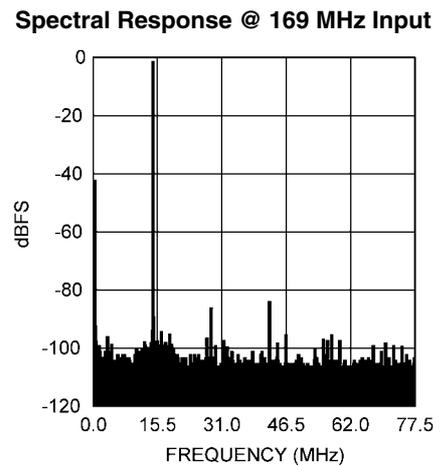
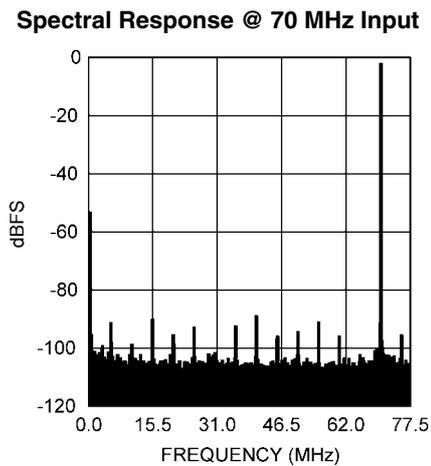
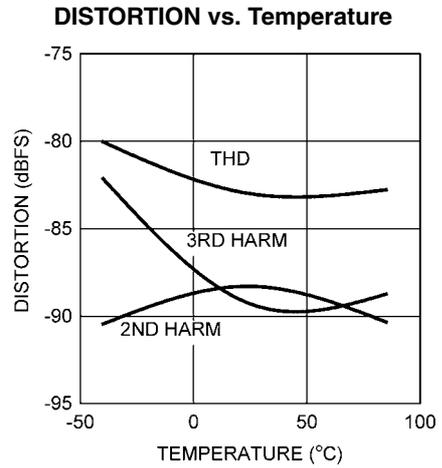
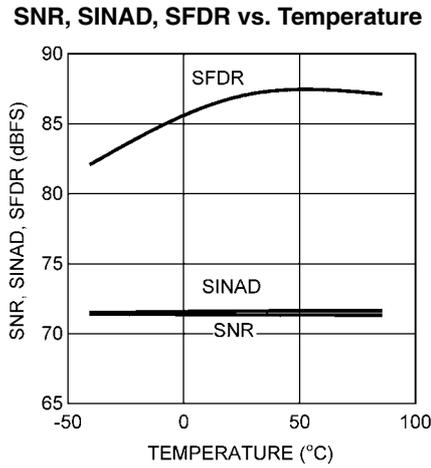
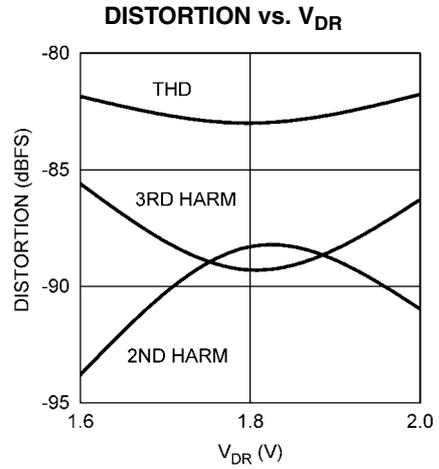
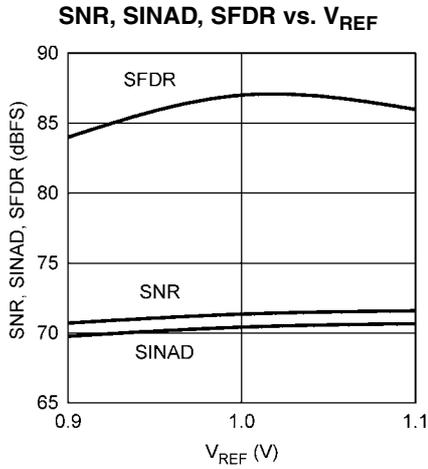
代表的な性能特性、ダイナミック性能(つづき)

特記のない限り、AGND = DGND = DRGND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部  $V_{REF} = +1.0V$ 、 $f_{CLK} = 155MHz$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5pF/ピン$ 、シングルエンド・クロック・モード、オフセット・バイナリ形式の仕様が適用されます。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$   $T_A$   $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。



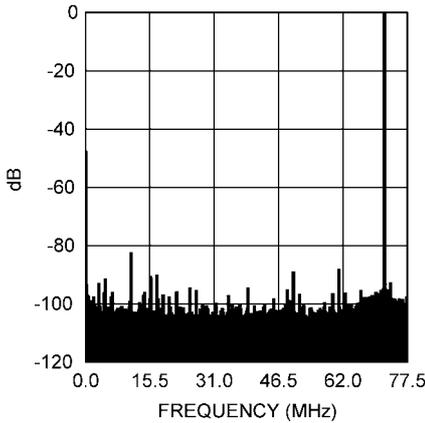
代表的な性能特性、ダイナミック性能(つづき)

特記のない限り、AGND = DGND = DRGND = 0V、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +1.8V$ 、内部  $V_{REF} = +1.0V$ 、 $f_{CLK} = 155MHz$ 、 $V_{CM} = V_{RM}$ 、 $C_L = 5pF/ピン$ 、シングルエンド・クロック・モード、オフセット・バイナリ形式の仕様が適用されます。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$ 、 $T_A$ 、 $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。



代表的な性能特性、ダイナミック性能(つぎ)

Spectral Response @ 238 MHz Input



機能説明

ADC14155 は、+ 3.3V と + 1.8V の 2 つの電源を使用し、差動パイプライン・アーキテクチャと誤差補正回路とオンチップ・サンプル/ホールド回路を使用して 14 ビットまで差動アナログ入力信号をデジタル化し、最大性能を確保しています。

リファレンス電圧には外部リファレンスか 1.0V の安定した内部リファレンスを使います。ADC14155 は、外部リファレンスは 0.9V ~ 1.1V (推奨は 1.0V) でオンチップ・バッファされるため、リファレンス・ピンの駆動は容易です。+ 1.8V 出力ドライバ電源は、消費電力と、コンバータ出力のノイズを低減します。

4 ステート機能ピン CLK\_SEL/DF (8 ピン) によって、ユーザーは、シングルエンドか差動クロック入力の選択と、オフセット・バイナリか 2 の補数出力データ形式の選択ができます。デジタル出力は、CMOS 対応信号であり、クロック入力と同じレートで、同期データ・レディ出力信号 (DRDY、34 ピン) によって、クロック出力されます。ADC14155 は 5MSPS ~ 155MSPS (代表値) のクロック周波数に対応しており、155MSPS において全範囲の性能を規定しています。アナログ入力は、クロックの立ち下がりエッジで取得され、所定サンプルに対するデジタルデータは、パイプラインによって 8 クロック・サイクル遅れて DRDY 信号の立ち下がりエッジで出力されます。そのデータは、DRDY 信号の立ち上がりエッジでキャプチャする必要があります。

パワーダウンは、PD ピン (7 ピン) を使用して選択可能です。PD ピンをロジック High にすることによって、リファレンス電源回路以外がすべてディスエーブルになり、クロックが実行されないためコンバータ消費電力が 5mW まで低減します。通常動作では、PD ピンは、アナログ・グラウンド (AGND) に接続する必要があります。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの広範囲にわたって性能を保持します。

アプリケーション情報

1.0 動作条件

ADC14155 の動作条件としては次の各値を推奨します。

- 3.0V  $V_A$  3.6V
- $V_D = V_A$
- $V_{DR} = 1.8V$
- 5MHz  $f_{CLK}$  155MHz
- 1.0V 内部リファレンス
- 0.9V  $V_{REF}$  1.1V (外部リファレンスの場合)
- $V_{CM} = 1.5V$  ( $V_{RM}$  から)

2.0 アナログ入力

2.1 信号入力

2.1.1 差動アナログ入力ピン

ADC14155 には、1 対のアナログ信号入力ピン、 $V_{IN+}$  および  $V_{IN-}$  があり、差動入力ペアを構成します。入力信号  $V_{IN}$  は次のように定義されます。入力信号  $V_{IN}$  は次のように定義されます。

$$V_{IN} = (V_{IN+}) - (V_{IN-})$$

Figure 2 は、入力信号として予想される範囲を示したものです。コモンモード入力電圧 ( $V_{CM}$ ) は 1.5V でなければならないことに注意してください。  $V_{CM}$  に対して  $V_{RM}$  (45 ピン) を使用すると、アナログ入力信号として最適な入力コモンモード・レベルになります。個々の入力信号のピークは、決して 2.6V を超えてはなりません。差動ペアの各アナログ入力ピンは、リファレンス電圧  $V_{REF}$  と等しいピーク間電圧であり、互いに 180 位相がずれた状態で、 $V_{CM}$  が中心である必要があります。各アナログ入力ピンにおけるピーク間電圧振幅はリファレンス電圧の値を超えないようにしてください。その値を超えると出力データはクリッピングされます。

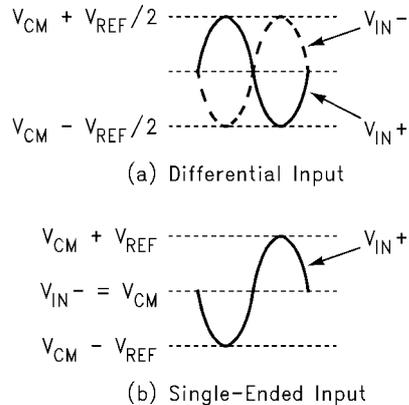


FIGURE 2. Expected Input Signal Range

単一周波数の正弦波に対する LSB のフルスケール誤差は次式で近似できます。

$$E_{FS} = 16384 (1 - \sin(90^\circ \cdot dev))$$

"dev" は、互いに 180 の相対位相差を持つ 2 つの信号間の角度誤差です (Figure 3 を参照)。入力信号の周波数が 1 つだけのときは、位相差があると (つまり差動信号の位相差が正確に 180 になっていないと)、実効フルスケール入力の範囲が狭くなってしまいます。複雑な波形では、角度誤差は歪みの原因となります。

アプリケーション情報 (つづき)

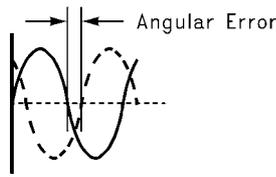


FIGURE 3. Angular Errors Between the Two Input Signals Will Reduce the Output Level or Cause Distortion

アナログ入力ピンを駆動する信号源のソース・インピーダンスは 100 未満にしてください。差動入力でソース・インピーダンス・マッチングを行うと、偶数次高調波特性が改善されます (特に第 2 高調波)。

Table 1 は、ADC14155 の入力と出力との関係を示したものです。

TABLE 1. Input to Output Relationship

$V_{IN+}$	$V_{IN-}$	Binary Output	2's Complement Output	
$V_{CM} - V_{REF}/2$	$V_{CM} + V_{REF}/2$	00 0000 0000 0000	10 0000 0000 0000	Negative Full-Scale
$V_{CM} - V_{REF}/4$	$V_{CM} + V_{REF}/4$	01 0000 0000 0000	11 0000 0000 0000	
$V_{CM}$	$V_{CM}$	10 0000 0000 0000	00 0000 0000 0000	Mid-Scale
$V_{CM} + V_{REF}/4$	$V_{CM} - V_{REF}/4$	11 0000 0000 0000	01 0000 0000 0000	
$V_{CM} + V_{REF}/2$	$V_{CM} - V_{REF}/2$	11 1111 1111 1111	01 1111 1111 1111	Positive Full-Scale

2.1.2 アナログ入力の駆動

ADC14155 の  $V_{IN+}$ 、 $V_{IN-}$  の入力は、アナログ・スイッチとそれに続くスイッチ・キャパシタ・アンプから構成されています。アナログ入力は、NMOS スイッチ経路によってサンプリング・コンデンサに接続され、各アナログ入力にはそれに関連する寄生容量があります。

クロックが High のとき、コンバータはサンプル位相にあります。アナログ入力は、NMOS スイッチによってサンプリング・コンデンサに接続されているため、アナログ入力ピンにおけるキャパシタンスはあたかも、ピン・キャパシタンス + 内部サンプル / ホールド回路キャパシタンス (およそ 9pF) のように見えます。クロック・レベルが High の間、サンプリング・コンデンサは変化するアナログ入力電圧に追従します。クロックが High から Low に遷移するとき、コンバータはホールド位相になり、その間にはアナログ入力はサンプリング・コンデンサから切り離されます。クロック遷移前にアナログ入力に発生した最後の電圧は、サンプリング・コンデンサで保持され ADC コアに送出されます。ホールド位相時のアナログ入力のキャパシタンスは、ピン・キャパシタンスと各アナログ入力のサンプル・ホールド回路に関連する寄生容量の合計です (およそ 6pF)。クロック信号が Low から High に遷移すると、アナログ入力がサンプリング・コンデンサに再接続され、次のサンプルがキャプチャされます。通常、サンプリング・コンデンサに保持された電圧値とアナログ入力の新しい電圧値には差があります。これは、充電グリッチの原因となります。このグリッチは、アナログ入力ピンに現れる 2 つのサンプルの間の電圧差に比例します。入力回路は、クロック信号が再び High になる前にサンプリング・コンデンサを完全に充電させるだけの十分な高速性が必要です。セトリング・タイムが不十分な場合は、SFDR 性能が低下します。

シングルエンドから差動信号への変換回路を Figure 4 に示します。高周波入力信号に対してはトランスを推奨します。トランスを 2 次側で終端するには、2 つの利点があります。1 つは、A/D コンバータの入力に対して真の広帯域インピーダンスとなることで、もう 1 つは、差動サンプル / ホールド回路の両側からの充電グリッチに対する共通経路となることです。

トランスを使用してシングルエンドから差動に変換を行う際の弱点は、ほとんどの RF トランスの低周波側の性能が低いことです。差動アンプは、低周波アプリケーションのアナログ入力の駆動に使用できます。クロックが High になりサンプルが ADC コアを通過する前にアンプは、サンプル / ホールド動作から生じるアナログ入力

の充電グリッチから落ちつくまでのセトリング・タイムが十分高速である必要があります。

コンバータの SFDR 性能は、サンプル / ホールド充電グリッチがいかに速くセトリングするかに影響され、使用する外部信号コンディショニング回路に依存します。Figure 4 に示す外部抵抗網とコンデンサ網を使用して、A/D コンバータ入力における充電グリッチを外部駆動回路から分離し、コンバータ入力側の広帯域ノイズにフィルタをかける必要があります。取り付け位置は A/D コンバータのすぐ近くにしてください。A/D コンバータの入力ピンが全体の中でも最も高感度な部分であり、入力信号にフィルタをかけるには最後のポイントであるためです。ナイキスト・アプリケーションの場合、ADC のサンプリング・レートに RC のポールを設定します。サンプリング・モード時の ADC の入力容量は RC ポールの設定に含めてください。広帯域アンダーサンプリング・アプリケーションの場合、リニアな遅延応答を維持するために、最大入力周波数の 1.5 倍から 2 倍程度の周波数に RC ポールを設定してください。

2.1.3 入力コモンモード電圧

入力コモンモード電圧  $V_{CM}$  は 1.4V ~ 1.6V の範囲とし、アナログ信号のピーク電圧がグラウンドを下回らないように、かつ、2.6V を上回らないように設定しなければなりません。入力コモンモード電圧として  $V_{RM}$  (45 ピン) の使用を推奨します。

2.2 リファレンス電圧ピン

ADC14155 は内部リファレンス電圧 1.0V、あるいは外部リファレンス電圧 1.0V で動作するよう設計されていますが、外部リファレンス電圧 0.9V ~ 1.1V の範囲であれば問題なく動作します。外部リファレンス入力  $V_{REF}$  ピンに加えられないときは、内蔵 1.0V のリファレンス電圧がデフォルト条件です。  $V_{REF}$  に 0.9V ~ 1.1V の範囲の電圧を印加した場合は、その電圧がリファレンスとして使用されます。  $V_{REF}$  ピンは、リファレンス電圧入力ピンの近くに 0.1  $\mu$ F コンデンサを配置して常にグラウンドにバイパスしてください。リファレンス電圧を下げると ADC14155 の信号 / ノイズ比 (SNR) が低くなります。リファレンス電圧 (と入力信号振幅) を 1.1V 以上に高めると、特に入力周波数が高い場合に、フルスケール入力の THD 性能を低下させる可能性があります。

リファレンス電圧および入力信号に対するすべてのグラウンドは、グラウンド経路に流れるノイズ電流の影響を抑えるため、アナログ・グラウンド・プレーンに対して一点アースで接続するのが極めて重要になります。

## アプリケーション情報 (つづき)

バイパス用にリファレンス電圧バイパス・ピン ( $V_{RP}$ 、 $V_{RM}$ 、 $V_{RN}$ ) を備えています。これらのピンのすべてとグラウンドの間に  $0.1\mu\text{F}$  のコンデンサを 1 つずつ挿入してください。Figure 4 に示すように、 $0.1\mu\text{F}$  と  $10\mu\text{F}$  コンデンサを  $V_{RP}$  と  $V_{RN}$  ピンの間に挿入してください。この回路は、SFDR や SNR、またはその両方を悪化させる可能性のあるリファレンスの発振を防ぐために必要です。 $V_{RM}$  は温度的に安定した  $1.5\text{V}$  リファレンスとして、 $1\text{mA}$  までの負荷に対応できます。他のピンには負荷を接続しないでください。

この指定値より先小容量のコンデンサを使用すると、パワーダウン・モードからの復帰時間が短くなりますが、ノイズ性能を低下させる原因になることがあります。 $V_{RM}$  を除くこれらのピンに負荷を接続すると性能劣化を引き起こす場合があります。

リファレンス・バイパス・ピンの公称電圧は次のとおりです。

$$\begin{aligned} V_{RM} &= 1.5\text{V} \\ V_{RP} &= V_{RM} + V_{REF}/2 \\ V_{RN} &= V_{RM} - V_{REF}/2 \end{aligned}$$

### 3.0 デジタル入力

デジタル CMOS 対応入力は、CLK +、CLK -、PD、CLK\_SEL/DF で構成されます。

#### 3.1 クロック入力

CLK + と CLK - 信号は、サンプリング処理のタイミングをコントロールします。CLK\_SEL/DF ピン (8 ピン) によって、差動またはシングルエンド・クロック・モードで ADC を構成できます (セクション 3.3 参照)。差動信号を成す 2 つの入力信号は、位相差はちょうど  $180^\circ$  にし、振幅は同じにしてください。シングルエンド・クロック・モードでは、クロック信号は CLK + 入力に送出し、CLK - 入力は、Table 3 の正しい設定の組合せで AGND に接続する必要があります。

最適のノイズ特性を実現するために、クロック入力は電気的特性表で示される範囲で、安定した低ジッタ・クロック信号で駆動してください。また、クロック入力信号は、遷移範囲が短くなければなりません。これは、低ジッタ・サイン波クロック信号源を高速バッファ・ゲートに通すことによって達成できます。この設定を Figure 4 に示します。クロック信号の配線パターンは最短とし、アナログ、デジタルを問わず直角も含め、他の一切の信号線と交差しないようにしてください。Figure 4 に推奨のクロック入力回路を示します。

また、クロック信号は内蔵ステートマシンも駆動します。CLK が途切れると、内部キャパシタに充電されていた電位が徐々に下がってきます。この電位が一定値以下になると出力データの精度が低下します。サンプル・レートの下限が規定されているのはこのためです。

クロック信号ラインはソース端で線路の特性インピーダンスで終端してください。クロック・ラインの全長にわたって一定のインピーダンスが保たれるように注意してください。特性インピーダンスの求め方はアプリケーション・ノート AN-905 を参照してください。

ADC の CLK ピンを駆動するクロック源で他の負荷を駆動しないようにしてください。クロック源から他の入力負荷も駆動する場合は、クロック・ラインの特性インピーダンスに等しい抵抗と次に示す容量のコンデンサを用いた直列 RC 回路を用いて、グラウンドに AC 終端を行ってください。

$$C \geq \frac{4 \times t_{pD} \times L}{Z_0}$$

$t_{pD}$  はクロック配線の信号伝搬遅延時間、"L" は配線長、" $Z_0$ " はクロック配線の特性インピーダンスです。終端回路は、ADC ク

ロック・ピンのできるだけ近くに、しかもクロック源から見てクロック・ピンより先遠い側になるように配置します。 $t_{pD}$  の代表値は FR-4 基板材料でおよそ  $150\text{ps}/\text{インチ}$  ( $60\text{ps}/\text{cm}$ ) です。"L" と  $t_{pD}$  の単位系は同一にして計算します (ヤード系またはメートル系)。

クロック信号のデューティ・サイクルは A/D コンバータの性能に影響を与えることがあります。正確なデューティ・サイクルの達成が困難なので、ADC14155 ではデューティ・サイクル・スタビライザを備えています。クロックのデューティ・サイクル 30% ~ 70% の範囲で性能を維持するように設計されています。

### 3.2 パワーダウン (PD)

この 2 ステート入力ピンでパワーダウンすることができます。Table 2 に、ADC14155 をパワーダウンする方法を示します。

TABLE 2. Power Down Selection Table

PD Input Voltage	Power State
$V_A$	Power-down
AGND	On

コンバータが使用されていないとき、パワーダウン・モードによって電力を節約できます。パワーダウン状態では、アナログ回路のバイアス電流はリファレンス電圧を除いてすべてシャットダウンして、クロック動作なしで  $5\text{mW}$  まで消費電力を低減します。パワーダウン・モードの間、出力データ・ピンは不定となり、パイプライン内のデータは破壊されます。

パワーダウン・モード・イグジット・サイクル・タイムは、 $V_{RP}$ 、 $V_{RM}$ 、 $V_{RN}$  リファレンス電圧バイパス・ピン (43、44、45 ピン) のコンデンサの値によって決定され、推奨コンポーネント値としてはおよそ  $3\text{ms}$  です。パワーダウン・モード中に電荷を失ったこれらのコンデンサは、正確な変換を得る前に、オンチップ回路による再充電が必要です。小容量のコンデンサを使用するとパワーダウン・モードからの復帰時間が短くなりますが、SNR、SINAD、ENOB 性能が低下します。

### 3.3 クロック・モード・セレクト/データ・フォーマット (CLK\_SEL/DF)

シングルエンド対差動クロック・モードと出力データ・フォーマットは、この 4 ステート機能ピンを使用して選択できます。クロック・モードと出力データ・フォーマットの選択方法を Table 3 に示します。

TABLE 3. Clock Mode and Data Format Selection Table

CLK_SEL/DF Input Voltage	Clock Mode	Output Data Format
$V_A$	Differential	2's Complement
$(2/3) \times V_A$	Differential	Offset Binary
$(1/3) \times V_A$	Single-Ended	2's Complement
AGND	Single-Ended	Offset Binary

### 4.0 デジタル出力

デジタル出力は、 $1.8\text{V}$  CMOS 信号 D0 ~ D13、DRDY および OVR で構成されます。

ADC14155 は、16 本の CMOS 対応データ出力ピンを備えています。すなわち、変換された入力値に対応する 14 個のデータ出力ビット、出力データのキャプチャに使用されるデータ・レディ (DRDY) 信号およびサンプル振幅が 14 ビットの変換範囲を超えると、High にセットされるオーバーレンジ・インジケータ (OVR) がそれです。PD ピンに Low レベルの電圧を印加している間は、この出力ピンに有効なデータが出力されません。

## アプリケーション情報 (つづき)

データは、DRDY 信号の立ち上りエッジでキャプチャされラッチされます。DRDY 信号の立ち上りエッジ受信回路 (ASIC) のセットアップとホールドタイムの条件によっては、DRDY 信号の立ち上がりまたは立ち下がりエッジでデータをラッチできます。一般的に、立ち上がりエッジ・キャプチャでは、セットアップ・タイムが最大、ホールド・タイムが最小になりますが、立ち下がりエッジ・キャプチャではホールド・タイムが最大、セットアップ・タイムが最小になります。ただし、立ち下がり時の実際のタイミングは CLK 周波数に大きく依存し、しかも立ち上がり、立ち下がりのいずれの場合も ASIC 内の遅延に依存します。AC 電気的特性の表を参照してください。

容量の多いバスを駆動するときは注意が必要です。変換のたびに出力ドライバで充電しなければならぬ容量が増えるほど、 $V_{DR}$  と DR GND に流れる瞬時デジタル電流の量が増えます。このような大きな充電電流スパイクは、チップ上でのグラウンド・ノイズの原因となり、またアナログ回路部にも結合するため、動的性能が劣

化しかねません。適切なバイパス、出力容量の軽減、グラウンド・プレーンを注意深く設計して、このような問題を回避してください。また、バス・ラインの負荷容量が仕様値 5pF/ピンを超えると  $t_{OD}$  が大きくなり、その結果、ADC の出力データのセットアップ・タイムとホールド・タイムが少なくなります。その場合、動的性能が劣化する恐れがあります。

デジタル出力のスイッチングによるノイズを最小限にするには、デジタル出力の負荷電流を最小限にします。これは、LC4032V-25TN48C のようなプログラマブル・ロジック・デバイス (PLD) を使用して、他のどの回路でも使えるように ADC 出力データを 1.8V から 3.3V にレベル変換させると実行されます。各出力ピンに接続可能な負荷は 1 個だけです。さらに 22 の抵抗をデジタル出力ピンのすぐ近くに直列に挿入すると配線パターンやその他回路の持つ容量から出力ピンが分離されるため出力電流が抑えられます。この措置を講じないと性能の低下する場合があります。Figure 4 を参照してください。

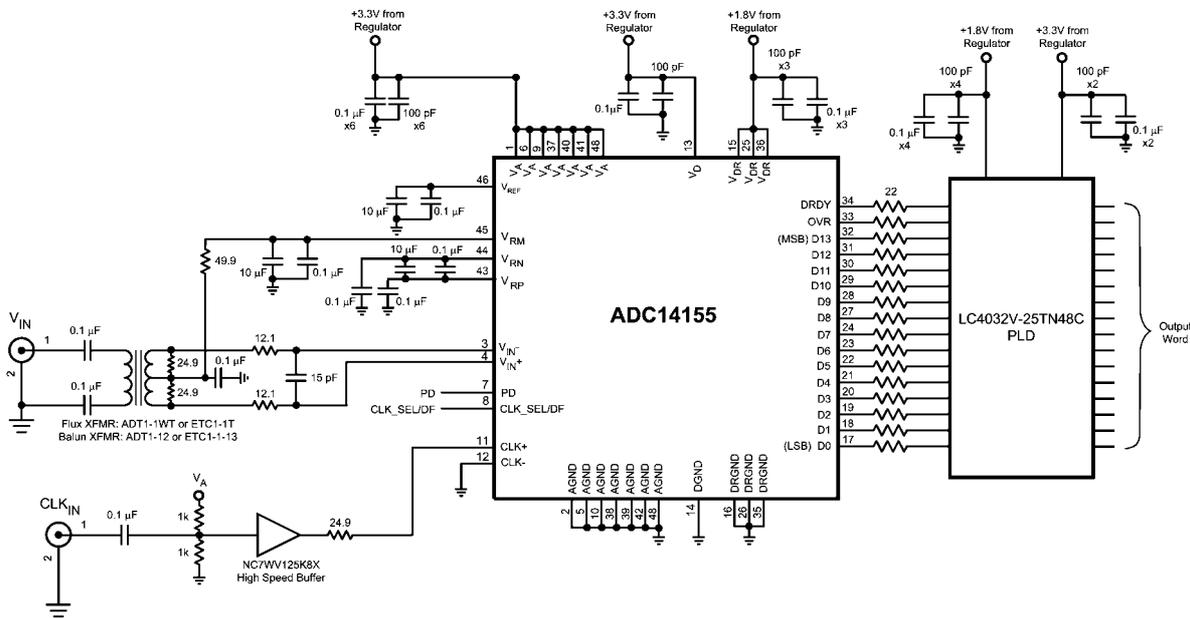


FIGURE 4. Application Circuit using Transformer Drive Circuit

## 5.0 電源構成の考慮事項

どの電源ピンも当該ピンの近くにバイパス・コンデンサとして 0.1  $\mu$ F コンデンサと 100pF セラミック・コンデンサを 1 つずつ挿入してください。直列インダクタンスが小さいリードレス・チップ・コンデンサを推奨します。

あらゆる高速コンバータと同じように、ADC14155 も電源ノイズに敏感です。また、ADC14155 のアナログ電源ピンに乗るノイズ・レベルは 100mV<sub>p-p</sub> より先低く抑えてください。

どのピンも、電源電圧より高い電圧を加えることは、たとえ瞬時であっても許されません。電源オンと電源オフの間は特に注意してください。

$V_{DR}$  ピンは出力ドライバ用の電源ピンで、1.6V ~ 2.0V の範囲で動作します。これによって、低電力動作が可能になり、デジタル出力からアナログ回路へのノイズ・カップリングの影響が低下するとともに、低電圧デバイスとそのシステムのインターフェースを簡単にします。ただし、 $V_{DR}$  を低くすると  $t_{OD}$  が長くなる点に注意してください。ADC14155 のデジタル出力信号を 1.8V 以外の CMOS デバイスとインターフェースをとる場合、レベル変換器を必要とする場合があります。

## 6.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。仕様どおりの性能を発揮するには、ADC14155 を挟んで、ボードのアナログ領域とデジタル領域を分離する必要があります。

データ出力用のグラウンド・ピン (DRGND) には、出力ドライバのための電流が流れます。この出力電流により、変換プロセスにノイズが介入する可能性のある大きなトランジエントが発生する場合があります。このようなことが起こらないように DRGND ピンは、ADC14155 のいかなるその他のグラウンド・ピンに近接したシステム・グラウンドにも接続しないでください。

ノイズの多いデジタル回路とノイズに敏感なアナログ回路との間の容量性カップリングにより、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

## アプリケーション情報 (つづき)

ADC の出力スイッチングによって生じるノイズの影響は、デジタル・データ出力ラインのそれぞれに 1 つずつ直列に 22 Ω 抵抗を挿入すると最小に抑えられます。この抵抗の取り付け位置は ADC の出力ピンにできる限り近づけてください。

デジタル・スイッチング・トランジェント ( デジタル回路の瞬間的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはほとんど影響がありません。これは、薄膜効果によるためです。グラウンド・プレーンの面積よりも、全表面積の方が重要です。

一般に、アナログ、デジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからインサートすることが重要です。一般には許容される信号ラインの 90° 交差は、クロックラインについては避けるべきです。これは、ごくわずかなカップリングでも高周波では問題となる可能性があるためです。これは、他のラインによるクロック・ラインにジッタが発生し、結果的に S/N 比の劣化につながるからです。また、クロックが高速だとアナログ回路にノイズの生じる場合もあります。

高周波 / 高分解能で最大限の性能を得るには、まっすぐの信号経路に配線すると実現できます。これは、すべての部品を通る信号経路をできるだけまっすぐな直線に配線することです。

インダクタとトランスのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、決して並べて配置しないでください。たとえインダクタ部品全長の一部であっても並べて配置してはなりません。例えば、アナログ入力用とクロック入力用のトランスは互いに 90° に配置して磁気結合を避けるようにしてください。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にインサートしてください。コンバータの入力ピンとアナログ・グラウンドの間、またはリファレンス入力ピンとグラウンドに接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

すべてのアナログ回路 ( 入力アンプ、フィルタ、リファレンス回路など) は、アナログ領域に配置してください。すべてのデジタル回路とデジタル入出力 (I/O) は、デジタル領域に配置してください。ADC14155 は両者の中間に配置してください。さらに、リファレンス電圧回路と入力信号に関連する回路に含まれているすべての部品は、そのリターン側どうしを短い配線でノイズのない一点に接続してからアナログ・グラウンド・プレーンに落としてください。すべてのグラウンドへの接続は、グラウンドへの経路が低インダクタンスになるように配線してください。

## 7.0 ダイナミック特性

最高のダイナミック特性を実現するために、CLK 入力をドライブするクロック信号源は遷移時間が短くジッタのないものでなければなりません。Figure 5 に示されるようなバッファを用いてクロック・ツリーを構成して、A/D のクロック信号をその他のデジタル回路からインサートしなければなりません。このクロック・ツリーで使用するゲートは、余分なジッタ追加を防ぐために、クロックの周波数よりもはるかに高い周波数に対応した品種でなければなりません。シングルエンド・ドライブより差動入力ドライブの方が最適な性能が得られます。

6.0 章で述べたように、A/D クロック・ラインをできる限り短くかつその他の任意の信号から十分に離して置くのは、良い手段です。別の信号はクロック信号にジッタを招く可能性があり、SNR の性能劣化につながる場合や、クロック信号が原因でほかの配線にノイズを生じることもあります。信号ラインが互いに 90° に交わっているときでも容量性のカップリングが起こるので、クロック・ラインは 90° の交差もしないようにしてください。

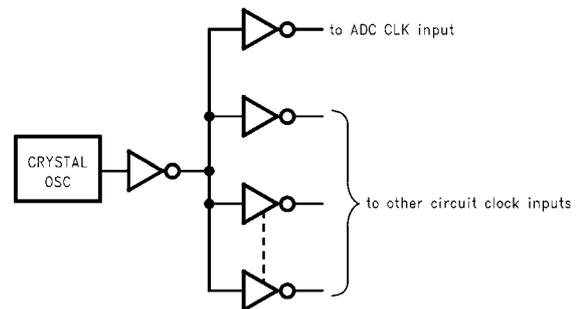
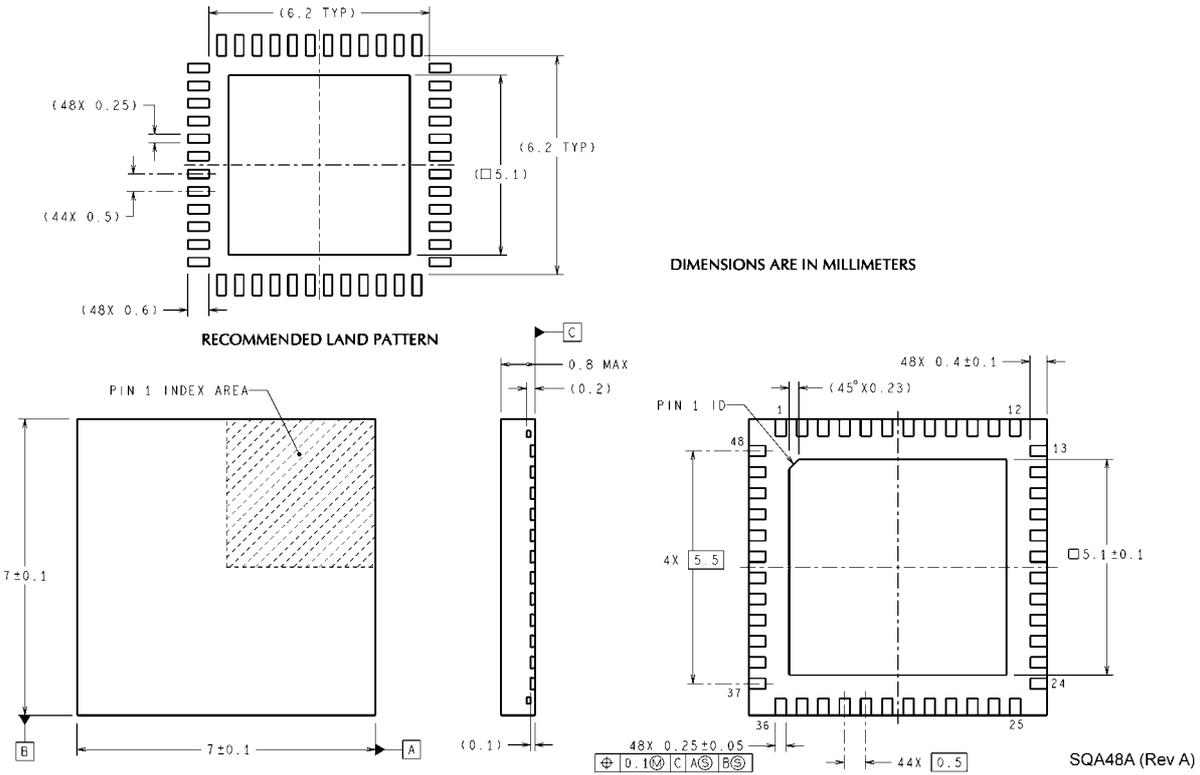


FIGURE 5. Isolating the ADC Clock from other Circuitry with a Clock Tree

外形寸法図 単位は millimeters



**48-Lead LLP Package**  
**Ordering Number ADC14155CISQ**  
**NS Package Number SQA48A**

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

**生命維持装置への使用について**

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation  
 製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

**ナショナル セミコンダクター ジャパン株式会社**

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上