

# ADC14DS080

*ADC14DS080 Dual 14-Bit, 80 MSPS A/D Converter with Serial LVDS Outputs*



Literature Number: JAJSAW8

## ADC14DS080

### シリアル LVDS 出力付デュアル 14 ビット、80MSPS A/D コンバータ

#### 概要

**NOTE:** これは現在開発中の製品の先行情報です。すべての仕様は設計目標であり、変更する場合があります。

ADC14DS080 は、2 つのアナログ入力信号を最高 80MSPS のサンプリング・レートで、14 ビットのデジタル・ワードに変換できる、高性能 CMOS A/D コンバータです。デジタル出力はシリアル化されて、差動 LVDS 信号ペアとして提供されます。デジタル誤差補正機能とサンプル / ホールド回路を備えた差動パイプライン型アーキテクチャを採用し、消費電力と外付け部品を最小限に抑えながら優れた性能を発揮します。独自のサンプル / ホールド・ステージによって、1GHz のフルパワー帯域幅を備えています。ADC14DS080 は + 3.0V または + 3.3V 単一電源で動作します。パワーダウン機能によって消費電力は非常に低いレベルに抑えられますが、わずかなウェイクアップ時間で通常動作に復帰できます。差動入力には 2V のフルスケール差動入力振幅に対応可能です。ADC14DS080 には、安定した 1.2V 内部リファレンスが用意され、また 1.2V の外部リファレンスでも動作できます。出力データ・フォーマット ( オフセット・バイナリか 2 の補数 ) とデューティ・サイクル・スタビライザが選択可能です。デューティ・サイクル・スタビライザは、クロック・デューティ・サイクルの広範囲にわたって性能を保持します。シリアル・インタフェースによって制御レジスタへのアクセスが可能で、ADC14DS80 の機能を完全に制御できます。ADC14DS080 は 60 ピンの LLP パッケージで提供され、産業用温度範囲 ( - 40 ~ + 85 ) で動作します。

#### 特長

- 1GHz フルパワー帯域幅
- 低消費電力
- クロック・デューティ・サイクル・スタビライザ
- + 3.0V または + 3.3V 単一電源で動作
- シリアル LVDS 出力
- シリアル制御インタフェース
- オーバーレンジ出力
- 60 ピン LLP パッケージ (9 × 9 × 0.8mm、0.5mm ピンピッチ)

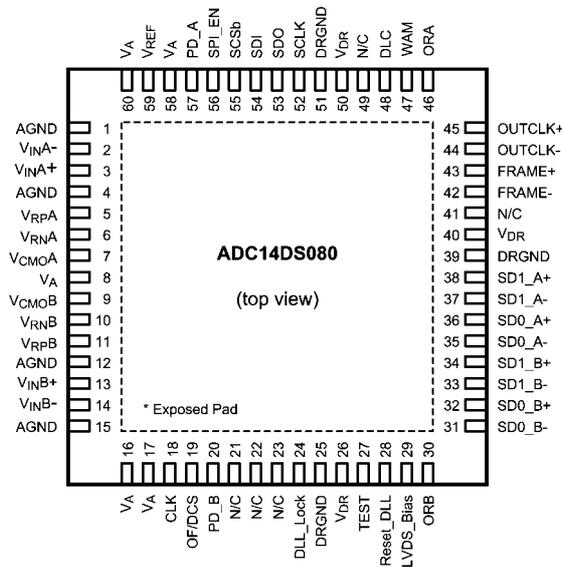
#### 主な仕様

|                                   |              |
|-----------------------------------|--------------|
| 分解能                               | 14 ビット       |
| 変換レート                             | 80MSPS       |
| SN 比 ( $f_{IN} = 240\text{MHz}$ ) | 71dBFS (typ) |
| SFDR ( $f_{IN} = 240\text{MHz}$ ) | 80dBFS (typ) |
| フルパワー帯域幅                          | 1GHz (typ)   |
| 消費電力                              | 845mW (typ)  |

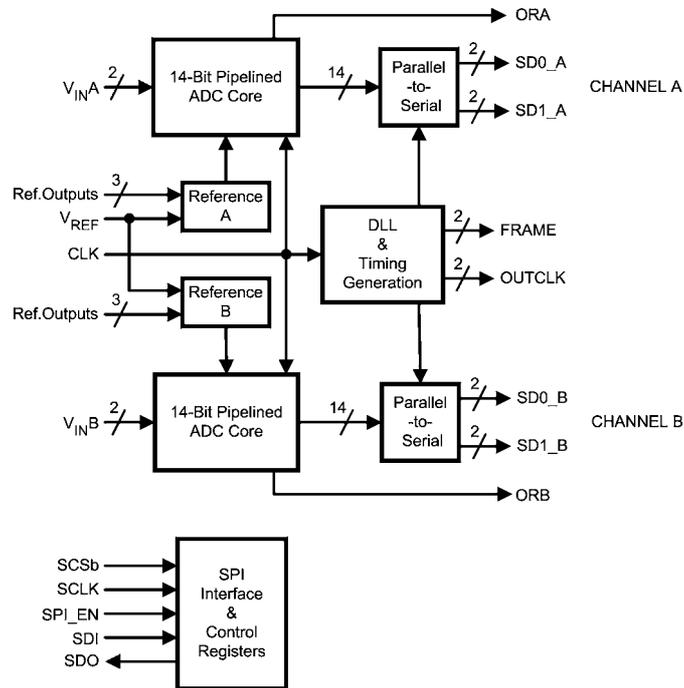
#### アプリケーション

- 高 IF サンプリング・レシーバ
- 無線基地局レシーバ
- 試験装置および測定機器
- 通信測定用
- 携帯機器

#### ピン配置図



配置図



製品情報

| Industrial ( $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ ) | Package    |
|--|------------|
| ADC14DS080CISQ   | 60 Pin LLP |

ピン説明および等価回路

| ピン番号            | 記号                         | 等価回路 | 説明   |
|-----------------|----------------------------|------|--|
| <b>アナログ I/O</b> |                            |      |  |
| 3<br>13         | $V_{IN}A +$<br>$V_{IN}B +$ |      | <p>差動アナログ入力ピン。差動フルスケール入力信号レベルは、各入力ピンの信号がコモンモード電圧 <math>V_{CM}</math> を中心電圧として、<math>2V_{P-P}</math> です。</p>  |
| 2<br>14         | $V_{IN}A -$<br>$V_{IN}B -$ |      |  |
| 5<br>11         | $V_{RP}A$<br>$V_{RP}B$     |      | <p>これらのピンを、低 ESL (等価直列インダクタンス) の <math>1\mu F</math> コンデンサで AGND にバイパスし、それは浮遊インダクタンスを最小にするためピンのごく近くに配置する必要があります。 <math>V_{RP}</math> と <math>V_{RN}</math> の間のできるだけピンの近くに 0201 サイズの <math>0.1\mu F</math> のコンデンサを配置し、 <math>1\mu F</math> のコンデンサを並列に接続します。 <math>V_{RP}</math> と <math>V_{RN}</math> には負荷を接続しないでください。 <math>V_{CMO}</math> は、温度の安定した <math>1.5V</math> リファレンスとして <math>1mA</math> までの負荷をかけることがあります。差動アナログ入力、コモンモード電圧 (<math>V_{CM}</math>) の供給のために <math>V_{CMO}</math> の使用を推奨します。</p> |
| 7<br>9          | $V_{CMO}A$<br>$V_{CMO}B$   |      |  |
| 6<br>10         | $V_{RN}A$<br>$V_{RN}B$     |      |  |
| 59              | $V_{REF}$                  |      | <p>リファレンス電圧。本デバイスは内部で生成する <math>1.2V</math> リファレンス電圧を備えています。内部リファレンスを使用する場合、 <math>V_{REF}</math> は、低等価直列インダクタンス (ESL) の <math>0.1\mu F</math> および <math>1\mu F</math> コンデンサで AGND にデカップルする必要があります。</p> <p>このピンは <math>1.2V</math> 外部リファレンス電圧で駆動できます。</p> <p>このピンは、電流をソースまたはシンクするために使用してはなりません。</p>  |
| 29              | LVDS_Bias                  |      | <p>LVDS ドライバ用バイアス抵抗をこのピンとアナログ・グラウンド間に接続します。標準値は <math>3.6K</math> です。</p>  |

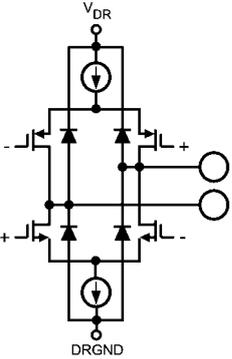
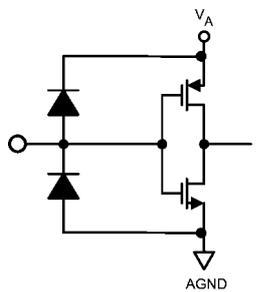
デジタル I/O

|    |           |  |  |
|----|-----------|--|--|
| 18 | CLK       |  | <p>クロック入力ピン。</p> <p>アナログ入力、クロック入力の立ち上がりエッジでサンプリングされます。</p>   |
| 28 | Reset_DLL |  | <p>Reset_DLL 入力。このピンは通常動作では Low です。入力クロック周波数が突然変化すると、内部のタイミング回路がロックが外れる場合があります。このピンを <math>1\mu s</math> だけ High にしてサイクルすると、DLL を再ロックすることができます。Reset_DLL をアサートした後、DLL がロックされるまでに数 <math>\mu s</math> かかります。</p>  |
| 19 | OF/DCS    |  | <p>これは入力クロック・モードと出力データ・フォーマットを制御する 4 ステート・ピンです。</p> <p>OF/DCS = <math>V_A</math> の場合、出力データのフォーマットは 2 の補数となり、入力クロックにデューティ・サイクル安定化機能が適用されません。</p> <p>OF/DCS = AGND とすると、出力データのフォーマットはオフセット・バイナリとなり、入力クロックにデューティ・サイクル安定化機能は適用されません。</p> <p>OF/DCS = <math>(2/3)*V_A</math> の場合、出力データは 2 の補数で、入力クロックはデューティ・サイクル安定化機能が適用されます。</p> <p>OF/DCS = <math>(1/3)*V_A</math> の場合、出力データはオフセット・バイナリで、入力クロックはデューティ・サイクル安定化機能が適用されます。</p> <p>Note: この信号は SPI_EN が High で SPI インタフェースがイネーブルの場合は無効です。</p> |

ピン説明および等価回路(つぎ)

| ピン番号     | 記号                   | 等価回路 | 説明  |
|----------|----------------------|------|---|
| 57<br>20 | PD_A<br>PD_B         |      | <p>パワーダウンをコントロールする 2 ステート入力。<br/> <math>PD = V_A</math> でパワーダウン・モードになり、消費電力が低減されます。<br/> <math>PD = AGND</math> では通常動作になります。<br/>                     Note: この信号は SPI_EN が High で SPI インタフェースがイネーブルの場合は無効です。</p>  |
| 27       | TEST                 |      | <p>テスト・モード。この信号を High にすると、固定のテスト・パターン (10100110001110 MSB LSB の順序) がデータ出力に供給されます。<br/>                     この信号を Low にするとデバイスは通常の動作モードになります。<br/>                     Note: この信号は SPI_EN が High で SPI インタフェースがイネーブルの場合は無効です。</p>   |
| 47       | WAM                  |      | <p>ワード整列モード。<br/>                     シングル・レーン・モードにするには、このピンは論理 0 に設定しなければなりません。<br/>                     この信号を論理 0 にした場合、デュアル・レーン・モードの場合のみシリアル・データ・ワードは半ワードだけオフセットされます。この信号を論理 1 にすると、シリアル・データは相互に整列します。<br/>                     Note: この信号は SPI_EN が High で SPI インタフェースがイネーブルの場合は無効です。</p>   |
| 48       | DLC                  |      | <p>デュアル・レーン構成。デュアル・レーン・モードはこの信号を論理 0 にすると選択されます。この信号を論理 1 にすると、各チャネルのデータはすべてシングル・レーン (SD1_x) に供給されます。<br/>                     Note: この信号は SPI_EN が High で SPI インタフェースがイネーブルの場合は無効です。</p>   |
| 45<br>44 | OUTCLK +<br>OUTCLK - |      | <p>シリアル・クロックこの差動 LVDS 信号ペアによってシリアル・データ出力と同期したシリアル・クロックが供給されます。このクロックの立ち上がりおよび立ち下がりによってシリアル・データ・ビットは各シリアル・データ出力に供給されます。この差動出力はデバイスの電源がオンとなっていれば、常にイネーブルになります。パワーダウン・モードでは、この出力は論理 Low の状態に保持されます。<br/>                     この信号ペアに対しては伝送ラインの遠端に 100 の終端抵抗を必ず使用しなければなりません。</p>  |
| 43<br>42 | FRAME +<br>FRAME -   |      | <p>シリアル・データ・フレーム。この差動 LVDS 信号ペアはシリアル・データ・ワードの境界で遷移します。SD1_A + / - および SD1_B + / - 出力ワードは常にフレーム信号の立ち上がりエッジで始まります。デュアル・レーン・モードの場合は、フレーム信号の立ち下がりエッジが SD0_A + / - および SD0_B + / - 信号ペアに現れるシリアル・データ・ワードの開始を定めます。この差動出力はデバイスの電源がオンとなっていれば、常にイネーブルになります。パワーダウン・モードでは、この出力は論理 Low の状態に保持されます。この信号ペアに対しては伝送ラインの遠端に 100 の終端抵抗を必ず使用しなければなりません。</p> |

ピン説明および等価回路 (つぎ)

| ピン番号     | 記号                 | 等価回路  | 説明   |
|----------|--------------------|---|--|
| 38<br>37 | SD1_A +<br>SD1_A - |   | チャンネル A のシリアル・データ出力 1。この差動 LVDS 信号ペアにはチャンネル A の ADC 出力がシリアル化されて現れます。このシリアル・データは OUTCLK 出力と同期して供給されます。シングル・レーン・モードでは、各サンプル出力が連続して供給されます。デュアル・レーン・モードではこの出力にはサンプル出力は 1 つおきに供給されます。この差動出力はデバイスの電源がオンとなっていれば、常にイネーブルになります。パワーダウン・モードでは、この出力には最後の論理状態が保持されます。この信号ペアに対しては伝送ラインの遠端に 100 Ω の終端抵抗を必ず使用しなければなりません。 |
| 34<br>33 | SD1_B +<br>SD1_B - |   | チャンネル B のシリアル・データ出力。この差動 LVDS 信号ペアにはチャンネル B の ADC 出力がシリアル化されて現れます。このシリアル・データは OUTCLK 出力と同期して供給されます。シングル・レーン・モードでは、各サンプル出力が連続して供給されます。デュアル・レーン・モードではこの出力にはサンプル出力は 1 つおきに供給されます。この差動出力はデバイスの電源がオンとなっていれば、常にイネーブルになります。パワーダウン・モードでは、この出力には最後の論理状態が保持されます。この信号ペアに対しては伝送ラインの遠端に 100 Ω の終端抵抗を必ず使用しなければなりません。   |
| 36<br>35 | SD0_A +<br>SD0_A - |   | チャンネル A のシリアル・データ出力 0。この差動 LVDS 信号ペアにはデュアル・レーン・モードでのシリアル化されたチャンネル A の ADC サンプル出力が交互に現れます。このシリアル・データは OUTCLK 出力と同期して供給されます。シングル・レーン・モードではこの差動出力はハイ・インピーダンス状態に保持されます。この差動出力はデバイスの電源がオンとなっていれば、常にイネーブルになります。パワーダウン・モードでは、この出力には最後の論理状態が保持されます。この信号ペアに対しては伝送ラインの遠端に 100 Ω の終端抵抗を必ず使用しなければなりません。              |
| 32<br>31 | SD0_B +<br>SD0_B - |   | チャンネル B のシリアル・データ出力 0。この差動 LVDS 信号ペアにはデュアル・レーン・モードでのシリアル化されたチャンネル B の ADC サンプル出力が交互に現れます。このシリアル・データは OUTCLK 出力と同期して供給されます。シングル・レーン・モードではこの差動出力はハイ・インピーダンス状態に保持されます。この差動出力はデバイスの電源がオンとなっていれば、常にイネーブルになります。パワーダウン・モードでは、この出力には最後の論理状態が保持されます。この信号ペアに対しては伝送ラインの遠端に 100 Ω の終端抵抗を必ず使用しなければなりません。              |
| 56       | SPI_EN             |  | SPI イネーブル : この信号を High にすると SPI インタフェースがイネーブルになります。この場合、直接制御されるピンは無効です。この信号を Low にすると、SPI インタフェースはディスエーブルとなり、直接制御ピンがイネーブルになります。  |
| 55       | SCSb               |   | シリアル・チップ選択 : この信号をアサートすると、SCLK は SDI 入力に現れるシリアル・データを受け取り、SDO 出力ではシリアル・データを供給するために使用されます。この信号をアサートしない場合は SDI 入力は無視され、SDO 出力は TRI-STATE モードになります。  |
| 52       | SCLK               |   | シリアル・クロック : シリアル・データはクロック信号に同期してデバイスにシフト入力およびシフト出力されます。  |
| 54       | SDI                |   | シリアルデータ入力 : SCSb 信号がアサートされている場合、シリアル・データはこのピンからデバイスにシフト入力されます。   |

ピン説明および等価回路 (つぎ)

| ピン番号     | 記号         | 等価回路 | 説明  |
|----------|------------|------|---|
| 53       | SDO        |      | シリアルデータ出力 : SCSb 信号がアサートされている場合、シリアル・データはデバイスのこのピンからシフト出力されます。SCSb がアサートされていない場合、この出力は TRI-STATE モードになります。  |
| 46<br>30 | ORA<br>ORB |      | オーバーレンジ。これらの CMOS 出力は対応するチャネルのデータ出力が High または Low の方向に範囲外になると論理 High になります。   |
| 24       | DLL_Lock   |      | DLL ロック出力。内部 DLL が入力 CLK にロックされると、このピン出力は論理 High になります。入力 CLK が突然変化すると、内部 DLL はロックが外れる可能性があり、その場合このピンは論理 Low になります。Reset_DLL (pin 28) をサイクルすると、入力 CLK に対して内部 DLL が再ロックされます。 |

アナログ電源

|                           |                |  |  |
|---------------------------|----------------|--|--|
| 8, 16, 17, 58,<br>60      | V <sub>A</sub> |  | 正のアナログ電源電圧ピン。これらのピンは、無負荷の電源に接続する必要があり、電源ピンの近くに配置した 0.1 μF コンデンサで AGND にバイパスしてください。 |
| 1, 4, 12,<br>15,<br>露出パッド | AGND           |  | アナログ電源のグラウンド・リターン。   |

デジタル電源

|            |                 |  |  |
|------------|-----------------|--|--|
| 26, 40, 50 | V <sub>DR</sub> |  | 出力ドライバ用の正のデジタル電源ピン。これらのピンは、無負荷の電源に接続する必要があり、電源ピンの近くに配置した 0.1 μF コンデンサで AGND にバイパスしてください。 |
| 25, 39, 51 | DRGND           |  | デジタル出力ドライバ電源のグラウンド・ピン。システムのデジタル・グラウンドに接続してください。ただし、A/D コンバータの AGND ピンの近くには接続しないでください。    |

**絶対最大定格** (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
 関連する電氣的信頼性試験方法の規格を参照ください。

|                            |                           |
|----------------------------|---------------------------|
| 電源電圧 ( $V_A, V_{DR}$ )     | - 0.3V ~ 4.2V             |
| 各入出力ピン電圧<br>(4.2V を超えないこと) | - 0.3V ~ ( $V_A + 0.3V$ ) |
| 電源ピン以外の全入力ピン電流 (Note 4)    | ± 5mA                     |
| パッケージ入力電流 (Note 4)         | ± 50mA                    |
| 最大接合部温度 ( $T_j$ )          | + 150                     |
| 熱抵抗 ( $\theta_{JA}$ )      | 30 /W                     |
| ESD 耐圧                     |                           |
| 人体モデル (Note 6)             | 2,500V                    |
| マシン・モデル (Note 6)           | 250V                      |
| 保存温度範囲                     | - 65 ~ + 150              |

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。  
[www.national.com/JPN/packaging](http://www.national.com/JPN/packaging) を参照してください (Note 7)。

**動作定格** (Note 1, 3)

|                 |                 |       |      |
|-----------------|-----------------|-------|------|
| 定格温度範囲          | - 40            | $T_A$ | + 85 |
| 電源電圧            | + 2.7V ~ + 3.6V |       |      |
| クロック・デューティ・サイクル |                 |       |      |
| (DCS イネーブル)     | 30/70 %         |       |      |
| (DCS ディスエーブル)   | 45/55 %         |       |      |
| $V_{CM}$        | 1.4V ~ 1.6V     |       |      |
| AGND - DRGND    | 100mV           |       |      |

**ADC14DS080 コンバータの電氣的特性**

この製品は現在開発中です。このため、各仕様パラメータは設計目標です。各仕様値はデバイスの特性評価を終えるまでは保証されません。

特記のない限り、AGND = DRGND = 0V、 $V_A = V_{DR} = + 3.0V$ 、内部  $V_{REF} = + 1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は  $T_A = 25$  のときのものであります。太字表記のリミット値は  $T_{MIN}$ 、 $T_A$ 、 $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 8, 9)

| Symbol  | Parameter  | Conditions                       | Typical (Note 10) | Limits         | Units (Limits)         |
|---|--|----------------------------------|-------------------|----------------|------------------------|
| <b>STATIC CONVERTER CHARACTERISTICS</b>           |  |                                  |                   |                |                        |
|   | Resolution with No Missing Codes                       |                                  |                   | <b>14</b>      | Bits (min)             |
| INL   | Integral Non Linearity                                 |                                  | ±1.5              |                | LSB (max)<br>LSB (min) |
| DNL   | Differential Non Linearity                             |                                  | ±0.5              |                | LSB (max)<br>LSB (min) |
|   | Under Range Output Code                                |                                  | 0                 | <b>0</b>       |                        |
|   | Over Range Output Code                                 |                                  | 16383             | <b>16383</b>   |                        |
| <b>REFERENCE AND ANALOG INPUT CHARACTERISTICS</b> |  |                                  |                   |                |                        |
| $V_{CMO}$   | Common Mode Output Voltage                             |                                  | 1.5               | 1.45<br>1.55   | V (min)<br>V (max)     |
| $V_{CM}$  | Analog Input Common Mode Voltage                       |                                  | 1.5               | 1.4<br>1.6     | V (min)<br>V (max)     |
| $C_{IN}$  | $V_{IN}$ Input Capacitance (each pin to GND) (Note 11) | $V_{IN} = 1.5 V_{dc}$<br>± 0.5 V | (CLK LOW)         | 8.5            | pF                     |
|   |  |                                  | (CLK HIGH)        | 3.5            | pF                     |
| $V_{REF}$   | External Reference Voltage                             |                                  | 1.20              | 1.176<br>1.224 | V (min)<br>V (max)     |

## ADC14DS080 コンバータの電氣的ダイナミック特性

特記のない限り、AGND = DRGND = 0V、 $V_A = V_{DR} = +3.0V$ 、内部  $V_{REF} = +1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CM0}$ 、 $C_L = 5pF/ピン$ 。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$ 、 $T_A$ 、 $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 8、9)

| Symbol   | Parameter                            | Conditions                  | Typical<br>(Note 10) | Limits | Units<br>(Limits)<br>(Note 2) |
|--|--------------------------------------|-----------------------------|----------------------|--------|-------------------------------|
| <b>DYNAMIC CONVERTER CHARACTERISTICS, <math>A_{IN} = -1dBFS</math></b> |                                      |                             |                      |        |                               |
| FPBW   | Full Power Bandwidth                 | -1 dBFS Input, -3 dB Corner | 1.0                  |        | GHz                           |
| SNR  | Signal-to-Noise Ratio                | $f_{IN} = 10$ MHz           | 74.2                 |        | dBFS                          |
|  |                                      | $f_{IN} = 70$ MHz           | 72                   |        | dBFS                          |
|  |                                      | $f_{IN} = 170$ MHz          | 71                   |        | dBFS                          |
| SFDR   | Spurious Free Dynamic Range          | $f_{IN} = 10$ MHz           | 90                   |        | dBFS                          |
|  |                                      | $f_{IN} = 70$ MHz           | 88                   |        | dBFS                          |
|  |                                      | $f_{IN} = 170$ MHz          | 80                   |        | dBFS                          |
| ENOB   | Effective Number of Bits             | $f_{IN} = 10$ MHz           | 12                   |        | Bits                          |
|  |                                      | $f_{IN} = 70$ MHz           | 11.6                 |        | Bits                          |
|  |                                      | $f_{IN} = 170$ MHz          | 11.6                 |        | Bits                          |
| THD  | Total Harmonic Distortion            | $f_{IN} = 10$ MHz           | -88                  |        | dBFS                          |
|  |                                      | $f_{IN} = 70$ MHz           | -85                  |        | dBFS                          |
|  |                                      | $f_{IN} = 170$ MHz          | -80                  |        | dBFS                          |
| H2   | Second Harmonic Distortion           | $f_{IN} = 10$ MHz           | -100                 |        | dBFS                          |
|  |                                      | $f_{IN} = 70$ MHz           | -95                  |        | dBFS                          |
|  |                                      | $f_{IN} = 170$ MHz          | -85                  |        | dBFS                          |
| H3   | Third Harmonic Distortion            | $f_{IN} = 10$ MHz           | -90                  |        | dBFS                          |
|  |                                      | $f_{IN} = 70$ MHz           | -88                  |        | dBFS                          |
|  |                                      | $f_{IN} = 170$ MHz          | -83                  |        | dBFS                          |
| SINAD  | Signal-to-Noise and Distortion Ratio | $f_{IN} = 10$ MHz           | 74                   |        | dBFS                          |
|  |                                      | $f_{IN} = 70$ MHz           | 71.8                 |        | dBFS                          |
|  |                                      | $f_{IN} = 170$ MHz          | 71.4                 |        | dBFS                          |

### ADC14DS080ロジックおよび電源の電氣的特性

特記のない限り、AGND = DRGND = 0V、 $V_A = V_{DR} = +3.0V$ 、内部  $V_{REF} = +1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は  $T_A = 25$  のときのもので、太字表記のリミット値は  $T_{MIN}$ 、 $T_A$ 、 $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 8、9)

| Symbol  | Parameter                           | Conditions                            | Typical<br>(Note 10) | Limits     | Units<br>(Limits) |
|---|-------------------------------------|---------------------------------------|----------------------|------------|-------------------|
| <b>DIGITAL INPUT CHARACTERISTICS (CLK, PD_A, PD_B, SCSb, SPI_EN, SCLK, SDI, TEST, WAM, DLC)</b> |                                     |                                       |                      |            |                   |
| $V_{IN(1)}$   | Logical "1" Input Voltage           | $V_A = 3.6V$                          |                      | <b>2.0</b> | V (min)           |
| $V_{IN(0)}$   | Logical "0" Input Voltage           | $V_A = 3.0V$                          |                      | <b>0.8</b> | V (max)           |
| $I_{IN(1)}$   | Logical "1" Input Current           | $V_{IN} = 3.3V$                       | 10                   |            | $\mu A$           |
| $I_{IN(0)}$   | Logical "0" Input Current           | $V_{IN} = 0V$                         | -10                  |            | $\mu A$           |
| $C_{IN}$  | Digital Input Capacitance           |                                       | 5                    |            | pF                |
| <b>DIGITAL OUTPUT CHARACTERISTICS (ORA, ORB, SDO)</b>   |                                     |                                       |                      |            |                   |
| $V_{OUT(1)}$  | Logical "1" Output Voltage          | $I_{OUT} = -0.5 mA$ , $V_{DR} = 2.7V$ |                      | <b>1.2</b> | V (min)           |
| $V_{OUT(0)}$  | Logical "0" Output Voltage          | $I_{OUT} = 1.6 mA$ , $V_{DR} = 2.7V$  |                      | <b>0.4</b> | V (max)           |
| $+I_{SC}$   | Output Short Circuit Source Current | $V_{OUT} = 0V$                        | -10                  |            | mA                |
| $-I_{SC}$   | Output Short Circuit Sink Current   | $V_{OUT} = V_{DR}$                    | 10                   |            | mA                |
| $C_{OUT}$   | Digital Output Capacitance          |                                       | 5                    |            | pF                |
| <b>POWER SUPPLY CHARACTERISTICS</b>   |                                     |                                       |                      |            |                   |
| $I_A$   | Analog Supply Current               | Full Operation                        | 200                  |            | mA (max)          |
| $I_{DR}$  | Digital Output Supply Current       | Full Operation                        | 56                   |            | mA                |
|   | Power Consumption                   |                                       | 845                  |            | mW (max)          |
|   | Power Down Power Consumption        |                                       | 30                   |            | mW                |

### ADC14DS080 タイミングと AC 特性

特記のない限り、AGND = DRGND = 0V、 $V_A = V_{DR} = +3.0V$ 、内部  $V_{REF} = +1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$ /ピン。標準値は  $T_A = 25$  に対して、タイミング測定は信号振幅の 50%で行われます。太字表記のリミット値は  $T_{MIN}$ 、 $T_A$ 、 $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 8、9)

| Symbol     | Parameter               | Conditions                   | Typical<br>(Note 10) | Limits      | Units<br>(Limits) |
|------------|-------------------------|------------------------------|----------------------|-------------|-------------------|
|            | Maximum Clock Frequency | In Single-Lane Mode          |                      | <b>65</b>   | MHz (max)         |
|            |                         | In Dual-Lane Mode            |                      | <b>80</b>   |                   |
|            | Minimum Clock Frequency | In Single-Lane Mode          |                      | <b>25</b>   | MHz (min)         |
|            |                         | In Dual-Lane Mode            |                      | <b>52.5</b> |                   |
| $t_{CONV}$ | Conversion Latency      | Single-Lane Mode             |                      | <b>7.5</b>  | Clock Cycles      |
|            |                         | Dual-Lane, Offset Mode       |                      | <b>8</b>    |                   |
|            |                         | Dual-Lane, Word Aligned Mode |                      | <b>9</b>    |                   |
| $t_{AD}$   | Aperture Delay          |                              | 0.6                  |             | ns                |
| $t_{AJ}$   | Aperture Jitter         |                              | 0.1                  |             | ps rms            |

### ADC14DS080 LVDS 電気的特性

特記のない限り、AGND = DRGND = 0V、 $V_A = V_{DR} = +3.0V$ 、内部  $V_{REF} = +1.2V$ 、 $f_{CLK} = 80MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$  /  $\square$ 。標準値は  $T_A = 25$  に対して、タイミング測定は信号振幅の 50%で行われます。太字表記のリミット値は  $T_{MIN}$   $T_A$   $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 8、9)

| Symbol                         | Parameter                                      | Conditions                 | Typical<br>(Note 10) | Limits         | Units<br>(Limits)    |
|--------------------------------|--|----------------------------|----------------------|----------------|----------------------|
| <b>LVDS DC CHARACTERISTICS</b> |  |                            |                      |                |                      |
| $V_{OD}$                       | Output Differential Voltage<br>(SDO+) - (SDO-) | $R_L = 100\Omega$          | 350                  | 250<br>450     | mV (min)<br>mV (max) |
| $\Delta V_{OD}$                | Output Differential Voltage Unbalance          | $R_L = 100\Omega$          |                      | $\pm 25$       | mV (max)             |
| $V_{OS}$                       | Offset Voltage                                 | $R_L = 100\Omega$          | 1.25                 | 1.125<br>1.375 | V (min)<br>V (max)   |
| $\Delta V_{OS}$                | Offset Voltage Unbalance                       | $R_L = 100\Omega$          |                      | $\pm 25$       | mV (max)             |
| IOS                            | Output Short Circuit Current                   | DO = 0V, $V_{IN} = 1.1V$ , | -10                  |                | mA (max)             |

### LVDS OUTPUT TIMING AND SWITCHING CHARACTERISTICS

|            |  |  |              |          |                    |
|------------|--|--|--------------|----------|--------------------|
| $t_{DP}$   | Output Data Bit Period   | Single-Lane Mode<br>Dual-Lane Mode           | 0.89<br>1.79 |          | ns                 |
| $t_{HO}$   | Output Data Edge to Output Clock Edge<br>Hold Time (Note 12)   | Single-Lane Mode<br>Dual-Lane Mode           | 245<br>690   |          | ps                 |
| $t_{SUO}$  | Output Data Edge to Output Clock Edge<br>Set-Up Time (Note 12) | Single-Lane Mode<br>Dual-Lane Mode           | 245<br>690   |          | ps                 |
| $t_{FP}$   | Frame Period   | Single-Lane Mode<br>Dual-Lane Mode           | 12.5<br>25   |          | ns                 |
| $t_{FDC}$  | Frame Clock Duty Cycle (Note 12)                               |  | 50           | 45<br>55 | % (min)<br>% (max) |
| $t_{DFS}$  | Data Edge to Frame Edge Skew                                   | 50% to 50%                                   | TBD          |          | ps (max)           |
| $t_R, t_F$ | LVDS Rise/Fall Time  | $C_L = 5pF$ to GND, $R_{OUT} = 100\Omega$    | TBD          |          | ps (max)           |
| $t_{ODOR}$ | Output Delay of OR output                                      | From rising edge of CLKL to ORA/ORB<br>valid | 4            |          | ns                 |
| $t_{DLD}$  | Serializer DLL Lock Time                                       |  | TBD          |          | $\mu s$            |
| $t_{SD}$   | Serializer Delay   | $R_L = 100\Omega$                            | TBD          |          | ns                 |

### ADC14DS080 シリアル・制御インタフェースのタイミングと AC 特性

特記のない限り、AGND = DRGND = 0V、 $V_A = V_{DR} = +3.3V$ 、内部  $V_{REF} = +1.2V$ 、 $f_{CLK} = 105MHz$ 、 $V_{CM} = V_{CMO}$ 、 $C_L = 5pF$  /  $\square$ 。標準値は  $T_A = 25$  に対して、タイミング測定は信号振幅の 50%で行われます。太字表記のリミット値は  $T_{MIN}$   $T_A$   $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 8、9)

| Symb       | Parameter                    | Conditions              | Typical<br>(Note 10) | Limits | Units<br>(Limits)         |
|------------|------------------------------|-------------------------|----------------------|--------|---------------------------|
| $f_{SCLK}$ | Serial Clock Frequency       | $f_{SCLK} = f_{CLK}/10$ |                      | 13.125 | MHz (max)                 |
| $t_{PH}$   | SCLK Pulse Width - High      | $4/f_{CLK}$             |                      | 40     | % of SCLK<br>Period (min) |
| $t_{PL}$   | SCLK Pulse Width - Low       |                         |                      | 40     | % of SCLK<br>Period (min) |
| $t_{SU}$   | SDI Setup Time               |                         |                      |        | ns (min)                  |
| $t_H$      | SDI Hold Time                |                         |                      |        | ns (min)                  |
| $t_{ODZ}$  | SDO Driven-to-Tri-State Time |                         |                      |        | ns (max)                  |
| $t_{OZD}$  | SDO Tri-State-to-Driven Time |                         |                      |        | ns (max)                  |
| $t_{OD}$   | SDO Output Delay Time        |                         |                      |        | ns (max)                  |
| $t_{CSS}$  | SCSb Setup Time              |                         | 5                    |        | ns (min)                  |

### ADC14DS080 シリアル・制御インタフェースのタイミングと AC 特性 (つづき)

特記のない限り、AGND = DRGND = 0V、 $V_A = V_{DR} = + 3.3V$ 、内部  $V_{REF} = + 1.2V$ 、 $f_{CLK} = 105MHz$ 、 $V_{CM} = V_{CM0}$ 、 $C_L = 5pF$ /ピン。標準値は  $T_A = 25$  に対して、タイミング測定は信号振幅の 50%で行われます。太字表記のリミット値は  $T_{MIN}$   $T_A$   $T_{MAX}$  に適用されます。その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。(Note 8、9)

| Symb      | Parameter        | Conditions  | Typical (Note 10) | Limits | Units (Limits) |
|-----------|------------------|---|-------------------|--------|----------------|
| $t_{CSH}$ | SCSb Hold Time   |   | 5                 |        | ns (min)       |
| $t_{IAG}$ | Inter-Access Gap | Minimum time SCSb must be deasserted between accesses | 3                 |        | Cycles of SCLK |

**Note 1:** 絶対最大定格とは、デバイスが破壊される可能性があるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された規格値、試験条件については「電気的特性」を参照ください。保証された規格値は記載の試験条件に対してのみ適用されます。記載の試験条件下でデバイスを動作させないと、いくつかの性能特性が低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。

**Note 2:** dBFS で指定されたパラメータは、フルスケール入力信号で達成される値を示しています。

**Note 3:** 特記のない限り、すべての電圧は GND = AGND = DRGND = 0V に対して測定された値です。

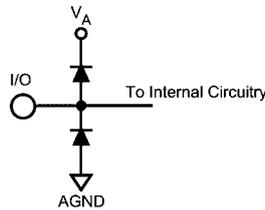
**Note 4:** いずれかのピンで入力電圧 ( $V_{IN}$ ) が電源電圧を超えた場合 ( $V_{IN} < AGND$  または  $V_{IN} > V_A$ )、そのピンの入力電流を  $\pm 5mA$  以下に制限しなければなりません。  $\pm 50mA$  の最大パッケージ入力定格電流によって、電源電圧を超えて  $\pm 5mA \sim \pm 10mA$  の電流を流せるピン数が制限されます。

**Note 5:** 最大許容消費電力 ( $T_{J,max}$ ) は、接合部周囲間熱抵抗 ( $J_A$ ) および周囲温度 ( $T_A$ ) によって決まり、 $P_{D,max} = (T_{J,max} - T_A) / J_A$  で表されます。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。このような条件での動作は必ず避けるようにしてください。

**Note 6:** 使用した試験回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k を通して、各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各ピンに放電させます。

**Note 7:** リフロー時の温度特性は、そのパッケージが鉛フリーかどうかによって異なります。

**Note 8:** 以下に示すように、各入出力ピンは 1 個のダイオードで保護されています。(Note 4) に従って電流制限を行うことで、入力電圧が  $V_A$  を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、動作定格で記載されたように入力が 2.6V 以上または GND より低い場合、A/D 変換のエラーが発生します。



**Note 9:**  $2V_{p-p}$  のフルスケールの差動入力では 14 ビットの LSB は 122.1  $\mu V$  です。

**Note 10:** 代表値 (Typical) は、製品特性評価時に  $T_A = + 25$  で得られる最も標準的な数値です。この代表的な仕様は保証されているわけではありません。

**Note 11:** 入力容量は、パッケージ/ピン・キャパシタンスとサンプル/ホールド回路キャパシタンスの合計です。

**Note 12:** このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。

**用語の定義**

**アパーチャ・ディレイ (APERTURE DELAY)** は、クロック・パルスが立ち上がってから入力信号が取り込まれるか保持されるまでの時間のことです。

**アパーチャ・ジッタ (アパーチャ不確定性) (APERTURE JITTER: APERTURE UNCERTAINTY)** は、サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは、出力のノイズとして現れます。

**クロック・デューティ・サイクル (CLOCK DUTY CYCLE)** は、繰り返しデジタル波形の周期に対する High の時間の比です。本データシートに記載されているデューティ・サイクルの仕様は、A/D コンバータのクロック入力信号に対して適用されます。

**コモンモード電圧 (COMMON MODE VOLTAGE:  $V_{CM}$ )** とは A/D コンバータの両方の入力ピンに印加されるコモン DC 電圧です。

**変換レイテンシ (CONVERSION LATENCY)** は、変換開始からその変換結果が出力ドライバで得られるまでの期間をクロック・サイクル数で表したものです。新しいデータはクロック・サイクルごとに出力ピンで有効ですが、その出力データはパイプライン・ディレイ分の遅延ラグがあります。

**クロストーク (CROSSTALK)** とは、1 つのチャネルから別のチャネルへエネルギーが結合することです。

**微分非直線性 (DIFFERENTIAL NON-LINEARITY : DNL)** は、理想的なステップである 1LSB からの最大偏差として表されます。

**有効ビット (EFFECTIVE NUMBER OF BITS: ENOB)** は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は  $(SINAD - 1.76)/6.02$  として定義され、この値のビット数をもつ理想的な A/D コンバータに等しいコンバータであることを意味します。

**フルパワー入力帯域 (FULL POWER BANDWIDTH)** は、フルスケール入力に対して再現される出力基本周波数が低周波数帯域における値に対して 3dB 落ちる部分までの周波数として測定される帯域幅です。

**ゲイン誤差 (GAIN ERROR)** は、伝達関数の実測値と理想カーブとの偏差のことです。次の式で計算できます。

ゲイン誤差 = 正側フルスケール誤差 - 負側フルスケール誤差  
 正側ゲイン誤差と負側ゲイン誤差によって次のように表すこともできます。

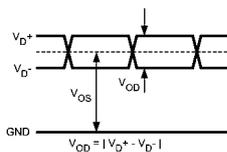
正側ゲイン誤差 = 正側フルスケール誤差 - オフセット誤差  
 負側ゲイン誤差 = オフセット誤差 - 負側フルスケール誤差

**積分非直線性 (INTEGRAL NON LINEARITY: INL)** は、ベストフィットさせた直線と各個別コードとの偏差を表します。この直線から任意のコードとの偏差は、各コード値の中央を基準として測定します。

**混変調歪み (INTERMODULATION DISTORTION: IMD)** は、A/D コンバータの入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

**LSB (LEAST SIGNIFICANT BIT)** は、全ビットのうち、最も小さな値、または最も小さな重みを持ったビットです。この値は  $V_{FS}/2^n$  として表されます。" $V_{FS}$ " はフルスケール入力電圧、" $n$ " は ADC の分解能 (ビット) です。

**LVDS 差動出力電圧 (LVDS DIFFERENTIAL OUTPUT VOLTAGE:  $V_{OD}$ )** は、それぞれグラウンドを基準として測定した差動出力電圧 ( $V_{D+}$  電圧と  $V_{D-}$ ) の絶対値です。



**LVDS 出力オフセット電圧 ( $V_{OS}$ )** は差動出力ペア電圧の中位電圧です。

**ミッシング・コード (MISSING CODES)** は、A/D コンバータから出力されない出力コードです。ADC14DS080/105 は、ミッシング・コードのないことが保証されています。

**MSB (MOST SIGNIFICANT BIT)** は、全ビットのうち、最も大きな値、または最も大きな重みを持ったビットです。MSB の値はフルスケールの 1/2 に相当します。

**負側フルスケール誤差 (NEGATIVE FULL SCALE ERROR)** は、最初のコード遷移点の実測値と(負側フルスケール + 0.5LSB)の理想値とのずれです。

**オフセット誤差 (OFFSET ERROR)** とは、コード 8191 から 8192 への遷移を発生させるために必要な、2 つの入力電圧の差  $[(V_{IN+}) - (V_{IN-})]$  です。

**出力ディレイ (OUTPUT DELAY)** は、クロック入力の立ち下がりにエッジから出力ピンにアップデートされたデータが現れるまでの遅延時間です。

**パイプライン・ディレイ (PIPELINE DELAY: LATENCY)** については「変換レイテンシ」(CONVERSION LATENCY)を参照してください。

**正側フルスケール誤差 (POSITIVE FULL SCALE ERROR)** は、最後のコード遷移点の実測値と(正側フルスケール - 1.5LSB)の理想値とのずれのことです。

**電源電圧除去比 (POWER SUPPLY REJECTION RATIO: PSRR)** は、電源電圧の変動を ADC でどの程度除去できるかを表したものです。PSRR は、最大 DC 電源限界値の電源での A/D コンバータのフルスケールの出力に対する、最小 DC 電源限界値の電源での A/D コンバータのフルスケールの出力の比であり、dB で表わされます。

**信号 / ノイズ比 (SIGNAL TO NOISE RATIO: SNR)** は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

**信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/N + D または SINAD)** は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

**スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE : SFDR)** は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現れる任意のスプリアス信号であり、入力に現れるものではありません。

**全高調波歪み (TOTAL HARMONIC DISTORTION: THD)** は、最初から第 6 番目までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で、dB で表されます。全高調波歪み THD は次式から求められます。

$$THD = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_7^2}{f_1^2}}$$

$f_1$  は基本周波数 (出力) パワーの実効値 (RMS 値)、 $f_2$  から  $f_7$  は出力スペクトラムに現れる高調波のうち最初から第 6 番目までの高調波のパワーです。

**二次高調波歪み (SECOND HARMONIC DISTORTION (2ND HARM))** とは、出力に現れる入力基本周波数の RMS パワーと二次高調波のパワーとの差を dB で表した値です。

**三次高調波歪み (THIRD HARMONIC DISTORTION (3RD HARM))** とは、出力に現れる入力基本周波数の RMS パワーと三次高調波のパワーとの差を dB で表した値です。

タイミング図

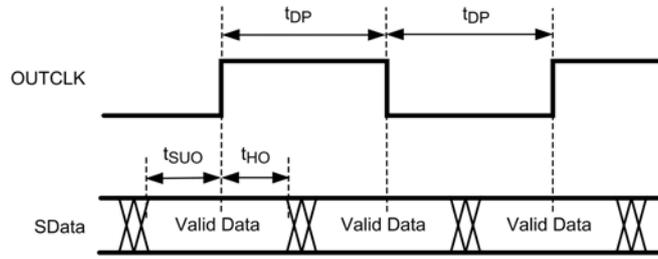


FIGURE 1. Serial Output Data Timing

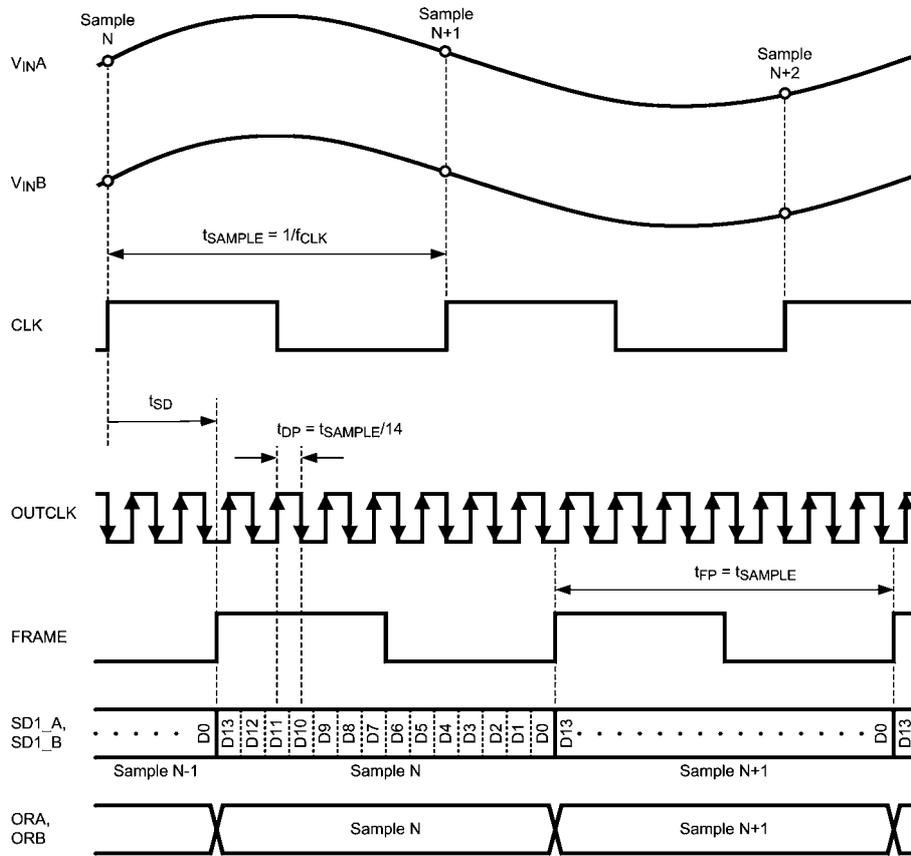


FIGURE 2. Serial Output Data Format in Single-Lane Mode

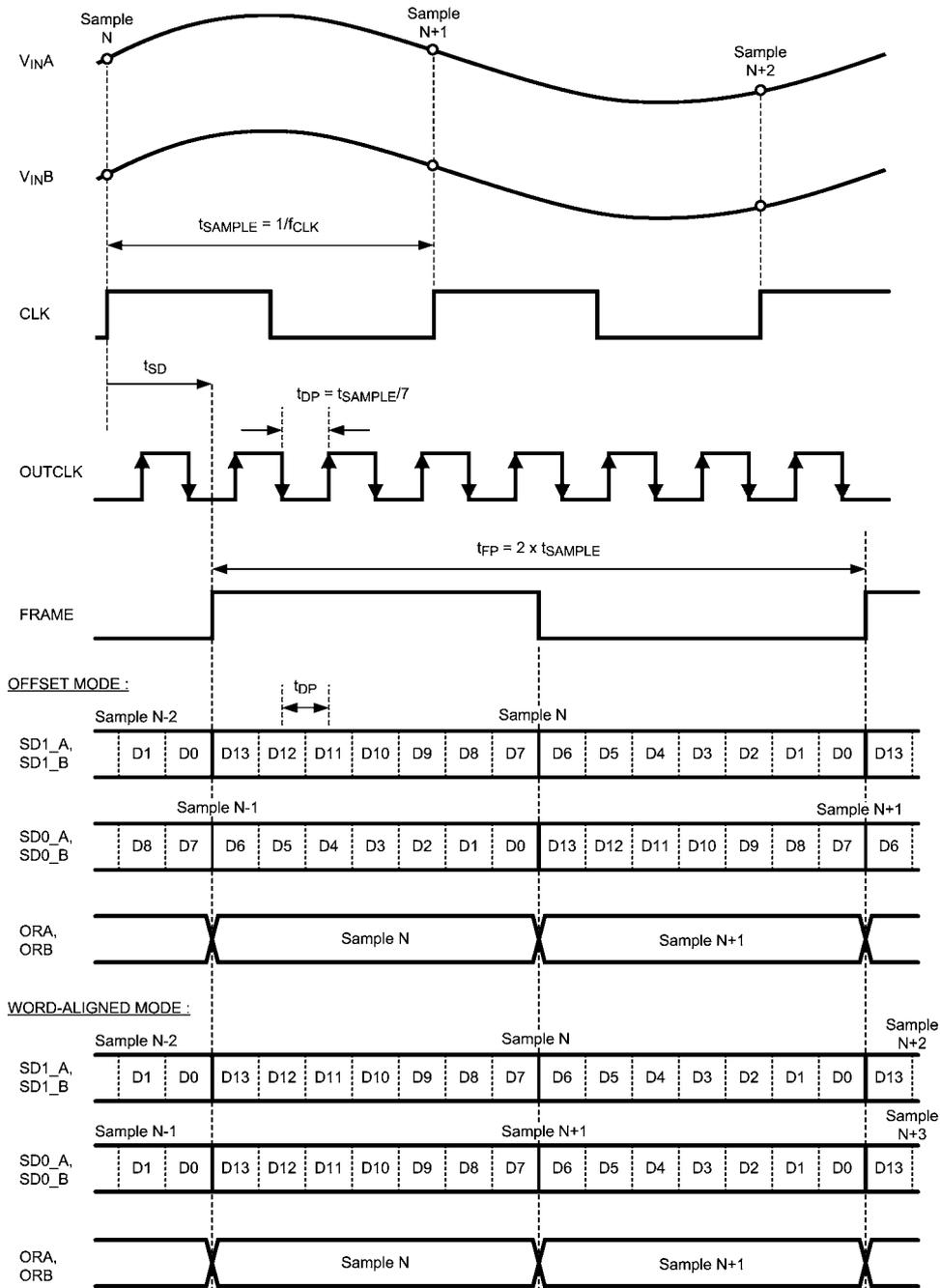


FIGURE 3. Serial Output Data Format in Dual-Lane Mode

変換特性

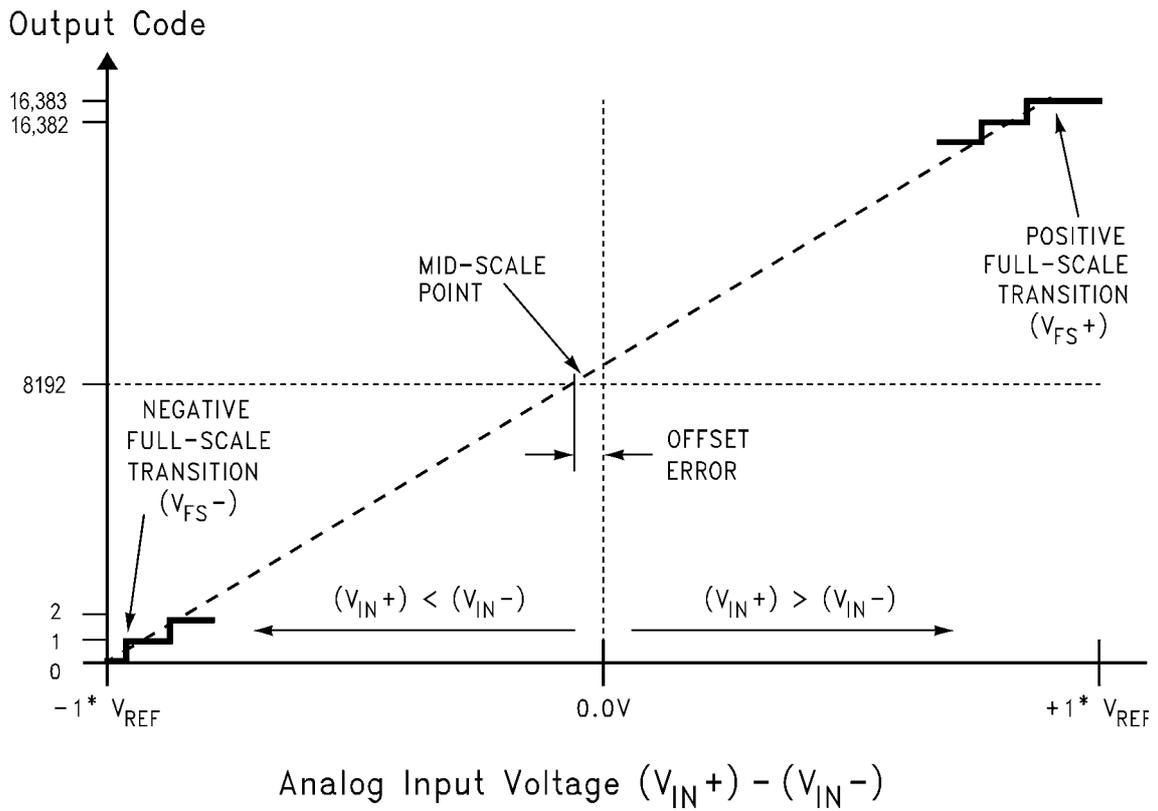


FIGURE 4. Transfer Characteristic

## 機能説明

ADC14DS080 は、+ 3.3V 電源を使用し差動パイプライン・アーキテクチャと誤差補正回路とオンチップ・サンプル / ホールド回路を使用して 14 ビットまで差動アナログ入力信号をデジタル化し、最大性能を確保しています。

シリアル出力データ・フォーマット：各チャネルのデジタル・データはシリアル形式で供給されます。シリアル・データ・フォーマットには 2 種類の動作モードがあります。シングル・レーン・シリアル・フォーマット (Figure 2 を参照) はチャネルごとに差動データ信号の 1 セットを使用します。デュアル・レーン・シリアル・フォーマット (Figure 3 参照) はチャネルごとに差動データ信号の 2 セットを使用して、データとクロック周波数を 2 分の 1 に低速化します。動作速度が遅い場合 (代表値で 65MSPS 未満) はシングル・レーン・モードの方が使用効率はよくなります。変換レートが速い場合はデュアル・レーン方式の方が望まれます。いずれにしても DDR タイプのクロック法が使われます。各データ・チャネルに対して、オーバーレンジ表示が用意されています。OR 信号はデータのフレームごとに更新されます。

## シリアル制御インタフェース

ADC14DS080 は制御レジスタのアクセスを可能とするシリアル・インタフェースを備えています。このシリアル・インタフェースは多くの

マイクロコントローラや DSP コントローラで使用されている SPI タイプのインタフェースと互換の汎用 4 線式同期インタフェースです。

シリアル制御インタフェースが動作するには、A/D コンバータのクロック入力が必要です。SPI\_EN (56 ピン) 信号を High にすると SPI インタフェースがイネーブルになります。この場合、直接制御されるピンは無効です。この信号を Low にすると、SPI インタフェースはディスエーブルとなり、直接制御ピンがイネーブルになります。SPI がイネーブルになっていると、パワーダウン機能は無効となるので注意してください。

各シリアル・インタフェース・アクセス・サイクルは正確に 16 ビット長です。レジスタへの書き込みは 1 サイクルで行われます。この場合のデータ・フィールドには同じサイクルのコマンド・フィールドでアドレスされたレジスタの内容が戻されます。レジスタへのランダム・アクセスによる読み取りは 2 サイクルを要します。1 サイクル目でアドレスをロードし、2 サイクル目で前のサイクルでアドレス指定されたレジスタを読み取ります。このインタフェースでサポートされているレジスタ空間は 16 ですがこのデバイスでは、その内のサブセットしか使用されていません。Figure 5 はこのインタフェースで使用されるアクセス・プロトコルが示されています。各信号の機能を次に説明します。読み取りタイミングは Figure 6 に、書き込みタイミングは Figure 7 に示されています。

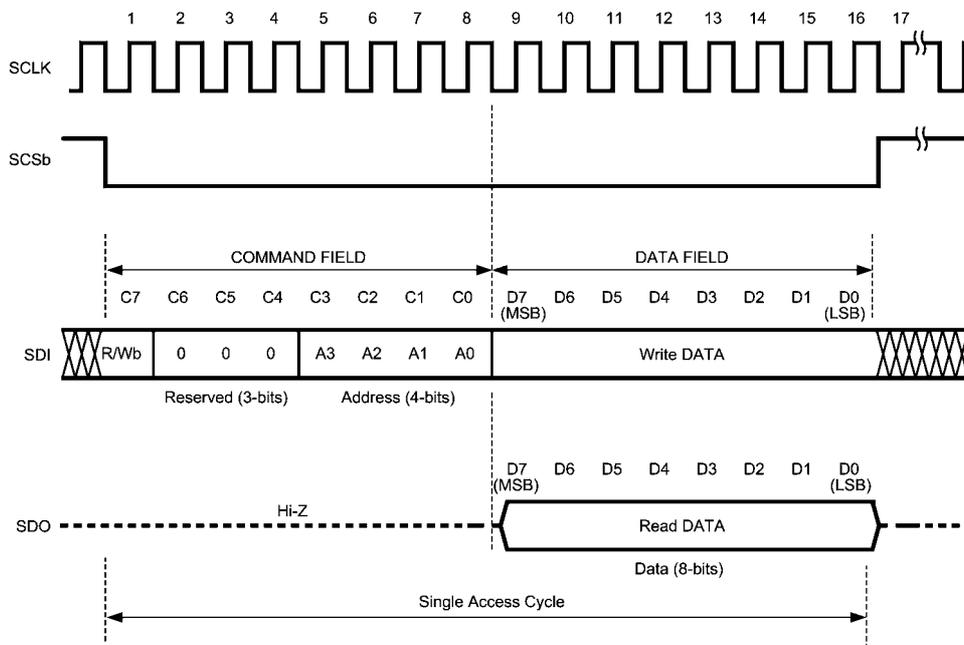


FIGURE 5. Serial Interface Protocol

信号の説明：

**SCLK:** 入力データ (SDI) をその立ち上がりエッジでレジスタ入力し、出力データ (SDO) をその立ち下がりエッジで出力します。クロックがイネーブルまたはディスエーブルされたとき、クロックのパルス幅の最小仕様値に違反しない限り、ユーザーはクロックをディスエーブルしてそれを Low 状態に保持することができます。

**SCSb:** シリアル・インタフェースのチップ選択。この信号がアサートされるたびに、新しいレジスタ・アクセスが始まります。つまり、SDATA フィールドのプロトコルが必要です。この信号は 16 番目のクロックごとに、アサートを解除する必要があります。SCSb が 16 番目のクロックより先早くアサート解除されたらアドレスまたはデータの書き込みは起こりません。書き込み動作の場合は、この立ち上がりエッジでちょうどシフト入力されたアドレスが捕捉され、アドレスされたレジスタに書き込まれます。アサート解除するために必要なパルス幅の最小値があり、「電気的特性」に規定されています。

### シリアル制御インタフェース(つぎ)

**SDI:** シリアル・データ。SCLK に対してセットアップ / ホールド要件満たさなければなりません。各サイクルは 16 ビット長です。

R/Wb: この値が '1' は読み取り動作、'0' は書き込み動作を示します。

予備: 将来のための予備です。0 に設定してください。

ADDR: 最大 16 レジスタまでアドレス可能です。

DATA: 書き込み動作では、このフィールドの値は SCSb がアサート解除されたとき、このサイクルでアドレスされたレジスタに書き込まれます。読み取り動作ではこのフィールドは無視されます。

**SDO:** この出力は通常 TRI-STATE であり、SCSb がアサートされた場合にのみ駆動されます。SCSb がアサートされると、最初のバイト時にアドレスされたレジスタ内容が 2 番目の 8 個の SCLK の立ち上がりエッジでシフト出力されます。電源投入時にはアドレスのデフォルト値は 00h です。

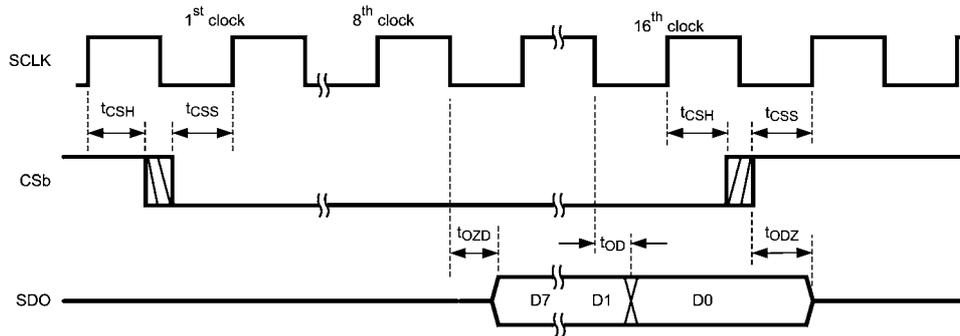


FIGURE 6. Read Timing

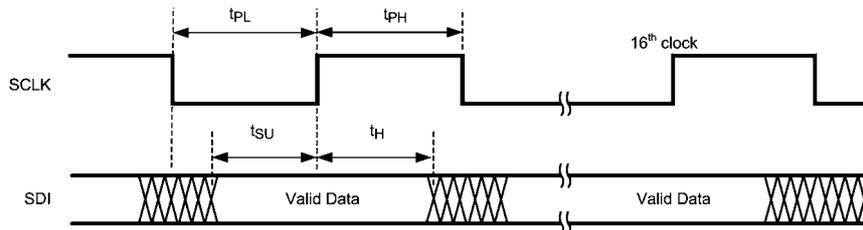


FIGURE 7. Write Timing

デバイス制御レジスタ、アドレス 0h

|    |     |     |    |     |          |   |   |
|----|-----|-----|----|-----|----------|---|---|
| 7  | 6   | 5   | 4  | 3   | 2        | 1 | 0 |
| OM | DLE | DCS | DF | WAM | Reserved |   |   |

Bits (7:6) 動作モード

00 通常動作。

01 テスト出力モード。固定のテスト・パターン (10100110001110、MSB LSB) がデータ出力に供給されます。

10 テスト出力モード。データ・パターンはレジスタ 01h とレジスタ 02h でユーザーによって定義され、データ出力に供給されます。

11 予備。

Bit 5 データ・レーン構成このビットを '0' に設定すると、シリアル・データ・インタフェースはデュアル・レーン・モードに構成され、データ・ワードは 2 つのデータ出力 (SD1 と SD0) にシングル・レーンインタフェースの場合の半分の速度で出力されます。このビットを '1' に設定するとシリアル・データは SD1 にのみ出力され、SD0 出力はハイ・インピーダンス状態に保持されます。

Bit 4 デューティ・サイクル・スタビライザ。このビットを '0' に設定すると、DCS はオフになります。このビットを '1' に設定すると DCS がオンになります。

Bit 3 データ・フォーマット。このビットを '1' に設定すると、データ出力は「2 の補数」形式になります。このビットを '0' に設定すると、データ出力は「オフセット・バイナリ」形式になります。

Bit 2      ワード整列モード。  
 このビットはシングル・レーン・モード動作では '0' に設定しなければなりません。  
 デュアル・レーン・モードではこのビットが '0' に設定されると、シリアル・データには半ワードだけオフセットが加わります。これによって、デバイスのレイテンシが最小になります。このビットが '1' に設定されると、シリアル・データ・ワードはワード整列モードになります。このモードでは、SD1レーン上のシリアル・データは1CLKサイクルだけ、さらに遅れます。(Figure 3を参照)。

Bit 1      予備。0 に設定してください。

Bit 0      予備。0 に設定してください。

リセット状態 : 08h

ユーザー・テスト・パターン・レジスタ 0、アドレス 1h

|          |   |                          |   |   |   |   |   |
|----------|---|--------------------------|---|---|---|---|---|
| 7        | 6 | 5                        | 4 | 3 | 2 | 1 | 0 |
| Reserved |   | User Test Pattern (13:8) |   |   |   |   |   |

Bits (7:6) 予備。0 に設定してください。

Bits (5:0) ユーザー・テスト・パターン。テスト出力モードでは 14 ビット・パターンの内の上位 6 ビットがデータ出力に供給されます。

リセット状態 : 00h

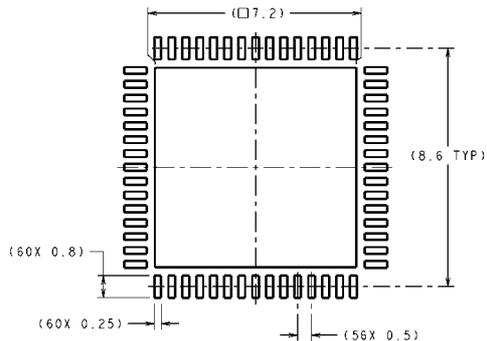
ユーザー・テスト・パターン・レジスタ 1、アドレス 2h

|                         |   |   |   |   |   |   |   |
|-------------------------|---|---|---|---|---|---|---|
| 7                       | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| User Test Pattern (7:0) |   |   |   |   |   |   |   |

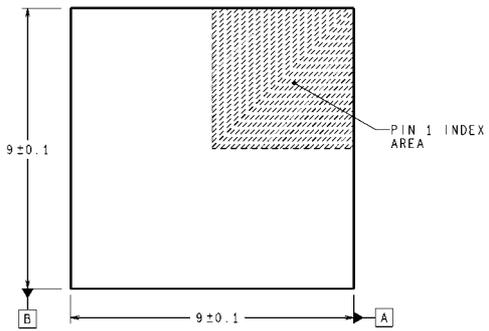
Bits (7:0) ユーザー・テスト・パターン。テスト出力モードでは 14 ビット・パターンの内の下位 8 ビットがデータ出力に供給されます。

リセット状態 : 00h

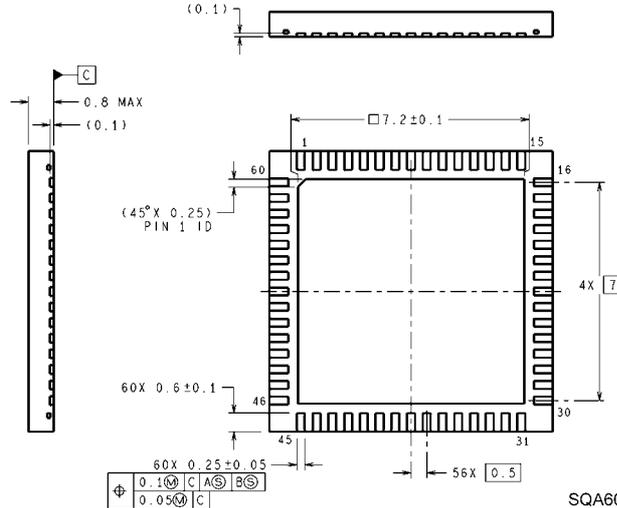
外形寸法図 単位は millimeters



RECOMMENDED LAND PATTERN



DIMENSIONS ARE IN MILLIMETERS  
DIMENSION IN ( ) FOR REFERENCE ONLY



SQA60A (Rev A)

TOP View.....SIDE View.....BOTTOM View

60-Lead LLP Package

Ordering Numbers:ADC14DS080CISQ

NS Package Number SQA60A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

#### 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation  
製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

## ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16      TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上