



# ローパワー、16ビット、500kHz、シングル/デュアル・ユニポーラ入力のADコンバータ シリアル・インターフェイス付き

## 特長

- アナログ電源：2.7V~5.5V
  - 低消費電力：10.6mW (+VA = 2.7V, +VBD = 1.8V)
- サンプリング・レート：500kHz
- 優れたDC特性
  - INL：±1.2LSB (標準) ±2LSB (最大)
  - DNL：±0.6LSB (標準) ±1LSB (最大)
  - NMC：16ビット (全動作温度範囲)
  - オフセット誤差：±0.5mV (最大、2.7V時)
  - オフセット誤差：±1mV (最大、5V時)
- 優れたAC特性 (f<sub>i</sub> = 10kHz時)
  - SNR：91dB, SFDR：101dB, THD：-98dB
- 変換クロック (CCLK) 内蔵
- I/O電源：1.65V~5.5V
  - SPI/DSP互換シリアル
  - 最大50MHzのSCLK
- 多様なパワーダウン・モード
  - ディープ・パワーダウン
  - ナップ・パワーダウン
  - オート・ナップ・パワーダウン

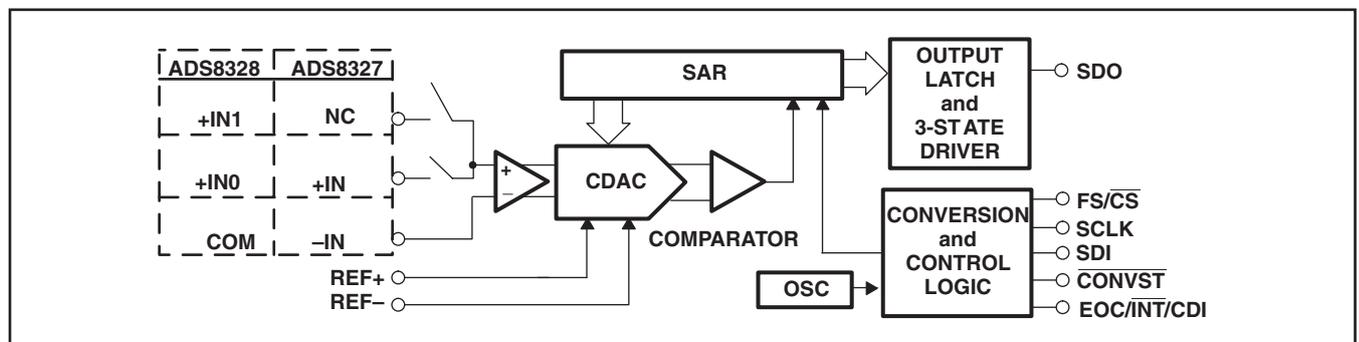
- ユニポーラ入力範囲：0V ~ V<sub>ref</sub>
- ソフトウェア・リセット
- 一括のCONVST (CSとは独立)
- プログラマブルなステータス/極性のEOC/INT
- 16ピンTSSOPパッケージ/4x4 QFNパッケージ
- マルチチップ・デジタイゼーション・モード
- プログラマブルTAGビット出力
- マニュアル/オート・チャンネル選択モード (ADS8328)

## アプリケーション

- コミュニケーション
- トランスデューサ・インターフェイス
- 医用機器
- 磁力計
- 産業プロセス制御
- データ収集システム
- 自動試験装置

低消費電力、高速SARコンバータ・ファミリー

Type/Speed		500 kHz	1 MHz
16 Bit Pseudo-Diff	Single	ADS8327	ADS8329
	Dual	ADS8328	ADS8330



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。

## 概要

ADS8327は低消費電力の16ビット、500kHzのA/Dコンバータであり、ユニポーラ入力を備えています。本デバイスには、サンプル・アンド・ホールドを伴う16ビットの容量ベースのSAR型A/Dコンバータがあります。

ADS8328はADS8327と同一のコアをベースとし、さらに、プログラマブル・オプションのTAGビット出力を備えた2対1の入力マルチプレクサがあります。ADS8327およびADS8328は、ともに高速かつ広範囲電圧のシリアル・インターフェイスを提供し、複数個を使用するとチェーン・モード動作が可能です。

これらのコンバータは16ピンTSSOPパッケージか4x4m QFNパッケージで提供され、産業用の-40°Cから+85°Cの温度範囲ですべての動作が規定されています。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

## 製品情報<sup>(1)</sup>

製品名	最小積分直線性 (LSB)	最小微分直線性 (LSB)	最大オフセット誤差 (mV)	パッケージ	パッケージ図番号	仕様温度範囲	発注番号	供給時の状態
ADS8327I	±3	-1/+2	±1.25	TSSOP-16	PW	-40°C to 85°C	ADS8327IPW	Tube90
							ADS8327IPWR	Tapeand reel 2000
				4X4QFN-16	RSA		ADS8327IRSAT	Smalltapeand reel250
							ADS8327IRSAR	Tapeand reel 3000
ADS8327IB	±2	±1	±1	TSSOP-16	PW	-40°C to 85°C	ADS8327IBPW	Tube90
							ADS8327IBPWR	Tapeand reel 2000
				4X4QFN-16	RSA		ADS8327IBRSAT	Smalltapeand reel250
							ADS8327IBRSAR	Tapeand reel 3000
ADS8328I	±3	-1/+2	±1.25	TSSOP-16	PW	-40°C to 85°C	ADS8328IPW	Tube90
							ADS8328IPWR	Tapeand reel 2000
				4X4QFN-16	RSA		ADS8328IRSAT	Smalltapeand reel250
							ADS8328IRSAR	Tapeand reel 3000
ADS8328IB	±2	±1	±1	TSSOP-16	PW	-40°C to 85°C	ADS8328IBPW	Tube90
							ADS8328IBPWR	Tapeand reel 2000
				4X4QFN-16	RSA		ADS8328IBRSAT	Smalltapeand reel250
							ADS8328IBRSAR	Tapeand reel 3000

(1) 最新のパッケージおよび注文情報については、本文書の巻末にある『パッケージ・オプション資料』あるいはTIウェブサイトwww.ti.comを参照願います。

## 絶対最大定格

動作温度範囲において(特に記述のない限り) <sup>(1)</sup>

		単位	
Voltage	+IN to AGND	-0.3 V to +VA + 0.3 V	
	-IN to AGND	-0.3 V to +VA + 0.3 V	
Voltage range	+VA to AGND	-0.3 V to 7 V	
	+VBD to BDGND	-0.3 V to 7 V	
	AGND to BDGND	-0.3 V to 0.3 V	
Digital input voltage to BDGND		-0.3 V to +VBD + 0.3 V	
Digital output voltage to BDGND		-0.3 V to +VBD + 0.3 V	
T <sub>A</sub>	Operating free-air temperature range	-40°C to 85°C	
T <sub>stg</sub>	Storage temperature range	-65°C to 150°C	
Junction temperature (T <sub>J</sub> max)		150°C	
TSSOP-16 Package	Lead temperature, soldering	Vapor phase (60 sec)	215°C
		Infrared (15 sec)	220°C
	Power dissipation	$(T_{JMax} - T_A)/\theta_{JA}$	
	$\theta_{JA}$ thermal impedance	86°C/W	
4x4 QFN-16 Package	Lead temperature, soldering	Vapor phase (60 sec)	215°C
		Infrared (15 sec)	220°C
	Power dissipation	$(T_{JMax} - T_A)/\theta_{JA}$	
	$\theta_{JA}$ thermal impedance	47°C/W	

(1) 絶対最大定格に記述される以上のストレスを加えると、デバイスは永久破壊されることがあります。これらはストレスのみの定格であり、これらの条件あるいは推奨動作条件を超える条件でのデバイスのファンクション動作は含まれません。また、絶対最大定格の条件下に長時間デバイスをさらすと、デバイスの信頼性に影響することがあります。

# 仕様

$T_A = -40^\circ\text{C}$  to  $85^\circ\text{C}$ ,  $+VA = 2.7\text{ V}$ ,  $+VBD = +VA \times 1.5$  to  $+1.65\text{ V}$ ,  $V_{\text{ref}} = 2.5\text{ V}$ ,  $f_{\text{SAMPLE}} = 500\text{ kHz}$  (特に記述がない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
<b>ANALOG INPUT</b>						
Full-scale input voltage <sup>(1)</sup>		+IN – (–IN) or (+INx – COM)	0		$+V_{\text{ref}}$	V
Absolute input voltage		+IN, +IN0, +IN1	AGND – 0.2		$+VA + 0.2$	V
		–IN or COM	AGND – 0.2		AGND + 0.2	
Input capacitance				40	45	pF
Input leakage current		No ongoing conversion, DC Input	–1		1	nA
Input channel isolation, ADS8328 only		At dc		108		dB
		$V_I = \pm 1.25 V_{\text{pp}}$ at 50 kHz		101		
<b>SYSTEM PERFORMANCE</b>						
Resolution				16		Bits
No missing codes			16			Bits
INL	Integral linearity	ADS8327IB, ADS8328IB	–2	$\pm 1.2$	2	LSB <sup>(2)</sup>
		ADS8327I, ADS8328I	–3	$\pm 2$	3	
DNL	Differential linearity	ADS8327IB, ADS8328IB	–1	$\pm 0.6$	1	LSB <sup>(2)</sup>
		ADS8327I, ADS8328I	–1	$\pm 1$	2	
$E_O$	Offset error <sup>(3)</sup>	ADS8327IB, ADS8328IB	–0.5	$\pm 0.1$	0.5	mV
		ADS8327I, ADS8328I	–0.8	$\pm 0.1$	0.8	
Offset error drift				0.2		PPM/ $^\circ\text{C}$
$E_G$	Gain error		–0.25	–0.07	0.25	%FSR
	Gain error drift			0.3		PPM/ $^\circ\text{C}$
CMRR	Common mode rejection ratio	At dc		70		dB
		$V_I = 0.4 V_{\text{pp}}$ at 1 MHz		50		
Noise				33		$\mu\text{V RMS}$
PSRR	Power supply rejection ratio	At FFFFh output code <sup>(3)</sup>		78		dB
<b>SAMPLING DYNAMICS</b>						
$t_{\text{CONV}}$	Conversion time			18		CCLK
$t_{\text{SAMPLE1}}$	Acquisition time	Manual trigger	3			CCLK
		Auto trigger		3		
$t_{\text{SAMPLE2}}$					500	kHz
Throughput rate						kHz
Aperture delay				5		ns
Aperture jitter				10		ps
Step response				100		ns
Overvoltage recovery				100		ns

- (1) 理想入力範囲であり、ゲイン誤差やオフセット誤差は含まれません。  
(2) LSBとは最下位ビットのことです。  
(3) 理想フルスケール入力[+IN – (–IN)] = 2.5Vについて測定 (+VA = 2.7V時)

# 仕様

$T_A = -40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ ,  $+VA = 2.7\text{ V}$ ,  $+VBD = +VA \times 1.5$  to  $+1.65\text{ V}$ ,  $V_{\text{ref}} = 2.5\text{ V}$ ,  $f_{\text{SAMPLE}} = 500\text{ kHz}$  (特に記述がない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
<b>DYNAMIC CHARACTERISTICS</b>						
THD	Total harmonic distortion <sup>(4)</sup>	$V_{\text{IN}} = 2.5\text{ V}_{\text{pp}}$ at 10 kHz		-98		dB
		$V_{\text{IN}} = 2.5\text{ V}_{\text{pp}}$ at 100 kHz		-83.5		
SNR	Signal-to-noise ratio	$V_{\text{IN}} = 2.5\text{ V}_{\text{pp}}$ at 10 kHz		88.5		dB
		$V_{\text{IN}} = 2.5\text{ V}_{\text{pp}}$ at 100 kHz		85		
SINAD	Signal-to-noise + distortion	$V_{\text{IN}} = 2.5\text{ V}_{\text{pp}}$ at 10 kHz		88.5		dB
		$V_{\text{IN}} = 2.5\text{ V}_{\text{pp}}$ at 100 kHz		81		
SFDR	Spurious free dynamic range	$V_{\text{IN}} = 2.5\text{ V}_{\text{pp}}$ at 10 kHz		101		dB
		$V_{\text{IN}} = 2.5\text{ V}_{\text{pp}}$ at 100 kHz		84		
-3dB Small signal bandwidth				30		MHz
<b>CLOCK</b>						
Internal conversion clock frequency			10.5	11	12.2	MHz
SCLK External serial clock		Used as I/O clock only			33	MHz
		As I/O clock and conversion clock	1		21	
<b>EXTERNAL VOLTAGE REFERENCE INPUT</b>						
$V_{\text{ref}}$	Input reference range	$V_{\text{ref}}(\text{REF+} - \text{REF-})$	$3.6\text{ V} \geq +VA \geq 2.7\text{ V}$	0.3	2.525	V
		$(\text{REF-}) - \text{AGND}$		-0.1	0.1	
Resistance <sup>(5)</sup>		Reference input		80		k $\Omega$
<b>DIGITAL INPUT/OUTPUT</b>						
Logic family – CMOS						
$V_{\text{IH}}$	High-level input voltage	$(+VA \times 1.5)\text{ V} \geq +VBD \geq 1.65\text{ V}$	$0.65 \times (+VBD)$		$+VBD + 0.3$	V
$V_{\text{IL}}$	Low-level input voltage	$(+VA \times 1.5)\text{ V} \geq +VBD \geq 1.65\text{ V}$	-0.3		$0.35 \times (+VBD)$	V
$I_{\text{I}}$	Input current	$V_{\text{I}} = +VBD$ or $\text{BDGND}$	-50		50	nA
$C_{\text{I}}$	Input capacitance			5		pF
$V_{\text{OH}}$	High-level output voltage	$(+VA \times 1.5)\text{ V} \geq +VBD \geq 1.65\text{ V}$ , $I_{\text{O}} = 100\text{ }\mu\text{A}$	$+VBD - 0.6$		$+VBD$	V
$V_{\text{OL}}$	Low-level output voltage	$(+VA \times 1.5)\text{ V} \geq +VBD \geq 1.65\text{ V}$ , $I_{\text{O}} = 100\text{ }\mu\text{A}$	0		0.4	V
$C_{\text{O}}$	Output capacitance			5		pF
$C_{\text{L}}$	Load capacitance				30	pF
Data format – straight binary						
<b>POWER SUPPLY REQUIREMENTS</b>						
Power supply voltage	+VBD		1.65	+VA	$1.5 \times (+VA)$	V
	+VA		2.7		3.6	V
Supply current	500-kHz Sample rate			3.8	5	mA
	Nap mode			0.2	0.4	
	PD Mode			2	50	
Buffer I/O supply current		500 KSPS		0.2		mA
Power dissipation		$+VA = 2.7\text{ V}$ , $+VBD = 1.8\text{ V}$		10.6	14	mW
<b>TEMPERATURE RANGE</b>						
$T_A$	Operating free-air temperature		-40		85	$^{\circ}\text{C}$

(4) 入力周波数の低次の9次高調波について計算。

(5)  $\pm 30\%$ の変動があります。

# 仕様

$T_A = -40^\circ\text{C}$  to  $85^\circ\text{C}$ ,  $+VA = 5\text{ V}$ ,  $+VBD = +5.5\text{ V}$  to  $+1.65\text{ V}$ ,  $V_{\text{ref}} = 4.096\text{ V}$ ,  $f_{\text{SAMPLE}} = 500\text{ kHz}$  (特に記述がない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
<b>ANALOG INPUT</b>						
Full-scale input voltage <sup>(1)</sup>		+IN – (–IN) or (+INx – COM)	0		+V <sub>ref</sub>	V
Absolute input voltage		+IN, +IN0, +IN1	AGND – 0.2		+VA + 0.2	V
		–IN or COM	AGND – 0.2		AGND + 0.2	
Input capacitance				40	45	pF
Input leakage current		No ongoing conversion, DC Input	–1		1	nA
Input channel isolation, ADS8328 only		At dc		109		dB
		V <sub>I</sub> = ±1.25 V <sub>pp</sub> at 50 kHz		101		
<b>SYSTEM PERFORMANCE</b>						
Resolution				16		Bits
No missing codes			16			Bits
INL	Integral linearity	ADS8327IB, ADS8328IB	–2	±1.5	2	LSB <sup>(2)</sup>
		ADS8327I, ADS8328I	–3	±2	3	
DNL	Differential linearity	ADS8327IB, ADS8328IB	–1	±0.7	1	LSB <sup>(2)</sup>
		ADS8327I, ADS8328I	–1	±1	2	
E <sub>O</sub>	Offset error <sup>(3)</sup>	ADS8327IB, ADS8328IB	–1	±0.4	1	mV
		ADS8327I, ADS8328I	–1.25	±0.4	1.25	
Offset error drift				0.5		PPM/°C
E <sub>G</sub>	Gain error		–0.25	–0.07	0.25	%FSR
	Gain error drift			0.3		PPM/°C
CMRR	Common mode rejection ratio	At dc		70		dB
		V <sub>I</sub> = 1 V <sub>pp</sub> at 1 MHz		50		
Noise				33		μV RMS
PSRR	Power supply rejection ratio	At FFFFh output code <sup>(3)</sup>		78		dB
<b>SAMPLING DYNAMICS</b>						
t <sub>CONV</sub>	Conversion time			18		CCLK
t <sub>SAMPLE 1</sub>	Acquisition time	Manual trigger	3			CCLK
		Auto trigger		3		
t <sub>SAMPLE 2</sub>						
Throughput rate					500	kHz
Aperture delay				5		ns
Aperture jitter				10		ps
Step response				100		ns
Overvoltage recovery				100		ns

(1) 理想入力範囲であり、ゲイン誤差やオフセット誤差は含まれません。

(2) LSBとは最下位ビットのことです。

(3) 理想フルスケール入力[+IN – (–IN)] = 2.5Vについて測定 (+VA=2.7V時)。

# 仕様

$T_A = -40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ ,  $+VA = 5\text{ V}$ ,  $+VBD = +5.5\text{ V}$  to  $+1.65\text{ V}$ ,  $V_{\text{ref}} = 4.096\text{ V}$ ,  $f_{\text{SAMPLE}} = 500\text{ kHz}$  (特に記述がない限り)

パラメータ		テスト条件		MIN	TYP	MAX	単位	
<b>DYNAMIC CHARACTERISTICS</b>								
THD	Total harmonic distortion <sup>(4)</sup>	$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 10 kHz				-96	dB	
		$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 100 kHz,	ADS8327/281B			-95.7		
		$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 100 kHz,	ADS8327/281			-95.7		
SNR	Signal-to-noise ratio	$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 10 kHz				91	dB	
		$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 100 kHz				89		
SINAD	Signal-to-noise + distortion	$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 10 kHz				91	dB	
		$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 100 kHz				88		
SFDR	Spurious free dynamic range	$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 10 kHz				100	dB	
		$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 100 kHz,	ADS8327/281B			98.8		
		$V_{\text{IN}} = 4.096\text{ V}_{\text{pp}}$ at 100 kHz,	ADS8327/281			98.8		
-3dB Small signal bandwidth						30	MHz	
<b>CLOCK</b>								
Internal conversion clock frequency				10.9	12	12.6	MHz	
SCLK External serial clock		Used as I/O clock only				50	MHz	
		As I/O clock and conversion clock				1		21
<b>EXTERNAL VOLTAGE REFERENCE INPUT</b>								
$V_{\text{ref}}$	Input reference range	$V_{\text{ref}}(\text{REF+} - \text{REF-})$	$5.5\text{ V} \geq +VA \geq 4.5\text{ V}$	0.3	4.096	4.2	V	
		$(\text{REF-}) - \text{AGND}$		-0.1		0.1		
Resistance <sup>(5)</sup>		Reference input				80	k $\Omega$	
<b>DIGITAL INPUT/OUTPUT</b>								
Logic family - CMOS								
$V_{\text{IH}}$	High-level input voltage	$5.5\text{ V} \geq +VBD \geq 4.5\text{ V}$		$0.65 \times (+VBD)$	$+VBD + 0.3$		V	
$V_{\text{IL}}$	Low-level input voltage	$5.5\text{ V} \geq +VBD \geq 4.5\text{ V}$		-0.3	$0.35 \times (+VBD)$		V	
$I_{\text{I}}$	Input current	$V_{\text{I}} = +VBD$ or BDGND				-50	50	nA
$C_{\text{I}}$	Input capacitance					5	pF	
$V_{\text{OH}}$	High-level output voltage	$5.5\text{ V} \geq +VBD \geq 4.5\text{ V}$ , $I_{\text{O}} = 100\ \mu\text{A}$				$+VBD - 0.6$	$+VBD$	V
$V_{\text{OL}}$	Low-level output voltage	$5.5\text{ V} \geq +VBD \geq 4.5\text{ V}$ , $I_{\text{O}} = 100\ \mu\text{A}$				0	0.4	V
$C_{\text{O}}$	Output capacitance					5	pF	
$C_{\text{L}}$	Load capacitance					30	pF	
Data format - straight binary								
<b>POWER SUPPLY REQUIREMENTS</b>								
Power supply voltage	+VBD			1.65	3.3	5.5	V	
	+VA			4.5	5	5.5	V	
Supply current	500-kHz Sample rate					5	6.2	mA
	Nap mode					0.3	0.5	
	PD Mode					6	50	nA
Buffer I/O supply current	500 KSPS					1		mA
Power dissipation	$+VA = 5\text{ V}$ , $+VBD = 5\text{ V}$					30	38.5	mW
	$+VA = 5\text{ V}$ , $+VBD = 1.8\text{ V}$					25.4	32	
<b>TEMPERATURE RANGE</b>								
$T_A$	Operating free-air temperature					-40	85	$^{\circ}\text{C}$

(4) 入力周波数の低次の9次高調波について計算。

(5)  $\pm 30\%$ の変動があります。

## タイミング特性

標準的な仕様：-40°C to 85°C, +VA = 2.7 v, +VBD = 1.8 V <sup>(1)(2)</sup>

パラメータ		MIN	TYP	MAX	単位
f <sub>CCLK</sub>	Frequency, conversion clock, CCLK	External, f <sub>CCLK</sub> = 1/2 f <sub>SCLK</sub>	0.5	10.5	MHz
		Internal	10.5	12	
t <sub>su</sub> (CSF-EOC)	Setup time, falling edge of $\overline{CS}$ to EOC	1			CCLK
t <sub>h</sub> (CSF-EOC)	Hold time, falling edge of $\overline{CS}$ to EOC	0			ns
t <sub>wL</sub> (CONVST)	Pulse duration, $\overline{CONVST}$ low	40			ns
t <sub>su</sub> (CSF-EOS)	Setup time, falling edge of $\overline{CS}$ to EOS	20			ns
t <sub>h</sub> (CSF-EOS)	Hold time, falling edge of $\overline{CS}$ to EOS	20			ns
t <sub>su</sub> (CSR-EOS)	Setup time, rising edge of $\overline{CS}$ to EOS	20			ns
t <sub>h</sub> (CSR-EOS)	Hold time, rising edge of $\overline{CS}$ to EOS	20			ns
t <sub>su</sub> (CSF-SCLK1R)	Setup time, falling edge of $\overline{CS}$ to SCLK	5		t <sub>c</sub> (SCLK) <sub>-5</sub>	ns
t <sub>wL</sub> (SCLK)	Pulse duration, SCLK low	8		t <sub>c</sub> (SCLK) <sub>-8</sub>	ns
t <sub>wH</sub> (SCLK)	Pulse duration, SCLK high	8		t <sub>c</sub> (SCLK) <sub>-8</sub>	ns
t <sub>c</sub> (SCLK)	Cycle time, SCLK	I/O Clock only	30		ns
		I/O and conversion clock	47.6	1000	
		I/O Clock, chain mode	30		
		I/O and conversion clock, chain mode	47.6	1000	
t <sub>d</sub> (SCLKF-SDOINVALID)	Delay time, falling edge of SCLK to SDO invalid	10-pF Load	8		ns
t <sub>d</sub> (SCLKF-SDOVALID)	Delay time, falling edge of SCLK to SDO valid	10-pF Load		25	ns
t <sub>d</sub> (CSF-SDOVALID)	Delay time, falling edge of $\overline{CS}$ to SDO valid, SDO MSB output	10-pF Load		25	ns
t <sub>su</sub> (SDI-SCLKF)	Setup time, SDI to falling edge of SCLK	8			ns
t <sub>h</sub> (SDI-SCLKF)	Hold time, SDI to falling edge of SCLK	4			ns
t <sub>d</sub> (CSR-SDOZ)	Delay time, rising edge of $\overline{CS}/FS$ to SDO 3-state			5	ns
t <sub>su</sub> (lastSCLKF-CSR)	Setup time, last falling edge of SCLK before rising edge of $\overline{CS}/FS$	10			ns
t <sub>d</sub> (SDO-CDI)	Delay time, CDI high to SDO high in daisy chain mode	10-pF Load, chain mode		25	ns

(1) 入力信号はすべて $t_r = t_f = 1.5\text{ns}$  ( $V_{DD}$ の10%から90%)で規定し、時間測定は $(V_{IL}+V_{IH})/2$ の電圧を使用しています。

(2) タイミング図を参照。

## タイミング特性

標準的な仕様：-40°C to 85°C, +VA = +VBD = 5 V <sup>(1)(2)</sup>

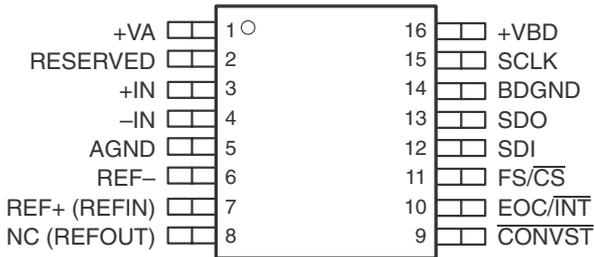
パラメータ			MIN	TYP	MAX	単位
f <sub>CCLK</sub>	Frequency, conversion clock, CCLK	External, f <sub>CCLK</sub> = 1/2 f <sub>SCLK</sub>	0.5		10.5	MHz
		Internal	10.9	12	12.6	
t <sub>SU(CSF-EOC)</sub>	Setup time, falling edge of $\overline{CS}$ to EOC		1			CCLK
t <sub>H(CSF-EOC)</sub>	Hold time, falling edge of $\overline{CS}$ to EOC		0			ns
t <sub>WL(CONVST)</sub>	Pulse duration, $\overline{CONVST}$ low		40			ns
t <sub>SU(CSF-EOS)</sub>	Setup time, falling edge of $\overline{CS}$ to EOS		20			ns
t <sub>H(CSF-EOS)</sub>	Hold time, falling edge of $\overline{CS}$ to EOS		20			ns
t <sub>SU(CSR-EOS)</sub>	Setup time, rising edge of $\overline{CS}$ to EOS		20			ns
t <sub>H(CSR-EOS)</sub>	Hold time, rising edge of $\overline{CS}$ to EOS		20			ns
t <sub>SU(CSF-SCLK1R)</sub>	Setup time, falling edge of $\overline{CS}$ to SCLK		5	t <sub>c(SCLK)</sub> <sub>5</sub>		ns
t <sub>WL(SCLK)</sub>	Pulse duration, SCLK low		8	t <sub>c(SCLK)</sub> <sub>8</sub>		ns
t <sub>WH(SCLK)</sub>	Pulse duration, SCLK high		8	t <sub>c(SCLK)</sub> <sub>8</sub>		ns
t <sub>c(SCLK)</sub>	Cycle time, SCLK	I/O Clock only	20			ns
		I/O and conversion clock	47.6		1000	
		I/O Clock, chain mode	20			
		I/O and conversion clock, chain mode	47.6		1000	
t <sub>d(SCLKF-SDOINVALID)</sub>	Delay time, falling edge of SCLK to SDO invalid	10-pF Load	5			ns
t <sub>d(SCLKF-SDOVALID)</sub>	Delay time, falling edge of SCLK to SDO valid	10-pF Load			12	ns
t <sub>d(CSF-SDOVALID)</sub>	Delay time, falling edge of $\overline{CS}$ to SDO valid, SDO MSB output	10-pF Load			12	ns
t <sub>SU(SDI-SCLKF)</sub>	Setup time, SDI to falling edge of SCLK		8			ns
t <sub>H(SDI-SCLKF)</sub>	Hold time, SDI to falling edge of SCLK		4			ns
t <sub>d(CSR-SDOZ)</sub>	Delay time, rising edge of $\overline{CS}/FS$ to SDO 3-state				5	ns
t <sub>SU(lastSCLKF-CSR)</sub>	Setup time, last falling edge of SCLK before rising edge of $\overline{CS}/FS$		10			ns
t <sub>d(SDO-CDI)</sub>	Delay time, CDI high to SDO high in daisy chain mode	10-pF Load, chain mode			16	ns

(1) 入力信号はすべて  $t_r = t_f = 1.5\text{ns}$  ( $V_{DD}$ の10%から90%)で規定し、時間測定は  $(V_{IL} + V_{IH})/2$ の電圧を使用しています。

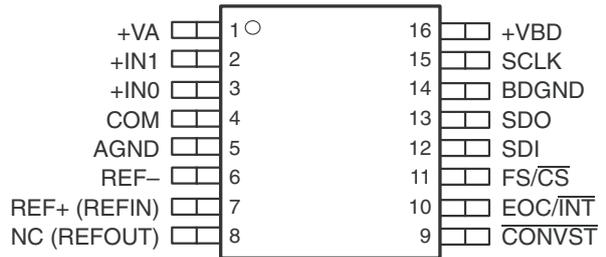
(2) タイミング図を参照。

# 端子配置

**ADS8327  
PW PACKAGE  
(TOP VIEW)**

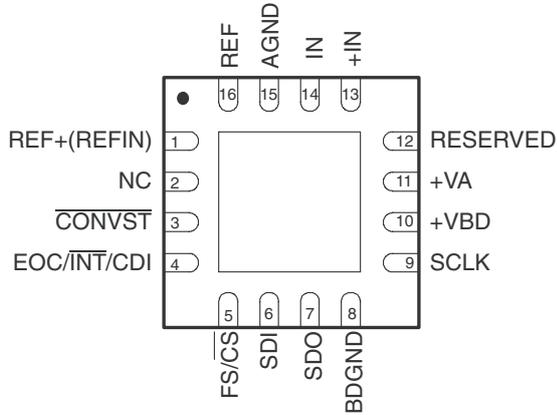


**ADS8328  
PW PACKAGE  
(TOP VIEW)**

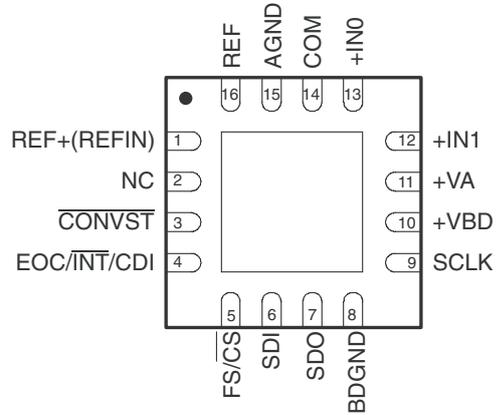


NC – No internal connection

**ADS8327  
RSA PACKAGE  
(TOP VIEW)**



**ADS8328  
RSA PACKAGE  
(TOP VIEW)**



NC – No internal connection

## ADS8327 端子機能

NAME	NO.		I/O	DESCRIPTION
	TSSOP	QFN		
AGND	5	15	–	アナログ用グラウンド。
BDGND	14	8	–	インターフェイス用グラウンド。
CONVST	9	3		サンプル・アンド・ホールドを凍結し、次の内部クロックの立ち上がりエッジで変換を開始する。
EOC/ INT/ CDI	10	4	O	ステータス出力。EOCとしてプログラムされると、本ピンは変換の進行中ロー（デフォルト）になる。割込み（INT）としてプログラムされると、変換終了後のプログラムされた期間だけ本ピンはローになり、有効なデータが出力される。EOCあるいはINTの極性はプログラマブルである。デバイスがチェーン・モードで動作する場合、本ピンはチェーン・データ入力として使用できる。
FS/CS	11	5		TMS320 DSPのシリアル・インターフェイスのフレーム同期信号、あるいはSPIインターフェイスのスレーブ・セレクト（SS-）のチップ・セレクト入力。
+IN	3	13	I	非反転入力。
-IN	4	14	I	反転入力。通常はグラウンドに接続。
NC	8	2		接続なし。
REF+	7	1	I	外部基準電圧入力。
REF-	6	16		専用のビアでAGNDに接続。
RESERVED	2	12	–	アナログ・グラウンドに接続予約。
SCLK	15	9		シリアル・インターフェイス用クロック。
SDI	12	6	I	シリアル・データ・イン。
SDO	13	7	O	シリアル・データ・アウト。
+VA	1	11		アナログ電源。+2.7Vから+5.5VDC。
+VBD	16	10		インターフェイス用電源。

## ADS8328端子機能

NAME	NO.		I/O	DESCRIPTION
	TSSOP	QFN		
AGND	5	15	–	アナログ用グラウンド。
BDGND	14	8	–	インターフェイス用グラウンド。
COM	4	14	I	コモン反転入力。通常はグラウンドに接続。
CONVST	9	3		サンプル・アンド・ホールドを凍結し、次の内部クロックの立ち上がりエッジで変換を開始する。
EOC/ INT/ CDI	10	4	O	ステータス出力。EOCとしてプログラムされると、本ピンは変換の進行中ロー（デフォルト）になる。割込み（INT）としてプログラムされると、変換後のプログラムされた期間だけ本ピンはローになり、有効なデータが出力される。EOCあるいはINTの極性はプログラマブルである。デバイスがチェーン・モードで動作する場合、本ピンはチェーン・データ入力として使用できる。
FS/CS	11	5		TMS320 DSPのシリアル・インターフェイスのフレーム同期信号、あるいはSPIインターフェイスのスレーブ・セレクト（SS-）のチップ・セレクト入力。
+IN1	2	12	I	第2非反転入力。
+IN0	3	13	I	第1非反転入力。
NC	8	2	–	接続なし。
REF+	7	1	I	外部基準電圧入力。
REF-	6	16		個別のビアでAGNDに接続。
SCLK	15	9		シリアル・インターフェイス用クロック。
SDI	12	6	I	シリアル・データ・イン（変換開始およびリセットが可能）。
SDO	13	7	O	シリアル・データ・アウト。
+VA	1	11		アナログ電源。+2.7Vから+5.5VDC。
+VBD	16	10		インターフェイス用電源。

MANUAL TRIGGER / READ While Sampling  
 (use internal CCLK, EOC and INT polarity programmed as active low)

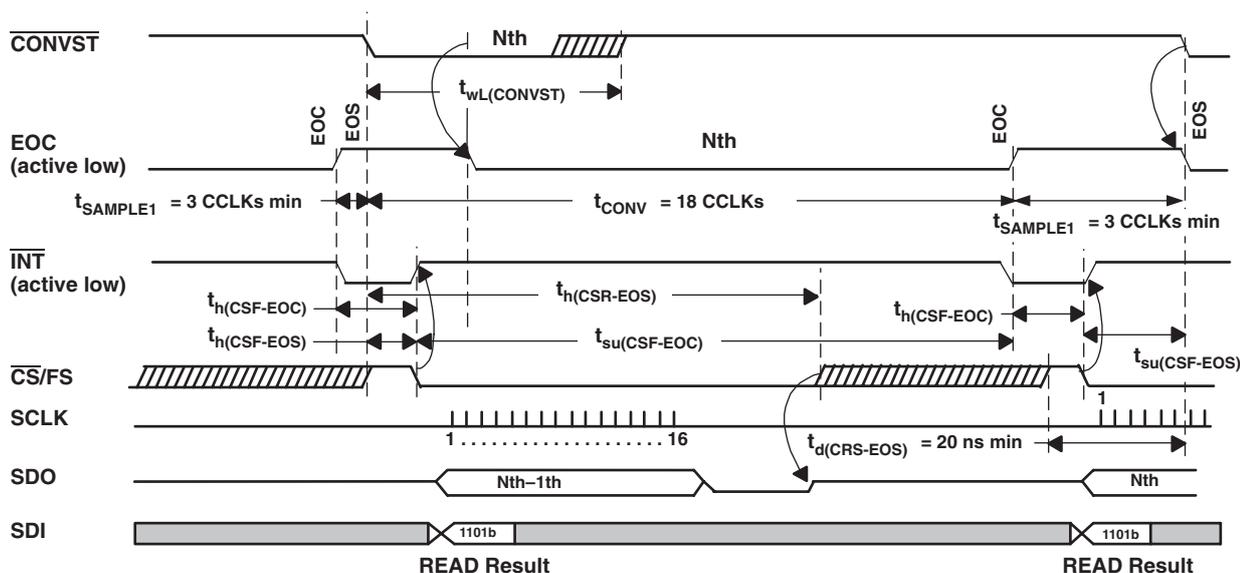


図 1. マニュアル・トリガ(サンプリング中のリード)時の変換とアキュジション・サイクルのタイミング

AUTO TRIGGER / READ While Sampling  
 (use internal CCLK, EOC and INT polarity programmed as active low)

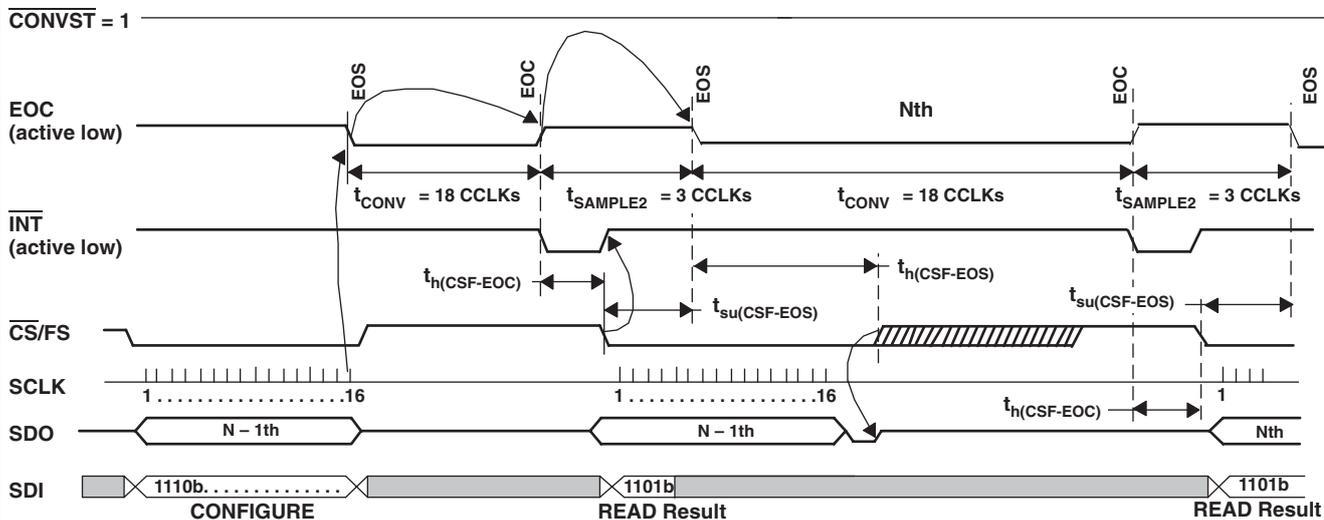


図 2. オート・トリガ(サンプリング中のリード)時の変換とアキュジション・サイクルのタイミング

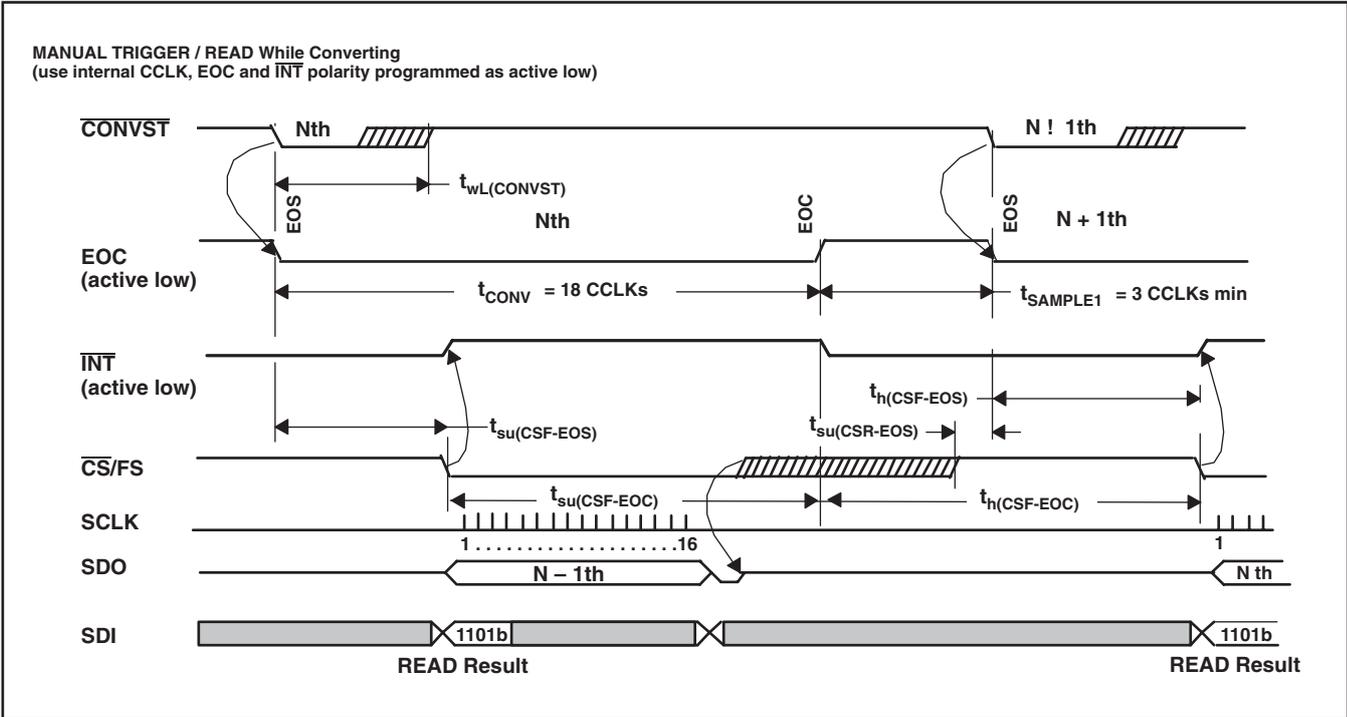


図 3. マニュアル・トリガ(変換中のリード) 時の変換とアクイジション・サイクルのタイミング

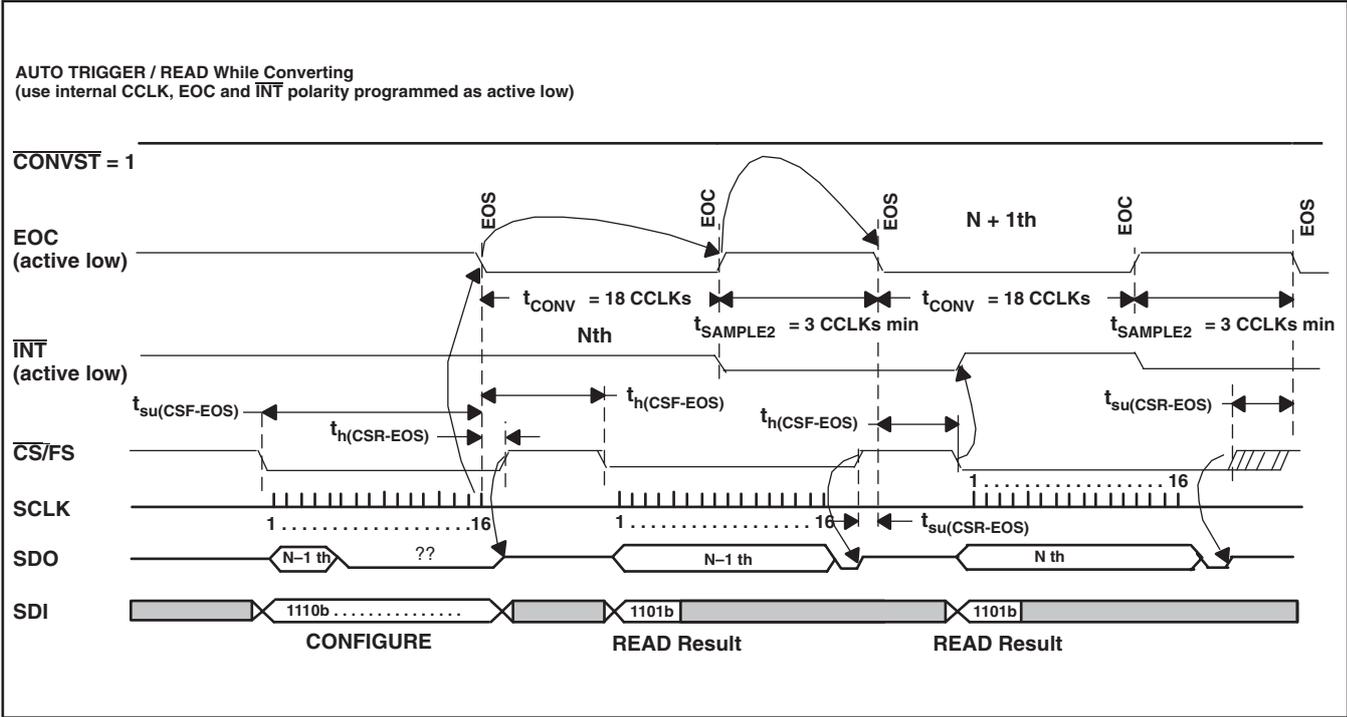


図 4. オート・トリガ(変換中のリード)時の変換とアクイジション・サイクルのタイミング

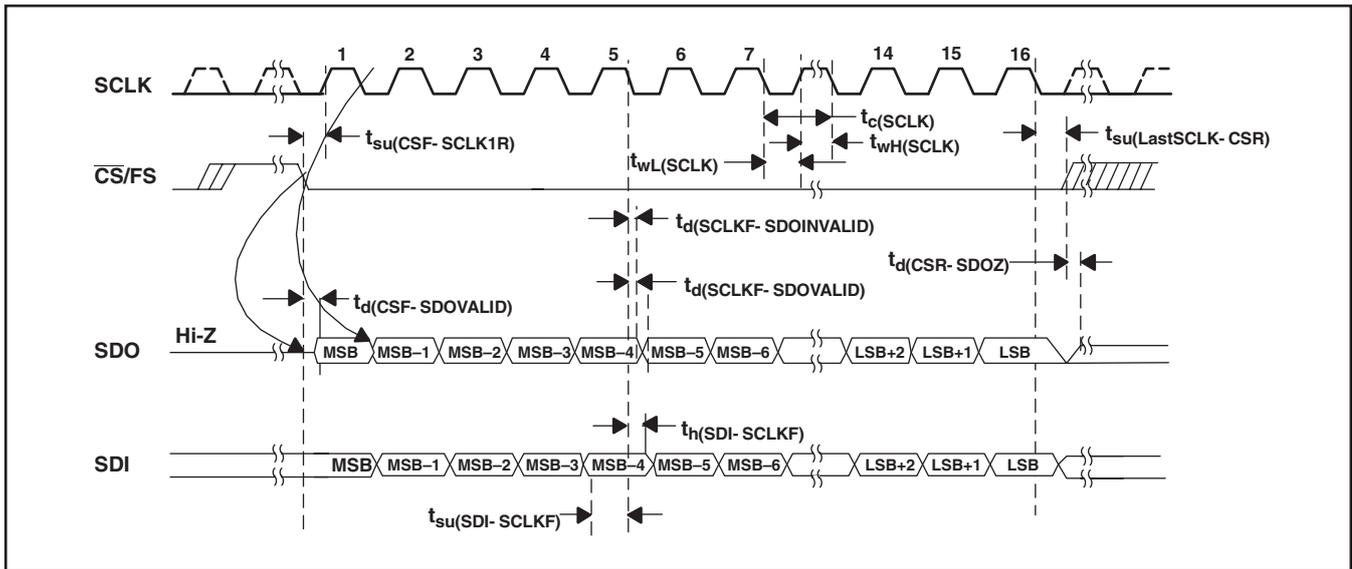


図 5. 詳細なSPI伝送タイミング

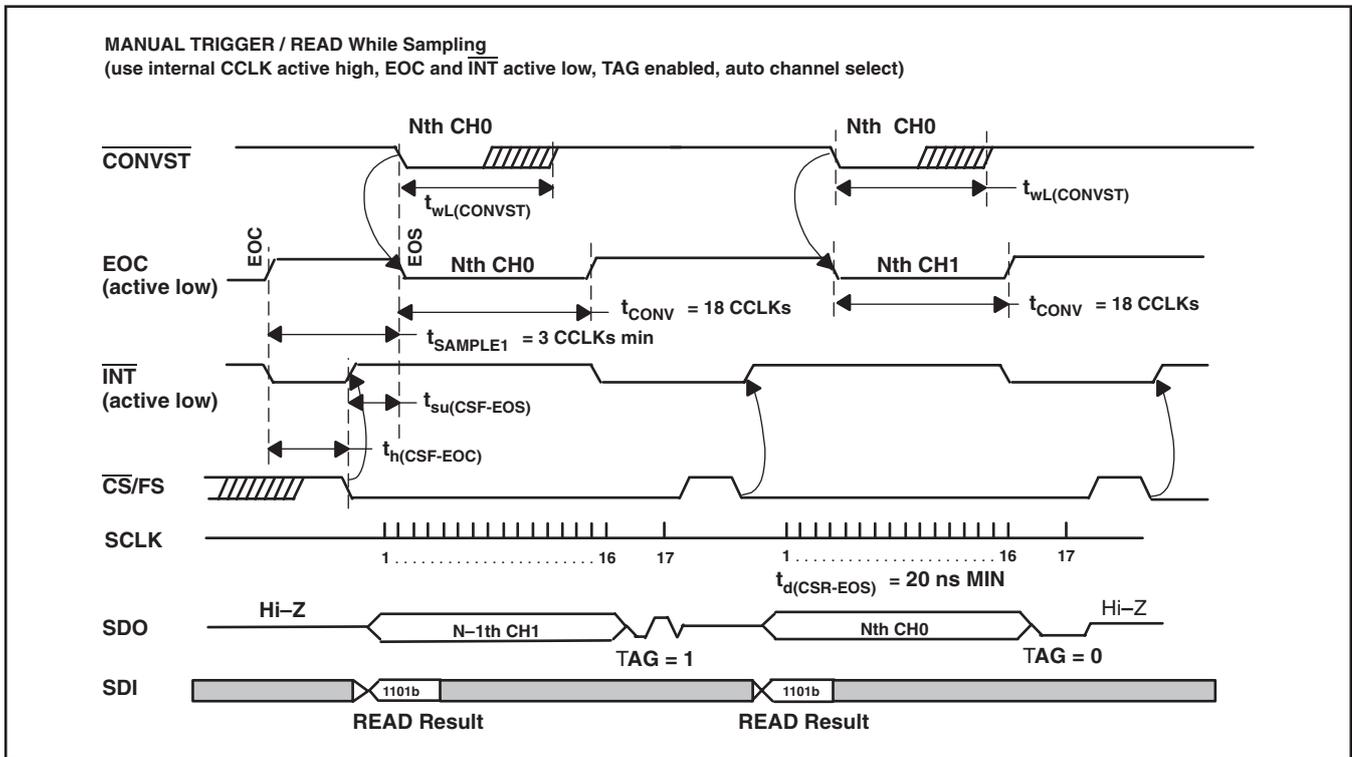


図 6. 単純化したデュアル・チャネルのタイミング

## 標準的な特性

At  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ ,  $V_{\text{ref}}$  (REF+ – REF–) = 4.096 V when  $+V_A = +V_{\text{BD}} = 5\text{ V}$  or  $V_{\text{ref}}$  (REF+ – REF–) = 2.5 V when  $+V_A = +V_{\text{BD}} = 2.7\text{ V}$ ,  $f_{\text{SCLK}} = 21\text{ MHz}$ ,  $f_i = \text{DC}$  for DC curves,  $f_i = 100\text{ kHz}$  for AC curves (特に記述がない限り)

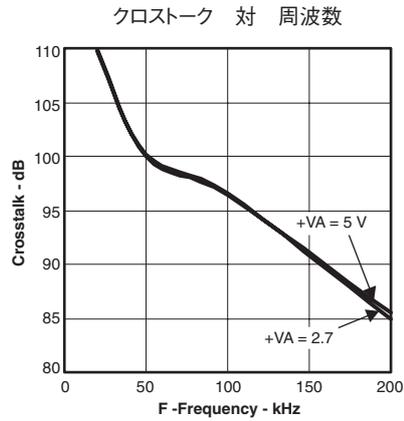


図 7

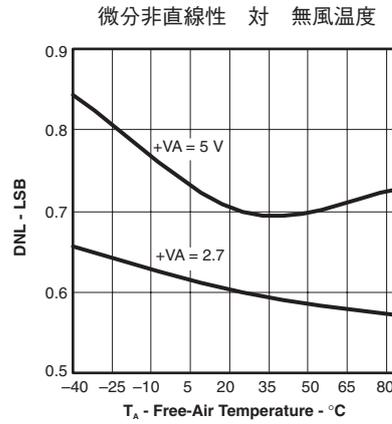


図 8

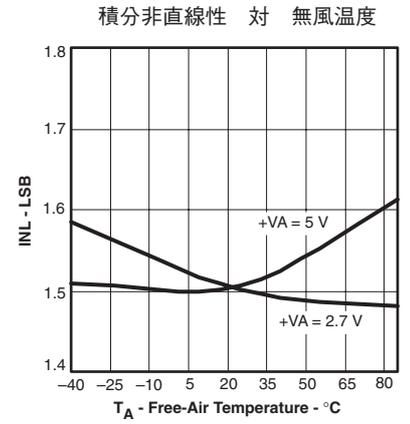


図 9

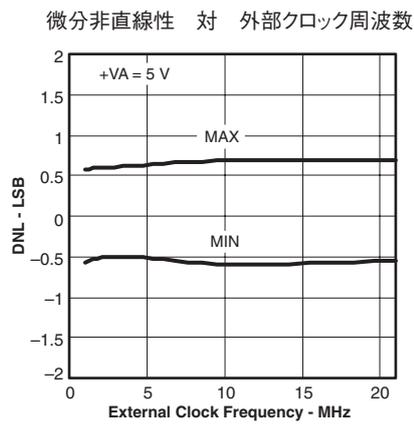


図 10

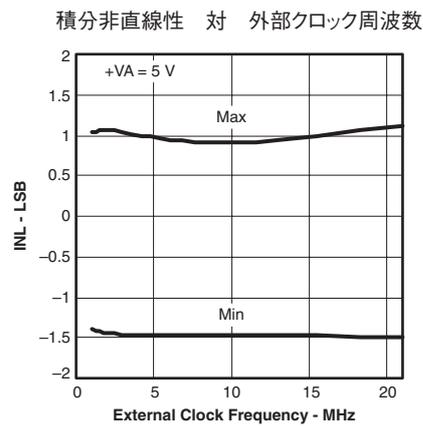


図 11

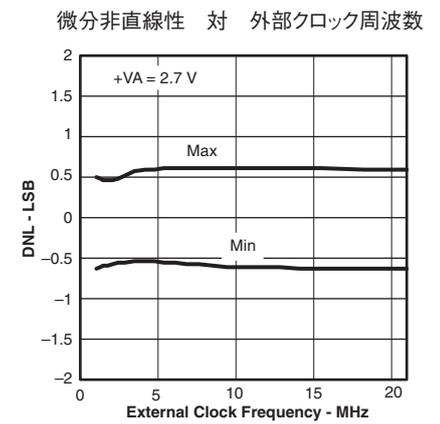


図 12

# 標準的な特性

積分非直線性 対 外部クロック周波数

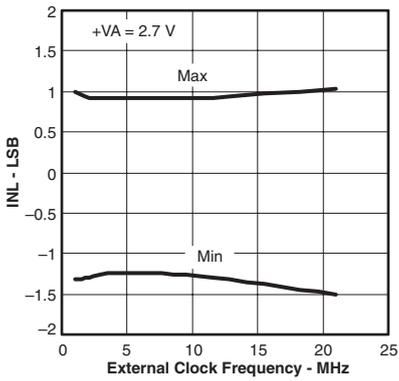


図 13

オフセット電圧 対 無風温度

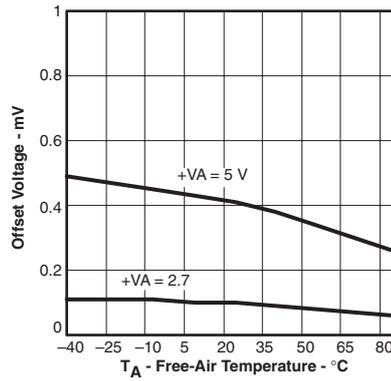


図 14

オフセット電圧 対 電源電圧

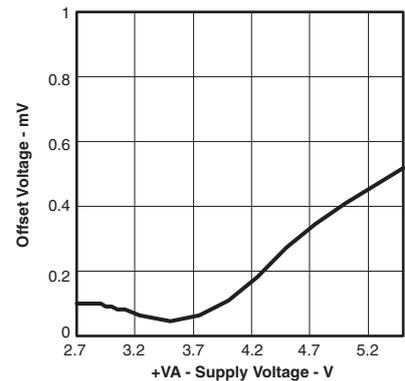


図 15

ゲイン誤差 対 無風温度

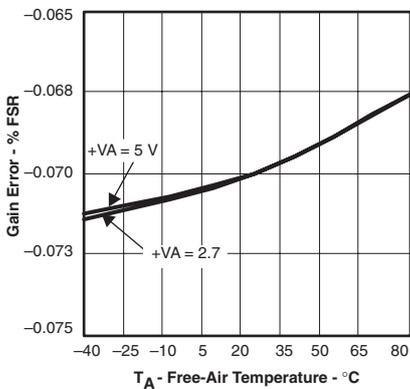


図 16

ゲイン誤差 対 電源電圧

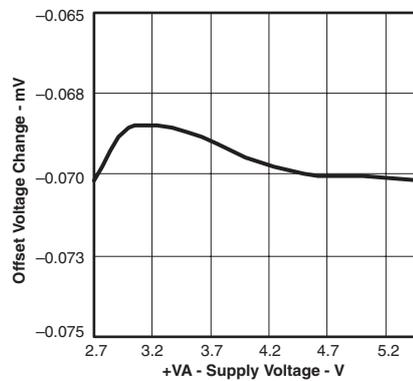


図 17

電源除去比 対 電源リップル周波数

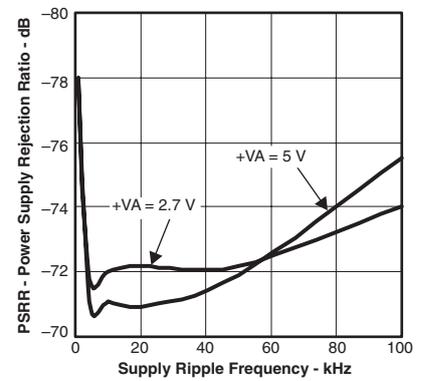


図 18

信号対ノイズ比 対 入力周波数

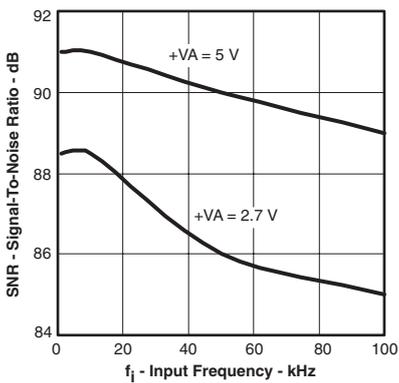


図 19

信号対ノイズ + 歪み 対 入力周波数

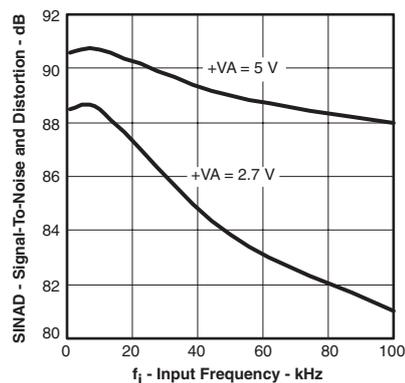


図 20

全高調波歪み 対 入力周波数

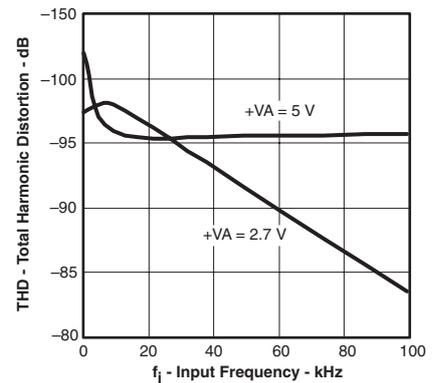


図 21

# 標準的な特性

スプリアス・フリー・ダイナミックレンジ  
対  
入力周波数

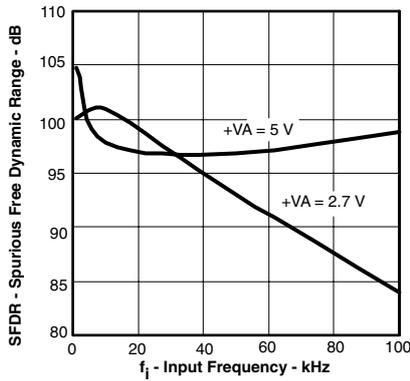


図 22

信号対ノイズ比  
対  
フルスケール・レンジ

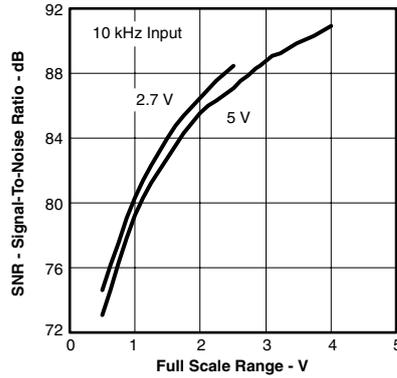


図 23

信号対ノイズ + 歪み  
対  
フルスケール・レンジ

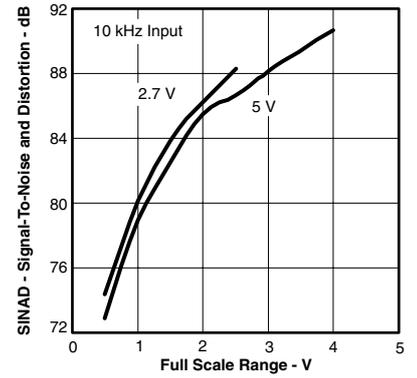


図 24

全高調波歪み  
対  
フルスケール・レンジ

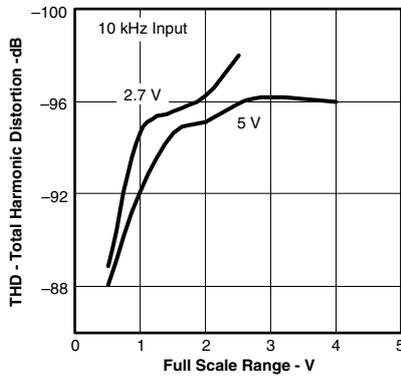


図 25

スプリアス・フリー・ダイナミックレンジ  
対  
フルスケール・レンジ

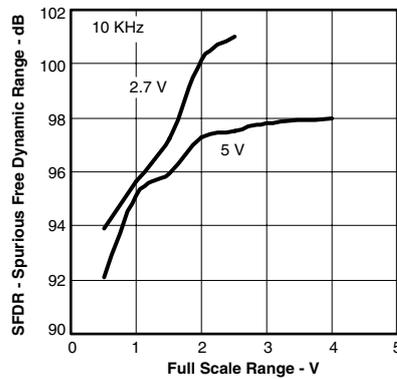


図 26

全高調波歪み  
対  
無風温度

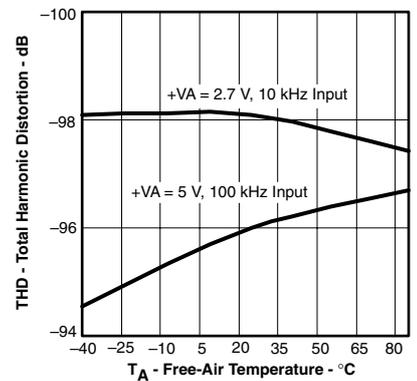


図 27

スプリアス・フリー・ダイナミックレンジ  
対  
無風温度

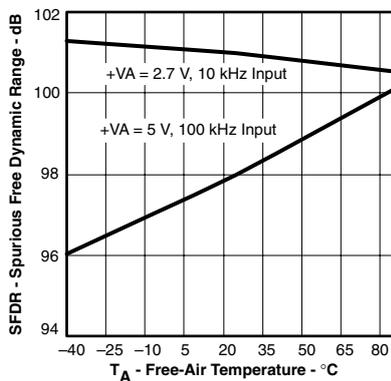


図 28

信号対ノイズ比  
対  
無風温度

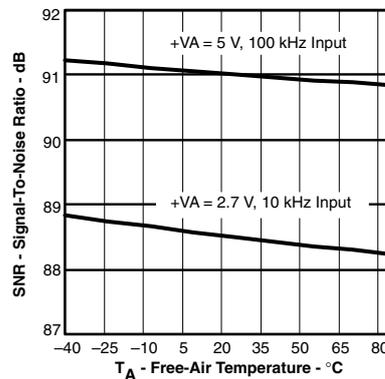


図 29

信号対ノイズ + 歪み  
対  
無風温度

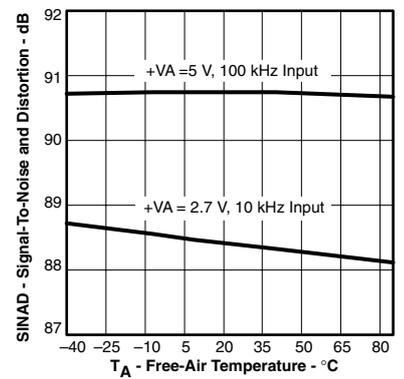


図 30

# 標準的な特性

有効ビット数 対 無風温度

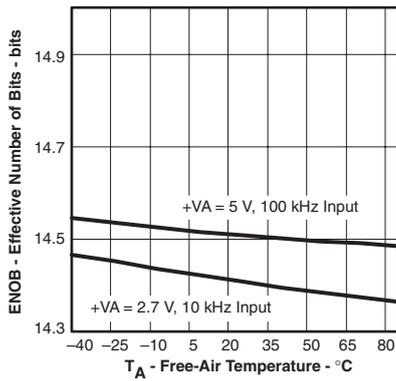


図 31

内部クロック周波数 対 電源電圧

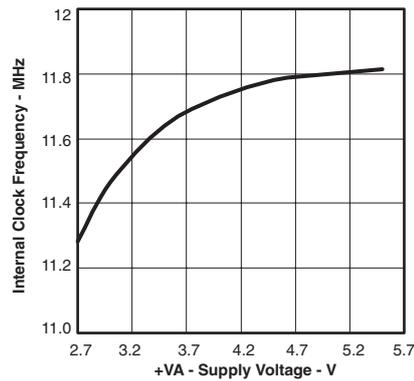


図 32

内部クロック周波数 対 無風温度

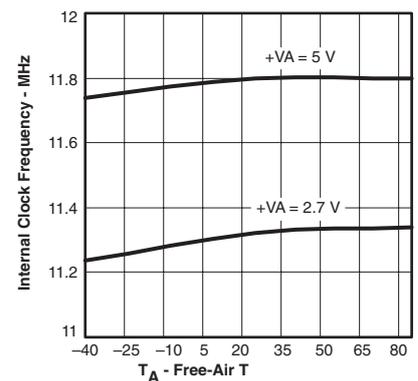


図 33

アナログ電源電流 対 電源電圧

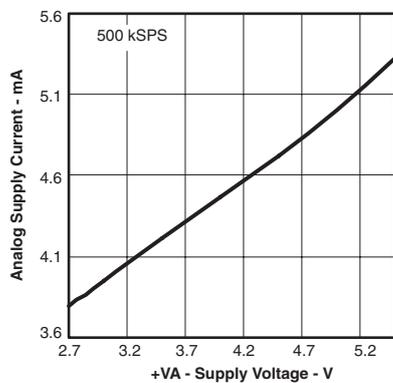


図 33

アナログ電源電流 対 電源電圧

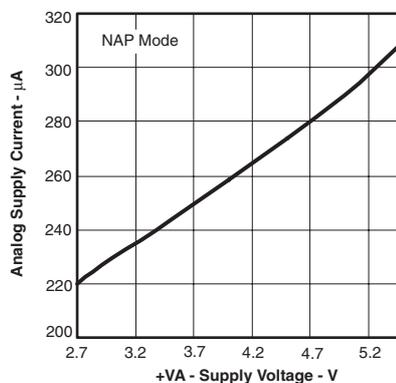


図 35

アナログ電源電流 対 電源電圧

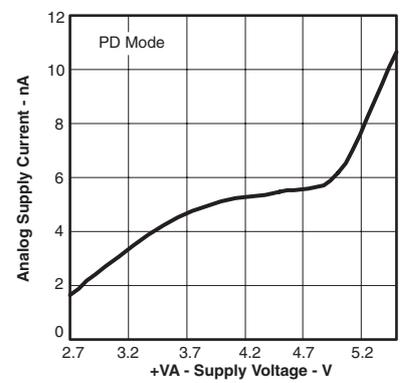


図 36

アナログ電源電流 対 サンプルング・レート

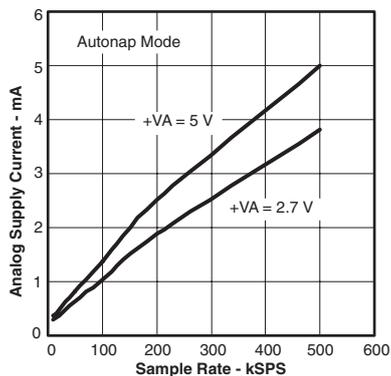


図 37

アナログ電源電流 対 サンプルング・レート

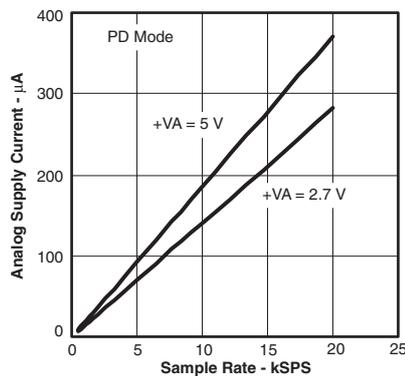


図 38

アナログ電源電流 対 無風温度

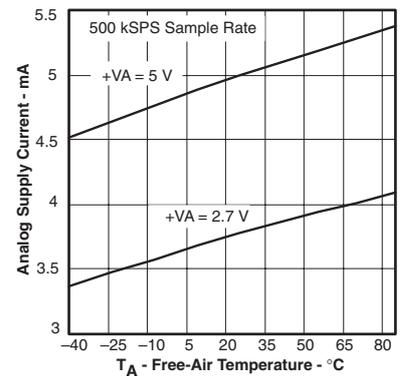


図 39

# 標準的な特性

アナログ電源電流 対 無風温度

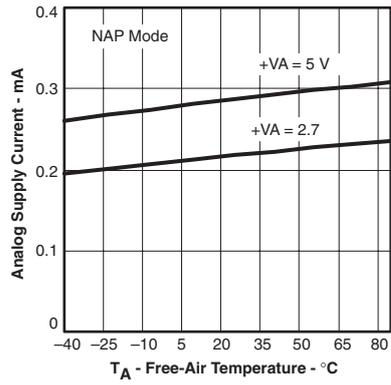


図 40

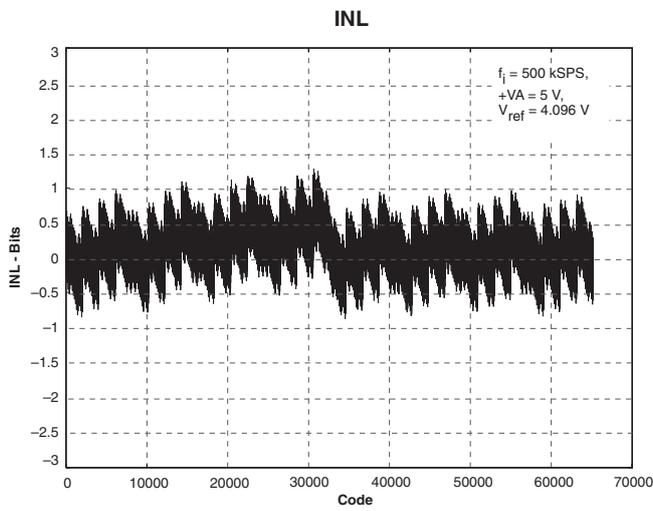


図 41

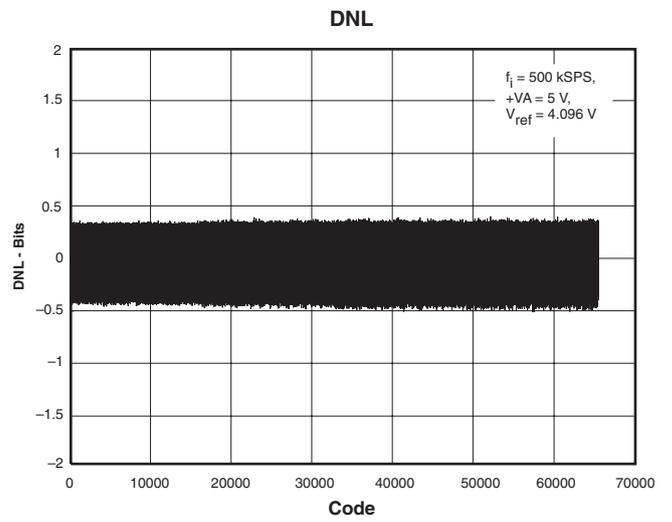


図 42

# 標準的な特性

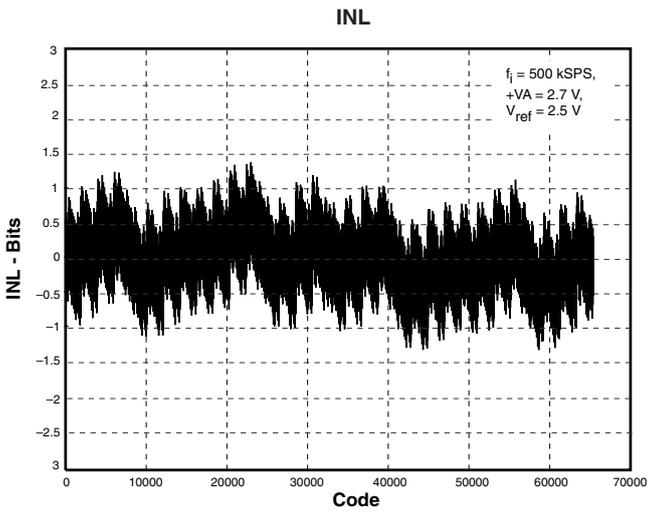


図 43

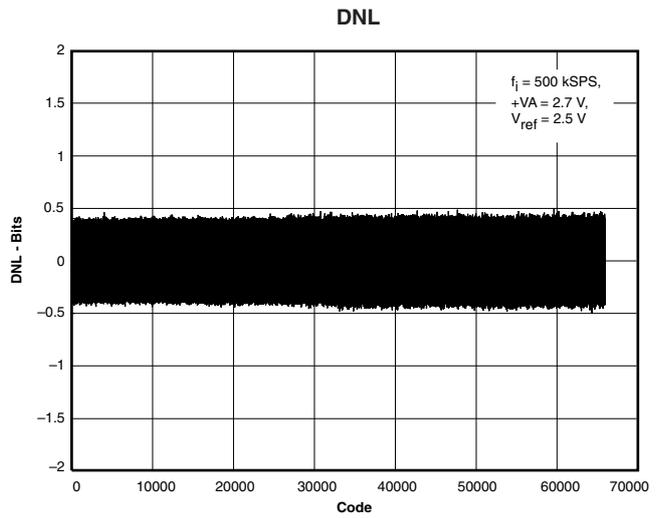


図 44

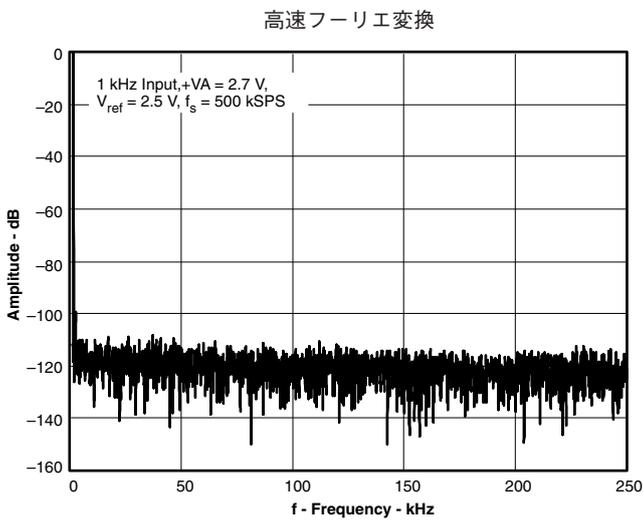


図 45

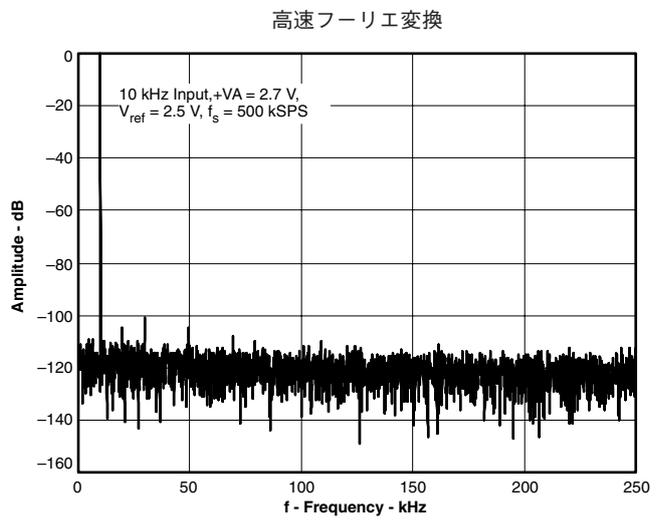


図 46

## 標準的な特性

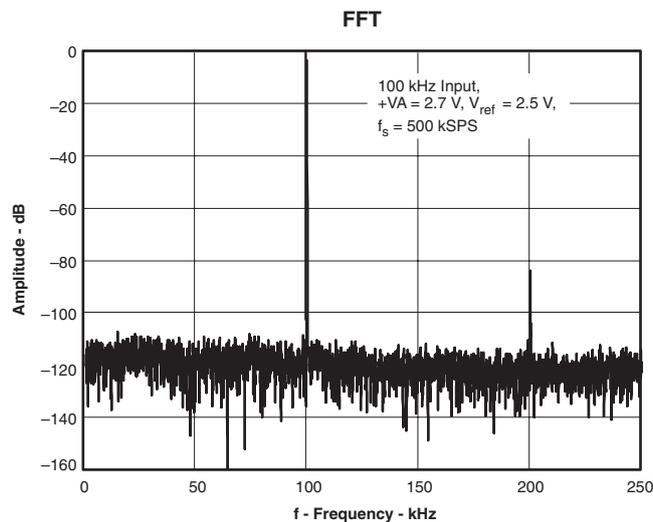


図 47

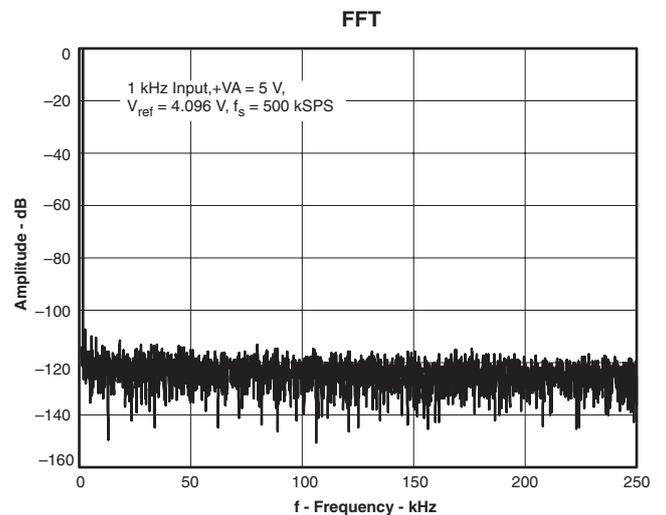


図 48

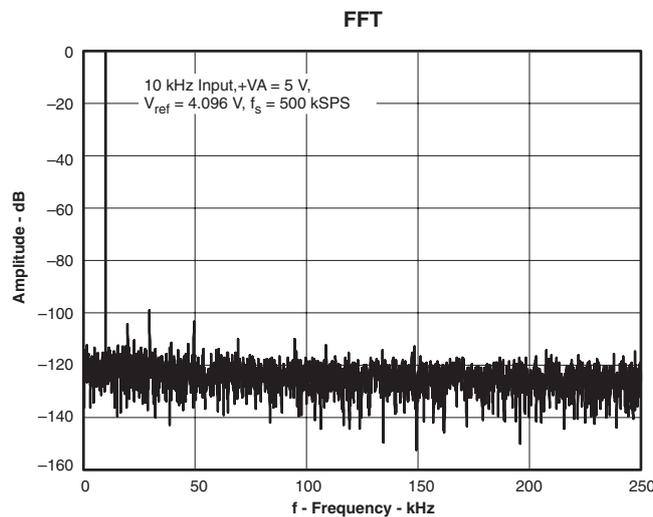


図 49

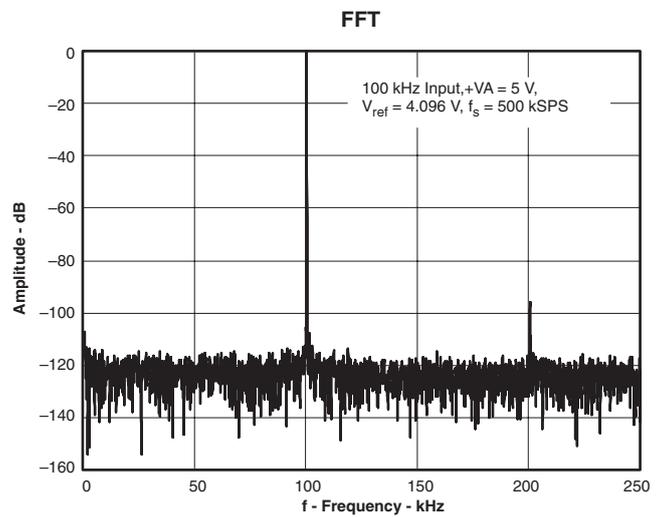


図 50

## 動作原理

ADS8327/28は、高速かつ低消費電力の逐次比較型 (SAR) 型アナログ・ツー・デジタル・変換器 (ADC) であり、外部の基準電圧源を使用します。そのアーキテクチャは、サンプル・アンド・ホールド機能を伴う電荷再分配方式をベースとしています。

ADS8327/28には変換の実行に使用される内部クロックがあります。しかし、外部シリアル・クロック SCLK による変換を実行するようにプログラミングすることもできます。

ADS8327には1アナログ入力があります。アナログ入力は+INと-INの2入力端子に印加します。変換が開始されると、これら2端子の差動入力は内部のコンデンサ・アレイにサンプリングされます。変換の進行中は、+INと-IN入力はともに内部のいかなる機能とも分離されています。

ADS8328には2アナログ入力があります。2入力はともに同一のコモン端子COMを共有しています。負入力はADS8327の-IN端子と同じです。ADS8328は、マニュアル・チャンネル選択モード、あるいはチャンネル0と1を自動的にスイープするオート・チャンネル選択モードをプログラミングすることができます。

## アナログ入力

コンバータがホールド・モードに入ると、+INと-IN入力間の電位差が内部のコンデンサ・アレイに補足されます。-IN入力における電圧は、+INと-IN入力に共通の小信号成分を入力から除去できるように、AGND - 0.2VからAGND + 0.2Vに制限されます。+INの入力範囲は-0.2Vから $V_{ref} + 0.2V$ です。両入力による入力スパン[+IN-(IN)]は、0Vから $V_{ref}$ に制限されます。

アナログ入力における(ピーク)入力電流は、サンプリング・レート、入力電圧、および信号源インピーダンスといったいくつかの要素に依存します。ADS8327/28へ流入する電流は、サンプル周期に内部のコンデンサ・アレイを充電します。この容量が十分に充電された後は、それ以上の入力電流はありません。アナログ入力電圧源は、デバイスの最小アキュイジション・タイム(238ns)以内に、16ビットのセトリング・レベルまで入力容量(45pF)を充電する必要があります。コンバータがホールド・モードに入ると、入力インピーダンスは1GΩ以上になります。

アナログ入力電圧の絶対値について注意を払う必要があります。コンバータの直線性を保つため、+INおよび-INの両入力電圧とスパン[+IN-(IN)]を規定リミット内にします。これらの規定範囲を超えると、コンバータの直線性は仕様を満足しないことがあります。また、ノイズを最小にするため、ローパス・フィルタによる低帯域幅の入力信号を用いる必要があります。さらに、+INおよび-IN入力を駆動する信号源の出力インピーダンスの整合性を保証するように注意します。この整合がとれていないと、両入力のセトリング・タイムが異なることがあります。その結果、温度や入力電圧により変化するオフセット誤差、ゲイン誤差、および直線性誤差につながります。

## 前段駆動アンプの選択

コンバータへのアナログ入力は、THS4031やOPA356のような低ノイズのオペアンプで駆動される必要があります。また、RCによるローパス・フィルタを入力端子に付加し、信号源からのノイズを除去することを推奨します。それには、2個の20Ω抵抗と1個の470pFコンデンサを推奨します。コンバータへの

入力は、範囲が0Vから $V_{ref}$ までのユニポーラの入力電圧です。駆動用オペアンプの最小-3dB帯域幅は次のように計算できます。

$$f_{3db} = (\ln(2) \times (n+1)) / (2\pi \times t_{ACQ})$$

ここで、 $n=16$ であり、ADCの分解能です(ADS8327/28の場合)。 $t_{ACQ}=238\text{ns}$ (最小アキュイジション・タイム)の場合、駆動用アンプの最小帯域幅は7.9MHzになります。アプリケーションによってアキュイジション・タイムが増加する場合、この帯域幅は緩和できます。オペアンプにはテキサス・インスツルメンツのOPA365、OPA827、あるいはTHS4031を推奨します。ソースフォロワ構成でコンバータを駆動するTHS4031を、標準的な入力駆動回路である図52に示します。

## バイポーラからユニポーラ・ドライバへ

入力がバイポーラのシステムにおいて、+入力に別のDCバイアスを印加した反転回路としてTHS4031を使用すると、ADS8327/28への入力を定格動作電圧範囲に維持することができます。この回路構成は、SNRおよびTHDの高特性が要求される信号処理アプリケーションにおいて、ADS8327/28が使用される場合にも推奨します。DCバイアスは、REF3225あるいはREF3240基準電圧ICから供給することができます。図53に示す入力回路構成では、10kHzの入力周波数で91dBのSNRおよび-96dBのTHD以上の特性が得られます。また、バンドパス・フィルタを入力フィルタリングに使用する場合、バンドパス・フィルタ入力の信号振幅を小さくして、フィルタによる歪みが最小になるように注意を払う必要があります。そのような場合、図53に示す回路のゲインを増加してADS8327/28の入力を大きくし、システムのSNRを高く保つことができます。この回路構成におけるTHS4031の+入力から出力へのシステム・ゲインは、AC信号のゲインの関数であることに注意願います。また、REF3225やREF3240の出力の縮小に抵抗分圧回路を使用すると、THS4031のDC入力電圧を低減し、コンバータ入力における電圧をその定格動作範囲内に保つことができます。

## Device in Hold Mode

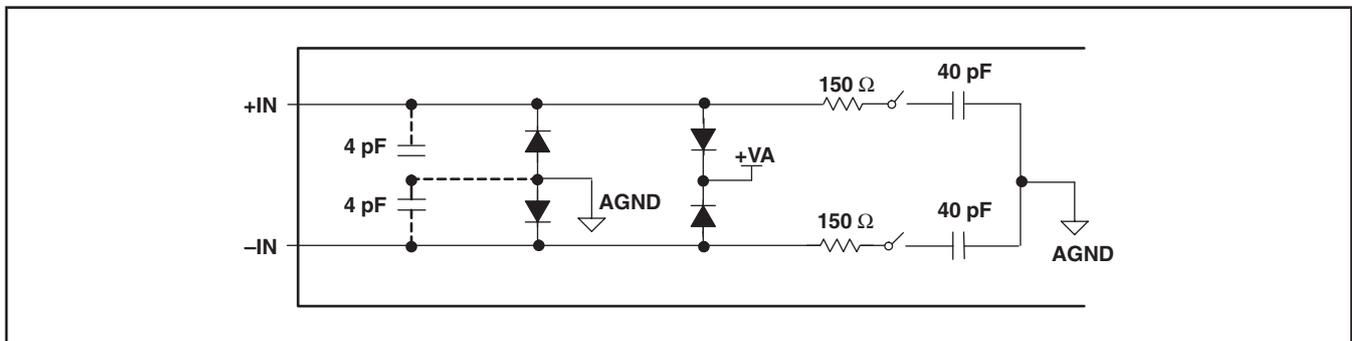


図 51. 入力等価回路

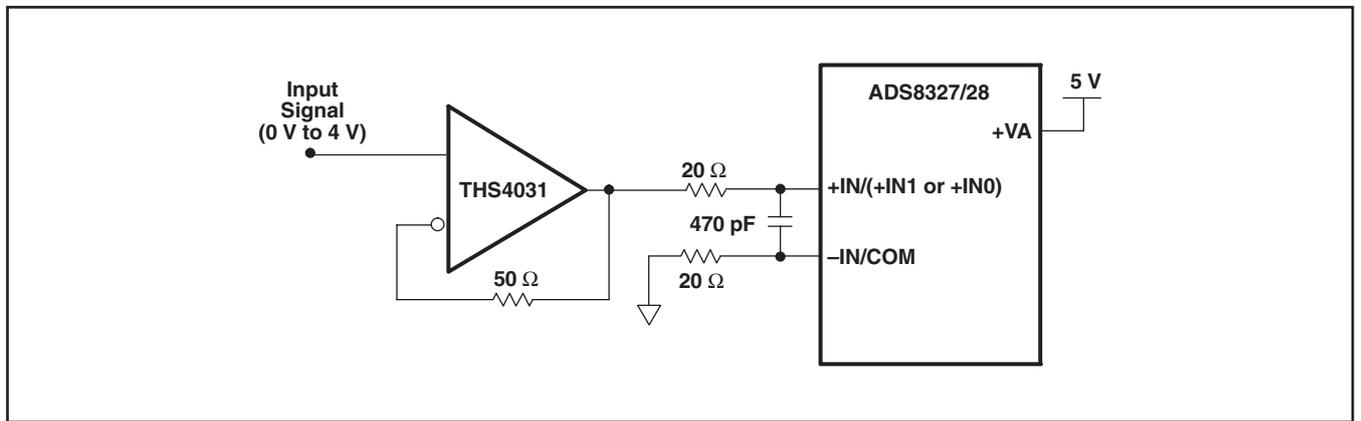


図 52. ユニポーラ入力の駆動回路構成

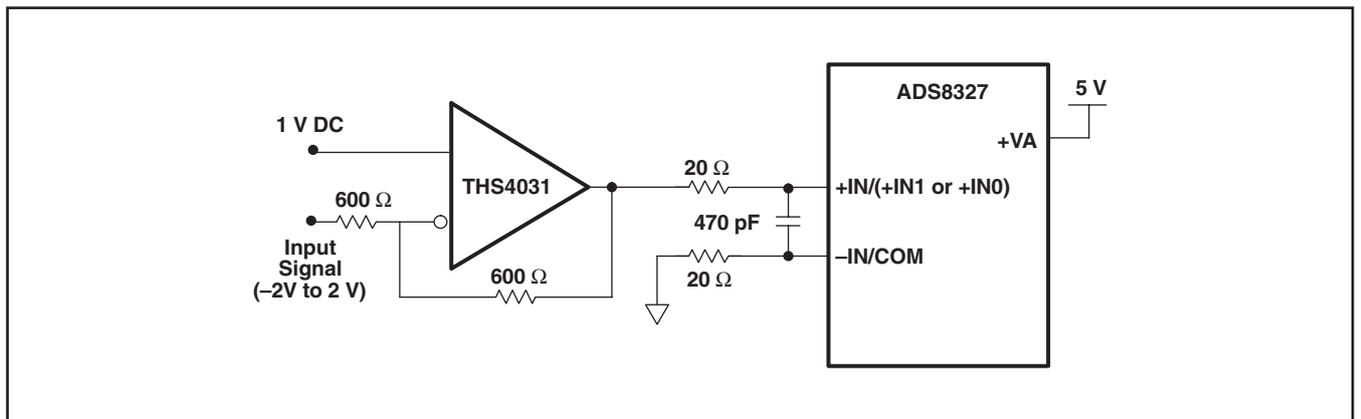


図 53. バイポーラ入力の駆動回路構成

## 基準電圧

ADS8327/28は、範囲が0.3Vから4.2Vの外部基準電圧で動作できます。コンバータの高性能を得るには、クリーンかつ低ノイズの十分にデカップリングされた基準電圧がREF+端子に必要です。REF3240のような低ノイズのバンドギャップ基準電圧源が、この端子の駆動に使用できます。1個の10μFデカップリング用コンデンサが、コンバータのREF+およびREF-端子間に必要です。基準電圧に関するコンデンサは、デバイスの端子に極力接近させて配置します。また、REF-端子は、専用のビアでアナログ・グランド・プレーンに可能なかぎり最短距離で接続します。

## コンバータの動作

ADS8327/28には発振回路があり、変換レートを制御する内部クロックとして使用されます。このクロックの周波数は最小で10.5MHzです。この発振回路は、デバイスがディープ・パワーダウン状態になるか、あるいはデバイスがSCLKを変換クロック(CCLK)として使用するようにプログラムされるまで、常にオンしています。最小のアクイジション(サンプリング)タイムは3 CCLK(これは12.6MHz時で238nsに等しい)であり、1変換を完了する変換時間は18変換クロック(CCLK, 約1500ns)です。

必要であれば、変換は外部シリアル・クロックSCLKにより実行するようにもプログラムできます。このプログラミングにより、システム設計者はシステム同期を実現することができます。シリアル・クロックSCLKは、変換クロック(CCLK)として使用される前に、まずその周波数が1/2に低減されます。例えば21MHzのSCLKの場合、この分周により変換には10.5MHzのクロックが供給されます。外部SCLKを変換クロック(CCLK)の信号源としてプログラムし(かつ、マニュアルの変換開始を選択し)、そのSCLKの特定の立ち上がりエッジで変換を開始することが要求される場合、 $\overline{\text{CONVST}}$ とSCLKの立ち上がりエッジとのセットアップ・タイム仕様を遵守する必要があります。これを遵守することにより、変換は18 CCLK(すなわち36 SCLK)で完了します。 $\overline{\text{CONVST}}$ とSCLKの同期を保証する最小セットアップ・タイムは20nsです。多くの場合、変換は1 SCLK周期(あるいはCCLK)後に開始でき、その結果、1変換で19 CCLK(あるいは37 SCLK)になります。同期が緩和されると、20nsのセットアップ・タイムは不要になります。

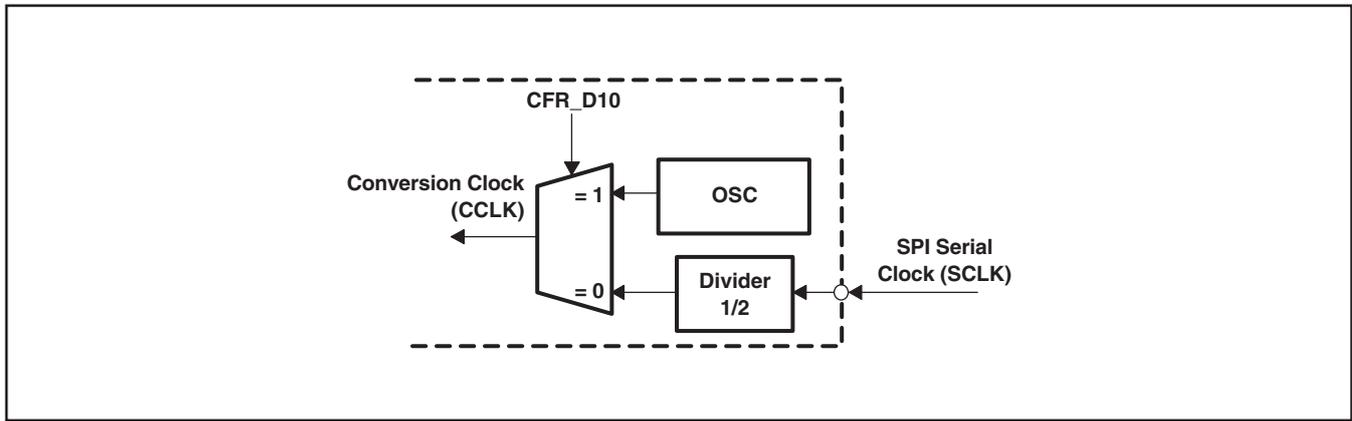


図 52. コンバータのクロック

SCLKのデューティ・サイクルは、ハイおよびロー時間の最小8nsという条件を満たしているかぎり重要ではありません。ADS8327/28は高速アプリケーション向けに設計されているので、シリアル・インターフェイスの高スループットに対応できる、より高速なシリアル・クロック (SCLK) を供給する必要があります。したがって、SCLKのクロック周期は(変換クロックCCLKとして使用される場合)、大きくても1 $\mu$ sでなければなりません。また最小クロック周波数は、ADS8327/28内部の容量性デジタル・アナログ・コンバータ (CDAC) 用コンデンサの寄生リーク電流にも支配されます。

## マニュアル・チャンネル選択モード

変換サイクルは、コマンド・レジスタ (CMR) にチャンネル番号をライトして、アクイジション・チャンネルを選択することにより開始されます。これに要するサイクルタイムは短く、4シリアル・クロック (SCLK) で可能です。

## オート・チャンネル選択モード

チャンネル選択は、オート・チャンネル選択モードをイネーブルにして自動で行うこともできます。このモードがデフォルトのチャンネル選択モードになります。デュアル・チャンネルのコンバータであるADS8328には、2対1マルチプレクサが組み込まれています。このデバイスがオート・チャンネル選択モードにプログラムされると、チャンネル0およびチャンネル1からの信号は決まった順番で取り込まれます。すなわち、オート・チャンネル選択モードにするためのCFR\_D11を1に設定するコマンド・サイクルの次のサイクルで、最初にチャンネル0がアクセスされます。この自動アクセスは、CFR\_D11を0に設定するコマンド・サイクルの後のサイクルで停止します。

## 変換の開始

アクイジションすなわちサンプリングの終了 (EOS) は変換の開始と同義です。これは $\overline{\text{CONVST}}$ 端子を最小で40nsローにすることで開始されます。この最小時間条件が満たされた後は、 $\overline{\text{CONVST}}$ 端子をハイにすることができます。 $\overline{\text{CONVST}}$ はFS/CSとは独立して機能するので、複数のコンバータでサンプル・アンド・ホールドを同時に要するアプリケーションにおいて、1個の共通の $\overline{\text{CONVST}}$ として使用することができます。ADS8327/28は、サンプルからホールドのモードへ $\overline{\text{CONVST}}$ 信号の立ち下がりがエッジで切り換わります。またADS8327/28は、1変換の完了に18個の変換クロック (CCLK) のエッジを必要とします。変換時間は12MHzの内部クロックで1500nsになります。連続した2個の $\overline{\text{CONVST}}$ 信号間の最小時間は21 CCLKです。

変換は $\overline{\text{CONVST}}$ を使用せずに、CFR\_D9 = 0とプログラムして開始することもできます。コンバータがオート・トリガに設定されると、ひとつの変換終了の3変換クロック (CCLK) 後に次の変換が自動的に開始されます。これらの3変換クロック (CCLK) は、アクイジション・タイムとして使用されます。したがって、この場合、アクイジションと変換の1サイクルを完了する時間は21 CCLKになります。

MODE	SELECT CHANNEL	START CONVERSION
Automatic	Auto Channel Select <sup>(1)</sup>	Auto Trigger
	No need to write channel number to the CMR. Use internal sequencer for the ADS8328.	Start a conversion based on the conversion clock CCLK.
Manual	Manual Channel Select	Manual Trigger
	Write the channel number to the CMR.	Start a conversion with $\overline{\text{CONVST}}$ .

表 1. 異なる種類の変換

(1) オート・チャンネル選択は、オート・トリガおよびTAGビットのイネーブルで使用する必要があります。

## EOC/ $\overline{\text{INT}}$

この状態端子がEOCとしてプログラムされ、その極性が負論理に設定されると、この端子は次のように機能します。マニュアル・トリガがプログラムされた場合、 $\overline{\text{CONVST}}$ がローになるとすぐに続いてEOC出力はローになります。EOCは変換プロセスの間ローのままであり、変換が終了するとハイに戻ります。また、オート・トリガがプログラムされた場合、EOC出力は前のEOCの立ち上がりエッジから3変換クロック (CCLK) の間ハイになります。

この状態端子はプログラマブルであり、ローの時間が変換時間に等しいEOC出力として使用できます (CFR\_D[7:6] = 1,1)。また、この端子 $\overline{\text{INT}}$ としても使用でき (CFR\_D[7:6] = 1,0)、INTは変換の終了でローに設定され、その次のリード・サイクルでハイになります (クリアされる)。この端子の極性は、いずれの機能 (EOCあるいは $\overline{\text{INT}}$ ) にも使用されるので、CFR\_D7によるプログラマブルです。

## パワーダウン・モード

ADS8327/28には包括的な組込みパワーダウン機能が備わっており、ディープ・パワーダウン・モード、ナップ・パワーダウン・モード、およびオート・ナップ・パワーダウン・モードという3つのパワーダウン・モードがあります。これらの3パワーダウン・モードは、すべて関連CFRビットの設定によりイネーブルされます。最初の2つのパワーダウン・モードはイネーブルされると機能します。ウェイクアップ・コマンド1011bにより、デバイス動作がパワーダウン・モードから再始動されます。しかし、オート・ナップ・パワーダウン・モードは少しばかり異なる働きをします。コンバータのオート・ナップ・パワーダウン・モードがイネーブルされると、1変換終了 (EOC) によりデバイスがオート・ナップ・パワーダウンに入ります。そして、サンプリングの開始により、コンバータ動作が再始動されます。設定レジスタの内容は、どのパワーダウン・モードの影響も受けません。ナップあるいはディープ・パワーダウン作動すると、あらゆる進行中の変換が中止されます。

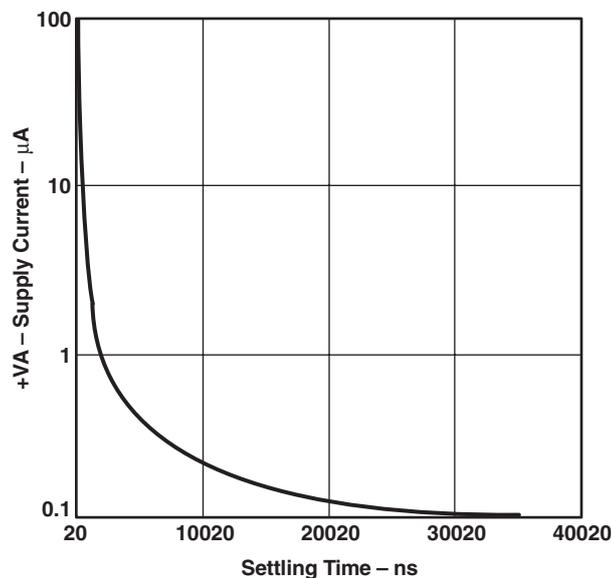


図 55. 標準的な、アナログ電源電流減少 対 パワーダウン後の時間

## ディープ・パワーダウン・モード

ディープ・パワーダウン・モードは、設定レジスタのビットCFR\_D2へのライトにより作動します。デバイスがディープ・パワーダウン・モードの場合、インターフェイスを除くすべてのブロックがパワーダウンになります。外部SCLKはアナログ・ブロックに対して遮断されます。もはやアナログ・ブロックにはバイアス電流が無く、内部発振回路はターンオフされます。このモードでは、電力消費が5mAから1µAに2µs以内で減少します。パワーダウン後のウェイクアップ時間は1µsです。設定レジスタのビットD2が0に設定されると、デバイスはディープ・パワーダウンになります。また、このビットを1に設定するか、あるいはウェイクアップ・コマンドを送出すると、コンバータはディープ・パワーダウン状態から復帰することができます。

## ナップ・モード

ナップ・モードの場合、ADS8327/28はコンパレータと中点電圧バッファのバイアスをターンオフします。このモードでは、電力消費が通常モードの5mAから約0.3mAへ、設定サイクル後の200ns以内に減少します。ナップ・パワーダウン・モードからのウェイクアップ（復帰）時間は、3 CCLK (12.6MHzの変換クロックで238ns)になります。制御レジスタのビットCFR\_D3が0に設定されると、変換状態にかかわらず即座にデバイスはナップ・パワーダウン・モードに入ります。このビットを1に設定するか、あるいはウェイクアップ・コマンドを送出すると、コンバータはナップ・パワーダウン状態から復帰することができます。

## オート・ナップ・モード

オート・ナップ・モードはナップ・モードとほぼ同じです。その相違は、デバイスが実際にパワーダウンされる時間と、デバイスをウェイクアップする方法だけです。設定レジスタのビットD4のみが、オート・ナップ・モードのイネーブル/ディスエーブルに使用されます。オート・ナップ・モードがイネーブルされると、変換が終了した後でデバイスのバイアスがターンオフされます。これは、変換終了によりオート・ナップ・パワーダウン・モードが作動することを意味します。電力消費は通常モードの12mAから約0.3mAへ200ns以内に減少します。ウェイクアップ・コマンドによりデバイスは復帰し、3 CCLK以内 (12.6MHzの変換クロックで238ns) でバイアスが再度ターンオンされます。また、設定レジスタのビットD4を1に設定するオート・ナップ・モードのディスエーブルによっても、デバイスはウェイクアップすることができます。さらに、すべてのチャンネル選択コマンド0XXXbあるいはデフォルト・モード設定コマンド1111bにより、デバイスはオート・ナップ・パワーダウンからウェイクアップすることができます。

### 注記：

- このウェイクアップ・コマンドは、コマンド・ワードの中のワード1011bです。また、このコマンドは、設定レジスタのビットD2およびD3を1に設定し、D4には1を設定しません。しかし、ウェイクアップ・コマンドにより、ディープ/ナップ/オート・ナップのパワーダウン状態のいずれからでもデバイスは復帰します。
- ウェイクアップ時間は、ホスト・プロセッサがコンバータのウェイクアップを開始してから、コンバータの再始動が発生するまでの時間として定義されます。

TYPE OF POWERDOWN	POWER CONSUMPTION	ACTIVATED BY	ACTIVATION TIME	RESUME POWER BY	RESUME TIME	ENABLE
Normal operation	5 mA/3.8 mA					
Deep powerdown	6 nA/2 nA	Setting CFR	100 µs	Woken up by command 1011b	1 µs	Set CFR
Nap powerdown	0.3 mA/0.2 mA	Setting CFR	200 µs	Woken up by command 1011b to achieve 6.6 mA since $(1.3 + 12)/2 = 6.6$	3 CCLKs	Set CFR
Auto nap powerdown		EOC (end of conversion)	200 µs	Woken up by $\overline{\text{CONVST}}$ , any channel select command, default command 1111b, or wake up command 1011b.	3 CCLKs	Set CFR

表 2. パワーダウン・モードの比較

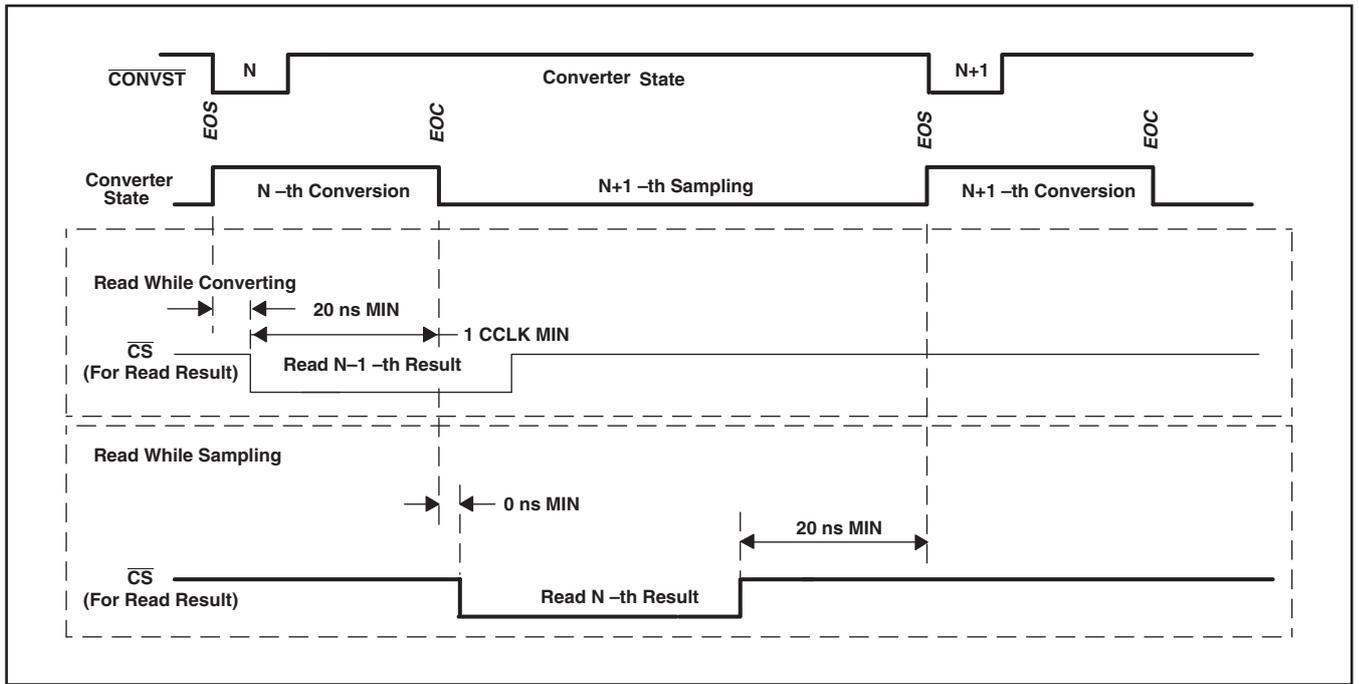


図 56. 変換中のリード 対 サンプリング中のリード (マニュアル・トリガ時)

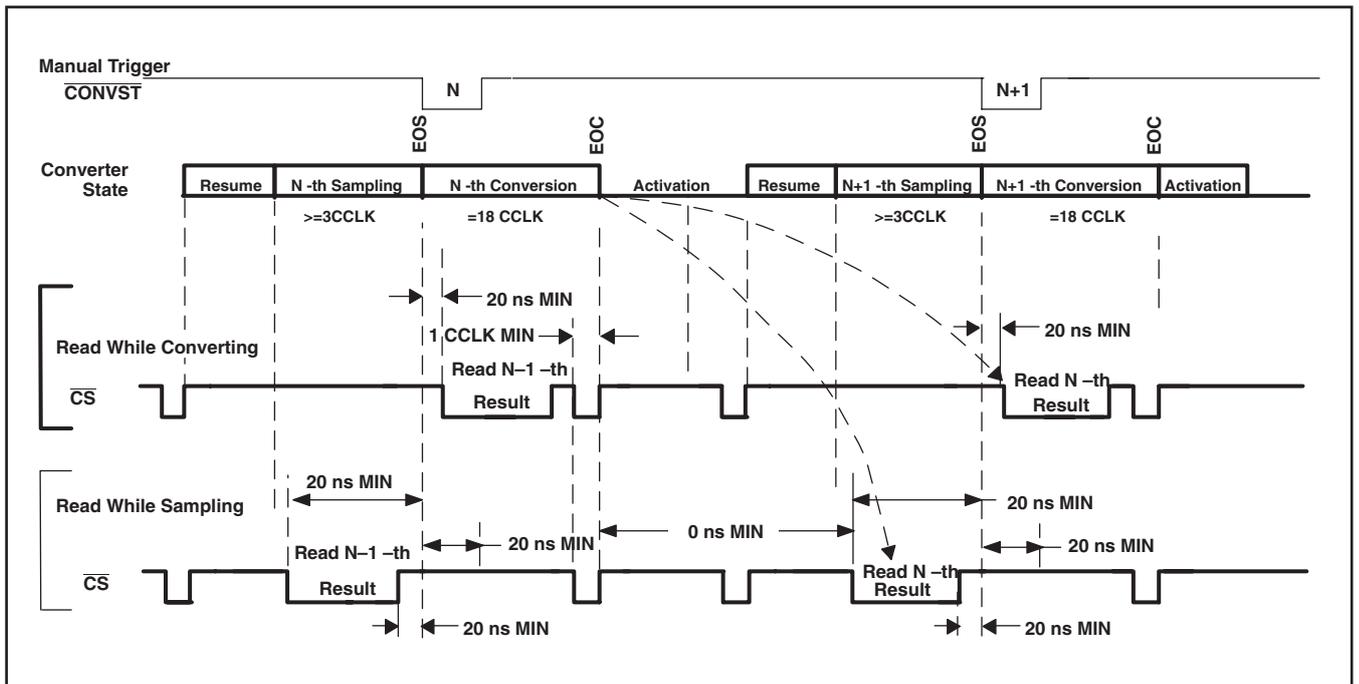


図 57. 変換中のリード 対 サンプリング中のリード (ディープあるいはナップ・パワーダウン時)

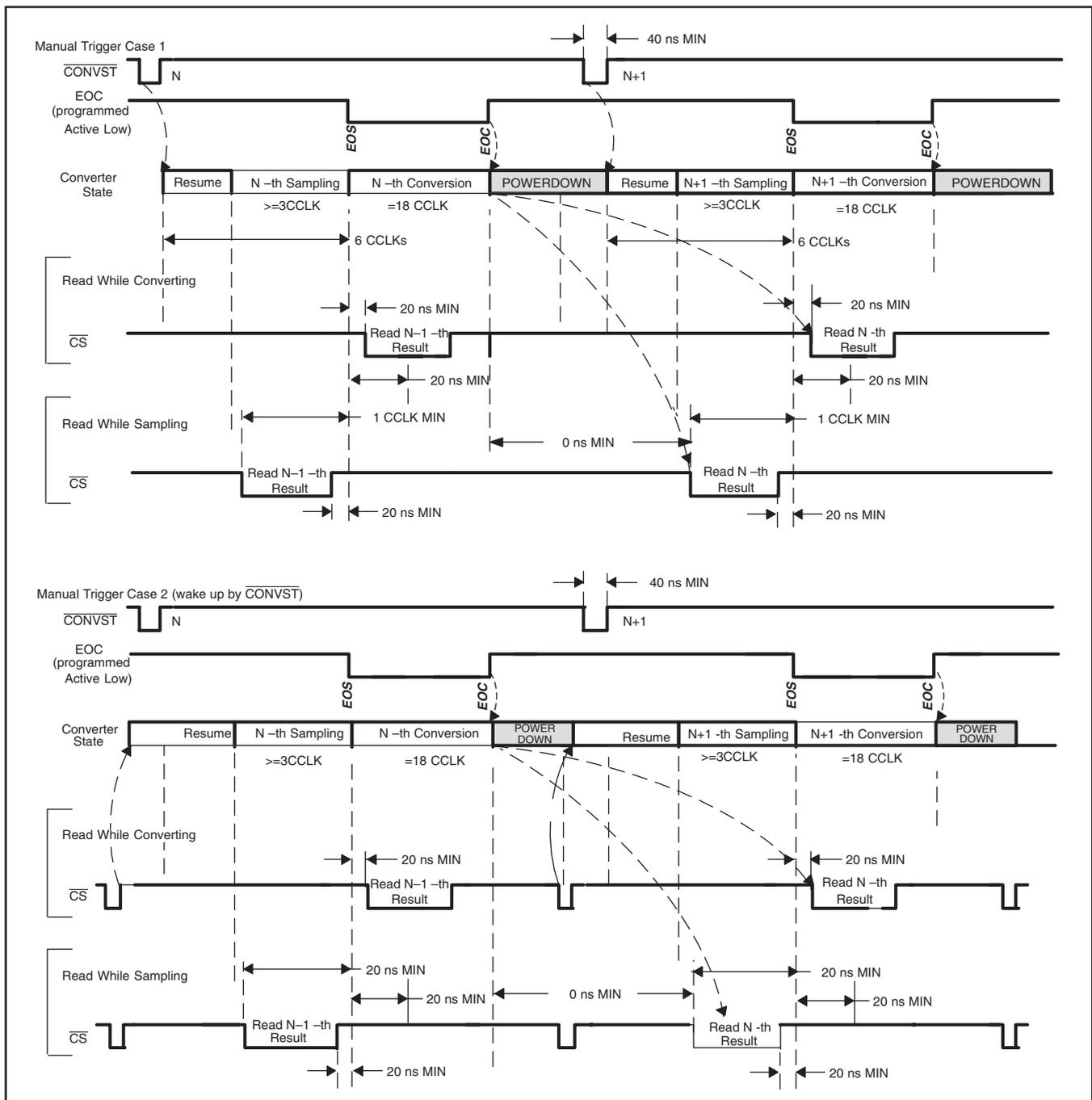


図 58. 変換中のリード 対 サンプリング中のリード (オート・ナップ・パワーダウン時)

アキュジション + 変換の合計サイクル・タイム :

オート : = 21 CCLK

マニュアル : ≥ 21 CCLK

マニュアル + ディープ・パワーダウン : ≥ 4SCLK + 100μs + 3CCLK + 18CCLK + 16SCLK + 1μs

マニュアル + ナップ・パワーダウン : ≥ 4SCLK + 3CCLK + 3CCLK + 18CCLK + 16SCLK

マニュアル + オート・ナップ

パワーダウン : ≥ 4SCLK + 3CCLK + 3CCLK + 18CCLK + 16SCLK (復帰にウエイクアップ使用)

マニュアル + オート・ナップ

パワーダウン : ≥ 1CCLK + 3CCLK + 3CCLK + 18CCLK + 16SCLK (復帰にCONVST使用)

## デジタル・インターフェイス

ADS8327/28のシリアル・インターフェイスは、モトローラ社のSPIと互換性があります。シリアル・クロックは、最大50MHzまでのSCLKを備えた最新の高速プロセッサに対応するように設計されています。各サイクルはFS/ $\overline{\text{CS}}$ の立ち下がりエッジで開始されます。内部データ・レジスタの内容はEOCで出力レジスタに出力され、FS/ $\overline{\text{CS}}$ の立ち下がりエッジでSDO出力端子に現れます。これはMSBになります。出力データはSCLKの立ち下がりエッジで切り換えられ、ホスト・プロセッサは次の立ち上がりエッジでそれをリードすることができます。また、シリアル・データ入力は、SCLKの立ち下がりエッジでラッチされます。

シリアルI/Oサイクル全体は、FS/ $\overline{\text{CS}}$ の立ち下がりエッジ後最初のSCLKの立ち上がりエッジで開始し、そこから16個(注記参照)後のSCLKの立ち下がりエッジで終了します。このシリアル・インターフェイスは非常にフレキシブルであり、CPOL = 0またはCPOL = 1の両方で働きます。また、このインターフェイスは、最初のSCLK立ち上がりエッジの前に、その立ち下がりエッジが来るとデータを無視します。これは、SCLKがハイの間にFS/ $\overline{\text{CS}}$ の立ち下がりエッジがあってもよいことを意味しています。同様の緩和がFS/ $\overline{\text{CS}}$ の立ち上がりエッジについても適用されます。すなわち、FS/ $\overline{\text{CS}}$ の立ち上がりエッジの前でSCLKの最後の立ち下がりエッジが生じるかぎり、FS/CSの立ち上がりエッジでSCLKはハイまたはローであり得ます。

注記：

リード・モードの組み合わせによって、1サイクルが4SCLKあるいは最大で24SCLKの場合があります。詳細は表3を参照願います。

## 内部レジスタ

内部レジスタは、4ビットのコマンド・レジスタ (CMR) および12ビットの設定データ・レジスタ (CFR) の2つの部分で構成されています。

## コンバータへの書き込み

レジスタへの書き込みには異なる2種類があります。CMRへの4ビットの書き込みと、CMRおよびCFRへのフル16ビットの書き込みです。そのコマンド・セットを表3に列記します。単純なコマンドは4 SCLKのみを必要とし、その書き込みは4番目のSCLKの立ち下がりエッジで有効になります。16ビットの書き込みあるいはリードは、少なくとも16 SCLKを要します(16個以上のSCLKが必要な例外は表6参照)。

D[15:12]	HEX	COMMAND	D[11:0]	WAKE UP FROM AUTO NAP	MINIMUM SCLKs REQUIRED	R/W
0000b	0h	Select analog input channel 0 <sup>(2)</sup>	Don't care	Y	4	–
0001b	1h	Select analog input channel 1 <sup>(2)</sup>	Don't care	Y	4	–
0010b	2h	Reserved	Reserved	Y	4	–
0011b	3h	Reserved	Reserved	Y	4	–
0100b	4h	Reserved	Reserved	Y	4	–
0101b	5h	Reserved	Reserved	Y	4	–
0110b	6h	Reserved	Reserved	Y	4	–
0111b	7h	Reserved	Reserved	Y	4	–
1000b	8h	Reserved	Reserved	–	–	–
1001b	9h	Reserved	Reserved	–	–	–
1010b	Ah	Reserved	Reserved	–	–	–
1011b	Bh	Wake up	Don't care	Y	4	W
1100b	Ch	Read CFR	Don't care	–	16	R
1101b	Dh	Read data	Don't care	–	16	R
1110	Eh	Write CFR	CFR Value	–	16	W
1111b	Fh	Default mode (load CFR with default value)	Don't care	Y	4	W

表 3. コマンド・レジスタ (CMR) により定義されるコマンド・セット<sup>(1)</sup>

- (1) SDOが3状態でない場合 (FS/ $\overline{\text{CS}}$ がローでSCLKが供給される)、SDOからのビットは常に前の変換結果の一部 (供給されたSCLKの個数に依存する) です。  
 (2) これらの2コマンドはADS8328のみに適用されます。

## コンバータとデフォルト・モードの設定

コンバータは、コマンド1110b (CFRへのライト)あるいはコマンド1111b (デフォルト・モード)で設定することができます。CFRへのライトには4ビットのコマンドと、それに続く12ビットのデータが必要です。4ビット・コマンドは、4番目のSCLKの立ち下がりエッジで有効になります。1個のCFR全体のライトは、16番目のSCLKの立ち下がりエッジで有効になります。

デフォルト・モードのコマンドは、単にSDIを+VBDに接続するだけで実現することができます。このときデバイスがセレクトされると、即座に最小4個の1がSCLKによりクロック・インされます。したがって、CFRのデフォルト値がSCLKの4番目の立ち下がりエッジでCFRにロードされます。

CFRのデフォルト値はすべて1です(ただし、CFR\_D1を除く。このビットはADS8327により無視され、常に0としてリードされる)。また、パワーオン・リセット (POR) およびソフトウェア (SW) リセット後に、同じデフォルト値がCFRに適用されます。

## 設定レジスタのリード

ホスト・プロセッサは、コマンド1100bを出してCFRにプログラムされた値をリード・バックできます。このタイミングは、 $\overline{\text{CONVST}}$ が使用されていないことと、EOC/ $\overline{\text{INT}}$ 端子に動きがないことを除くと、変換結果のリードに類似しています。リード・バックされたCFR値には、変換データの最初の4MSBおよび有効な12ビットのCFRの内容があります。

## 変換結果のリード

変換結果はEOC時に出力データ・レジスタ (ODR) の入力に準備され、その次の $\overline{\text{CS}}$ あるいはFSの立ち下がりエッジで出力レジスタの出力に送られます。その結果、ホスト・プロセッサは、静的領域を除くあらゆる時間にSDO端子経由でデータ出力をシフトできます。この静的領域とは、サンプリング終了 (EOS) の前20nsおよび後20nsの期間のことです。サンプリング終了 (EOS) は、マニュアル・トリガ使用時の $\overline{\text{CONVST}}$ の立ち下がりエッジ、あるいはオート・トリガ使用時の3番目の変換クロック (CCLK) の終端として定義されます。

FS/ $\overline{\text{CS}}$ の立ち下がりエッジは、変換の終了時点 (デフォルトでEOCがハイになる場合) そのものに合わせてはなりません (最小で1変換クロック (CCLK) 遅らせる)。さもないとデータが衝突してしまいます。FS/ $\overline{\text{CS}}$ が変換終了の後にあると、現在の変換結果がリードされます。

変換結果は表5に示すように、ストレート・バイナリ・フォーマットの16ビットのデータです。変換結果の出力には一般に16 SCLKが必要ですが、16 SCLK以上を要する例外もあります (表6参照)。シリアル出力 (SDO) からのデータ出力は前詰めMSBファーストです。これに続くビットはTAGビットが最初で (TAGがイネーブルの場合)、残りはすべて0です。その後、FS/ $\overline{\text{CS}}$ が再度ハイになるまでSDOはローのままです。

SDI BIT	DEFINITION	
CFR -D[11-0]		
D11 Default = 1	Channel select mode 0: Manual channel select enabled. Use channel select commands to access a different channel.	1: Auto channel select enabled. All channels are sampled and converted sequentially until the cycle after this bit is set to 0.
D10 Default = 1	Conversion clock (CCLK) source select 0: Conversion clock (CCLK) = SCLK/2	1: Conversion clock (CCLK) = Internal OSC
D9 Default = 1	Trigger (conversion start) select: start conversion at the end of sampling (EOS). If D9 = 0, the D4 setting is ignored. 0: Auto trigger automatically starts (4 internal clocks after EOC inactive)	1: Manual trigger manually started by falling edge of $\overline{\text{CONVST}}$
D8 Default = 1	Don't care	Don't care
D7 Default = 1	Pin 10 polarity select when used as an output (EOC/ $\overline{\text{INT}}$ ) 0: EOC Active high / $\overline{\text{INT}}$ active high	1: EOC Active low / $\overline{\text{INT}}$ active low
D6 Default = 1	Pin 10 function select when used as an output (EOC/ $\overline{\text{INT}}$ ) 0: Pin used as $\overline{\text{INT}}$	1: Pin used as EOC
D5 Default = 1	Pin 10 I/O select for chain mode operation 0: Pin 10 is used as CDI input (chain mode enabled)	1: Pin 10 is used as EOC/ $\overline{\text{INT}}$ output
D4 Default = 1	Auto nap powerdown enable/disable (mid voltage and comparator shut down between cycles). This bit setting is ignored if D9 = 0. 0: Auto nap powerdown enabled (not activated)	1: Auto nap powerdown disabled
D3 Default = 1	Nap powerdown (mid voltage and comparator shut down between cycles). This bit is set to 1 automatically by wake-up command. 0: Enable/activate device in nap powerdown	1: Remove device from nap powerdown (resume)
D2 Default = 1	Deep powerdown. This bit is set to 1 automatically by wake-up command. 0: Enable/activate device in deep powerdown	1: Remove device from deep powerdown (resume)
D1 Default = 0: ADS8327 1: ADS8328	TAG bit enable. This bit is ignored by the ADS8327 and is always read 0. 0: TAG bit disabled.	1: TAG bit output enabled. TAG bit appears at the 17th SCLK.
D0 Default = 1	Reset 0: System reset	1: Normal operation

表 4. 設定レジスタ (CFR) マップ

SDOはFS/ $\overline{\text{CS}}$ がローのときアクティブです。FS/CSの立ち上がりエッジにより、SDO出力は3ステートになります。

**注記：**

SDOが3ステートでない場合 (FS/ $\overline{\text{CS}}$ がローで、SCLKが供給されている) は、常に変換結果の一部がSDO端子に出力されています。そのビット数は、何個のSCLKが供給されているかに依存します。例えば、マニュアル選択チャンネル・コマンドサイクルには4 SCLKが必要なので、変換結果の4 MSBがSDOに出力されます。例外は、あらゆるリセット (PORあるいはソフトウェア・リセット) 直後のサイクルで、SDOがすべて1を出力することです。

SCLKが変換クロック (CCLK) として使用され、かつ連続している場合、サンプリング時 (6 SCLK) に16ビットすべてをSDOからクロック・アウトするのは、静的領域条件のために不可能です。このような場合、変換結果は変換時 (36 SCLKあるいは48 SCLK、オート・ナップ・モード) にリードする方が得策です。

### TAGモード

ADS8328にはTAG機能があり、変換結果がどちらのチャンネルから供給されたものか表示するタグとして使用できます。TAGモードがイネーブルの場合、SDOからリードされるLSBの後に1

個のアドレス・ビットが付加され、変換結果がどちらのチャンネルから来たか表示します。このアドレス・ビットは、チャンネル0は0、チャンネル1は1になります。したがって、追加のTAGビットのために、コマンドの4ビットとCFRの12ビットの和である16データ・ビットに要する16個以上のSCLKをコンバータは必要とします。

### チェイン・モード

ADS8327/28は1個のコンバータとして、あるいは複数個のコンバータを用いたシステムの中で動作することができます。システム設計者は、複数個のコンバータを使用する場合、それらを1つのチェインにカスケード接続することにより、簡便な高速SPI互換シリアル・インターフェイスを活用することができます。ここで、上流コンバータからの変換結果について、EOC/ $\overline{\text{INT}}$ 状態端子を2次シリアル・データ入力であるチェイン・データ入力 (CDI) として再設定するのに、CFR中の1ビットが使用されます。これがチェイン・モード動作です。3個のコンバータの標準的なチェイン・モード接続を図59に示します。

DESCRIPTION	ANALOG VALUE	DIGITAL OUTPUT	
		STRAIGHT BINARY	
Full scale range	$V_{ref}$		
Least significant bit (LSB)	$V_{ref}/65536$	BINARY CODE	HEX CODE
Full scale	$+V_{ref} - 1 \text{ LSB}$	1111 1111 1111 1111	FFFF
Midscale	$V_{ref}/2$	1000 0000 0000 0000	8000
Midscale $\bar{n} - 1 \text{ LSB}$	$V_{ref}/2 - 1 \text{ LSB}$	0111 1111 1111 1111	7FFF
Zero	0 V	0000 0000 0000 0000	0000

表 5. 理想入力電圧および出力コード

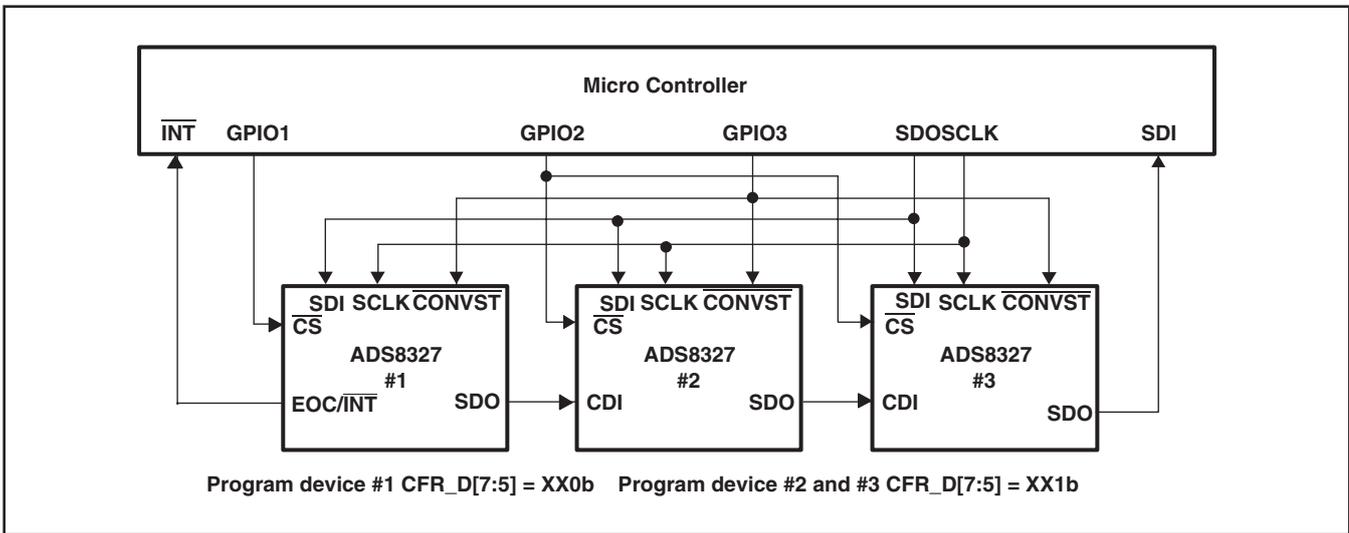


図 59. チェイン・モードを使用する複数コンバータの接続

複数個のコンバータをチェイン・モードで使用する場合、最初のコンバータは通常モードに設定し、残りの下流コンバータはチェイン・モードに設定します。コンバータがチェイン・モードに設定されると、CDI入力データは出力レジスタへ直行します。したがって、 $\overline{CS}$ がアクティブであるかぎり、シリアル入力デー

タはコンバータを16 SCLK (TAG機能がディスエーブルの場合)あるいは24 SCLKの遅延で通過します。この詳細なタイミングは図60を参照願います。このタイミングでは、各コンバータの変換は同時に行われます。

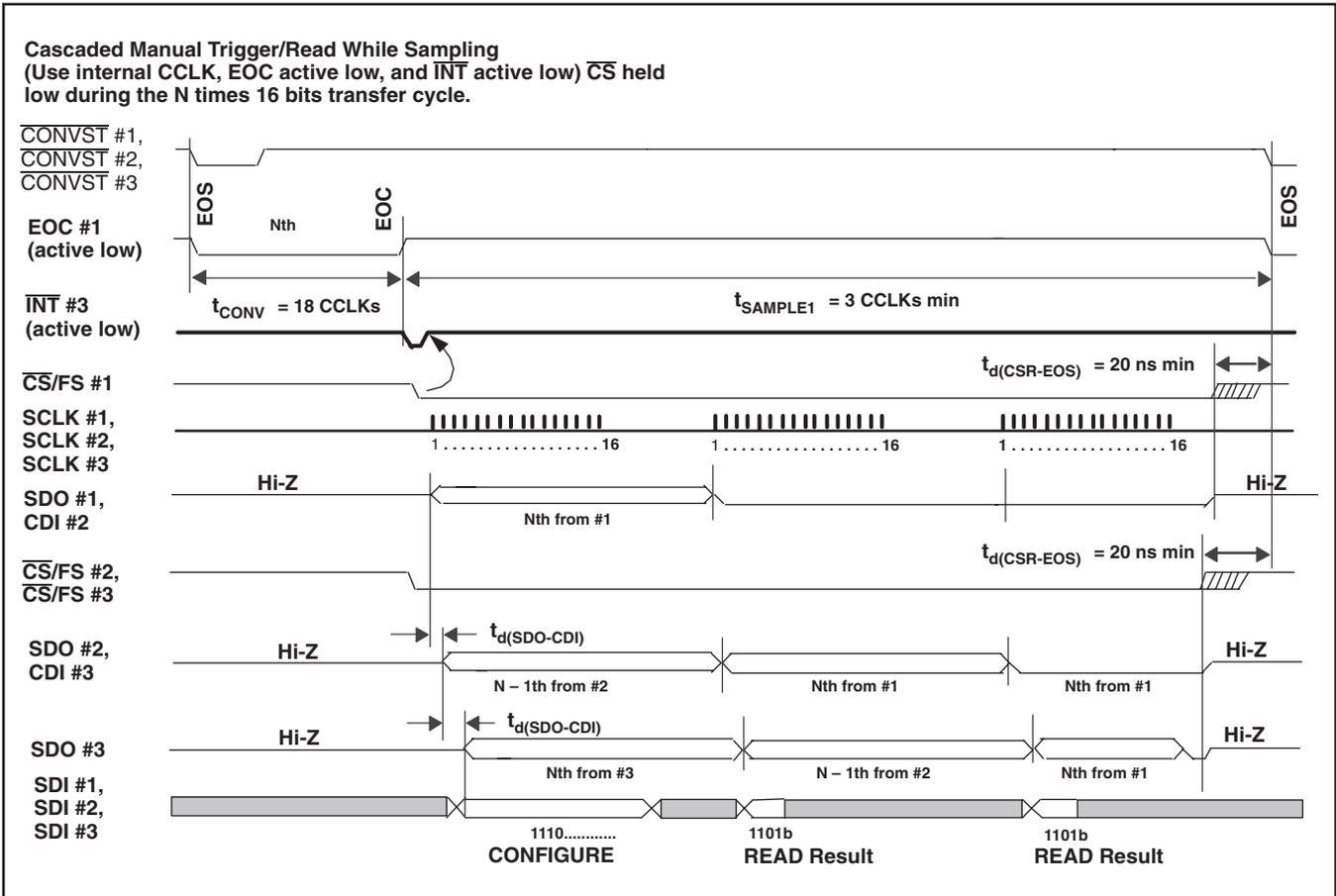


図 60. 共通なCONVSTおよび連続CSの単純化したカスケード・モード・タイミング

コンバータがチェーン・モードで動作する場合、複数の $\overline{\text{CS}}$ の取り扱いには注意が必要です。異なるチップ・セレクト信号も、全体のデータ転送時にはすべてローでなければなりません(この例では、3個のコンバータで48ビット間)。チップ・セレクト $\overline{\text{CS}}$ の立ち下がり後最初の16ビット・ワードは、必ずCS信号を受け取ったデバイスからのデータになります。

**例1:** チップ・セレクトがトグルしない( $\overline{\text{CS}}$ がローのまま)場合、次の16ビットは上流コンバータからのデータになります。これを図60に示します。図59の例のコンバータ#1のように、チェーンに上流コンバータがない場合、そのコンバータから同じデータ(図60のSDO#1のすべて0)が繰り返し見られます。

**例2:** チップ・セレクトが、図61に示すようにチェーン・モード・データ転送サイクルの間にトグルする場合、そのコンバータから同じ16ビット・データが、3つの分散した16ビット・サイクルすべてにおいて何度もリード・アウトされます。これは好ましくない結果です。

2番目のコンバータが $\overline{\text{CONVST}}$ を共有していないという、僅かに異なるシナリオを図62に示します。コンバータ#1および#3は同じ $\overline{\text{CONVST}}$ 共有しています。このような場合、コンバータ#2は上流からの変換データを単に下流に通過させるだけです。

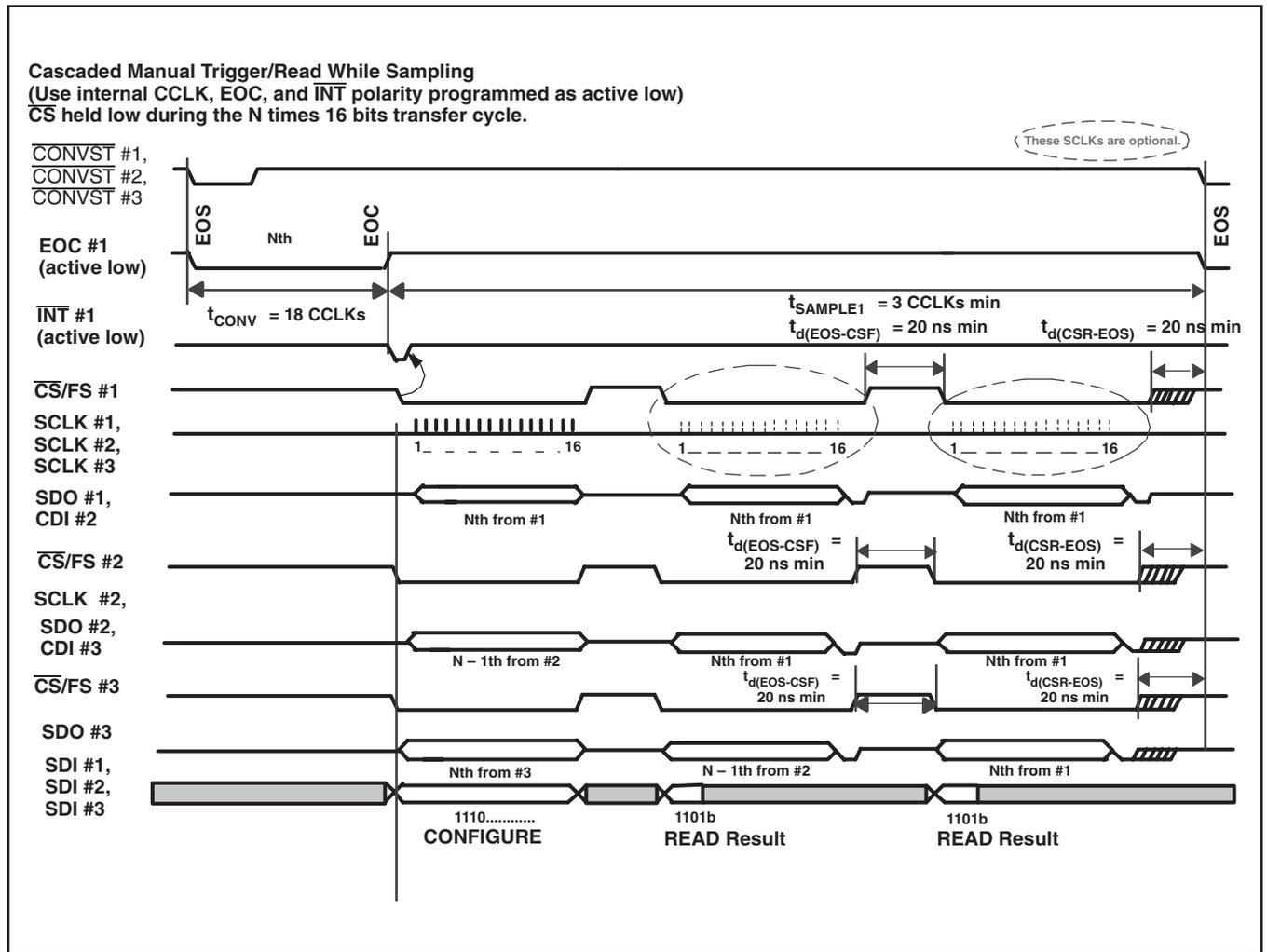


図 61. 共通な $\overline{\text{CONVST}}$ および分散 $\overline{\text{CS}}$ の単純化したカスケード・モード・タイミング

**Cascaded Manual Trigger/Read While Sampling**  
 (Use internal CCLK, EOC active low and INT active low)  
 CS held low during the N times 16 bits transfer cycle.

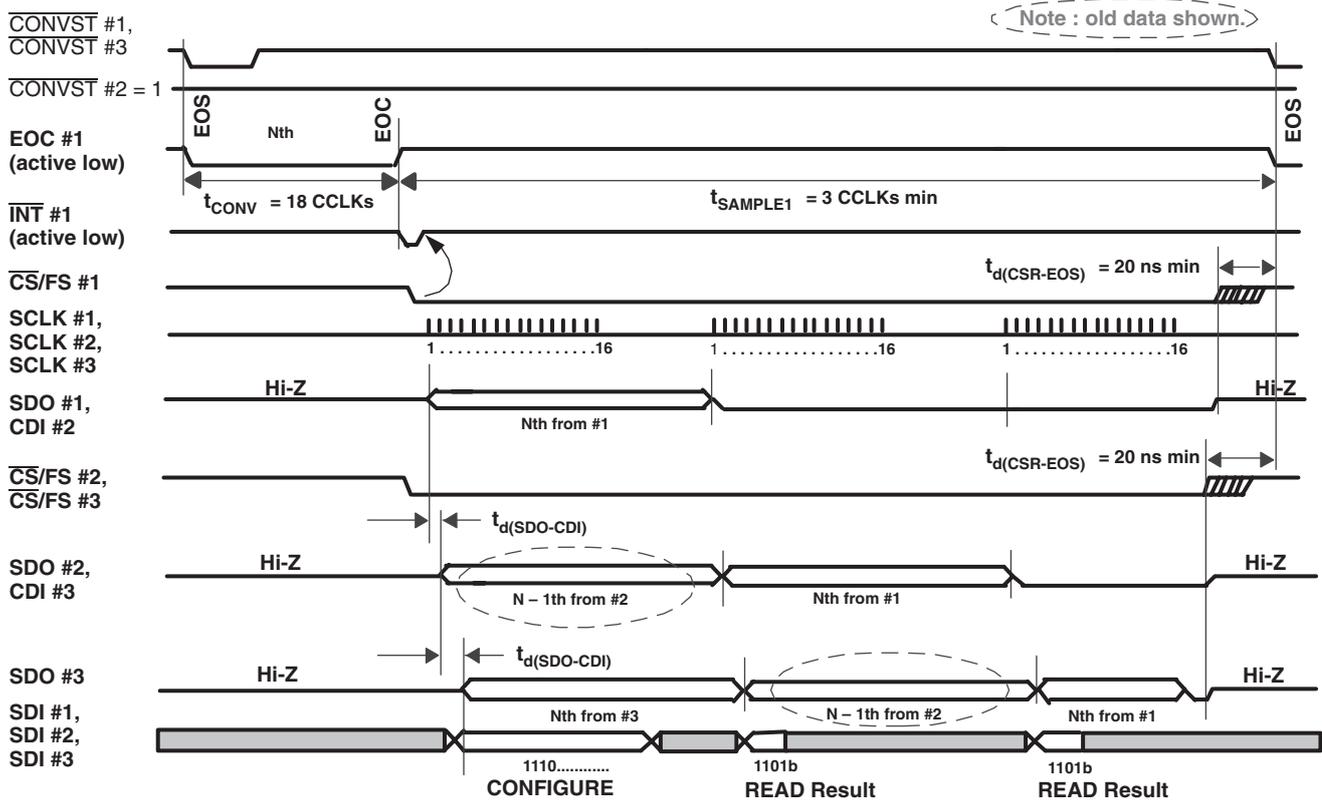


図 62. 単純化したカスケード・タイミング(分離されたCONVST)

シリアル・リード・サイクルに必要なSCLKの数は、異なるリード・モードの組み合わせ、TAGビット、および、例えばオート・チャンネル選択のようなチャンネル選択方法に依存します。これを表6に示します。

CHAIN MODE ENABLED CFR.D5	AUTO CHANNEL SELECT CFR.D11	TAG ENABLED CFR.D1	NUMBER OF SCLK PER SPI READ	TRAILING BITS
0	0	0	16	None
0	0	1	≥17	MSB is TAG bit plus zero(s)
0	1	0	16	None
0	1	1	≥17	TAG bit plus 7 zeros
1	0	0	16	None
1	0	1	24	TAG bit plus 7 zeros
1	1	0	16	None
1	1	1	24	TAG bit plus 7 zeros

表 6. 異なるリード・アウト・モードの組み合わせに必要なSCLK数

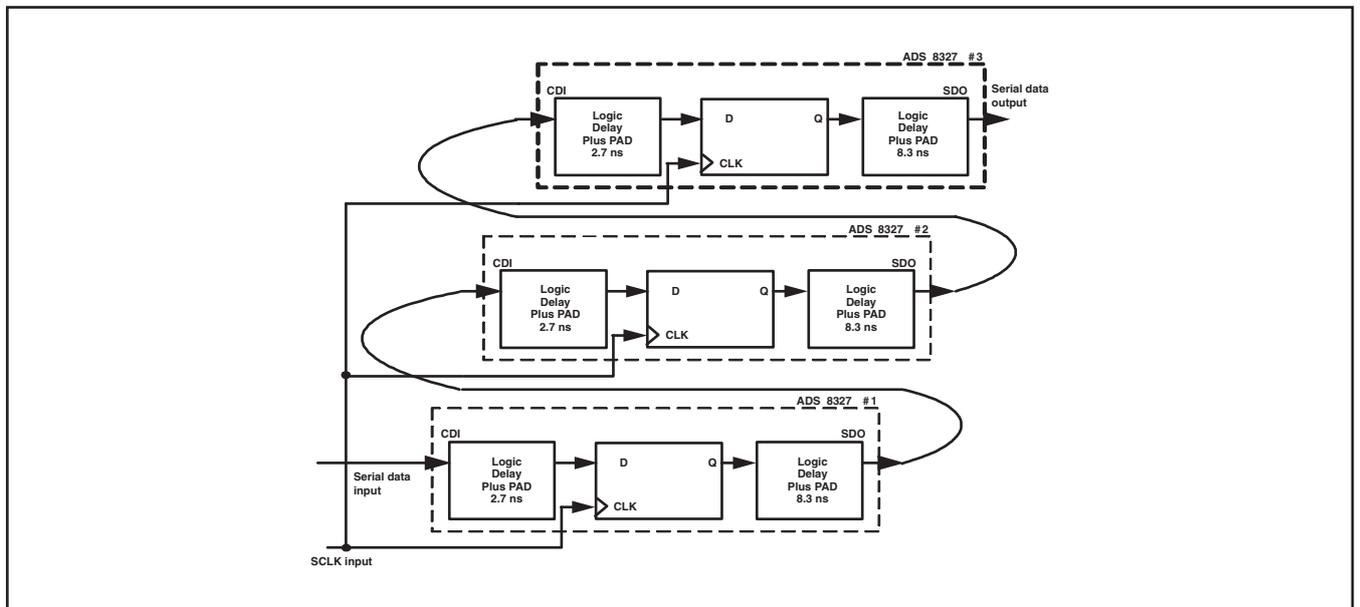


図 63. チェイン・モード設定のコンバータを通じた代表的遅延

コンバータ間のSCLKスキューと、チェイン・モードに設定されたコンバータを通じたデータ・バス遅延により、SCLKの最大周波数は影響されます。また、遅延は電源電圧および負荷によって影響されます。したがって、デバイスがチェイン・モードに設定された場合、SCLKを低速化する必要があるかもしれません。

## リセット

本コンバータには、パワーオン・リセット (POR) と CFR\_D0 を使用するソフトウェア・リセットの、2つのリセット・メカニズムがあります。これら2つのメカニズムはデバイス内部でNORされています。リセット (ソフトウェアあるいはPOR) が発生すると、すべてのレジスタ・データはデフォルト値 (全部1) に設定され、SDO出力も (リセット直後のサイクルにて) すべて1に設定されます。また、状態マシンの状態はパワーオン状態にリセットされます。

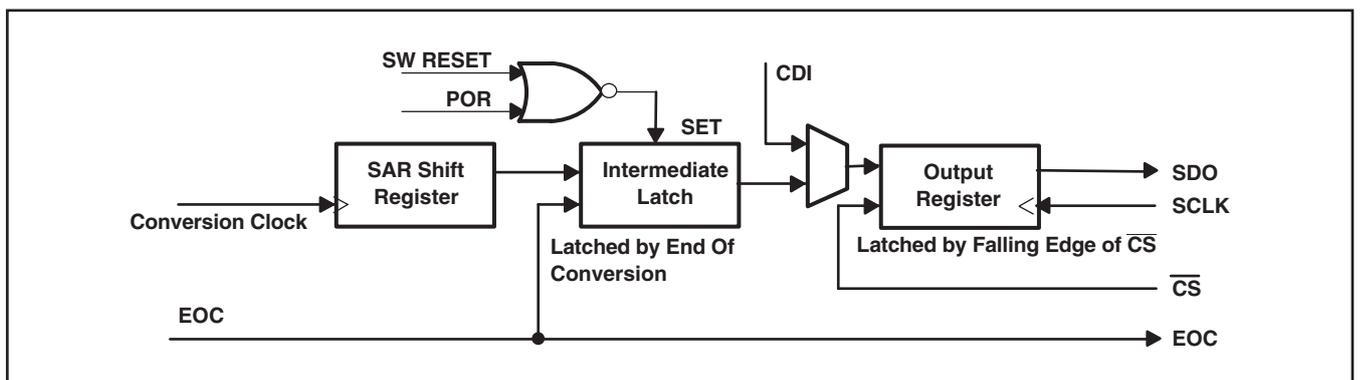


図 64. リセット状態でのデジタル出力

# アプリケーション情報

## 標準的な接続

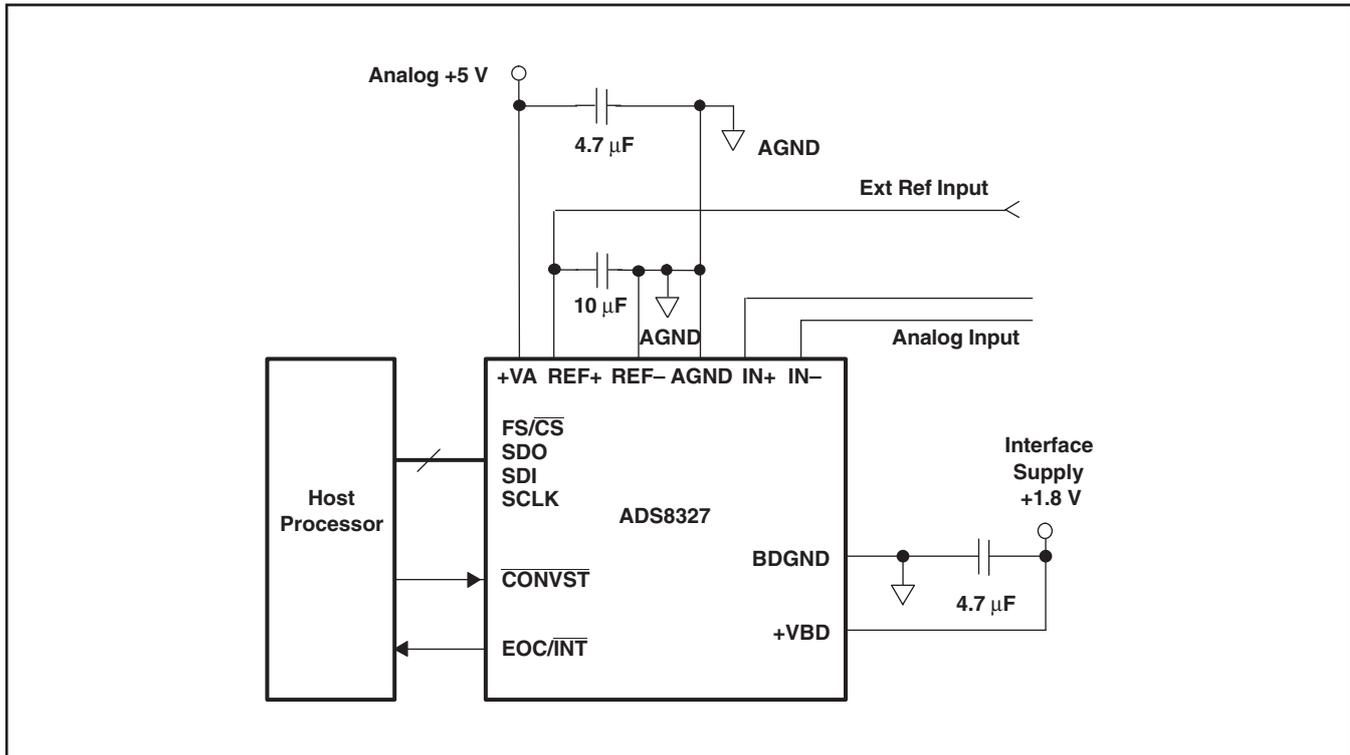


図 65. 標準的な回路構成

## パッケージ情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
ADS8327IBPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IBPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IBPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IBPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IBRSAR	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IBRSARG4	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IBRSAT	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IBRSATG4	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IRSAR	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IRSARG4	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IRSAT	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8327IRSATG4	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IBPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IBPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IBPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IBPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IBRSAR	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IBRSARG4	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IBRSAT	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IBRSATG4	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

## パッケージ情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
ADS8328IPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IRSAR	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IRSARG4	ACTIVE	QFN	RSA	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IRSAT	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8328IRSATG4	ACTIVE	QFN	RSA	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

<sup>(1)</sup> マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

<sup>(2)</sup> エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

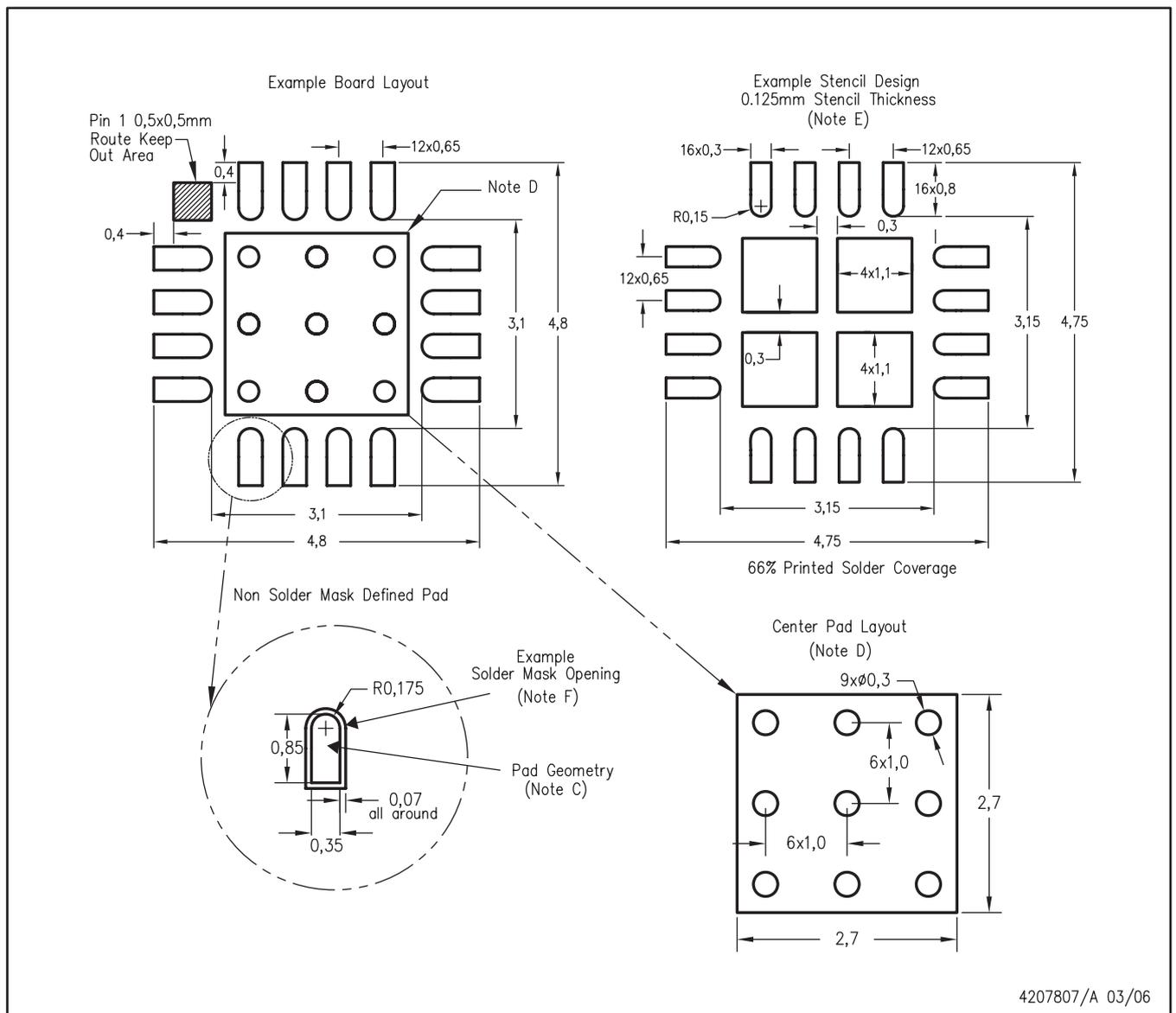
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

<sup>(3)</sup> MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

# LAND PATTERN

RSA (S-PQFP-N16)



4207807/A 03/06

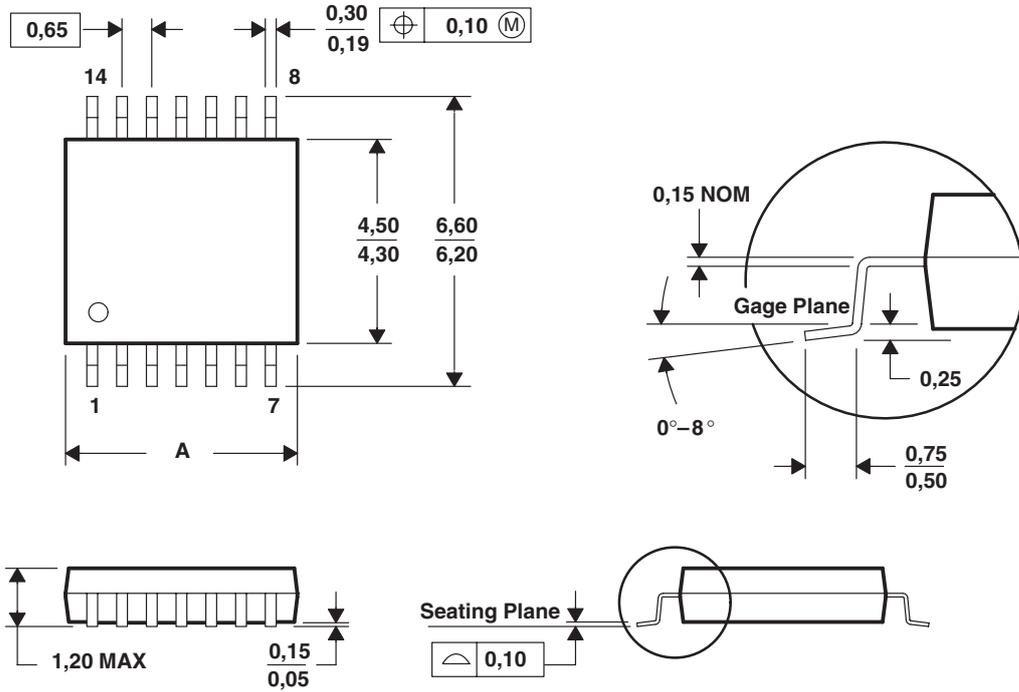
- NOTES:
- All linear dimensions are in millimeters.
  - This drawing is subject to change without notice.
  - Publication IPC-7351 is recommended for alternate designs.
  - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN Packages, Texas Instruments Literature No. SCBA017, SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
  - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - Customers should contact their board fabrication site for solder mask tolerances.

# メカニカル・データ

PW (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN

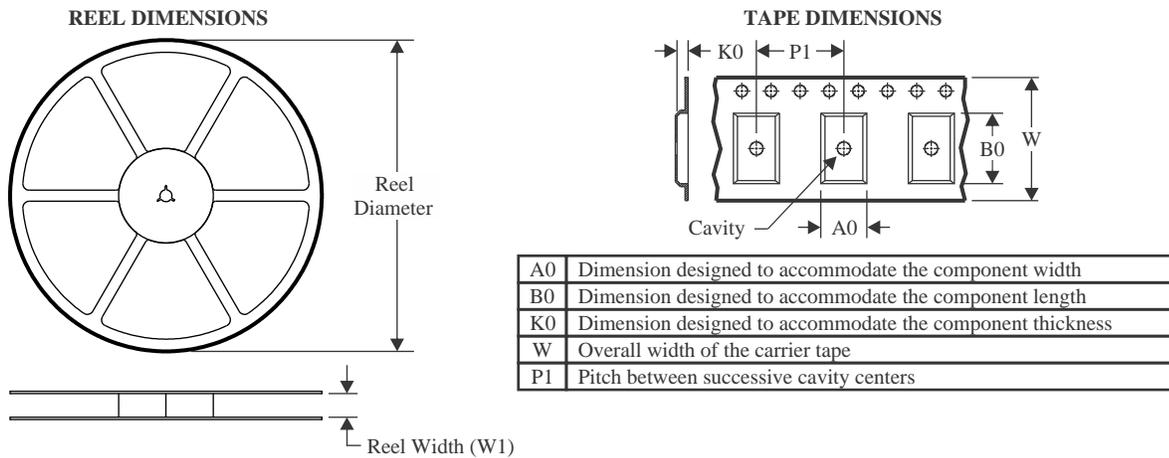
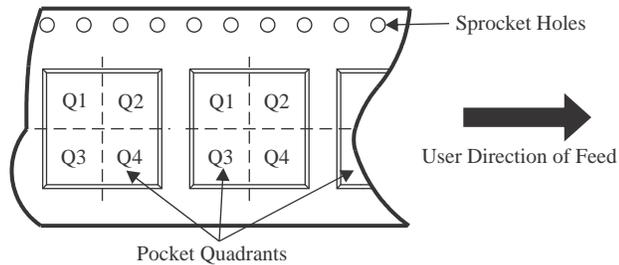


DIM \ PINS **	PINS **					
	8	14	16	20	24	28
A MAX	3,10	5,10	5,10	6,60	7,90	9,80
A MIN	2,90	4,90	4,90	6,40	7,70	9,60

4040064/F 01/97

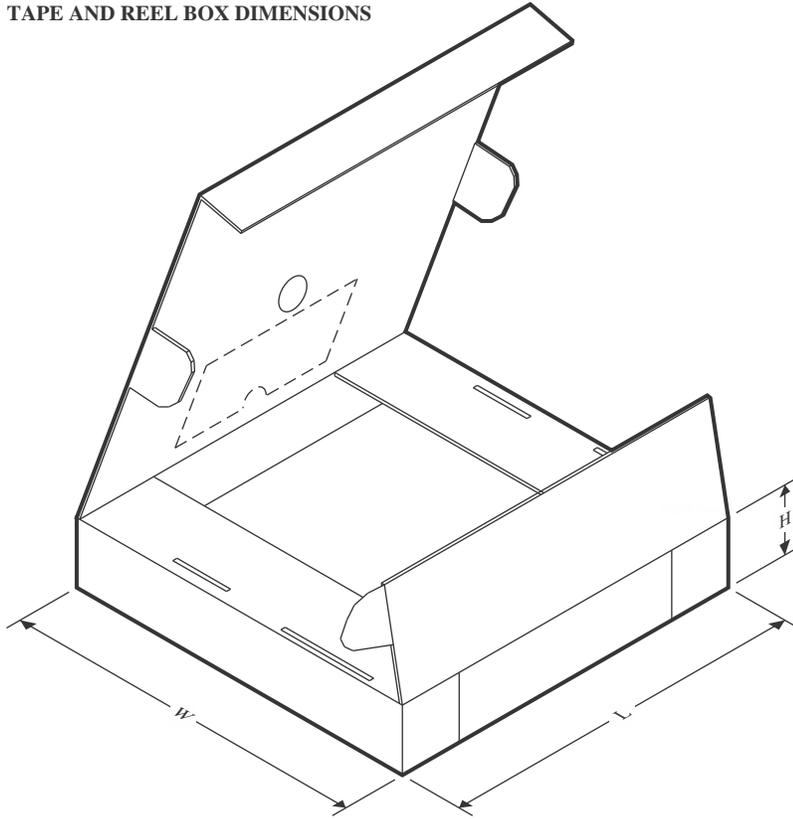
- 注： A. 直線寸法はすべてミリメートルです。  
 B. 本図は予告なしに変更することがあります。  
 C. 本体の寸法には、0,15を超えるモールド・フラッシュや突起は含まれません。  
 D. JEDEC MO-153に準拠。

(SLAS415B)

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


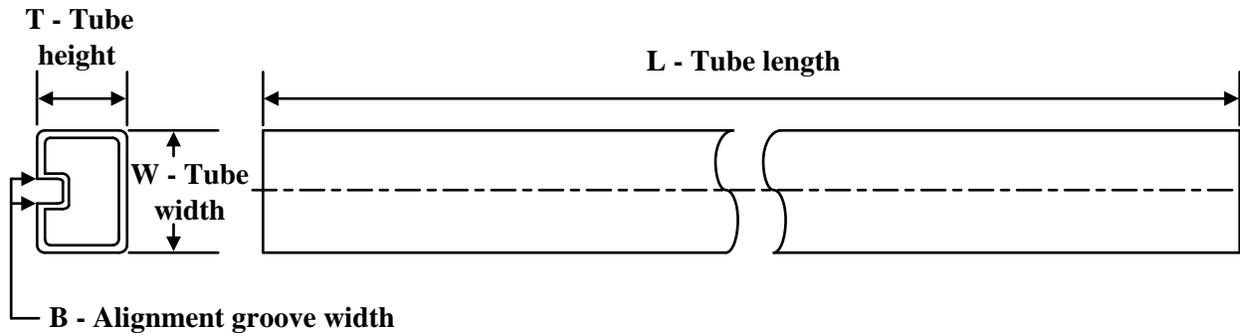
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8327IBPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS8327IBRSAR	QFN	RSA	16	3000	330.0	12.4	4.3	4.3	1.5	8.0	12.0	Q2
ADS8327IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS8328IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS8327IBPWR	TSSOP	PW	16	2000	350.0	350.0	43.0
ADS8327IBRSAR	QFN	RSA	16	3000	350.0	350.0	43.0
ADS8327IPWR	TSSOP	PW	16	2000	350.0	350.0	43.0
ADS8328IPWR	TSSOP	PW	16	2000	350.0	350.0	43.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
ADS8327IBPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS8327IPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS8328IBPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS8328IBPWG4	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS8328IPW	PW	TSSOP	16	90	530	10.2	3600	3.5

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated