

# 18ビット、1.25MSPS、基準電圧源内蔵、 パラレル・インターフェイス マイクロパワー ADコンバータ

## 特長

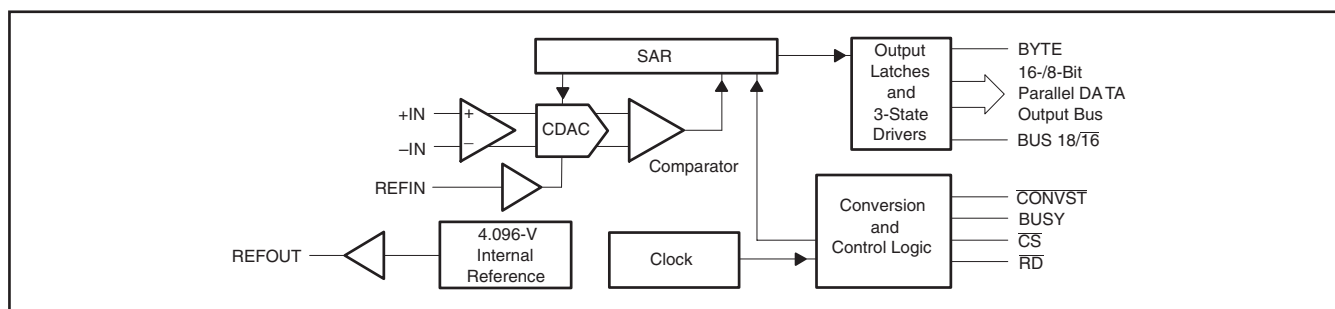
- サンプルング・レート：1.25MHz
- 積分非直線性INL：±1.5LSB (Typ)、±2.5LSB (Max)
- 微分非直線性DNL：+0.8/-0.6LSB (Typ)、+1.5/-1LSB (Max)
- ノー・ミッシング・コード：18ビット (T<sub>A</sub> = -40°C ~ +85°C)
- オフセット誤差：±0.5mV
- オフセット誤差ドリフト：±0.05ppm/°C
- ゲイン誤差：±0.1%FSR
- ゲイン誤差ドリフト：±0.5ppm/°C
- SNR：98.5dB, THD：-120dB、SFDR：121dB
- ゼロ・レイテンシー
- 低消費電力：235mW (Typ 1.25MSPS時)
- 疑似バイポーラ完全差動入力範囲：V<sub>ref</sub> ~ -V<sub>ref</sub>
- ドリフト6ppm/°Cのリファレンス内蔵
- リファレンス・バッファ内蔵
- 高速パラレル・インターフェイス
- デジタル電源：2.7V~5.25V
- バス伝送：8/16/18ビット
- 48ピン7×7QFNパッケージ

## アプリケーション

- 医療機器
- 光ネットワーク
- トランスデューサ用インターフェイス
- 高精度データ・アキュイジション・システム
- マグネットメータ

### 高速SARコンバータのファミリー

タイプ/速度	500 kHz	~600 kHz	750 kHz	1 MHz	1.25 MHz	2 MHz	3 MHz	4 MHz
18ビット疑似差動	ADS8383	ADS8381		ADS8481				
		ADS8380 (s)						
18ビット疑似バイポーラ、完全差動		ADS8382 (s)		ADS8482	ADS8484			
16ビット疑似差動	ADS8327	ADS8370 (s)	ADS8371	ADS8471	ADS8401	ADS8411		
	ADS8328	ADS8472 (s)			ADS8405	ADS8410 (s)		
16ビット疑似バイポーラ、完全差動				ADS8472	ADS8402	ADS8412		ADS8422
					ADS8406	ADS8413 (s)		
14ビット疑似差動					ADS7890 (s)		ADS7891	
12ビット疑似差動				ADS7886				ADS7881



PowerPADは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



## 概要

ADS8484は18ビット、1.25MSPSのADコンバータであり、4.096Vの内部リファレンスおよび疑似バイポーラ、完全差動入力を備えています。本デバイスは、固有のサンプル・アンド・ホールド回路を備えた、コンデンサをベースとした18ビットの逐次比較型ADコンバータです。また、ADS8484はフルで18ビットのインターフェイスを備え、データが2リード・サイクルで読み取られる16ビットのオプションと、3リード・サイクルを使用する8ビット・バスのオプションがあります。

ADS8484は48ピンの7×7QFNパッケージで入手でき、産業用の-40°Cから85°Cの温度範囲で特性が規定されています。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

## 製品情報<sup>(1)</sup>

製品名	最大積分直線性 (LSB)	最大微分直線性 (LSB)	ノー・ミッシング・コード (BIT)	パッケージ	パッケージ・コード	動作温度範囲	製品型番	出荷形態、数量
ADS8484I	±4	-1 ~ +2	18	7x7 48 Pin QFN	RGZ	-40°C ~ 85°C	ADS8484IRGZT	テープ・リール 250
							ADS8484IRGZR	テープ・リール 1000
ADS8484IB	±2.5	-1 ~ +1.5	18	7x7 48 Pin QFN	RGZ	-40°C ~ 85°C	ADS8484IBRGZT	テープ・リール 250
							ADS8484IBRGZR	テープ・リール 1000

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ情報」を参照するか、またはTIのWebサイト ([www.ti.com](http://www.ti.com)) をご覧ください。

## 絶対最大定格<sup>(1)</sup>

		定格	単位
電圧	+IN ~ AGND	-0.4 ~ +VA + 0.1	V
	-IN ~ AGND	-0.4 ~ +VA + 0.1	V
	+VA ~ AGND	-0.3 ~ 7	V
	+VBD ~ BDGND	-0.3 ~ 7	V
	+VA ~ +VBD	-0.3 ~ 2.55	V
デジタル入力電圧 対BDGND		-0.3 ~ +VBD + 0.3	V
デジタル出力電圧 対BDGND		-0.3 ~ +VBD + 0.3	V
T <sub>A</sub>	動作温度範囲	-40 ~ 85	°C
T <sub>stg</sub>	保存温度範囲	-65 ~ 150	°C
接合部温度 (T <sub>J</sub> max)		150	°C
QFNパッケージ	許容損失	(T <sub>J</sub> Max - T <sub>A</sub> )/θ <sub>JA</sub>	
	θ <sub>JA</sub> 熱抵抗	22	°C/W
リード温度、半田	蒸気相 (60秒)	215	°C
	赤外線加熱 (15秒)	220	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示しており、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。

## 仕様

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ ,  $+V_A = 5\text{ V}$ ,  $+V_{BD} = 3\text{ V}$  or  $5\text{ V}$ ,  $V_{ref} = 4.096\text{ V}$ ,  $f_{SAMPLE} = 1.25\text{ MSPS}$  (特に記述のない限り)

パラメータ		測定条件	MIN	TYP	MAX	単位	
<b>アナログ入力</b>							
フルスケール入力電圧 <sup>(1)</sup>		+IN – (–IN)	$-V_{ref}$		$V_{ref}$	V	
入力電圧範囲		+IN	–0.2		$V_{ref} + 0.2$	V	
		–IN	–0.2		$V_{ref} + 0.2$		
同相入力範囲			$(V_{ref})/2 - 0.2$	$(V_{ref})/2$	$(V_{ref})/2 + 0.2$	V	
入力容量				65		pF	
入力リーク電流				1		nA	
<b>システム特性</b>							
分解能				18		Bits	
ノー・ミッシング・コード		ADS8484I		18		Bits	
		ADS8484IB		18			
INL	積分直線性 <sup>(2)</sup>	ADS8484I	–4	$\pm 1.5$	4	LSB (18 bit) <sup>(3)</sup>	
		ADS8484IB	–2.5	$\pm 1.5$	2.5		
DNL	微分直線性	ADS8484I	–1	–0.6/0.8	2	LSB (18 bit)	
		ADS8484IB	–1	–0.6/0.8	1.5		
オフセット誤差 <sup>(4)</sup>		ADS8484I	–2	$\pm 1$	2	mV	
		ADS8484IB	–0.5	$\pm 0.1$	0.5		
オフセット誤差ドリフト		ADS8484I		$\pm 0.05$		ppm/ $^{\circ}\text{C}$	
		ADS8484IB		$\pm 0.05$			
E <sub>G</sub>	ゲイン誤差 <sup>(4)(5)</sup>	ADS8484I	$V_{ref} = 4.096\text{ V}$	–0.1	$\pm 0.035$	0.1	%FS
		ADS8484IB	$V_{ref} = 4.096\text{ V}$	–0.1	$\pm 0.035$	0.1	%FS
ゲイン誤差ドリフト		ADS8484I		$\pm 0.5$		ppm/ $^{\circ}\text{C}$	
		ADS8484IB		$\pm 0.5$			
CMRR	同相除去比	At dc ( $\pm 0.2\text{ V}$ around $V_{ref}/2$ )			60	dB	
		+IN – (–IN) = 1 V <sub>pp</sub> at 1.25 MHz			55		
ノイズ				30		$\mu\text{V RMS}$	
電源除去比		At 1FFFFh output code			60	dB	
<b>サンプリング・ダイナミック特性</b>							
変換時間				575	610	ns	
アキュジション・タイム			175	200		ns	
スループット・レート					1.25	MHz	
アパーチャ・ディレイ				4		ns	
アパーチャ・ジッタ				5		ps	
ステップ応答				150		ns	
過電圧復帰				150		ns	

- (1) 理想的な入力範囲であり、ゲインやオフセットの誤差を含みません。
- (2) これはエンドポイントINLであり、最適フィッティングではありません。
- (3) LSBとは最下位ビットのことです。
- (4) 理想フルスケール入力[+IN – (–IN)] = 8.192Vと比較して測定。
- (5) この仕様は内部リファレンス電圧の誤差およびドリフトを含みません。

# 仕様

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ ,  $+V_A = 5\text{ V}$ ,  $+V_{BD} = 3\text{ V or } 5\text{ V}$ ,  $V_{\text{ref}} = 4.096\text{ V}$ ,  $f_{\text{SAMPLE}} = 1.25\text{ MSPS}$  (特に記述のない限り)

パラメータ		測定条件	MIN	TYP	MAX	単位
ダイナミック特性						
THD	全高調波歪 <sup>(1)</sup>	$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 2 kHz	ADS8484I	-115		dB
			ADS8484IB	-120		
		$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 20 kHz	ADS8484I	-105		
			ADS8484IB	-110		
		$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 100 kHz	ADS8484I	-100		
			ADS8484IB	-103		
SNR	信号対ノイズ比 <sup>(1)</sup>	$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 2 kHz	ADS8484I	96	97	dB
			ADS8484IB	97	98.5	
		$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 20 kHz	ADS8484I	96		
			ADS8484IB	98		
		$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 100 kHz	ADS8484I	95		
			ADS8484IB	97		
SINAD	信号対(ノイズ+歪)比 <sup>(1)</sup>	$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 2 kHz	ADS8484I	96	96	dB
			ADS8484IB	97	98.5	
		$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 20 kHz	ADS8484I	95		
			ADS8484IB	97		
		$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 100 kHz	ADS8484I	93		
			ADS8484IB	95		
SFDR	スプリアス・フリー・ダイナミック・レンジ	$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 2 kHz	ADS8484I	117		dB
			ADS8484IB	121		
		$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 20 kHz	ADS8484I	107		
			ADS8484IB	113		
		$V_{\text{IN}} = 8\text{ V}_{\text{pp}}$ at 100 kHz	ADS8484I	102		
			ADS8484IB	105		
-3dB小信号帯域幅				15		MHz

(1) 入力周波数の9次高調波まで計算。

## 仕様

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ ,  $+VA = 5\text{ V}$ ,  $+VBD = 3\text{ V or } 5\text{ V}$ ,  $V_{\text{ref}} = 4.096\text{ V}$ ,  $f_{\text{SAMPLE}} = 1.25\text{ MSPS}$  (特に記述のない限り)

パラメータ	測定条件	MIN	TYP	MAX	単位	
<b>電圧リファレンス入力</b>						
$V_{\text{ref}}$	REFIN端子のリファレンス電圧	3.0	4.096	$+VA - 0.8$	V	
	リファレンス抵抗 <sup>(1)</sup>		500		k $\Omega$	
	リファレンスの引き込み電流	$f_s = 1.25\text{ MHz}$		1	mA	
<b>内部リファレンス出力</b>						
	内部リファレンスのスタートアップ時間	1 $\mu\text{F}$ ストレージ・コンデンサで 95% (+VA) から		120	ms	
$V_{\text{ref}}$	リファレンス電圧範囲	$I_O = 0$	4.081	4.096	4.111	V
	ソース電流	静的負荷		10	$\mu\text{A}$	
	ラインレギュレーション	$+VA = 4.75\text{ V} \sim 5.25\text{ V}$		60	$\mu\text{V}$	
	ドリフト	$I_O = 0$		$\pm 6$	PPM/ $^{\circ}\text{C}$	
<b>デジタル入力/出力</b>						
	ロジック・ファミリー - CMOS					
$V_{\text{IH}}$	Highレベル入力電圧	$I_{\text{IH}} = 5\ \mu\text{A}$	$+VBD - 1$	$+VBD + 0.3$	V	
$V_{\text{IL}}$	Lowレベル入力電圧	$I_{\text{IL}} = 5\ \mu\text{A}$	-0.3	0.8		
$V_{\text{OH}}$	Highレベル出力電圧	$I_{\text{OH}} = 2\text{ TTL loads}$	$+VBD - 0.6$			
$V_{\text{OL}}$	Lowレベル出力電圧	$I_{\text{OL}} = 2\text{ TTL loads}$		0.4		
	データ形式 - 2の補数					
<b>電源</b>						
電圧	+VBD		2.7	3.3	5.25	V
	+VA		4.75	5	5.25	V
電流 <sup>(2)</sup>		$f_s = 1.25\text{ MHz}$		47	52	mA
消費電力 <sup>(2)</sup>		$f_s = 1.25\text{ MHz}$		235	260	mW
<b>温度範囲</b>						
	動作温度範囲		-40		85	$^{\circ}\text{C}$

(1)  $\pm 20\%$ の変動があります。

(2) +VA電流のみ。+VBD電流は、全出力端子において5pF負荷時に1mA(標準)になります。

## タイミング特性

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ ,  $+V_A = +V_{BD} = 5\text{ V}$  (1) (2) (3)

パラメータ		MIN	TYP	MAX	単位
$t_{(\text{CONV})}$	コンバージョン・タイム			610	ns
$t_{(\text{ACQ})}$	アキュジション・タイム	175			ns
$t_{(\text{HOLD})}$	サンプリング・コンデンサ・ホールド・タイム			15	ns
$t_{\text{pd1}}$	$\overline{\text{CONVST}}$ “Low” からBUSY “High” まで			40	ns
$t_{\text{pd2}}$	伝播遅延時間：変換終了からBUSY “Low” まで			15	ns
$t_{\text{pd3}}$	伝播遅延時間：変換状態開始からBUSYの立ち上がりエッジまで			25	ns
$t_{\text{w1}}$	パルス幅： $\overline{\text{CONVST}}$ “Low”	40			ns
$t_{\text{su1}}$	セットアップ・タイム： $\overline{\text{CS}}$ “Low” から $\overline{\text{CONVST}}$ “Low” まで	20			ns
$t_{\text{w2}}$	パルス幅： $\overline{\text{CONVST}}$ “High”	20			ns
	$\overline{\text{CONVST}}$ 立ち下がりエッジのジッタ			10	ps
$t_{\text{w3}}$	パルス幅：BUSY信号 “Low”	$t_{(\text{ACQ})\text{min}}$			ns
$t_{\text{w4}}$	パルス幅：BUSY信号 “High”			610	ns
$t_{\text{h1}}$	ホールド・タイム： $\overline{\text{CONVST}}$ “Low” 後の最初のデータ・バスの遷移まで（リード・サイクルでの $\overline{\text{RD}}$ “Low” あるいは $\overline{\text{CS}}$ “Low”、またはBYTEあるいはBUS18/16の各入力変化）	40			ns
$t_{\text{d1}}$	遅延時間： $\overline{\text{CS}}$ “Low” から $\overline{\text{RD}}$ “Low” まで	0			ns
$t_{\text{su2}}$	セットアップ・タイム： $\overline{\text{RD}}$ “High” から $\overline{\text{CS}}$ “High” まで	0			ns
$t_{\text{w5}}$	パルス幅： $\overline{\text{RD}}$ “Low”	50			ns
$t_{\text{en}}$	イネーブル時間： $\overline{\text{RD}}$ “Low”（リード・サイクルでは $\overline{\text{CS}}$ “Low”）から有効データまで			20	ns
$t_{\text{d2}}$	遅延時間： $\overline{\text{RD}}$ “High” からのデータ・ホールド	5			ns
$t_{\text{d3}}$	遅延時間：BUS18/16またはBYTEの立ち上がりエッジあるいは立ち下がりエッジから有効データまで	10		20	ns
$t_{\text{w6}}$	パルス幅： $\overline{\text{RD}}$ “High”	20			ns
$t_{\text{w7}}$	パルス幅： $\overline{\text{CS}}$ “High”	20			ns
$t_{\text{h2}}$	ホールド・タイム：最後の $\overline{\text{RD}}$ （あるいはリード・サイクル時の $\overline{\text{CS}}$ ）の立ち上がりエッジから $\overline{\text{CONVST}}$ の立ち下がりエッジまで	50			ns
$t_{\text{pd4}}$	伝播遅延時間：BUSYの立ち下がりエッジから次の $\overline{\text{RD}}$ （あるいはリード・サイクル時の $\overline{\text{CS}}$ ）の立ち下がりエッジまで	0			ns
$t_{\text{d4}}$	遅延時間：BYTEエッジからBUS18/16エッジのスキュー	0			ns
$t_{\text{su3}}$	セットアップ・タイム：BYTEあるいはBUS18/16の遷移から $\overline{\text{RD}}$ の立ち下がりエッジまで	10			ns
$t_{\text{h3}}$	ホールド・タイム：BYTEあるいはBUS18/16の遷移から $\overline{\text{RD}}$ の立ち下がりエッジまで	10			ns
$t_{\text{dis}}$	ディスエーブル時間： $\overline{\text{RD}}$ （あるいはリード・サイクル時の $\overline{\text{CS}}$ ） “High” からデータ・バスの3ステートまで			20	ns
$t_{\text{d5}}$	遅延時間：BUSY “Low” から有効MSBデータまで			0	ns
$t_{\text{d6}}$	遅延時間： $\overline{\text{CS}}$ の立ち上がりエッジからBUSYの立ち下がりエッジまで	50			ns
$t_{\text{d7}}$	遅延時間：BUSYの立ち下がりエッジから $\overline{\text{CS}}$ の立ち上がりエッジまで	50			ns
$t_{\text{su5}}$	セットアップ・タイム：BYTEの遷移から次のBYTEの遷移まで、あるいはBUS18/16の遷移から次のBUS18/16の遷移まで	50			ns
$t_{\text{su(ABORT)}}$	セットアップ・タイム： $\overline{\text{CONVST}}$ の立ち下がりエッジ（有効変換の開始に使用）から次の $\overline{\text{CONVST}}$ の立ち下がりエッジ（ $\overline{\text{CS}} = 0$ で、 $\overline{\text{CONVST}}$ がアボートに使用される場合）まで、あるいは次の $\overline{\text{CS}}$ の立ち下がりエッジ（ $\overline{\text{CS}} = 0$ がアボートに使用される場合）まで	60		480	ns

(1) 入力信号は、すべて $t_r = t_f = 5\text{ ns}$ （+VBDの10%から90%）で規定され、また、 $(V_{IL} + V_{IH})/2$ の電圧で時間測定されています。

(2) タイミング図を参照のこと。

(3) すべてのタイミングは、20pFの等価負荷を全データ・ビットおよびBUSY端子に接続して測定しています。

## タイミング特性

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ ,  $+V_A = 5\text{ V}$ ,  $+V_{BD} = 3\text{ V}$  (1) (2) (3)

パラメータ		MIN	TYP	MAX	単位
$t_{(\text{CONV})}$	変換時間			610	ns
$t_{(\text{ACQ})}$	アクイジション・タイム	175			ns
$t_{(\text{HOLD})}$	サンプリング・コンデンサ・ホールド・タイム			15	ns
$t_{\text{pd1}}$	$\overline{\text{CONVST}}$ “Low” からBUSY “High” まで			40	ns
$t_{\text{pd2}}$	伝播遅延時間：変換終了からBUSY “Low” まで			15	ns
$t_{\text{pd3}}$	伝播遅延時間：変換状態開始からBUSYの立ち上がりエッジまで			25	ns
$t_{\text{w1}}$	パルス幅： $\overline{\text{CONVST}}$ “Low”	40			ns
$t_{\text{su1}}$	セットアップ・タイム： $\overline{\text{CS}}$ “Low” から $\overline{\text{CONVST}}$ “Low” まで	20			ns
$t_{\text{w2}}$	パルス幅： $\overline{\text{CONVST}}$ “High”	20			ns
	$\overline{\text{CONVST}}$ 立ち下がりエッジのジッタ			10	ps
$t_{\text{w3}}$	パルス幅：BUSY信号 “Low”	$t_{(\text{ACQ})\text{min}}$			ns
$t_{\text{w4}}$	パルス幅：BUSY信号 “High”			610	ns
$t_{\text{h1}}$	ホールド・タイム： $\overline{\text{CONVST}}$ “Low” 後の最初のデータ・バスの遷移まで (リード・サイクルでの $\overline{\text{RD}}$ “Low” あるいは $\overline{\text{CS}}$ “Low”、またはBYTEあるいはBUS18/16の各入力変化)	40			ns
$t_{\text{d1}}$	遅延時間： $\overline{\text{CS}}$ “Low” から $\overline{\text{RD}}$ “Low” まで	0			ns
$t_{\text{su2}}$	セットアップ・タイム： $\overline{\text{RD}}$ “High” から $\overline{\text{CS}}$ “High” まで	0			ns
$t_{\text{w5}}$	パルス幅： $\overline{\text{RD}}$ “Low”	50			ns
$t_{\text{en}}$	イネーブル時間： $\overline{\text{RD}}$ “Low” (リード・サイクルでは $\overline{\text{CS}}$ “Low”) から有効データまで			30	ns
$t_{\text{d2}}$	遅延時間：“High” からのデータ・ホールド	5			ns
$t_{\text{d3}}$	遅延時間：BUS18/16またはBYTEの立ち上がりエッジあるいは立ち下がりエッジから有効データまで	10		30	ns
$t_{\text{w6}}$	パルス幅： $\overline{\text{RD}}$ “High”	20			ns
$t_{\text{w7}}$	パルス幅： $\overline{\text{CS}}$ “High”	20			ns
$t_{\text{h2}}$	ホールド・タイム：最後の $\overline{\text{RD}}$ (あるいはリード・サイクル時の $\overline{\text{CS}}$ ) の立ち上がりエッジから $\overline{\text{CONVST}}$ の立ち下がりエッジまで	50			ns
$t_{\text{pd4}}$	伝播遅延時間：BUSYの立ち下がりエッジから次の $\overline{\text{RD}}$ (あるいはリード・サイクル時の $\overline{\text{CS}}$ ) の立ち下がりエッジまで	0			ns
$t_{\text{d4}}$	遅延時間：BYTEエッジからBUS18/16エッジのスキュー	0			ns
$t_{\text{su3}}$	セットアップ・タイム：BYTEあるいはBUS18/16の遷移から $\overline{\text{RD}}$ の立ち下がりエッジまで	10			ns
$t_{\text{h3}}$	ホールド・タイム：BYTEあるいはBUS18/16の遷移から $\overline{\text{RD}}$ の立ち下がりエッジまで	10			ns
$t_{\text{dis}}$	ディスエーブル時間： $\overline{\text{RD}}$ (あるいはリード・サイクル時の $\overline{\text{CS}}$ ) “High” からデータ・バスの3ステートまで			30	ns
$t_{\text{d5}}$	遅延時間：BUSY “Low” から有効MSBデータまで			0	ns
$t_{\text{d6}}$	遅延時間： $\overline{\text{CS}}$ の立ち上がりエッジからBUSYの立ち下がりエッジまで	50			ns
$t_{\text{d7}}$	遅延時間：BUSYの立ち下がりエッジから $\overline{\text{CS}}$ の立ち上がりエッジまで	50			ns
$t_{\text{su5}}$	セットアップ・タイム：BYTEの遷移から次のBYTEの遷移まで、あるいはBUS18/16の遷移から次のBUS18/16の遷移まで	50			ns
$t_{\text{su}(\text{ABORT})}$	セットアップ・タイム： $\overline{\text{CONVST}}$ の立ち下がりエッジ (有効変換の開始に使用) から次の $\overline{\text{CONVST}}$ の立ち下がりエッジ ( $\overline{\text{CS}} = 0$ で、 $\overline{\text{CONVST}}$ がアボートに使用される場合) まで、あるいは次の $\overline{\text{CS}}$ の立ち下がりエッジ ( $\overline{\text{CS}} = 0$ がアボートに使用される場合) まで	70		480	ns

(1) 入力信号は、すべて $t_r = t_f = 5\text{ ns}$  ( $+V_{BD}$ の10%から90%)で規定され、また、 $(V_{LH} + V_{HL})/2$ の電圧で時間測定されています。

(2) タイミング図を参照のこと。

(3) すべてのタイミングは、20pFの等価負荷を全データ・ビットおよびBUSY端子に接続して測定しています。





## ピン機能

端子名	NO	I/O	説明					
DB9	38	O	D9	All ones	All ones	D9	All ones	D9
DB8	39	O	D8	All ones	All ones	D8	All ones	D8
DB7	40	O	D7	All ones	All ones	D7	All ones	D7
DB6	41	O	D6	All ones	All ones	D6	All ones	D6
DB5	42	O	D5	All ones	All ones	D5	All ones	D5
DB4	43	O	D4	All ones	All ones	D4	All ones	D4
DB3	44	O	D3	All ones	All ones	D3	D1	D3
DB2	45	O	D2	All ones	All ones	D2	D0 (LSB)	D2
DB1	46	O	D1	All ones	All ones	D1	All ones	D1
DB0	47	O	D0 (LSB)	All ones	All ones	D0 (LSB)	All ones	D0 (LSB)
-IN	19	I	反転入力チャネル					
+IN	18	I	非反転入力チャネル					
NC	15		内部接続なし					
REFIN	13	I	リファレンス入力					
REFOUT	14	O	リファレンス出力。内部リファレンスの使用時は、REFOUT端子とREFM端子の間に1μFのコンデンサを接続する。					
REFM	11, 12	I	リファレンス・グランド					
$\overline{RD}$	5	I	パラレル出力用の同期パルス。 $\overline{CS}$ が“Low”の場合、 $\overline{RD}$ は出力イネーブルおよび前の変換結果をバスに出力する役割をする。					
+VA	7, 10, 16, 21, 22, 25	-	アナログ電源、5VDC					
+VBD	1, 36	-	バス用デジタル電源					

## 代表的特性

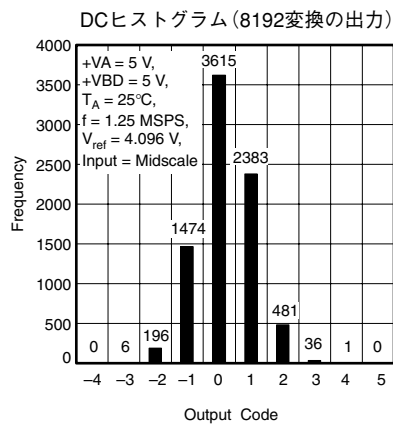


図 1

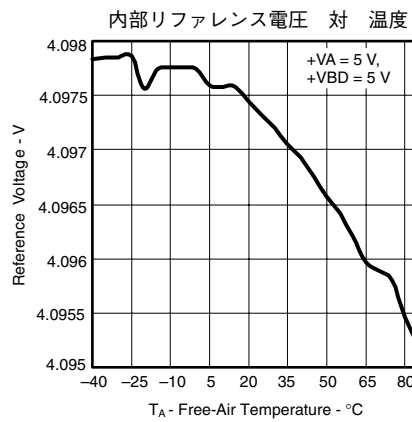


図 2

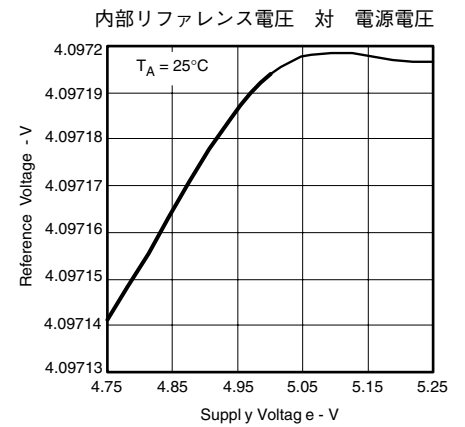


図 3

# 代表的特性

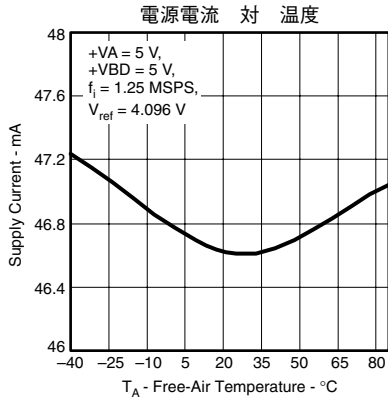


図 4

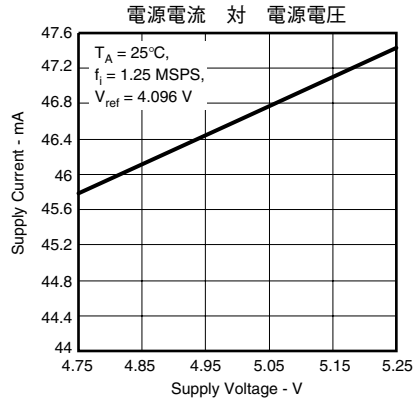


図 5

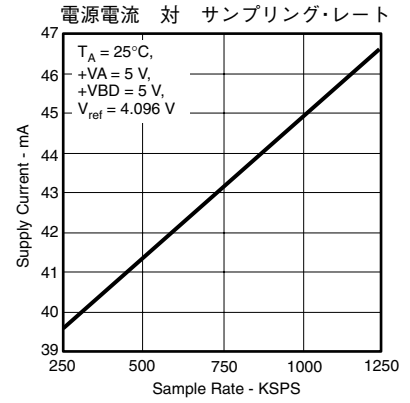


図 6

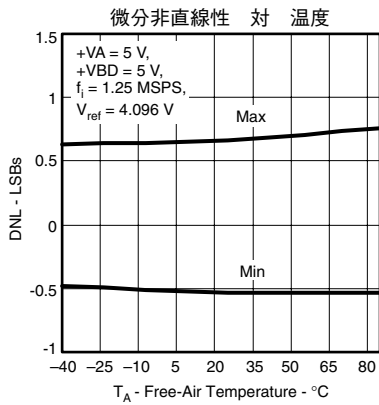


図 7

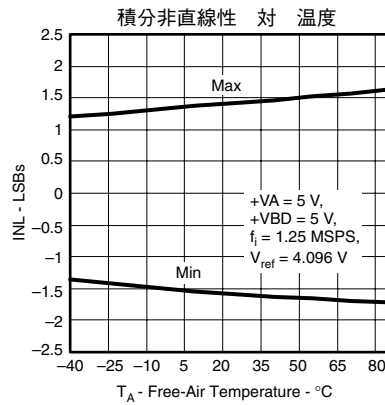


図 8

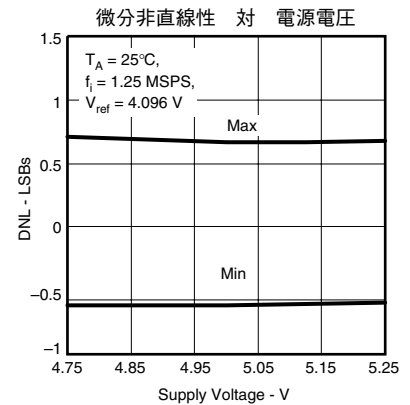


図 9

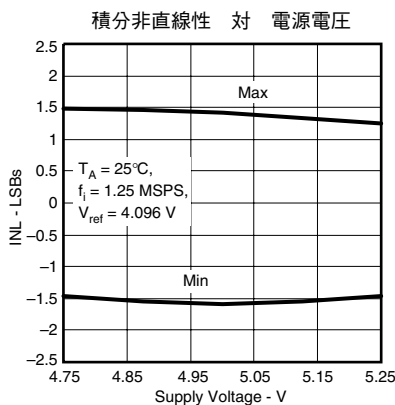


図 10

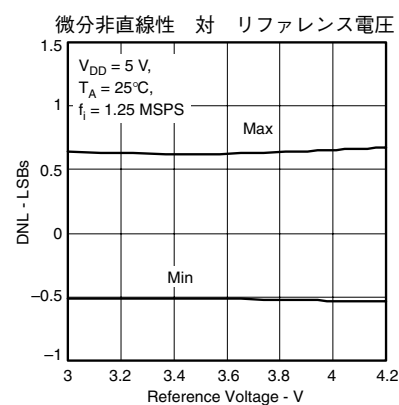


図 11

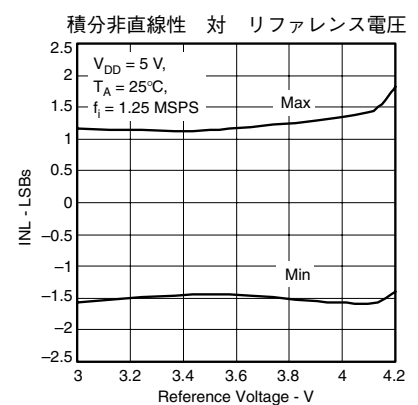


図 12

# 代表的特性

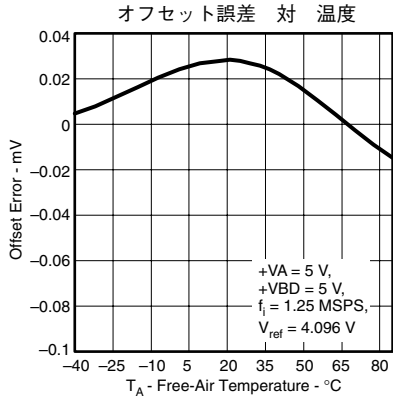


図 13

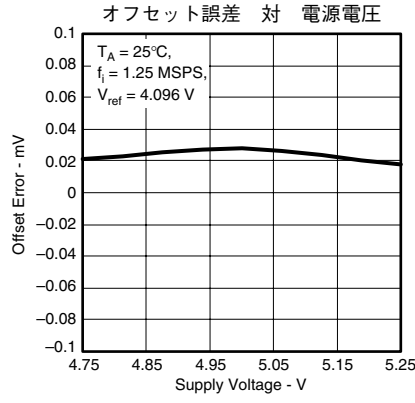


図 14

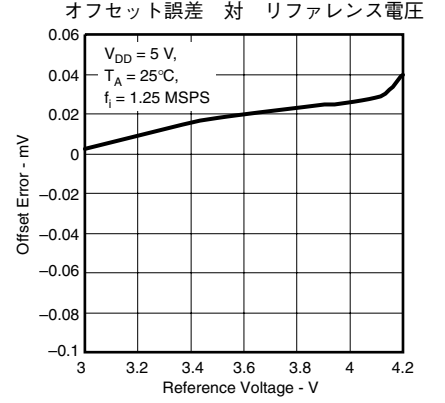


図 15

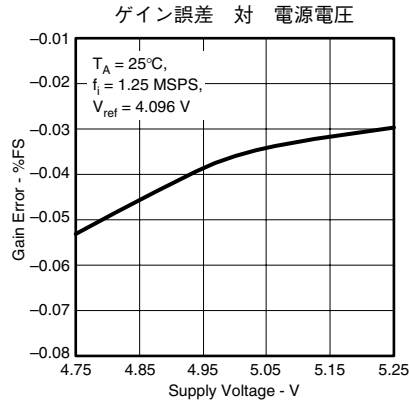


図 16

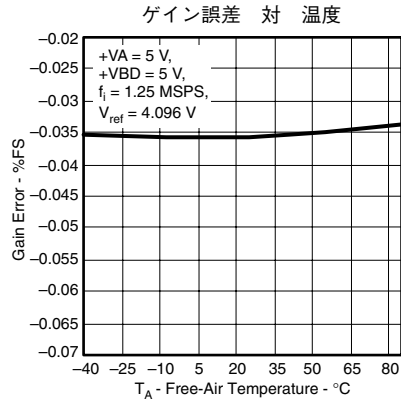


図 17

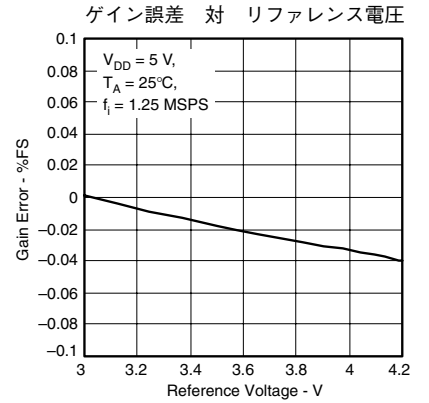


図 18

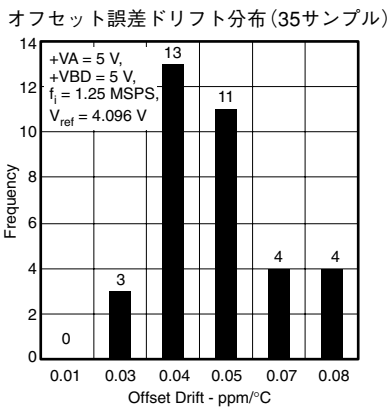


図 19

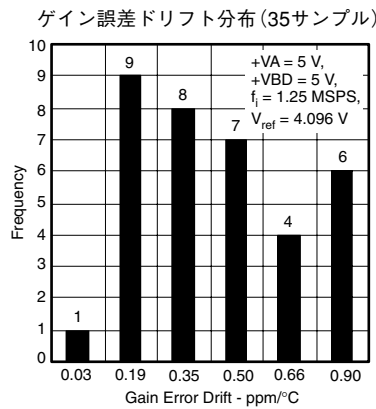


図 20

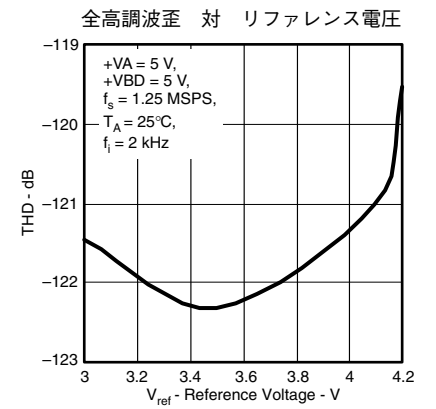


図 21

# 代表的特性

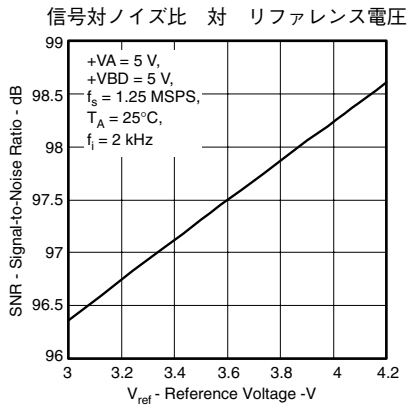


図 22

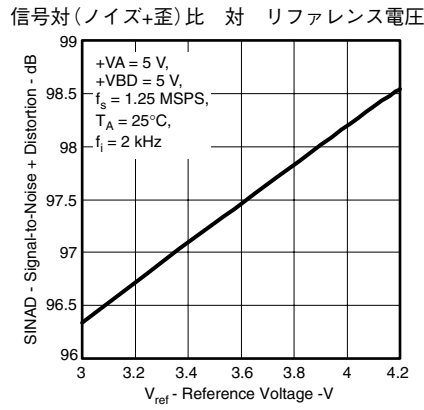


図 23

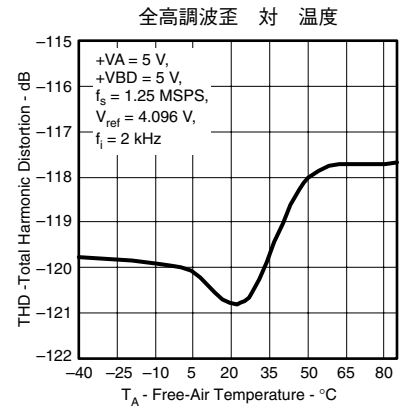


図 24

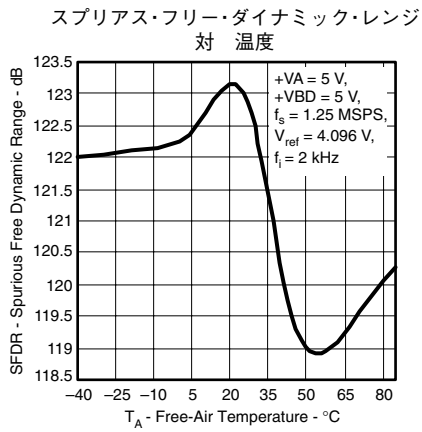


図 25

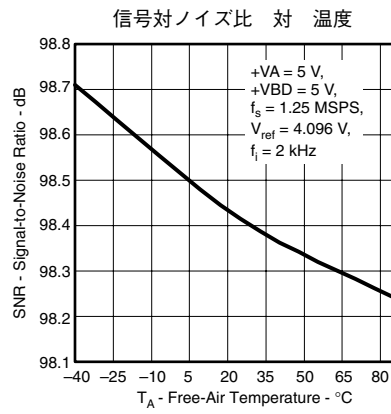


図 26

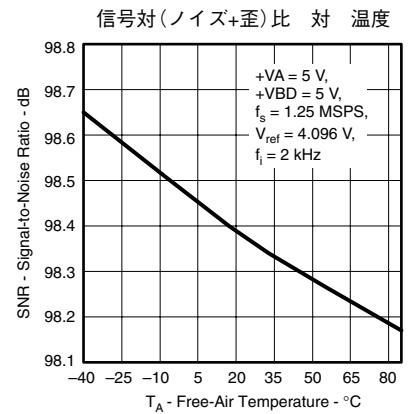


図 27

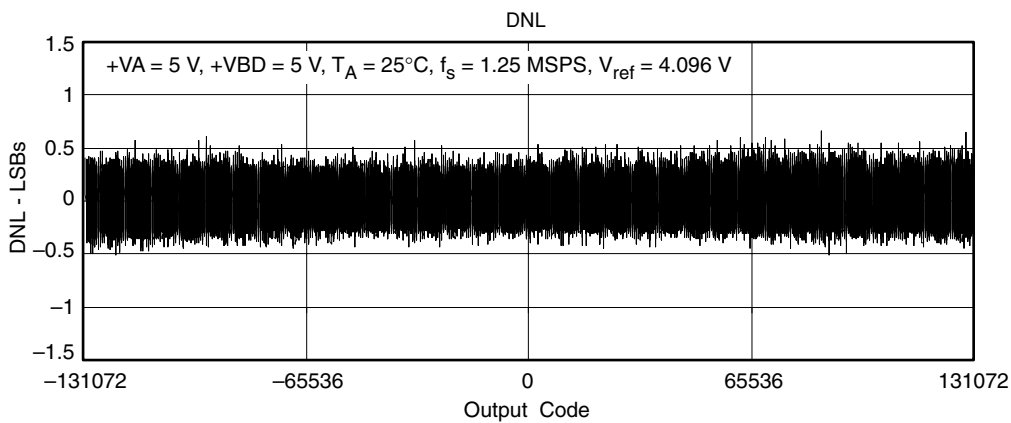


図 28

# 代表的特性

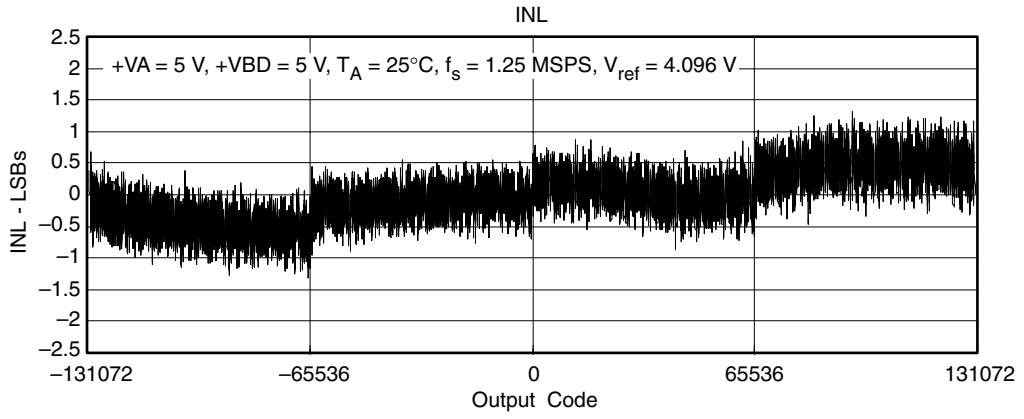


图 29

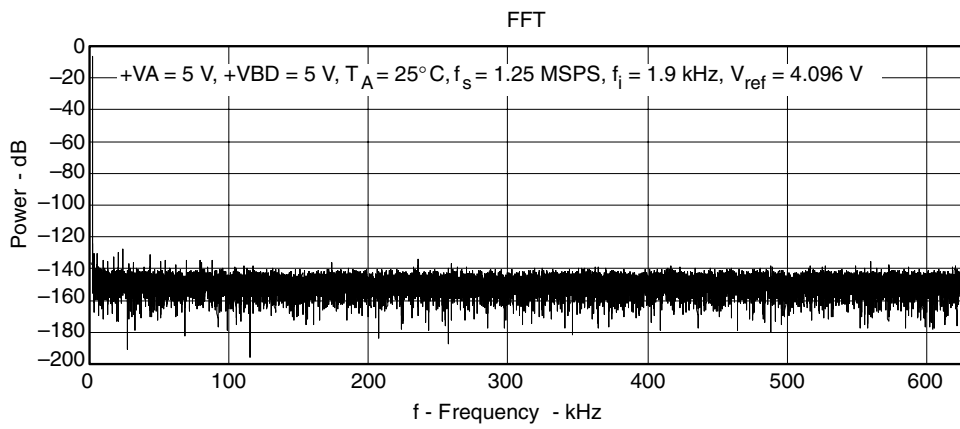


图 30

# 代表的特性

## タイミング図

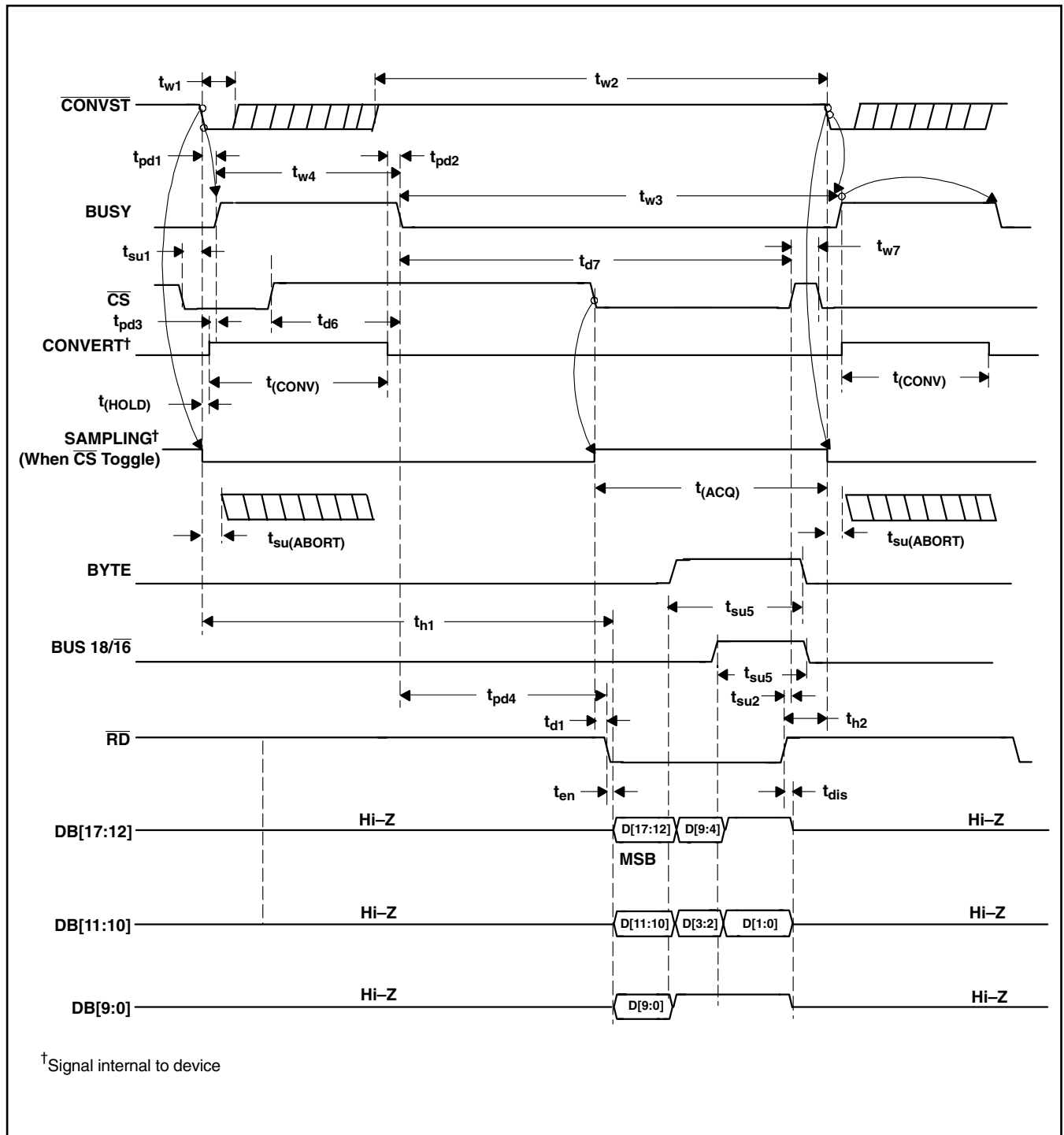


図 31.  $\overline{CS}$ および $\overline{RD}$ がトグルする場合の変換およびアキュイジション・サイクルのタイミング

代表的特性  
タイミング図

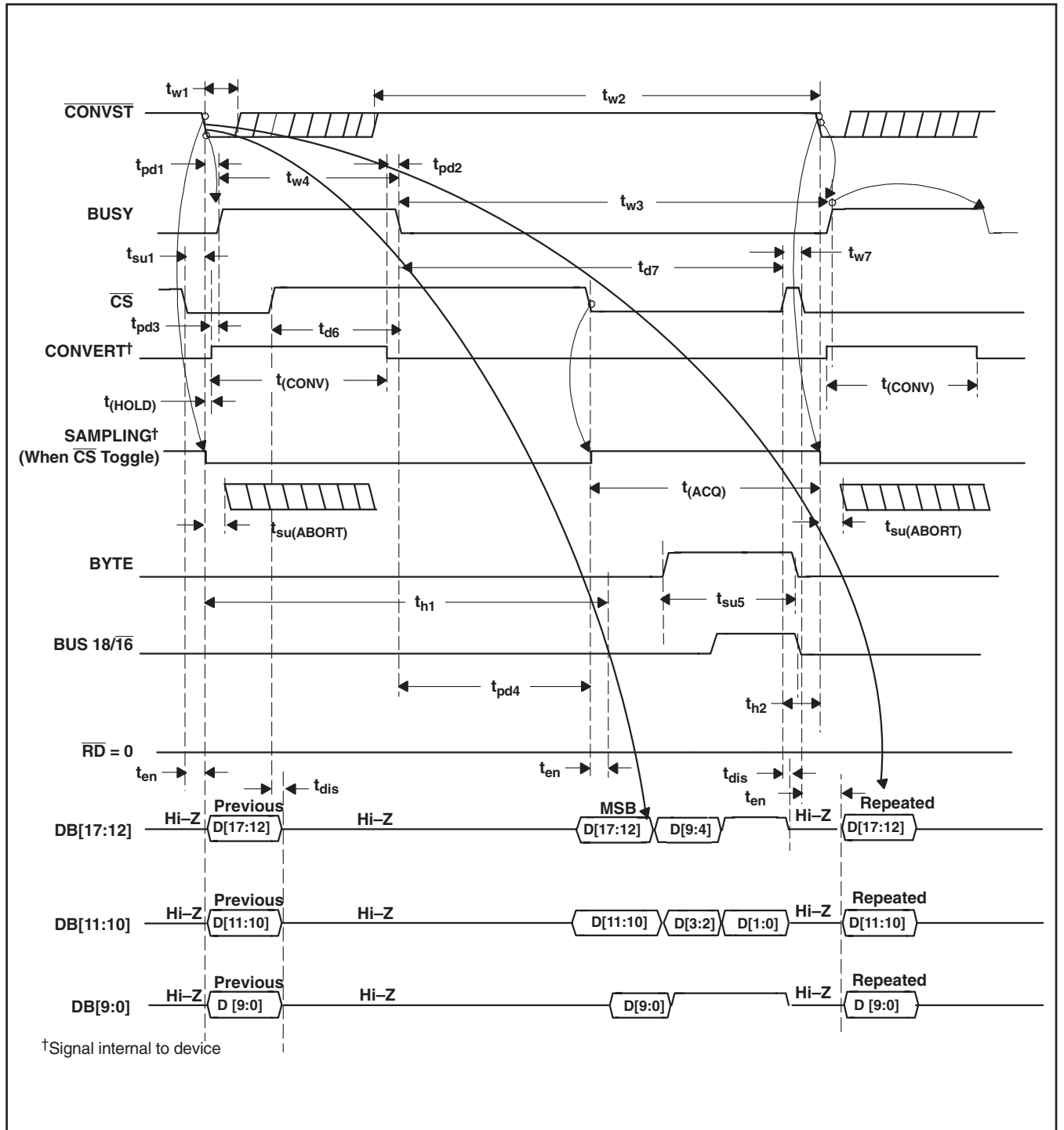


図 32.  $\overline{CS}$ がトグルし、 $\overline{RD}$ をBDGNDに接続時の変換およびアキュイジション・サイクルのタイミング

代表的特性  
タイミング図

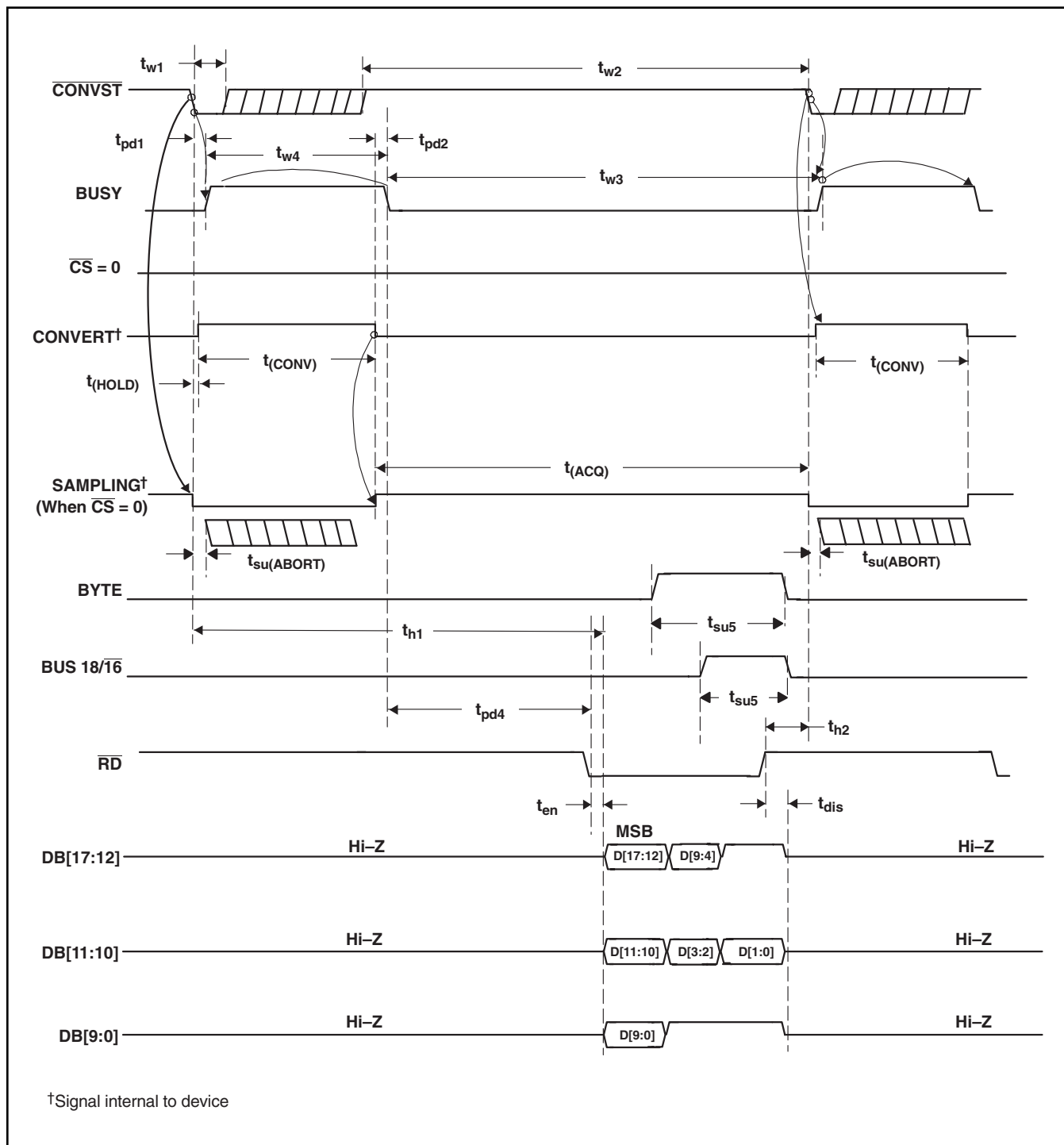


図 33.  $\overline{CS}$ をBDGNDに接続し、 $\overline{RD}$ がトグル時の変換およびアキュイジション・サイクルのタイミング



代表的特性  
タイミング図

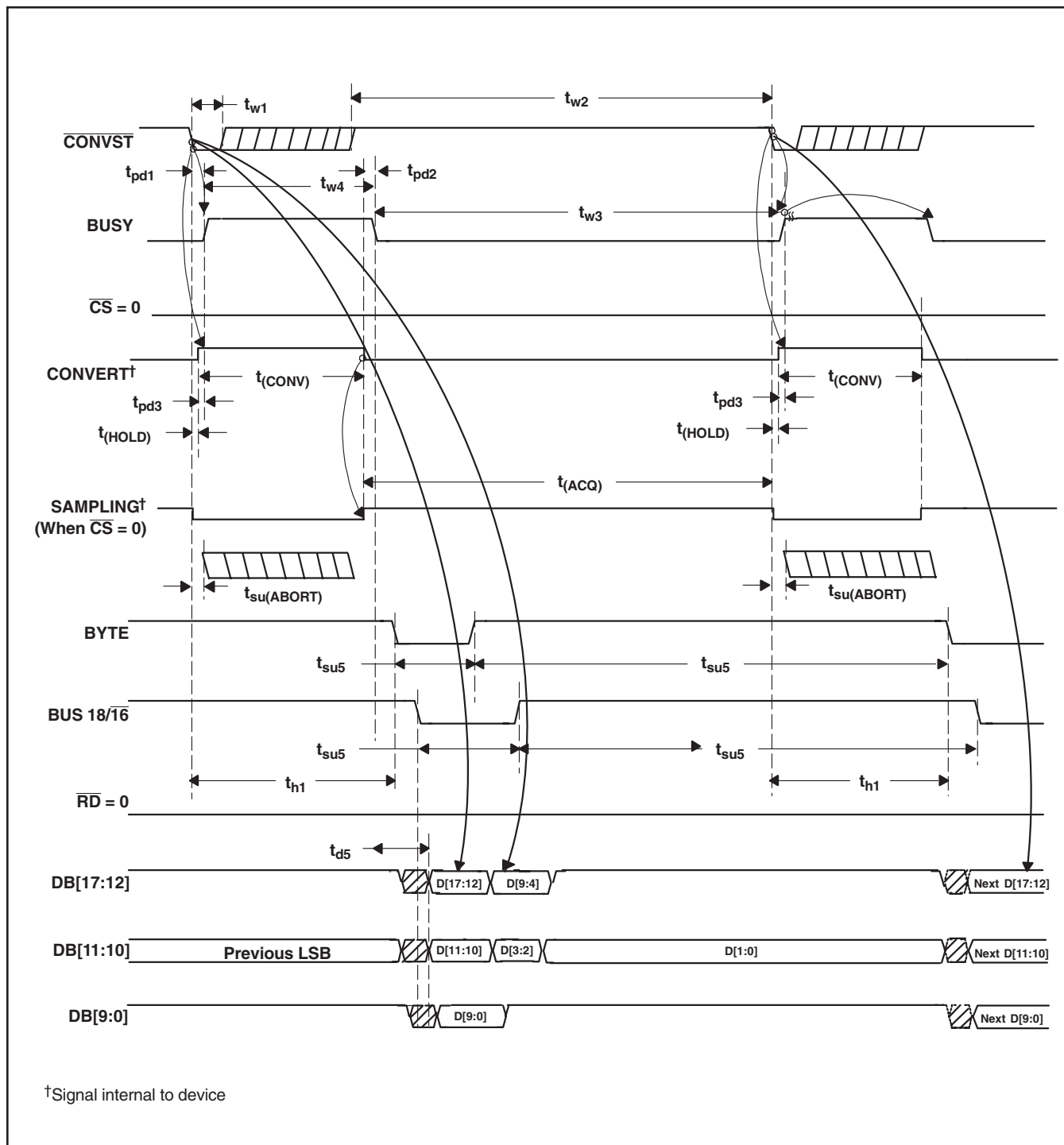


図 34.  $\overline{CS}$ および $\overline{RD}$ をBDGNDに接続した(AUTO READ)、変換およびアキュイジション・サイクルのタイミング

# 代表的特性

## タイミング図

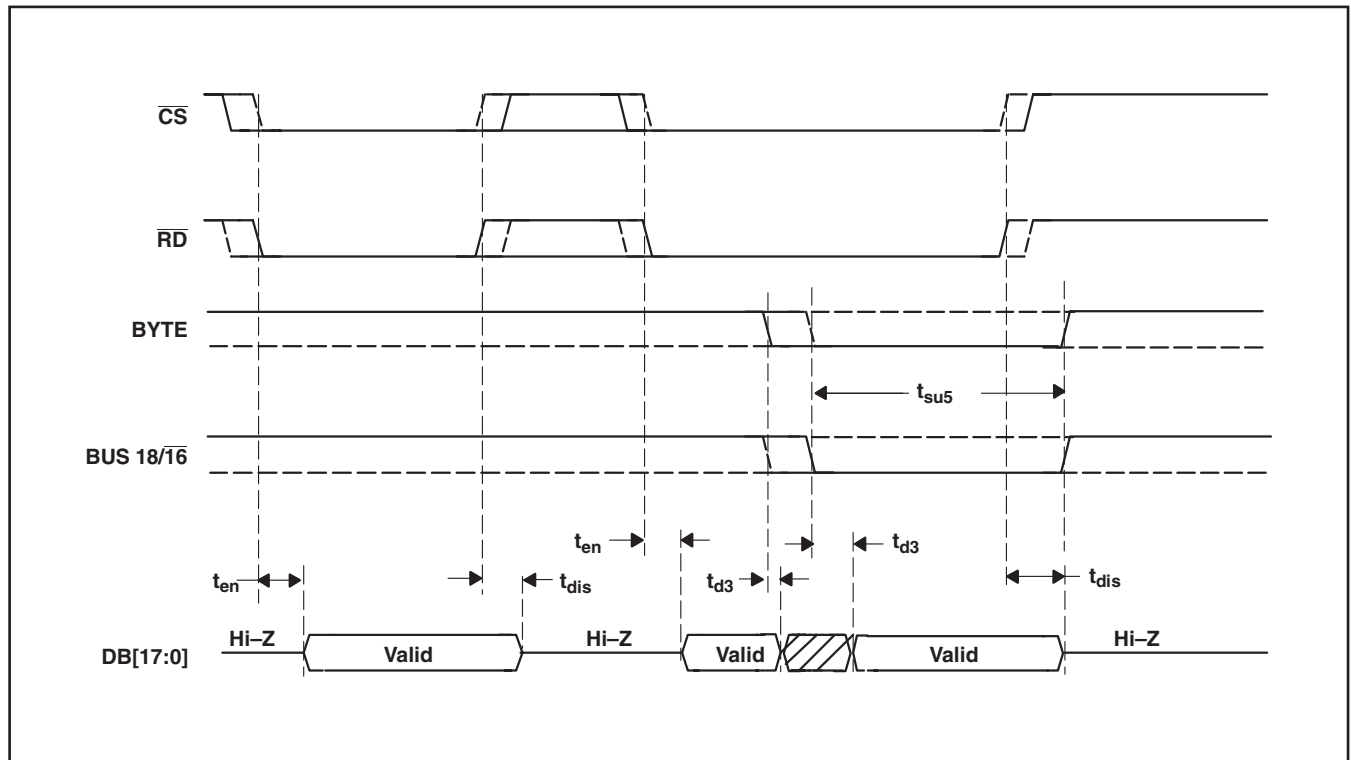


図 35. リード・サイクルの詳細タイミング

# アプリケーション情報

## マイクロコントローラとのインターフェイス

### ADS8484と8ビット・マイクロコントローラのインターフェイス

ADS8484と標準的なマイクロコントローラの間で、8ビットのデータ・バスを用いたパラレル・インターフェイスを図36に示します。BUSY信号は、マイクロコントローラへの立ち下がりエッジ割り込みとして使用されます。

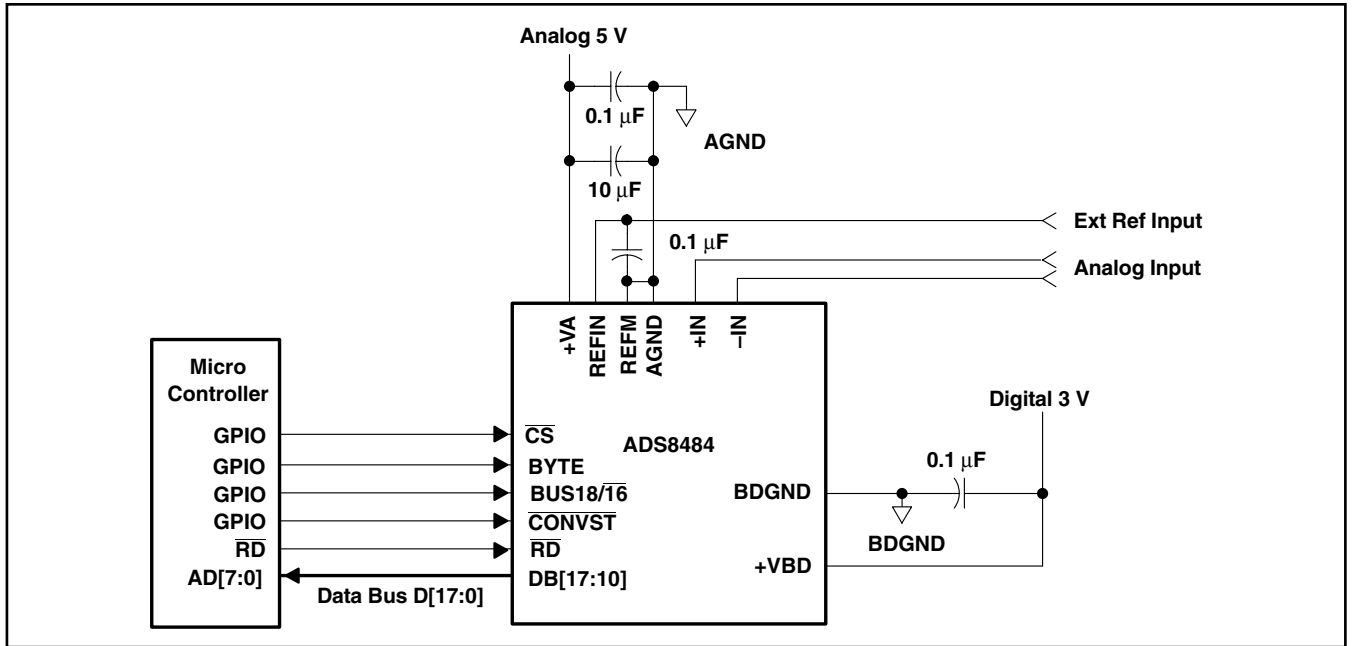


図 36. ADS8484アプリケーション回路

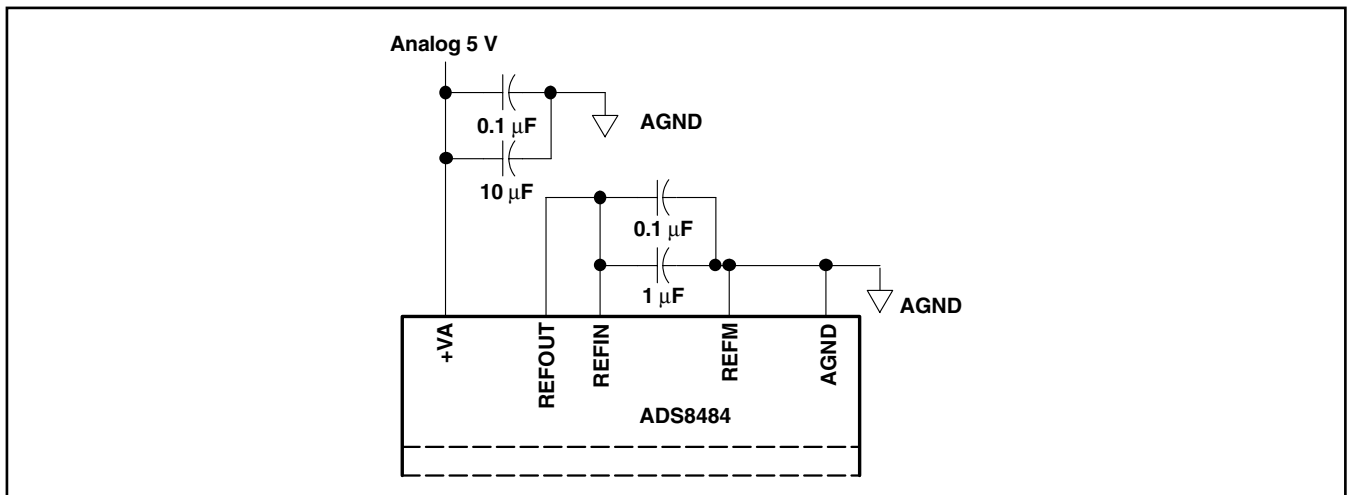


図 37. 内部リファレンスを使用したADS8484

## 動作原理

ADS8484は、高速の逐次比較 (SAR) 型ADコンバータ (ADC) です。そのアーキテクチャは、サンプル・アンド・ホールド機能を含む電荷再配分に基づくものです。ADS8484のアプリケーション回路については、図36をご覧ください。

変換クロックは内部で生成されます。また、610nsの変換時間により、1.25MHzのスループットを実現しています。

アナログ入力は、+INおよび-INの2入力端子に入力します。変換が開始されると、これら2端子の差動入力は内部コンデンサ・アレーでサンプリングされます。変換の実行中には、両入力はあらゆる内部機能から分離されます。

## リファレンス

ADS8484は、電圧範囲が3.0Vから4.2Vの外部リファレンスで動作することができます。本コンバータの入力端子13 (REFIN) に供給されるリファレンス電圧は、内部でバッファされます。本コンバータの優れた性能を確保するため、この端子の電圧はクリーンかつ低ノイズで十分にデカップリングされていることが必要です。この端子の駆動には、REF3240のような低ノイズのバンドギャップ・リファレンスを使用します。また、本コンバータのREFINおよびREFM端子 (13ピンと12ピン) の間に、0.1 $\mu$ Fのデカップリング・コンデンサが必要です。このコンデンサは、できるだけ本デバイスの端子の近くに配置します。基板

設計者は、コンデンサの端子と本コンバータの端子を接続するトレースの配線長を、最小限にするように努める必要があります。また、RC回路を使用して、リファレンス電圧をフィルタリングすることもできます。すなわち、100 $\Omega$ の直列抵抗とデカップリング・コンデンサとしても働く0.1 $\mu$ Fのコンデンサを使用して、リファレンス電圧をフィルタリングできます。

ADS8484には、限定的なローパス・フィルタリング能力もコンバータに造りこまれています。REFIN入力の等価回路は図39に示す通りです。

ADS8484のREFM入力は、常にAGNDと短絡させます。本デバイスには、4.096Vの内部リファレンスがあります。内部リファレンスを使用する場合、14ピン (REFOUT) を13ピン (REFIN) に接続し、0.1 $\mu$ Fおよび1 $\mu$ Fのデカップリング・コンデンサを14ピン (REFOUT) と11、12ピン (REFM) の間に挿入します (図37参照)。本コンバータの内部リファレンスは、2重にバッファリングされます。外部リファレンスを使用する場合、第2バッファにより外部リファレンスとCDACが分離されます。このバッファは、変換中にCDACの全コンデンサの再充電にも使用されます。14ピン (REFOUT) は、外部リファレンスの使用時には未接続 (フローティング) にしておくことができます。

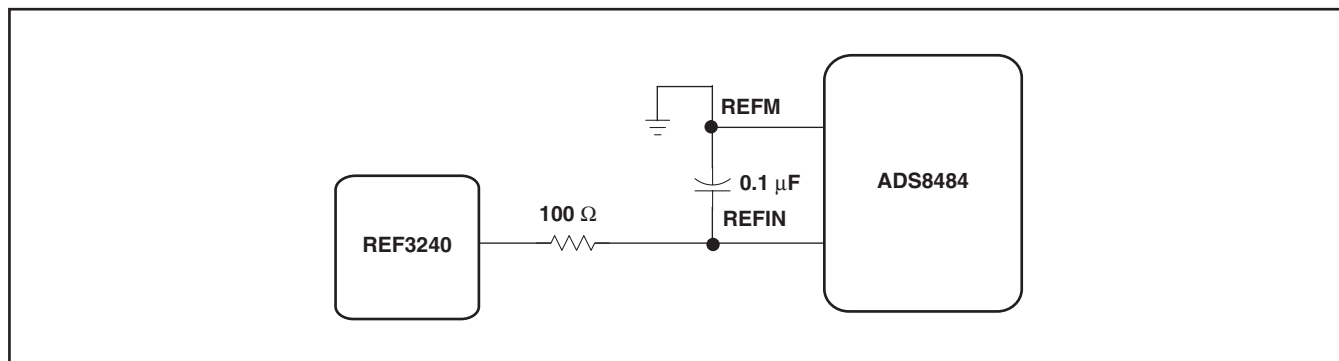


図 38. 外部リファレンスを使用したADS8484

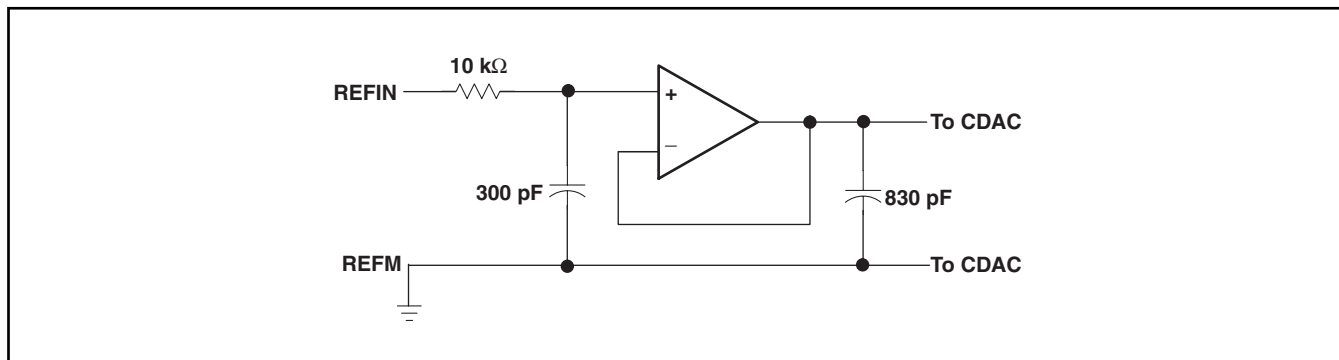


図 39. 単純化したリファレンス入力回路

## アナログ入力

本コンバータがホールド・モードに入ると、+INおよび-IN入力間の電位差が内部のコンデンサ・アレーに取り込まれます。+INおよび-IN入力の入力範囲は、ともに $-0.2\text{V}$ から $V_{\text{ref}} + 0.2\text{V}$ です。入力範囲[+IN-(IN)]は、 $-V_{\text{ref}}$ から $V_{\text{ref}}$ に限定されます。

アナログ入力の入力電流は、サンプリング・レート、入力電圧、および信号源インピーダンスといった多くの要素に依存します。基本的にADS8484への入力電流は、サンプリング期間に内部コンデンサ・アレーを充電します。アレーのコンデンサが完全に充電された後は、それ以上の入力電流はありません。アナログ入力の信号源は、入力容量(65pF)を本デバイスのアキュイジション・タイム(175ns)以内に、18ビットのセトリング・レベルまで充電する必要があります。本コンバータがホールド・モードに入ると、入力インピーダンスは $1\text{G}\Omega$ より大きくなります。

アナログ入力電圧の絶対値について注意を払う必要があります。コンバータの直線性を保つため、+INおよび-IN入力と入

力範囲[+IN-(IN)]は規定リミット以内でなければなりません。この範囲を逸脱すると、コンバータの直線性仕様が満足されません。ノイズを最小限にするため、ローパス・フィルタ通過後の帯域幅の入力信号を使用します。

+INおよび-IN入力を駆動する信号源の出力インピーダンスの整合をとるよう、注意を払う必要があります。この整合が行われないと、2入力のセトリング・タイムが異なることがあります。その結果、オフセット誤差、ゲイン誤差、および直線性誤差が温度と入力電圧により変動することになります。

本コンバータへのアナログ入力は、THS4031のような低ノイズの高速オペアンプで駆動する必要があります。さらに、RCフィルタで信号源からのノイズを、入力端子にてローパス・フィルタリングすることを推奨します。本コンバータへの入力信号は、範囲が $0\text{V}$ から $V_{\text{ref}}$ までの単極性の入力電圧になります。THS4031はソース・フォロワ構成にして使用すると、本コンバータを駆動することができます。

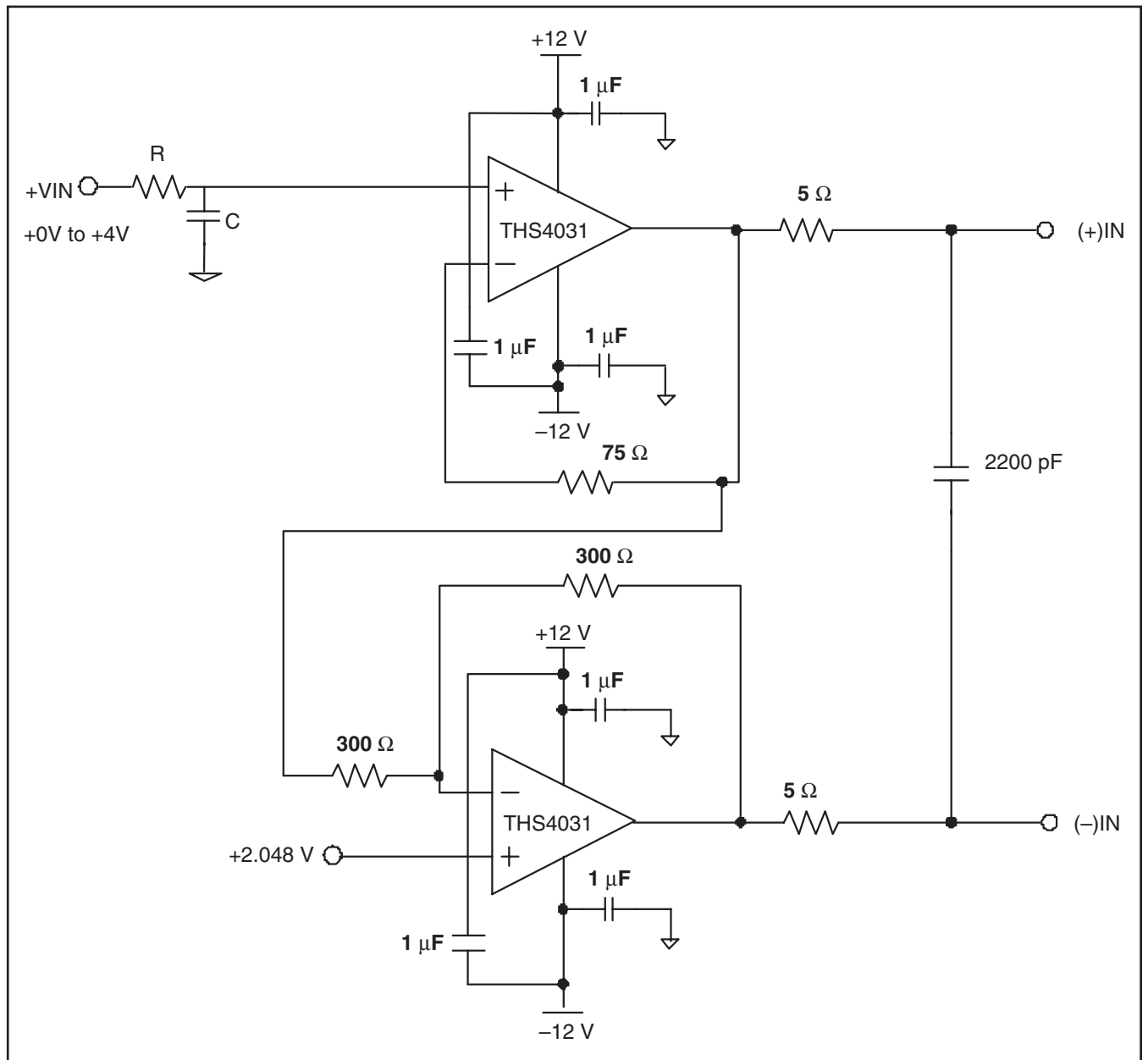


図 40. シングルエンド入力および差動出力の構成

入力が差動のシステムでは、THS4031を反転アンプ構成に使用することができます。その+入力に別のDCバイアスを印加し、ADS8484の入力を定格動作電圧の範囲内に保ちます。DCバイアスは、REF3220やREF3240リファレンス電源ICから生成することができます。下に示す入力構成では、100kHzの入力周波数にて、97dBのSNRおよび-103dBのTHD以上を実現することができます。入力のフィルタリングにバンドパス・フィルタを使用する場合、バンドパス・フィルタの入力における信号振幅を十分小さくして、フィルタによる歪みを最小限に保つよ

うに注意を払う必要があります。このような場合、下に示す回路のゲインを増加してADS8484の入力を大きくすると、システムのSNRを高く保つことができます。このような構成時のTHS4031の+入力から出力へのシステム・ゲインが、AC信号のゲインの関数であることに注意してください。抵抗分圧回路を使用してREF3220やREF3240の出力を調整し、THS4031へのDC入力電圧を低減すると、コンバータの入力における電圧を定格動作範囲内に保つことができます。

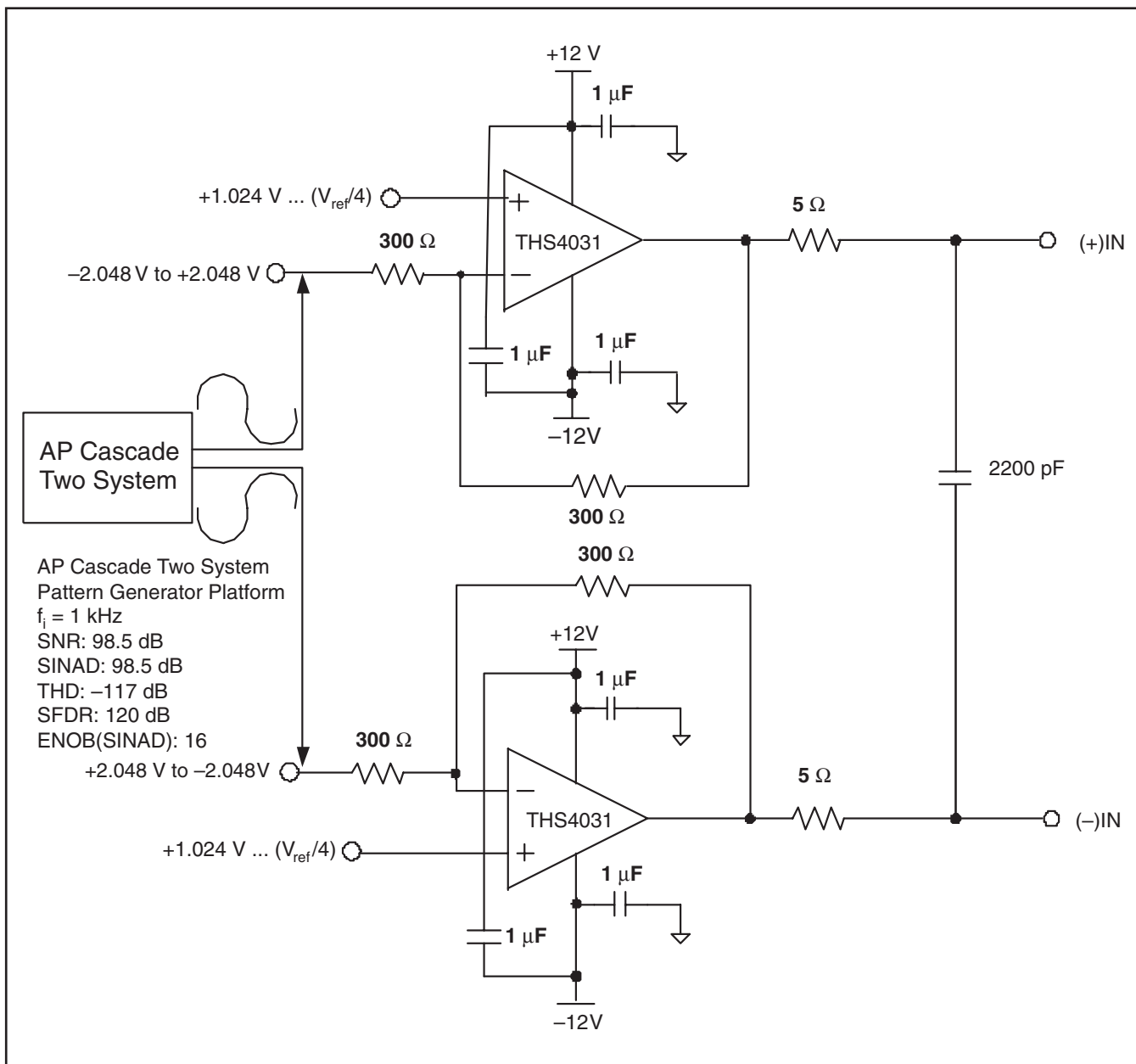


図 41. 差動入力、差動出力の構成

## デジタル・インターフェイス

### タイミングおよび制御

タイミング信号およびその条件に関する詳細な情報については、「代表的特性」のタイミング図をご覧ください。

ADS8484では内部で発生するクロックを使用し、変換レートすなわちコンバータのスループットを制御しています。したがって、外部クロックは不要です。

変換は、 $\overline{CS}$ が“Low”のときに $\overline{CONVST}$ 端子を最小で20ns間“Low”にすると開始されます(この20nsという最小条件が満たされた後は、 $\overline{CONVST}$ 端子を“High”にできます)。ADS8484は $\overline{CONVST}$ 命令の立ち下がりがエッジで、サンプリング・モードからホールド・モードに切り換わります。この信号の立ち下がりがエッジは、クリーンで低ジッタであることがコンバータ特性のために重要です。 $\overline{CONVST}$ が“Low”になると、その直後にBUSY出力が“High”になります。BUSYは変換処理中を通して“High”であり、変換が終了すると“Low”に戻ります。

サンプリングは、 $\overline{CS}$ が“Low”に接続されている場合、BUSY信号の立ち下がりがエッジの $t_{pd2}$  ns前に開始されます。あるいは、BUSYが“Low”の場合、 $\overline{CS}$ の立ち下がりがエッジで開始されます。

$\overline{RD}$ および $\overline{CS}$ は、変換中と変換の前に1つの例外( $\overline{CONVST}$ が“Low”になって変換を開始する場合、 $\overline{CS}$ は“Low”である必要があります)を除いて、ともに“High”になることができます。また、 $\overline{RD}$ および $\overline{CS}$ は、変換結果の出力でパラレル出力バスをイネーブルにするために、ともに“Low”になります。

### データの読み取り

ADS8484は表1に示すように、フルのパラレル・データを2の補数バイナリ形式で出力します。パラレル出力は、 $\overline{RD}$ および $\overline{CS}$ がともに“Low”のときアクティブになります。 $\overline{CONVST}$ の立ち下がりがエッジ付近に、最小限の静止領域を取る必要があります。それは、 $\overline{CONVST}$ の立ち下がりがエッジの前50nsと、 $\overline{CONVST}$ の立ち下がりがエッジの後40nsになります。この領域内ではデータ・リードをしてはなりません。 $\overline{CS}$ および $\overline{RD}$ が他のあらゆる組み合わせの場合、パラレル出力は3ステートに設定されます。

BYTEおよびBUS18/ $\overline{I6}$ は、多ワードのリード動作に使用します。BYTEは、バスの低ビットをバスの上位バイトに出力するときを使用します。BUS18/ $\overline{I6}$ は、18ビットバスの最下位の2ビットを、上位の16ビット・バスの2バイトのどちらかに出力する場合に使用します。理想的な出力コードに関しては、表1を参照願います。

出力データは、BUS18/ $\overline{I6}$ およびBYTEが“Low”の場合、DB17–DB0端子(MSB–LSB)のフル18ビット・ワード(D17–D0)になります。

変換結果は、DB17–DB2端子だけを使用する16ビットでも読み取ることができます。この場合、2回の読み取りが必要になります。最初は先述したように、BUS18/ $\overline{I6}$ およびBYTEをともに“Low”にして、16最上位ビット(D17–D2)をDB17–DB2端子にて読み取り、次に、BYTEは“Low”にしたままBUS18/ $\overline{I6}$ を“High”にします。BUS18/ $\overline{I6}$ が“High”になると、最下位の2ビット(D1–D0)が端子DB3–DB2に現れます。

また、変換結果は便宜のために8ビット・バスでも読み取ることができます。これは、DB17–DB10だけを使用して行われます。この場合、3回の読み取りが必要になります。最初は先述したように、BUS18/ $\overline{I6}$ およびBYTEをともに“Low”にして、8最上位ビットをDB17–DB10端子にて読み取り、次に、BUS18/ $\overline{I6}$ は“Low”にしたままBYTEを“High”にします。BYTEが“High”になると、中位ビット(D9–D2)が端子DB17–DB10に現れます。最後の読み取りは、BYTEを“High”にしたままBUS18/ $\overline{I6}$ を“High”にします。BUS18/ $\overline{I6}$ が“High”になると、最下位の2ビット(D1–D0)が端子DB11–DB10に現れます。最初の16最上位ビットだけに關心がある場合は、最後のリード・サイクルは必要ありません。

これらの多ワードのリード動作は、複数のアクティブな $\overline{RD}$ (トグル)で、あるいは簡単のために $\overline{RD}$ を“Low”に固定して、すべて行うことができます。後者はオート・リード動作と呼ばれます。

説明	アナログ値	デジタル出力 2の補数	
フルスケール範囲	$+V_{ref}$		
最下位ビット (LSB)	$2 \times (+V_{ref})/262144$	バイナリ・コード	16進コード
+フルスケール	$(+V_{ref}) - 1 \text{ LSB}$	01 1111 1111 1111 1111	1FFFF
ミッドスケール	0 V	00 0000 0000 0000 0000	00000
ミッドスケールe – 1LSB	0 V – 1 LSB	11 1111 1111 1111 1111	3FFFF
ゼロ	$-V_{ref}$	10 0000 0000 0000 0000	20000

表 1. 理想的な入力電圧および出力コード

BYTE	BUS18/ $\overline{I6}$	DATA READ OUT				
		PINS DB17–DB12	PINS DB11–DB10	PINS DB9–DB4	PINS DB3–DB2	PINS DB1–DB0
High	High	All One's	D1–D0	All One's	All One's	All One's
Low	High	All One's	All One's	All One's	D1–D0	All One's
High	Low	D9–D4	D3–D2	All One's	All One's	All One's
Low	Low	D17–D12	D11–D10	D9–D4	D3–D2	D1–D0

表 2. 変換データの読み取り

## リセット

パワーアップ時は、デバイス内部のPOWER-ON RESET回路が、デバイスに必要なリセットを発生します。パワーアップ後の最初の3つのコンバージョンは、本コンバータの高精度を保証するためにデバイスに固有の、工場トリミング・データのローディングに使用されます。したがって、最初の3コンバージョン結果は無効なので廃棄します。

本デバイスは、 $\overline{CS}$ および $\overline{CONVST}$ の組み合わせを使ってリセットすることができます。変換中はBUSY信号が“High”に保たれるので、以下の2条件のいずれも内部の自己クリア回路をトリガし、コンバータをリセットします。

- $\overline{CS}$ が“Low”かつ内部の変換状態 (BUSY) が“High”のとき、 $\overline{CONVST}$ を送出します。 $\overline{CONVST}$ の立ち下がりがエッジでリセットが開始されます。
- 内部の変換状態 (BUSY) が“High”のとき、 $\overline{CS}$  (デバイスを選択) を送ります。 $\overline{CS}$ の立ち下がりがエッジにより、リセット動作が引き起こされます。

本デバイスがリセットされると、全出力ラッチはクリア (0に設定される) され、BUSY信号が“Low”になります。新しいサンプリング期間は、内部リセットの直後のBUSY信号の立ち下がりがエッジで開始されます。

## レイアウト

最適な性能を引き出すには、ADS8484回路の物理的なレイアウトに注意を払う必要があります。

ADS8484は単電源動作のため、デジタル・ロジック、マイクロコントローラ、マイクロプロセッサ、およびデジタル信号プロセッサと接近して使用されることが多いです。回路設計でデジタル・ロジックが多いほど、そのスイッチングが高速なほど、コンバータから優れた特性を引き出すのが困難になります。

基本的なSARアーキテクチャは、電源、リファレンス、グラウンド配線、およびデジタル入力において、アナログ・コンパレータ出力のラッチの直前で発生するグリッチや急峻な変化に敏感です。したがって、nビットSARコンバータのすべての一回の

変換動作について、外部の大きな電圧遷移が変換結果に影響を及ぼし得るウインドーが、少なくともn個あることになります。このようなグリッチは、スイッチング電源やデジタル・ロジック付近、大電力デバイスから発生します。

デジタル出力における誤差の程度は、リファレンス電圧、レイアウト、および外部入力からのタイミングに依存します。

ADS8484では外部リファレンス電圧を内部でバッファするため、平均して非常にわずかな電流を外部リファレンスから引き込みます。リファレンス電圧が外部から供給され、オペアンプにより生成される場合、それが発振することなくバイパス・コンデンサ (複数の場合もある) を駆動できるようにしてください。0.1 $\mu$ Fのコンデンサを1個13ピン (REFIN) から直接12ピン (REFM) に接続するよう推奨します。REFMとAGNDは、デバイスの直下の同じグラウンド・プレーンで短絡する必要があります。

AGNDとBDGND端子は、クリーンな接地点に接続します。あらゆる場合、それはアナログ・グラウンドになります。この接地点がマイクロコントローラやデジタル信号プロセッサに接近し過ぎるような接続は避けてください。必要であれば、グラウンド・トレースを本コンバータから電源のエントリ・ポイントへ直接引いてください。理想的にレイアウトするには、本コンバータとその関連アナログ回路に専用のアナログ・グラウンド・プレーンを設けます。

+VAはAGNDの接続と同様に、電源のエントリ・ポイントまでデジタル・ロジック用の配線と分離した5V電源プレーンやトレースに接続します。ADS8484への電源はクリーンにして、かつ十分にバイパスします。0.1 $\mu$ Fのセラミック・バイパス・コンデンサを、本デバイスにできるだけ近く配置します。コンデンサの配置については、表3をご覧ください。さらに、1 $\mu$ Fから10 $\mu$ Fのコンデンサ1個を接続するよう推奨します。状況によっては、100 $\mu$ Fの電解コンデンサや、コイルとコンデンサからなる $\pi$ フィルタまでも含めて (これらはすべて、基本的に5V電源をローパス・フィルタして、高周波ノイズを除去するように設計します)、さらなるバイパスが必要なこともあります。

電源プレーン 電源端子	コンバータのアナログ側	コンバータの デジタル側
デカップリング・コンデンサへの最短パスを要する端子対	(7,8), (9,10), (16,17), (20,21), (22,23), (25,26)	(36,37)
デカップリングを要しない端子	24, 26	1

表 3. 電源デカップリング・コンデンサの配置



# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
ADS8484IBRGZR	ACTIVE	QFN	RGZ	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8484IBRGZT	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8484IRGZR	ACTIVE	QFN	RGZ	48	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8484IRGZT	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

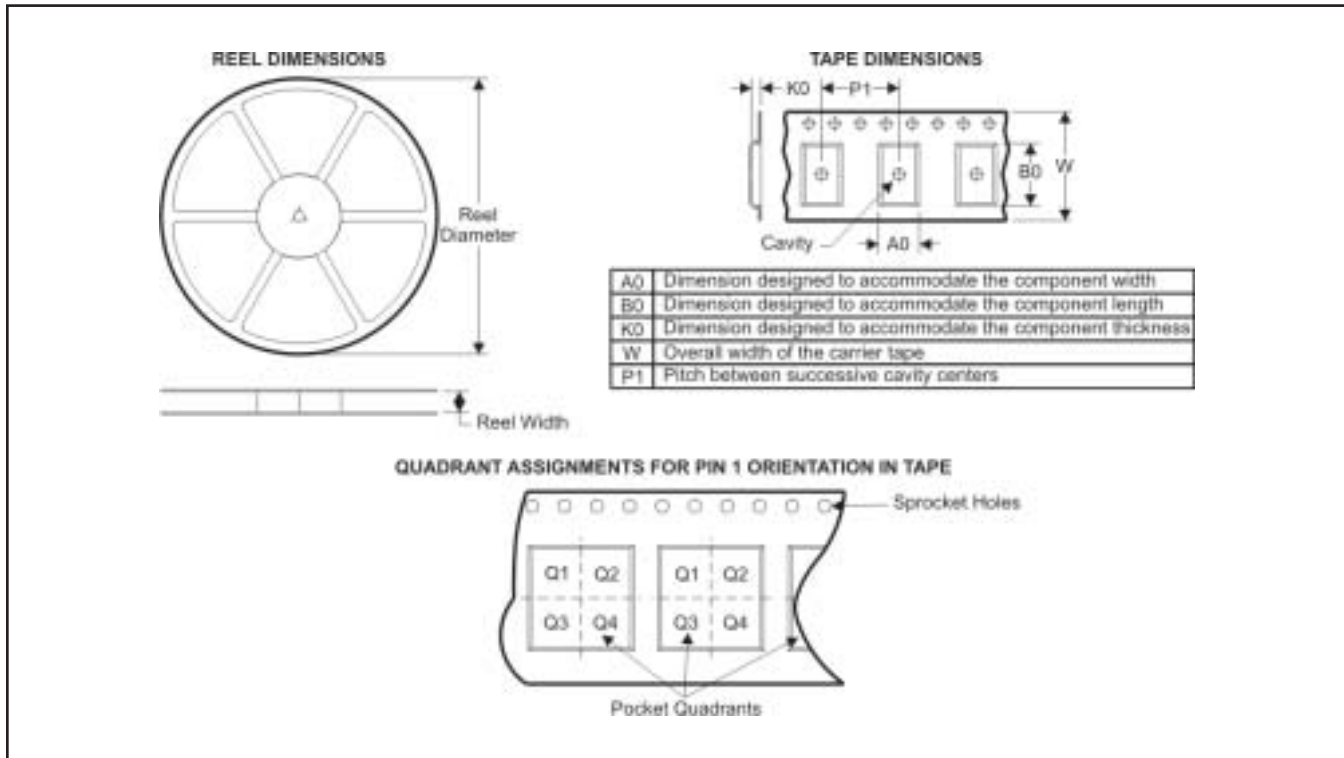
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

# パッケージ・材料情報

## テープおよびリール・ボックス情報



Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8484IBRGZR	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS8484IBRGZT	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS8484IRGZR	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS8484IRGZT	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2

## パッケージ・マテリアル情報



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
ADS8484IBRGZR	RGZ	48	SITE 60	342.9	345.9	28.58
ADS8484IBRGZT	RGZ	48	SITE 60	342.9	345.9	28.58
ADS8484IRGZR	RGZ	48	SITE 60	342.9	345.9	28.58
ADS8484IRGZT	RGZ	48	SITE 60	342.9	345.9	28.58



# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認を意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2008, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上