

AMC23C10

高速応答、強化絶縁型コンパレータ、デュアル出力

1 特長

- 広いハイサイド電源電圧範囲: 3V~27V
- ローサイド電源電圧範囲: 2.7V~5.5V
- トリップ・スレッシュホールドの誤差: $\pm 6\text{mV}$ (最大値)
- オープン・ドレインおよびプッシュプル出力
- 伝搬遅延: 290ns (標準値)
- 高い CMTI:
 - オープン・ドレイン出力: 75 V/ns (最小値)
 - プッシュプル出力: 100V/ns (最小値)
- 安全関連認証:
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した強化絶縁耐圧: 7000V_{PK}
 - UL 1577 に準拠した絶縁耐圧: 5000V_{RMS} (1 分間)
- 拡張産業用温度範囲全体にわたって仕様を完全に規定: -40°C~+125°C

2 アプリケーション

- 次のゼロクロス検出および汎用監視:
 - ソリッド・ステート・リレー (SSR) とサーキット・ブレーカ
 - ファクトリ・オートメーション / 制御
 - ビル・オートメーション
 - 家電製品
 - DC/DC コンバータ

3 概要

AMC23C10 は、低電圧回路から電氣的に絶縁する必要のある高電圧信号のゼロクロス検出用に特に設計された、応答時間が短く高精度の絶縁型コンパレータです。そのオープン・ドレインおよびプッシュプル出力は、磁気干渉に対して優れた耐性を示す絶縁バリアによって入力回路から分離されています。このバリアは、VDE 0884-17 および UL1577 に従って最大 5kV_{RMS} の強化ガルバニック絶縁を達成していることが認証されており、最大 1kV_{PK} の使用電圧に対応しています。

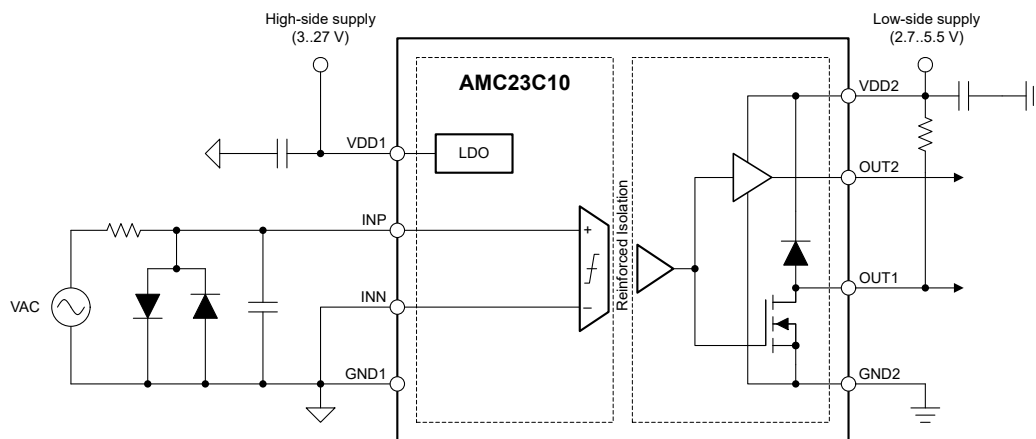
このデバイスはオープン・ドレインおよびプッシュプル出力を備え、伝搬遅延は 320ns 未満です。内蔵の低ドロップアウト (LDO) レギュレータは高電圧側で 3V~27V の範囲の動作電圧に対応するため、コンパレータは広い範囲の電源から電力を供給できます。ローサイドの動作電圧範囲は 2.7V~5.5V です。

AMC23C10 は 8 ピンのワイド・ボディ SOIC パッケージで供給され、-40°C~+125°C の拡張産業用温度範囲で動作が規定されています。

パッケージ情報⁽¹⁾

部品番号	パッケージ	本体サイズ (公称)
AMC23C10	SOIC (8)	5.85mm × 7.50mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



代表的なアプリケーション



目次

1 特長.....	1	7 詳細説明.....	14
2 アプリケーション.....	1	7.1 概要.....	14
3 概要.....	1	7.2 機能ブロック図.....	14
4 改訂履歴.....	2	7.3 機能説明.....	15
5 ピン構成および機能.....	3	7.4 デバイスの機能モード.....	20
6 仕様.....	4	8 アプリケーションと実装.....	21
6.1 絶対最大定格.....	4	8.1 アプリケーション情報.....	21
6.2 ESD 定格.....	4	8.2 代表的なアプリケーション.....	21
6.3 推奨動作条件.....	5	8.3 設計のベスト・プラクティス.....	23
6.4 熱に関する情報.....	5	8.4 電源に関する推奨事項.....	24
6.5 電力定格.....	5	8.5 レイアウト.....	24
6.6 絶縁仕様.....	6	9 デバイスおよびドキュメントのサポート.....	25
6.7 安全関連認証.....	7	9.1 ドキュメントのサポート.....	25
6.8 安全限界値.....	7	9.2 ドキュメントの更新通知を受け取る方法.....	25
6.9 電気的特性.....	8	9.3 サポート・リソース.....	25
6.10 スイッチング特性.....	9	9.4 商標.....	25
6.11 タイミング図.....	9	9.5 静電気放電に関する注意事項.....	25
6.12 絶縁特性曲線.....	10	9.6 用語集.....	25
6.13 代表的特性.....	11	10 メカニカル、パッケージ、および注文情報.....	25

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 2022) to Revision A (July 2022)

Page

• ドキュメントのステータスを「事前情報」から「量産データ」に変更.....	1
--	---

5 ピン構成および機能

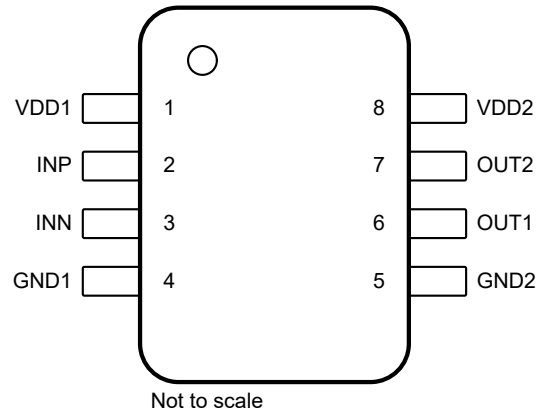


図 5-1. DWV パッケージ、8 ピン SOIC (上面図)

表 5-1. ピン機能

ピン		種類	説明
番号	名称		
1	VDD1	ハイサイド電源	ハイサイド電源。(1)
2	INP	アナログ入力	コンパレータへの非反転入力。このピンはコンパレータへの信号入力として使用します。
3	INN	アナログ入力	コンパレータへの反転入力。このピンは、コンパレータへのリファレンスまたはクワイエット入力として使用します。
4	GND1	ハイサイド・グラウンド	ハイサイド・グラウンド。
5	GND2	ローサイド・グラウンド	ローサイド・グラウンド。
6	OUT1	デジタル出力	コンパレータのオープン・ドレイン出力。このピンは外部プルアップ抵抗に接続するか、未使用時は未接続 (フローティング) のままにします。
7	OUT2	デジタル出力	コンパレータのプッシュプル出力。未使用時は未接続 (フローティング) のままにします。
8	VDD2	ローサイド電源	ローサイド電源。(1)

(1) 電源のデカップリングに関する推奨事項については、「[レイアウト](#)」セクションを参照してください。

6 仕様

6.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧	VDD1 (GND1 基準)	-0.3	30	V
	VDD2 (GND2 基準)	-0.3	6.5	
アナログ入力電圧	INP (GND1 基準)	-6	5.5	V
	INN (GND1 基準)	-0.5	6.5	
デジタル出力電圧	OUT1、OUT2 (GND2 基準)	-0.5	VDD2 + 0.5	V
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T _J		150	°C
	保存、T _{stg}	-65	150	

(1) 絶対最大定格の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、この条件、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位	
電源電圧						
V _{VDD1}	ハイサイド電源電圧	VDD1 (GND1 基準)	3.0	5	27	V
V _{VDD2}	ローサイド電源電圧	VDD2 (GND2 基準)	2.7	3.3	5.5	V
アナログ入力						
V _{INP}	入力電圧	INP (GND1 基準)、VDD1 ≤ 4.3V	-1	VDD1 - 0.3	V	
		INP (GND1 基準)、VDD1 > 4.3V	-1	4		
V _{INN}	入力電圧	INN (GND1 基準)、VDD1 ≤ 4.3V	0	VDD1 - 0.3	V	
		INP (GND1 基準)、VDD1 > 4.3V	0	4		
デジタル出力						
	デジタル出力電圧	OUT1, OUT2 (GND2 基準)	GND2	VDD2	V	
	シンク電流	OUT1	0	4	mA	
	ソースまたはシンク電流	OUT2	-10	4	mA	
温度範囲						
T _A	規定周囲温度		-40	25	125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		DWV (SOIC)	単位
		8ピン	
R _{θJA}	接合部から周囲への熱抵抗	102.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	45.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	63.0	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	14.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	61.1	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	n/a	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 電力定格

パラメータ	テスト条件	値	単位
P _D	VDD1 = 25V、VDD2 = 5.5V	95	mW
	VDD1 = VDD2 = 5.5V	30	
	VDD1 = VDD2 = 3.6V	20	
P _{D1}	VDD1 = 25V	83	mW
	VDD1 = 5.5V	18	
	VDD1 = 3.6V	12	
P _{D2}	VDD2 = 5.5V	12	mW
	VDD2 = 3.6V	8	

6.6 絶縁仕様

動作時周辺温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離 ⁽¹⁾	空気中での最短のピン間距離	≥ 8.5	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	≥ 8.5	mm
DTI	絶縁間の距離	二重絶縁の最小内部ギャップ (内部距離)	≥ 15.4	μm
CTI	比較トラッキング指数	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 600	V
	材料グループ	IEC 60664-1 による	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 600V 以下 定格商用電源 V_{RMS} が 1000V 以下	I-III I-II	
DIN EN IEC 60747-17 (VDE 0884-17)⁽²⁾				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧で	1060	V_{PK}
V_{IOWM}	最大定格絶縁動作電圧	AC 電圧で (正弦波)	750	V_{RMS}
		DC 電圧で	1060	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$, $t = 60s$ (認定時テスト)	7070	V_{PK}
		$V_{TEST} = 1.2 \times V_{IOTM}$, $t = 1s$ (100% 出荷時テスト)	8500	
V_{IMP}	最大インパルス電圧 ⁽³⁾	IEC 62368-1 に準拠し空気中でテスト、1.2/50μs の波形	8300	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 ⁽⁴⁾	IEC 62368-1 に準拠し油中でテスト (認定時テスト)、1.2/50μs の波形	10000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁵⁾	手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m = 10s$	≤ 5	pC
		手法 a、環境テストのサブグループ 1 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.6 \times V_{IORM}$, $t_m = 10s$	≤ 5	
		手法 b1、ルーチン・テスト (100% 出荷時) および事前条件設定 (タイプ・テスト) の場合、 $V_{ini} = V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.875 \times V_{IORM}$, $t_m = 1s$	≤ 5	
C_{IO}	バリア容量、入力から出力へ ⁽⁶⁾	$V_{IO} = 0.5V_{PP}$ (1MHz 時)	~1.5	pF
R_{IO}	絶縁抵抗、入力から出力へ ⁽⁶⁾	$V_{IO} = 500V$ ($T_A = 25^\circ C$ 時)	> 10^{12}	Ω
		$V_{IO} = 500V$ ($100^\circ C \leq T_A \leq 125^\circ C$ 時)	> 10^{11}	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	> 10^9	
	汚染度		2	
	耐候性カテゴリ		55/125/21	
UL1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO} = 5700V_{RMS}$, $t = 60s$ (認定)、 $V_{TEST} = 1.2 \times V_{ISO} = 6840 V_{RMS}$, $t = 1s$ (100% 出荷時テスト)	5000	V_{RMS}

- アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持し、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないよう注意が必要です。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグループヤリブを挿入するなどの技法が使用されます。
- このカプラーは、安全定格内の安全な電氣的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
- テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- 見掛けの電荷は、部分的な放電 (pd) により発生する静電放電です。
- バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。

6.7 安全関連認証

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN IEC 62368-1 (VDE 0868-1)、 EN IEC 62368-1、 IEC 62368-1 条項: 5.4.3、5.4.4.4、5.4.9	1577 部品認定に従って認定済み
強化絶縁	単一保護
認定番号: 認定待ち	ファイル番号: E181974

6.8 安全限界値

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。この I/O 回路の故障により、グラウンドあるいは電源との抵抗が低くなる場合があります。さらに、電流制限がないと、チップがオーバーヒートして絶縁膜が破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _S	安全入力、出力、または電源電流	R _{θJA} = 102.8°C/W、 VDD1 = VDD2 = 5.5V、 T _J = 150°C、T _A = 25°C			220	mA
		R _{θJA} = 102.8°C/W、 VDD1 = VDD2 = 3.6V、 T _J = 150°C、T _A = 25°C			340	
P _S	安全入力、出力、または合計電力	R _{θJA} = 102.8°C/W、 T _J = 150°C、T _A = 25°C			1220	mW
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S は、本デバイスのために規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。
I_S と P_S の上限値を超えないようにします。これらの制限値は周囲温度 T_A によって変化します。「[熱に関する情報](#)」の表にある、接合部から外気への熱抵抗 R_{θJA} は、リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。
これらの式を使って各パラメータの値を計算します。
T_J = T_A + R_{θJA} × P、ここで P は本デバイスで消費される電力です。
T_{J(max)} = T_S = T_A + R_{θJA} × P_S、ここで T_{J(max)} は最大接合部温度です。
P_S = I_S × AVDD_{max} + I_S × DVDD_{max}、ここで AVDD_{max} は最大ハイサイド電圧、DVDD_{max} はコントローラ側の最大電源電圧です。

6.9 電気的特性

最小値と最大値の仕様には $T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{DD1} = 3.0\text{V} \sim 27\text{V}$ 、 $V_{DD2} = 2.7\text{V} \sim 5.5\text{V}$ 、 $I_{IN} = \text{GND1}$ 、 $V_{INP} = -1\text{V} \sim 4\text{V}^{(1)}$ が適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ 、 $V_{DD1} = 5\text{V}$ 、 $V_{DD2} = 3.3\text{V}$ 、 $I_{IN} = \text{GND1}$ でのものです (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
R_{IN}	入力抵抗	INP, INN ピン, $0 \leq V_{IN} \leq 4\text{V}$		1		$\text{G}\Omega$
I_{BIAS}	入力バイアス電流	INP ピン, $0 \leq V_{IN} \leq 4\text{V}^{(2)}$		0.1	25	nA
		INP ピン, $-400\text{mV} \leq V_{IN} \leq 0\text{V}^{(3)}$	-310	-0.5		
		INP ピン, $-1\text{V} \leq V_{IN} < -400\text{mV}^{(4)}$	-80	-40	-10	μA
		INN ピン, $0 \leq V_{IN} \leq 4\text{V}^{(2)}$		0.5	12	nA
C_{IN}	入力容量	INP, INN ピン		4		pF
コンパレータ						
V_{IT+}	正方向のトリップ・スレッシュヨルド			$V_{INN} + V_{HYS} / 2$		mV
V_{IT-}	負方向のトリップ・スレッシュヨルド			$V_{INN} - V_{HYS} / 2$		mV
	トリップ・スレッシュヨルドの誤差	$(V_{IT+} - V_{INN} - V_{HYS} / 2)$, $V_{HYS} = 25\text{mV}$, INN = GND1, V_{INP} 立ち上がり	-6		6	mV
		$(V_{IT-} - V_{INN} + V_{HYS} / 2)$, $V_{HYS} = 25\text{mV}$, INN = GND1, V_{INP} 立ち下がり	-6		6	
V_{HYS}	トリップ・スレッシュヨルドのヒステリシス	$(V_{IT+} - V_{IT-})$		25		mV
デジタル出力						
V_{OL}	Low レベル出力電圧	$I_{SINK} = 4\text{mA}$		80	250	mV
V_{OH}	High レベル出力電圧	$I_{SOURCE} = 4\text{mA}$ (プッシュプル出力のみ)		$V_{DD2} - 175\text{mV}$	V_{DD2}	V
I_{LKG}	オープン・ドレイン出力カーク電流	$V_{DD2} = 5\text{V}$, $V_{OUT} = 5\text{V}$		5	100	nA
CMTI	同相過渡耐性	$ V_{INP} - V_{INN} \geq 25\text{mV}$, プッシュプル出力	100	150		V/ns
		$ V_{INP} - V_{INN} \geq 25\text{mV}$, オープン・ドレイン出力, $R_{PULLUP} = 10\text{k}\Omega$	75	150		
電源電圧						
V_{DD1UV}	VDD1 低電圧検出スレッシュヨルド	VDD1 立ち上がり			3	V
		VDD1 立ち下がり			2.9	
V_{DD1POR}	VDD1 パワーオン・リセット・スレッシュヨルド	VDD1 立ち下がり			2.3	V
V_{DD2UV}	VDD2 低電圧検出スレッシュヨルド	VDD2 立ち上がり			2.7	V
		VDD2 立ち下がり			2.1	
I_{DD1}	ハイサイド電源電流			2.6	3.6	mA
I_{DD2}	ローサイド電源電流			1.8	2.2	mA

- (1) しかし、「推奨動作条件」の表に規定された最大入力電圧を超えないようにします。
- (2) 標準値は、 $V_{IN} = 0.4\text{V}$ で測定されます。
- (3) 標準値は、 $V_{IN} = -400\text{mV}$ で測定されます。
- (4) 標準値は、 $V_{IN} = 1\text{V}$ で測定されます。

6.10 スイッチング特性

動作時周辺温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
プッシュプル出力					
t_{pH}	伝搬遅延時間、 $ V_{INP} $ 立ち上がり	VDD2 = 3.3V、INN = GND1、 $V_{OVERDRIVE} = 50mV$ 、 $C_L = 15pF$	230	320	ns
t_{pL}	伝搬遅延時間、 $ V_{INP} $ 立ち下がり	VDD2 = 3.3V、INN = GND1、 $V_{OVERDRIVE} = 50mV$ 、 $C_L = 15pF$	230	320	ns
t_r	出力信号の立ち上がり時間	VDD2 = 3.3V、 $C_L = 15pF$	2		ns
t_f	出力信号の立ち下がり時間	VDD2 = 3.3V、 $C_L = 15pF$	2		ns
オープン・ドレイン出力					
t_{pH}	伝搬遅延時間、 $ V_{INP} $ 立ち上がり	VDD2 = 3.3V、INN = GND1、 $V_{OVERDRIVE} = 50mV$ 、 $C_L = 15pF$	230	320	ns
t_{pL}	伝搬遅延時間、 $ V_{INP} $ 立ち下がり	VDD2 = 3.3V、INN = GND1、 $V_{OVERDRIVE} = 50mV$ 、 $C_L = 15pF$	230	320	ns
t_f	出力信号の立ち下がり時間	$R_{PULLUP} = 4.7k\Omega$ 、 $C_L = 15pF$	2		ns
起動タイミング					
$t_{LS, STA}$	ローサイド起動時間	2.7V への VDD2 のステップ、 $VDD1 \geq 3.0V$	40		μs
$t_{HS, STA}$	ハイサイド起動時間	3.0V への VDD1 のステップ、 $VDD2 \geq 2.7V$	45		μs
$t_{HS, BLK}$	ハイサイドのブランキング時間		200		μs
$t_{HS, FLT}$	ハイサイド・フォルト検出遅延時間		100		μs

6.11 タイミング図

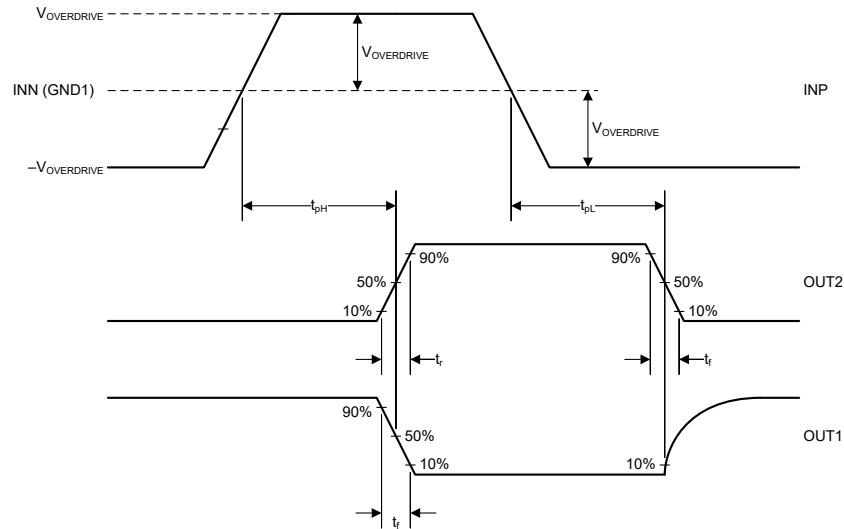


図 6-1. 立ち上がり、立ち下がり、遅延時間の定義

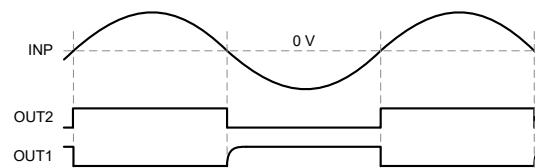
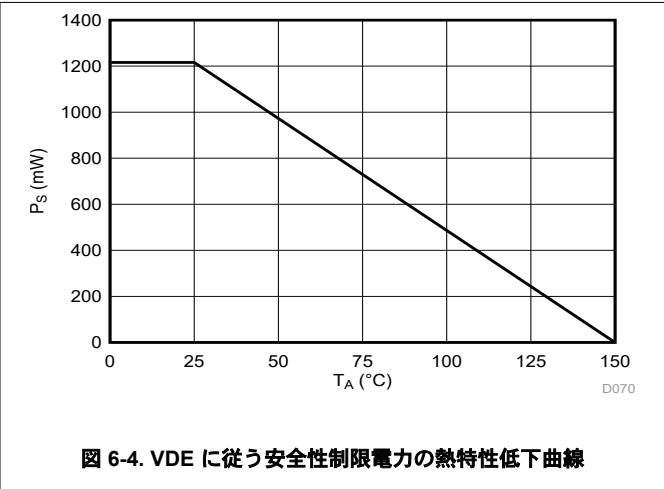
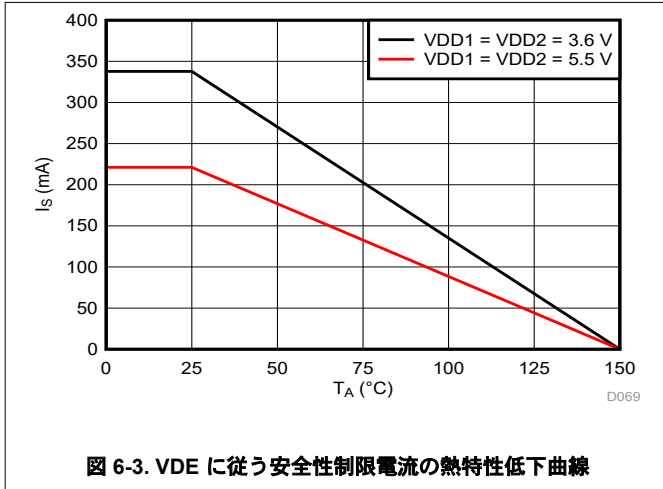


図 6-2. 動作時のタイミング図

6.12 絶縁特性曲線



6.13 代表的特性

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

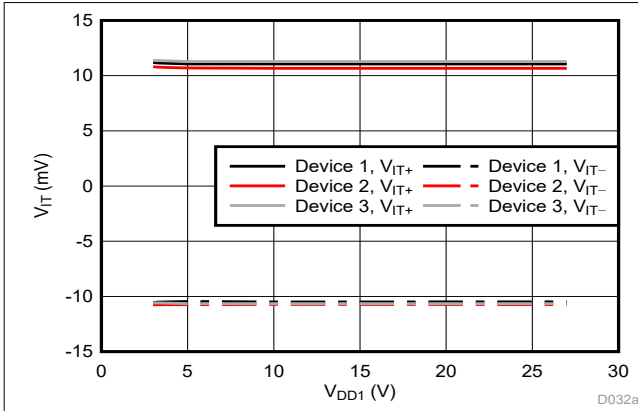


図 6-5. トリップ・スレッシュホールドと電源電圧との関係

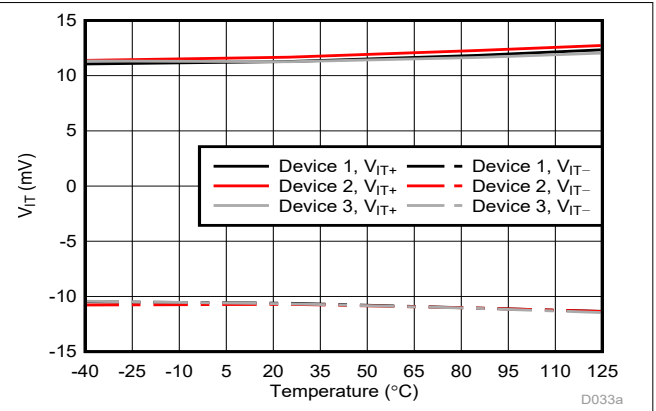


図 6-6. トリップ・スレッシュホールドと温度との関係

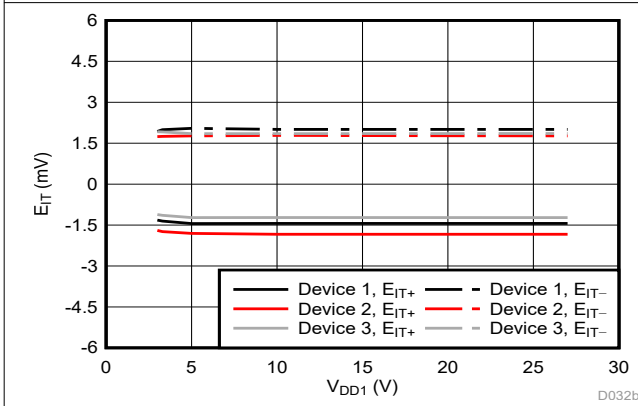


図 6-7. トリップ・スレッシュホールド誤差と電源電圧との関係

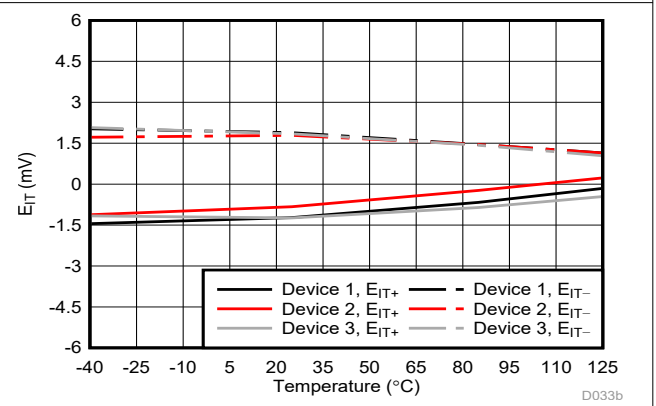


図 6-8. トリップ・スレッシュホールド誤差と温度との関係

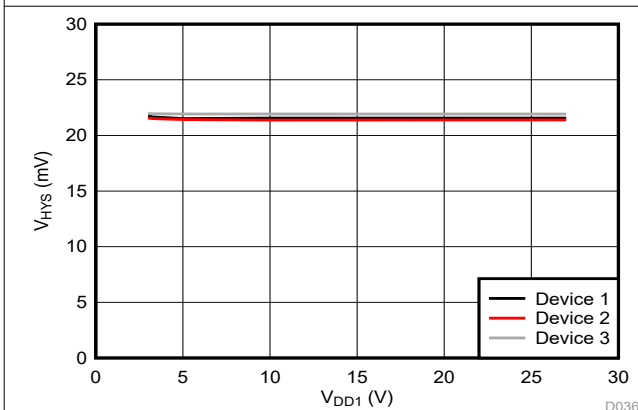


図 6-9. トリップ・スレッシュホールドのヒステリシスと電源電圧との関係

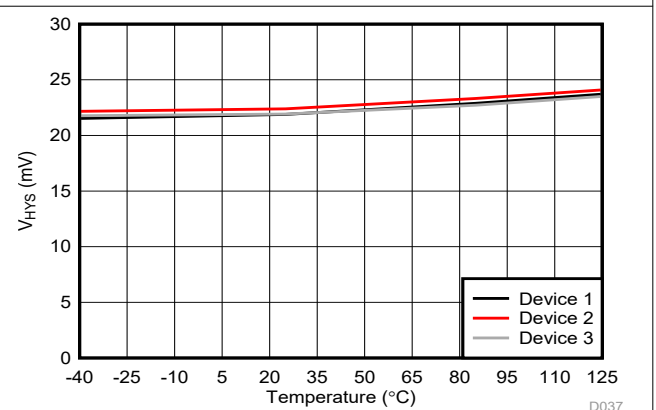


図 6-10. トリップ・スレッシュホールドのヒステリシスと温度との関係

6.13 代表的特性 (continued)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

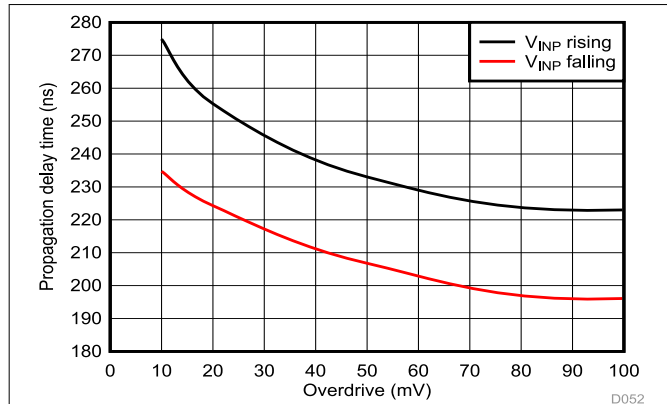


図 6-11. 伝搬遅延とオーバードライブとの関係

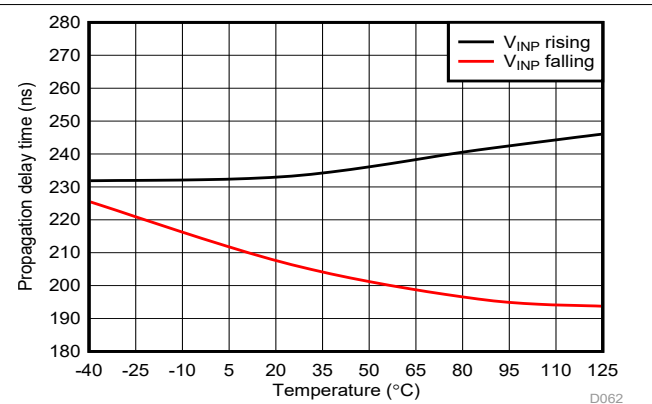


図 6-12. 伝搬遅延と温度との関係

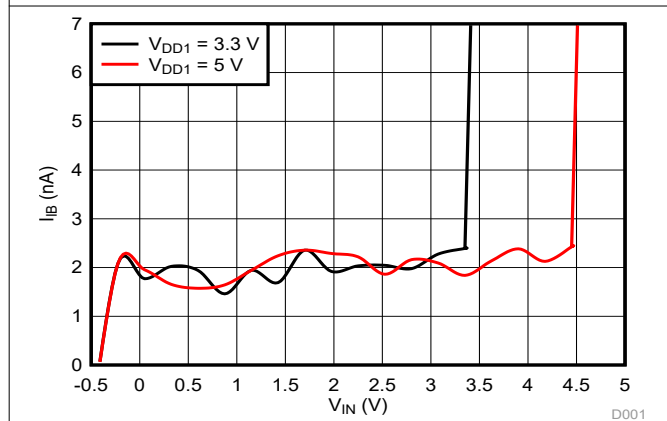


図 6-13. INP の入力バイアス電流と入力電圧との関係

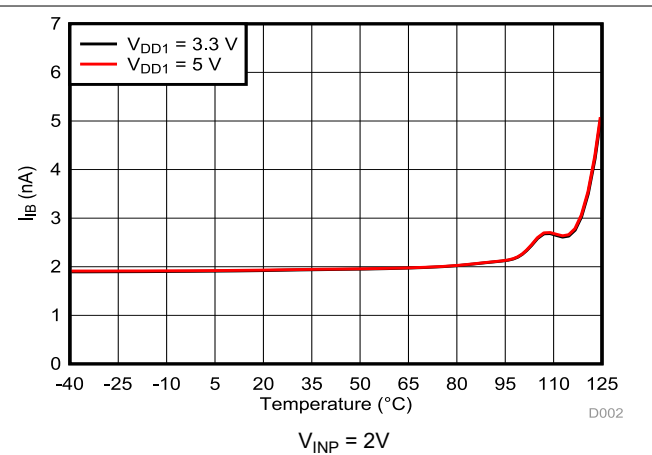


図 6-14. INP の入力バイアス電流と温度との関係

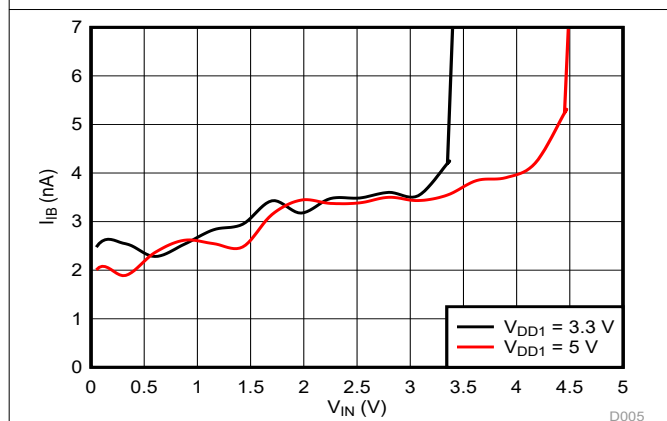


図 6-15. INN の入力バイアス電流と入力電圧との関係

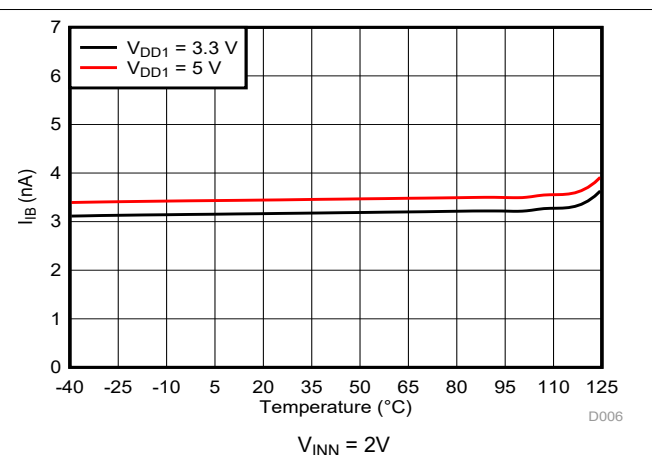


図 6-16. INN の入力バイアス電流と温度との関係

6.13 代表的特性 (continued)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

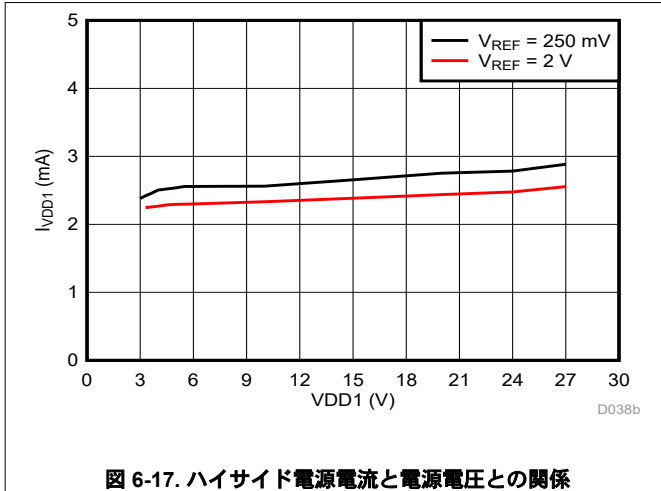


図 6-17. ハイサイド電源電流と電源電圧との関係

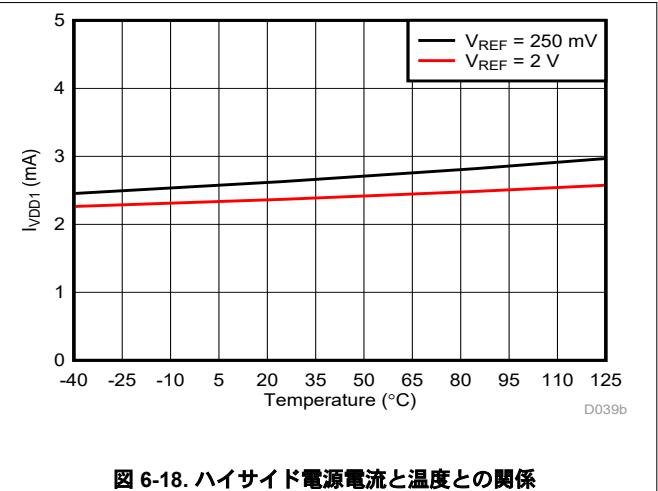


図 6-18. ハイサイド電源電流と温度との関係

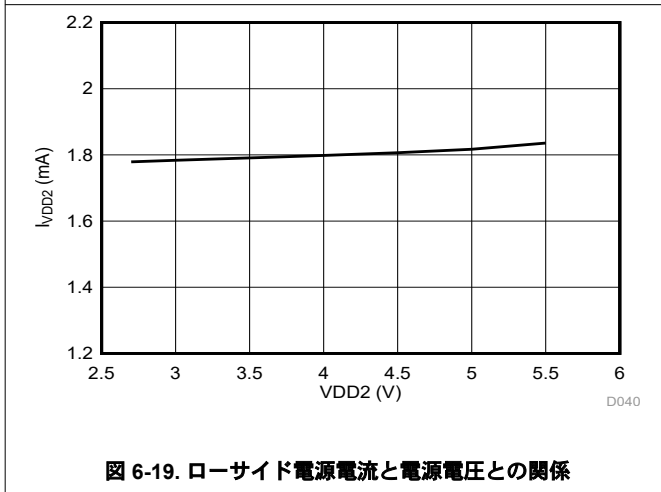


図 6-19. ローサイド電源電流と電源電圧との関係

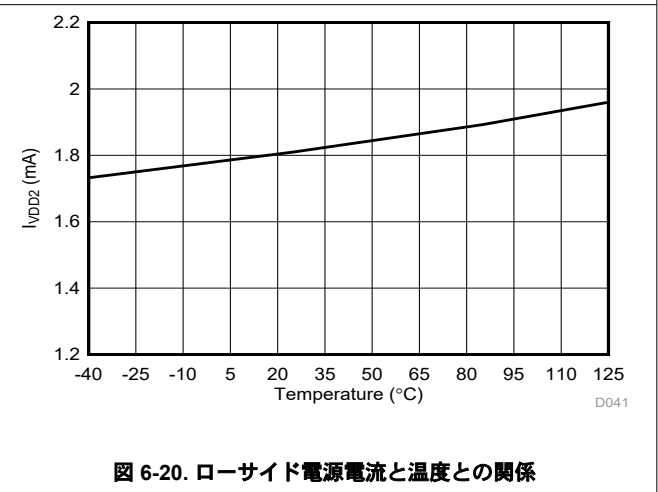


図 6-20. ローサイド電源電流と温度との関係

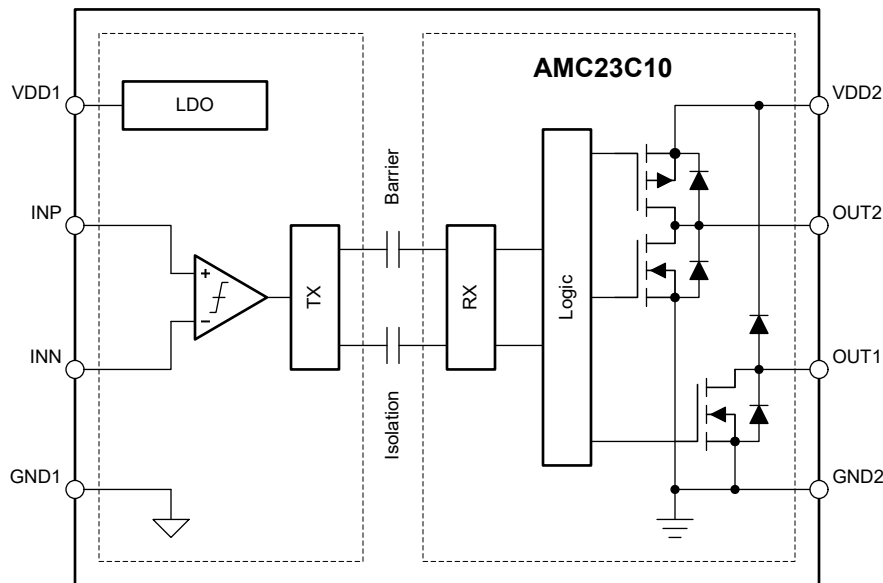
7 詳細説明

7.1 概要

AMC23C10 は、低電圧回路からガルバニック絶縁する必要がある高電圧信号をゼロクロス検出するために特に設計された、オープン・ドレインおよびプッシュプル出力付き絶縁型コンパレータです。本コンパレータは、通常 0V であるリファレンス電圧 (V_{INN}) (INN は GND1 に短絡しています) と入力電圧 (V_{INP}) を比較します。オープン・ドレイン出力は、 V_{INP} が V_{INN} を上回るとアクティブに Low になり、 V_{INP} が V_{INN} レベルを下回るとハイ・インピーダンス (Hi-Z) に戻ります。プッシュプル出力は、 V_{INP} が V_{INN} を上回るとアクティブに High になり、 V_{INP} が V_{INN} を下回るとアクティブに Low になります。コンパレータには、 V_{INN} を中心とするヒステリシス (V_{HYS}) が組み込まれています。

本デバイスの高電圧側と低電圧側間のガルバニック絶縁は、 SiO_2 ベースの強化容量性絶縁バリア越しにコンパレータの状態を送信することで実現されます。この絶縁バリアは、『ISO72x デジタル・アイソレータの磁界耐性』アプリケーション・レポートに記載されているように、高水準の磁界耐性をサポートします。絶縁バリア越しにデータを送信するために AMC23C10 が採用しているデジタル変調方式と、絶縁バリアの特性自体により、優れた信頼性と同相過渡耐性が得られます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 アナログ入力

V_{INN} にヒステリシス電圧 (V_{HYS}) の $1/2$ を加えた値として定義される V_{IT+} スレッシュホールドを入力電圧 (V_{INP}) が上回ると、コンパレータはトリップします。 V_{INN} からヒステリシス電圧の $1/2$ を引いた値と等しい V_{IT-} スレッシュホールドを V_{INP} が下回ると、コンパレータはリリースされます。

ヒステリシスとスイッチング・スレッシュホールドとの関係を表すタイミング図を、[図 7-1](#) に示します。

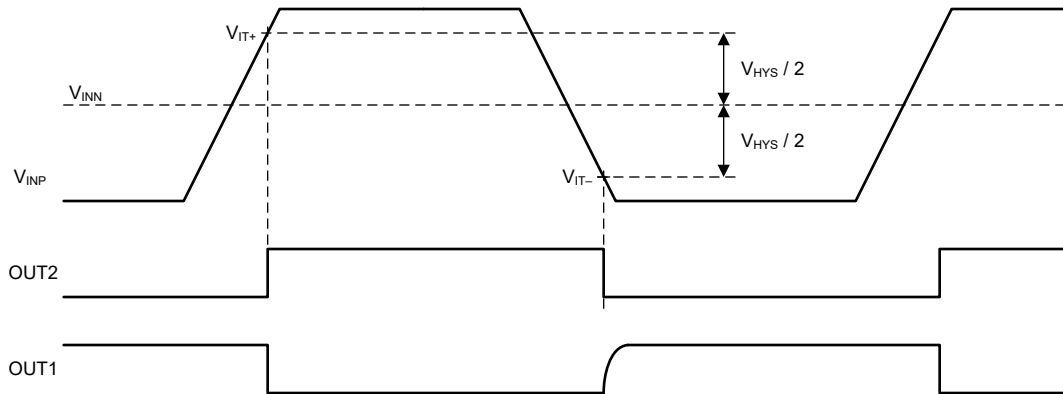


図 7-1. スwitching・スレッシュホールドとヒステリシス

7.3.2 絶縁チャネルの信号伝送

AMC23C10 は、SiO₂ ベースの絶縁バリア越しにコンパレータの出力状態を送信するため、[図 7-2](#) に示すオン / オフ・キーイング (OOK) 変調方式を採用しています。「[機能ブロック図](#)」に示す送信ドライバ (TX) は、デジタル 1 を表すために内部で生成された高周波キャリアを絶縁バリア越しに送信します。デジタル 0 を表す信号は送りません。

絶縁バリアの反対側のレシーバ (RX) は信号を回復および復調し、オープン・ドレイン出力バッファを駆動するロジックにデータを提供します。AMC23C10 の送信チャネルは、同相過渡耐性 (CMTI) を最大限に高め、高周波キャリアと RX/TX バッファのスイッチングに起因する放射妨害波を最小限に抑えるように最適化されています。

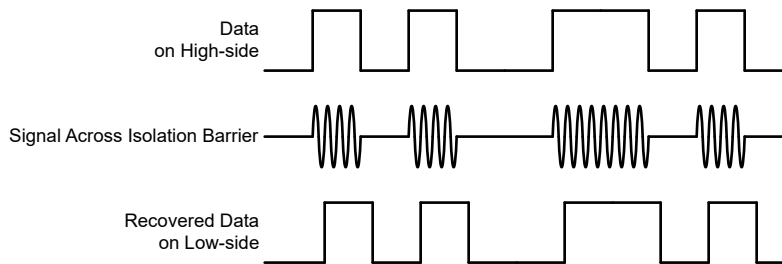


図 7-2. OOK ベースの変調方式

7.3.3 デジタル出力

AMC23C10 はオープン・ドレイン出力とプッシュプル出力を備えています。オープン・ドレイン出力は、 V_{INP} が V_{INN} を上回るとアクティブに Low になり、 V_{INP} が V_{INN} レベルを下回るとハイ・インピーダンス (Hi-Z) に戻ります。プッシュプル出力は、 V_{INP} が V_{INN} を上回るとアクティブに High になり、 V_{INP} が V_{INN} を下回るとアクティブに Low になります。コンパレータには、 V_{INN} を中心とするヒステリシス (V_{HYS}) が組み込まれています ([図 7-1](#) を参照)。

オープン・ドレイン出力には、VDD2 電源に対してダイオードが接続されています («[機能ブロック図](#)»を参照)。これは、OUT1 ピンに大電流が流れ込み始めない限り、VDD2 電源電圧より 500mV を超えて出力されないことを意味しています。特に VDD2 が GND2 レベルである場合、オープン・ドレイン出力は、グラウンドより 1 ダイオード分高い電圧にクランプされます。この動作を、[図 7-3](#) から [図 7-8](#) までの、灰色の網掛けで示します。

システム・レベルでは、オープン・ドレイン信号ラインの CMTI 性能はプルアップ抵抗の値によって異なります。高いスループレート (dV/dt が高い) の同相過渡イベント中、プリント基板 (PCB) のハイサイドとローサイドの間の寄生容量結合により、オープン・ドレイン信号ラインが Low にされることがあります。寄生結合が信号レベルに及ぼす影響は、プルアップ強度の関数であり、プルアップ抵抗の値が小さいほど CMTI の性能が向上します。AMC23C10 は、比較的弱いプルアップ抵抗値 10kΩ で特性付けされており、4.7kΩ 以下のプルアップ抵抗を使用する標準的なアプリケーションで、規定の CMTI 性能を確実に満たすことができます。

7.3.4 パワーアップ動作とパワーダウン動作

2 次側電源 (VDD2) がオンすると、オープン・ドレイン出力は高インピーダンス (Hi-Z) 状態で起動します。起動後、1 次側がまだ機能していない場合、出力は LOW に駆動されます。この条件は、2 次側の起動時間と 1 次側のフォルト検出遅延時間の和 ($t_{LS,STA} + t_{HS,FLT}$) の後で発生します (図 7-3 を参照)。同様に、通常動作中に 1 次側フォルト検出遅延時間より長い間、1 次側電源がその低電圧閾値電圧 ($VDD1_{UV}$) を下回ると、オープン・ドレイン出力は LOW に駆動されます (図 7-6 を参照)。この遅延により、1 次側電源を喪失してもシステムは確実にシャットダウンできます。

AMC23C10 のプッシュプル出力 (OUT2) はオープン・ドレイン出力 (OUT1) と同様に動作しますが、逆極性です。

またコンパレータ出力が起動中に意図せず切り替わることがないように、コンパレータの 1 次側と 2 次側との間で開始する通信は 1 次側ブランキング時間 ($t_{HS,BLK}$ 、高電圧側に実装された時定数) によって遅延されます。

図 7-3～図 7-8 に、代表的な起動および停止手順を示します。

図 7-3 では、2 次側電源 (VDD2) がオンしますが、1 次側電源 (VDD1) はオフのままです。OUT1 は Hi-Z 状態で起動し、OUT2 は LOW になります。 $t_{HS,FLT}$ 後、OUT1 は LOW に、OUT2 は HIGH に駆動され、1 次側電源喪失フォルトを示します。

図 7-4 では、2 次側電源 (VDD2) がオンした後しばらくして、1 次側電源 (VDD1) がオンします。OUT1 は最初はアクティブ LOW 状態であり、OUT2 は HIGH 状態です (ケース (1) を参照)。1 次側電源が有効になった後、本デバイスが通常動作であることを認識し、出力がコンパレータの現在の状態を反映するために、 $t_{HS,STA} + t_{HS,BLK}$ の待機時間が設けられています。

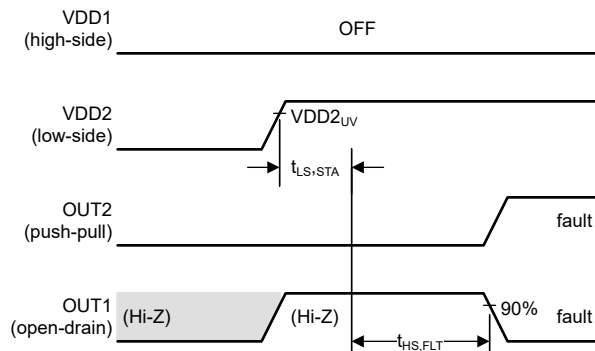


図 7-3. VDD2 がオンし、VDD1 はオフのまま

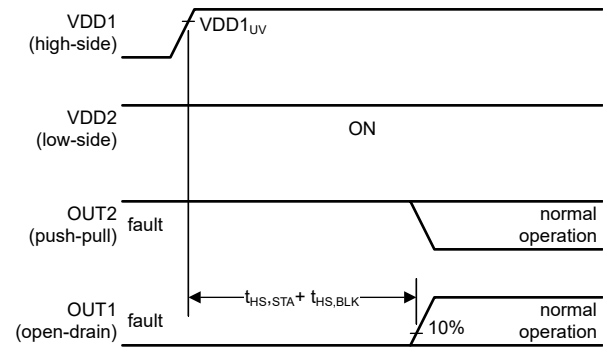


図 7-4. VDD2 はオン、VDD1 がオンする (長い遅延)

図 7-5 では、2 次側電源 (VDD2) がオンした後、わずかに遅れて 1 次側電源 (VDD1) がオンします。最初は OUT1 は Hi-Z 状態、OUT2 は LOW です。1 次側フォルト検出遅延 ($t_{HS,FLT}$) は 1 次側ブランキング時間 ($t_{HS,BLK}$) より短いため、 $t_{HS,FLT}$ の後 OUT1 は LOW、OUT2 は HIGH に駆動され、1 次側がまだ動作していないことを示します。1 次側ブランキング時間 ($t_{HS,BLK}$) が経過した後、本デバイスは通常動作であることを認識し、出力はコンパレータの現在の状態を反映します。

図 7-6 では、1 次側電源 (VDD1) がオフした後、2 次側電源 (VDD2) がオフします。1 次側フォルト検出遅延時間 ($t_{HS,FLT}$) の後、OUT1 は LOW、OUT2 は HIGH に駆動されます。VDD2 が $VDD2_{UV}$ 閾値電圧を下回るとすぐに、OUT1 は Hi-Z 状態に入り、OUT2 は LOW に駆動されます。

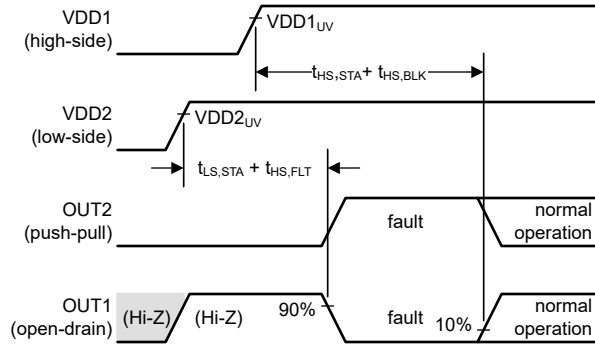


図 7-5. VDD2 がオン、VDD1 がそれに続く (短い遅延)

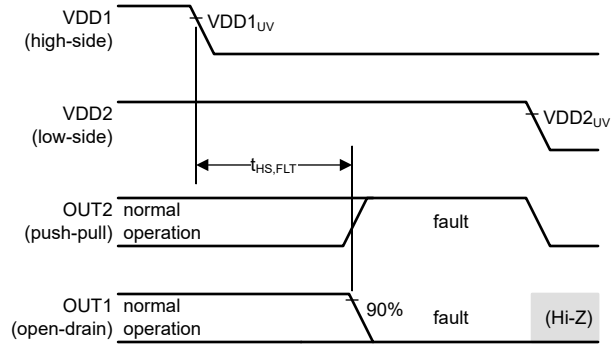


図 7-6. VDD1 がオフ、VDD2 がそれに続く

図 7-7 では、1 次側が完全に起動した後、2 次側電源 (VDD2) がオンします (VDD1 と VDD2 の間の遅延は $(t_{HS,STA} + t_{HS,BLK})$ より大きいです)。OUT1 は Hi-Z 状態で起動し、OUT2 は LOW 状態で起動します。2 次側の起動時間 ($t_{LS,STA}$) の後、デバイスは通常動作に入ります。

図 7-8 では、2 次側電源 (VDD2) がオフし、次いで 1 次側電源 (VDD1) がオフします。VDD2 が $VDD2_{UV}$ 閾値電圧を下回るとすぐに、OUT1 は Hi-Z 状態に入り、OUT2 は LOW に駆動されます。

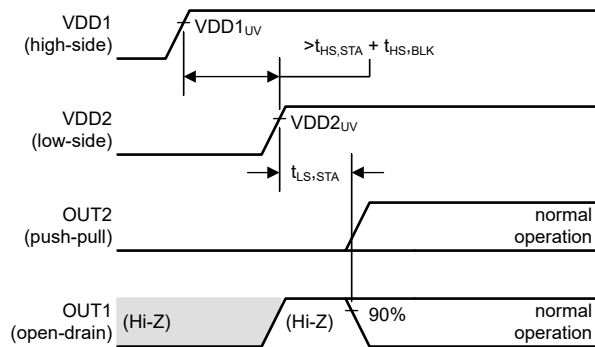


図 7-7. VDD1 がオンし、VDD2 がそれに続く (長い遅延)

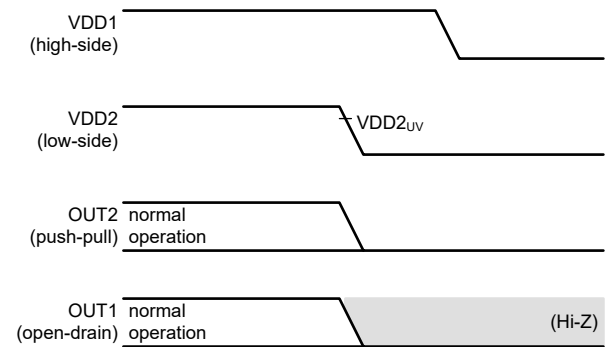


図 7-8. VDD2 がオフし、VDD1 がそれに続く

7.3.5 VDD1 のブラウンアウトおよび電源喪失時の動作

ブラウンアウトとは、仕様で規定された動作電圧範囲よりも VDD1 電源電圧が低下したが、そのデバイスは機能し続けている状態を指します。電源喪失とは、そのデバイスが機能を停止するレベルを VDD1 電源電圧が下回った状態を指します。その持続時間と電圧レベルに応じて、ブラウンアウト状態はそのデバイスの出力で観測される場合とされない場合があります。電源喪失状態は、絶縁型コンパレータの出力で常に通知されます。

図 7-9～図 7-11 に、代表的なブラウンアウトおよび電源喪失シナリオを示します。

図 7-9 では、VDD1 は低電圧検出閾値電圧 ($VDD1_{UV}$) 未満に低下しますが、1 次側フォルト検出遅延時間 ($t_{HS,FLT}$) が経過する前に復帰しています。ブラウンアウト・イベントは、コンパレータの出力には影響しません。

図 7-10 では、1 次側フォルト検出の遅延時間 ($t_{HS,FLT}$) より長い間、VDD1 が低電圧検出閾値電圧 ($VDD1_{UV}$) を下回っています。このブラウンアウト状態はフォルトとして検出され、 $t_{HS,FLT}$ に等しい遅延の後、OUT1 は LOW に駆動され、OUT2 は HIGH に駆動されます。VDD1_{UV} 閾値電圧より高い電圧に VDD1 が回復するとすぐに、本デバイスは通常動作に復帰します。

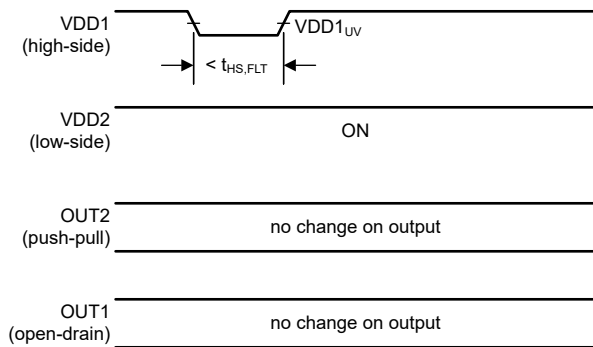


図 7-9. VDD1 の短いブラウンアウト・イベントに対する出力応答

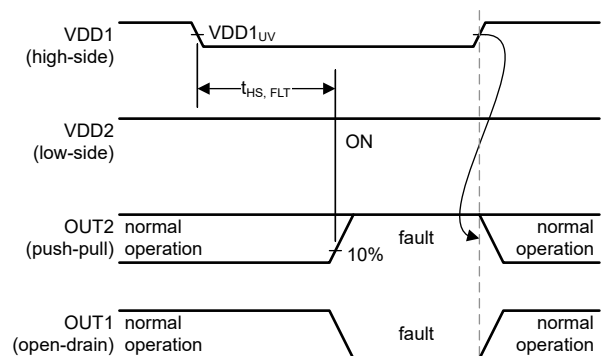


図 7-10. VDD1 の長いブラウンアウト・イベントに対する出力応答

図 7-11 では、VDD1 がパワーオン・リセット (POR) 閾値電圧 ($VDD1_{POR}$) 未満に低下しています。この電源喪失状態はフォルトとして検出され、 $t_{HS,FLT}$ に等しい遅延の後、OUT1 は LOW に駆動され、OUT2 は HIGH に駆動されます。VDD1_{UV} 閾値電圧より高い電圧に VDD1 が回復すると、 $t_{HS,STA} + t_{HS,BLK}$ に等しい遅延の後、本デバイスは通常動作に復帰します。

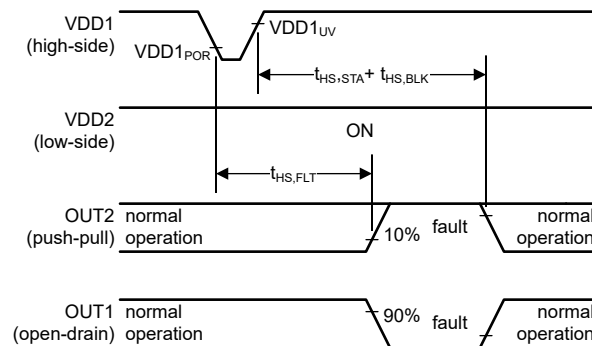


図 7-11. VDD1 の電源喪失イベントに対する出力応答

7.4 デバイスの機能モード

AMC23C10 デバイスは、[推奨動作条件](#)の表に規定された電源 (VDD1、VDD2) を使うことで機能します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

デバイスの応答時間が短く、高い同相過渡耐性 (CMTI) を持ち、強化絶縁バリアを備えた AMC23C10 は、過酷でノイズの多い環境の高電圧アプリケーションで、高速かつ高い信頼性で比較を行えるように設計されています。

8.2 代表的なアプリケーション

8.2.1 電圧のゼロクロス検出

AC 電源スイッチング・アプリケーションでは、AC ライン電圧のゼロクロス時にロード・スイッチを閉じることで、ターンオン時の突入電流を最小限に抑えます。TPSI3050-Q1 デバイスをベースとするソリッド・ステート・リレーの実装を、[図 8-1](#) に示します。TPSI3050-Q1 は、10V のゲート電源を内蔵した絶縁スイッチ・ドライバです。TPSI3050-Q1 の EN ピンが High に駆動されると、2 つの外部、BTB、N タイプのフィールド・エフェクト・トランジスタ (NMOS) パワー・スイッチがオンになり、EN ピンが Low のときはオフになります。このアプリケーションでは、AMC23C10 を使用して AC ライン電圧のゼロクロスを検出し、EN 信号を TPSI3050-Q1 にゲートします。AMC23C10 のハイサイドは、TPSI3050-Q1 の内蔵 10V ゲート・ドライブ電源から電力を供給されるため、ハイサイド用に個別の電源は必要ありません。

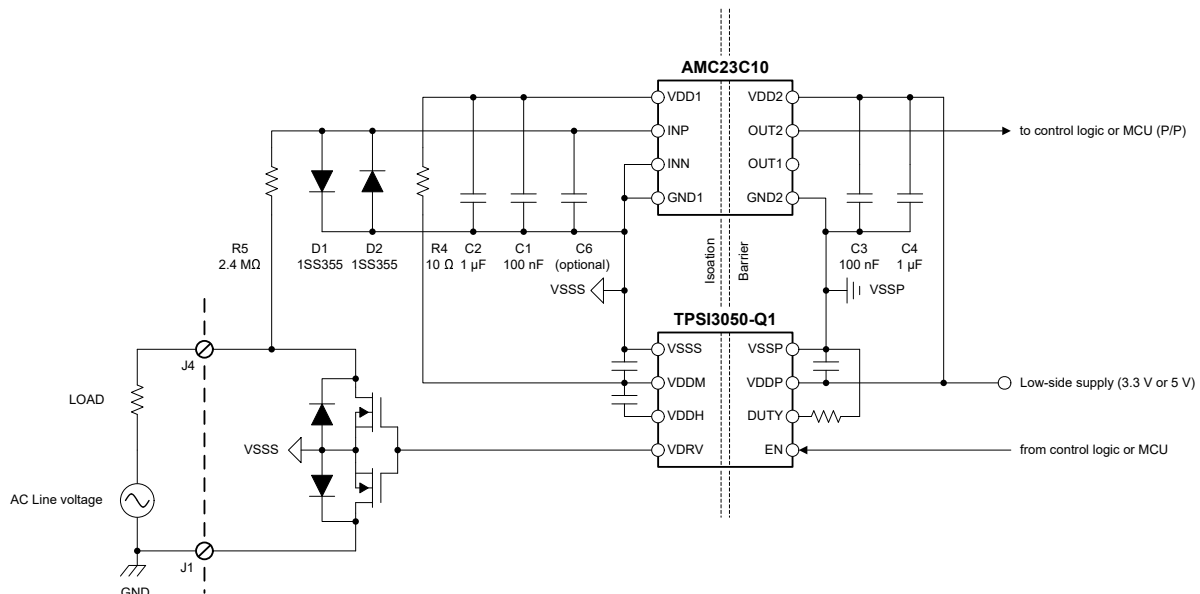


図 8-1. AMC23C10 によるソリッド・ステート・リレー (SSR) での AC 電圧のゼロクロス検出

AC ライン電圧は R5 および 2 つの小信号のアンチ・パラレル・ダイオードによってクランプされ、AMC23C10 の入力電圧を制限します。AC ライン電圧のゼロクロス付近では、いずれのダイオードも導通せず、INP ピンの電圧は AC ライン電圧と等しくなります。[図 8-2](#) に示すように、OUT1 (オープン・ドレイン出力) は、立ち上がりのゼロクロス・イベント時は High から Low、立ち下がりのゼロクロス・イベント時は Low から High に切り替わります。OUT2 (プッシュプル出力) は逆極性でトグルし、ディスクリート・ロジック・ブロックまたはマイクロコントローラで使用し、TPSI3050-Q1 の EN 信号をゲートできます。

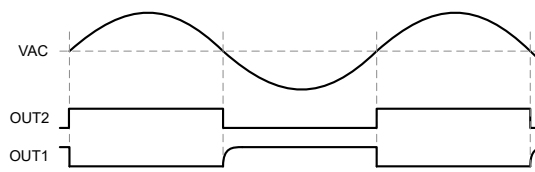


図 8-2. 電圧ゼロクロス検出回路で使用する AMC23C10 の出力

8.2.2 設計要件

表 8-1 に、図 8-1 のアプリケーション例のパラメータ一覧を示します。

表 8-1. 設計要件

パラメータ	値
AC ライン電圧	230V _{RMS} ±10%、50Hz
ハイサイド電源電圧	3V~27V
ローサイド電源電圧	3.3V または 5V
INP での最大入力電圧	±1V
INP での最小電圧スイング	±100mV
ユニット抵抗あたりの最大動作電圧 (R5)	75V
シャント抵抗 R5 を流れる最大電流	±150μA
150μA で D1、D2 の順方向バイアス電圧	200mV~500mV
逆バイアスのダイオード容量	3pF 未満

8.2.3 詳細な設計手順

シャント抵抗 R5 の値は、最大ピーク入力電圧 $230V_{RMS} \times 1.1 \times \sqrt{2} = 360V_{PK}$ 、および最大許容電流 150μA によって決定されます。したがって、R5 は $360V_{PK} / 150\mu A = 2.4M\Omega$ と計算されます。R5 は、抵抗ごとの最大電圧降下を許容される 75V に制限するため、それぞれ 480kΩ の最小 5 個のユニット抵抗に分割する必要があります。E96 シリーズの最も近い値は 487kΩ なので、R5 の合計値は $5 \times 487k\Omega = 2.43M\Omega$ です。

2 個のダイオード D1 および D2 は、順方向バイアス電圧が 200mV~500mV で、温度に応じて順方向電流 150μA が供給されます。したがって、必要な最小電圧スイングと、INP ピンで許容される最大入力電圧の両方を満たします。

D1 および D3 の逆バイアス容量 3pF (最大値) と R5 の組み合わせにより、コーナー周波数が 22.1kHz 未満、または遅延時間が約 7.2μs (最大値) の入力フィルタが形成されます。ローパス・フィルタのコーナー周波数は、値の小さいコンデンサ (C6) を挿入することで低く調整できます。システムで遅延が長くなっても問題なければ、ノイズ耐性を高めるためにフィルタ容量を増やすことが推奨されます。ゼロクロス検出の合計遅延時間は、入力フィルタからの 7.2μs と、コンパレータの伝搬遅延 320ns (最大値) とを加えた値です。ゼロクロス時の AC ライン電圧のスルーレートは、 $360V_{PK} \times 2 \times \pi \times 50Hz = 113mV/\mu s$ です。したがって、ゼロクロス・スレッショルドの実効値は $113mV/\mu s \times (7.2\mu s + 320ns) = 850mV$ です。

表 8-2 に、この設計の主要パラメータを示します。

表 8-2. ゼロクロス検出の設計例

パラメータ	値
シャント抵抗値 R5	2.43MΩ (5 × 487kΩ)
R5 を流れる最大電流	148μA
スイッチング・スレッショルドの実効値	±850mV
伝搬遅延	8μs 未満

8.2.4 アプリケーション曲線

図 8-4 に、INN が接地している (0V) のとき、400mV_{PP} の正弦入力波を INP ピンに印加した場合の AMC23C10 の代表的な応答を示します。入力が 0V + コンパレータのヒステリシスのレベルに交差すると、両方の出力が切り替わります。

図 8-3. 三角入力波に対する AMC23C10 の出力応答

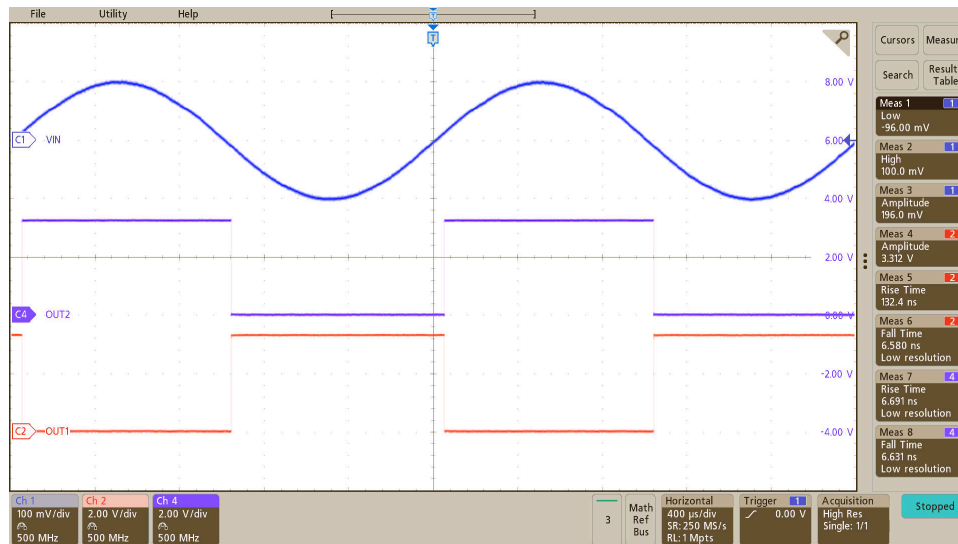


図 8-4. 正弦入力波に対する AMC23C10 の出力応答

AMC23C10 の内蔵 LDO は、高電圧側の電源要件を大幅に緩和し、レギュレートされていないトランス、チャージ・ポンプ、ブートストラップ電源からデバイスに電力を供給できます。図 8-5、に示すように、内部 LDO は内部回路に安定した動作電圧を供給するため、2V_{PP} 以上のリップル電圧でもトリップのスレッシュホールドにはほぼ影響しません。

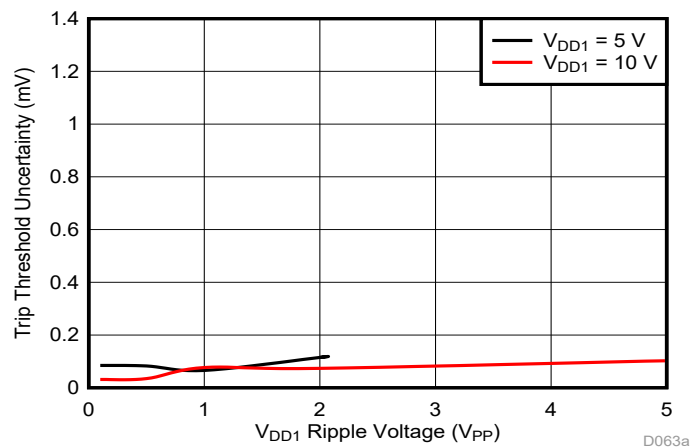


図 8-5. VDD1 リップル電圧に対するトリップ・スレッシュホールド感度 (f_{ripple} = 10kHz)

8.3 設計のベスト・プラクティス

同相過渡イベント時にオープン・ドレイン信号ラインでの容量性結合の影響を最小限に抑えるため、「デジタル出力」の説明に従って、オープン・ドレイン出力に小さい値 (10kΩ 未満) のプルアップ抵抗を使用します。

INP ピンを信号入力として、INN ピンをコンパレータへのリファレンス電圧入力または静かな入力として使用します。コンパレータの誤トリガを防止するため、入力との接続を短く保ち、かつノイズ源からシールドします。

8.4 電源に関する推奨事項

AMC23C10 は、特定の起動シーケンスを必要としません。ハイサイド電源 (VDD1) は、低 ESR の $1\mu\text{F}$ コンデンサ (C2) と並列接続された低 ESR の 100nF コンデンサ (C1) でデカップリングされます。ローサイド電源 (VDD2) は、低 ESR の $1\mu\text{F}$ コンデンサ (C4) と並列接続された低 ESR の 100nF コンデンサ (C3) で同様にデカップリングされます。4 つのコンデンサ (C1、C2、C3、C4) はすべてデバイスのできるだけ近くに配置します。図 8-6 に、AMC23C10 のデカップリング回路図を示します。

VDD1 電源電圧が高い ($> 5.5\text{V}$) 場合、追加のフィルタ処理のために、VDD1 電源と直列に 10Ω の抵抗 (R4) を接続します。

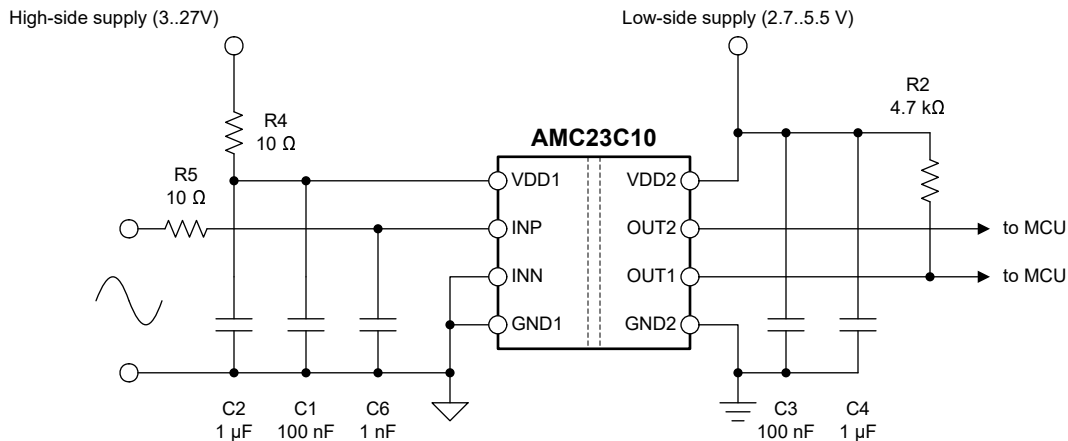


図 8-6. デカップリング：AMC23C10

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な実効容量を保つ必要があります。多層セラミック・コンデンサ (MLCC) は通常、実際の使用条件における容量は、公称容量よりはるかに小さいため、これらのコンデンサを選択する際はこの減少を考慮に入れる必要があります。この問題は、背の高い部品よりも絶縁体電界強度が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサ・メーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

デカップリング・コンデンサの重要な配置 (AMC1303 の電源ピンと可能な限り近く)、およびデバイスに必要な他のコンポーネントの配置を示したレイアウトの推奨事項を、図 8-7 に示します。AMC23C10

8.5.2 レイアウト例

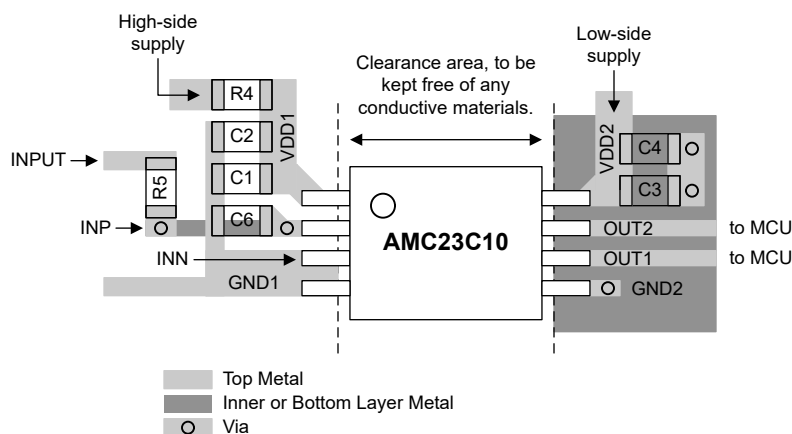


図 8-7. 推奨レイアウト：AMC23C10

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[絶縁の用語集](#)』アプリケーション・レポート
- テキサス・インスツルメンツ、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポート
- テキサス・インスツルメンツ、『[ISO72x デジタル・アイソレータの磁界耐性](#)』アプリケーション・レポート
- テキサス・インスツルメンツ、『[TPSI3050-Q1 10V ゲート電源を内蔵した車載用強化絶縁型スイッチ・ドライバ](#)』データシート
- テキサス・インスツルメンツ、『[絶縁型アンプの電圧センシング Excel カリキュレータ](#)』設計ツール

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
AMC23C10DWV	ACTIVE	SOIC	DWV	8	64	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	MC23C10	Samples
AMC23C10DWVR	ACTIVE	SOIC	DWV	8	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	MC23C10	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

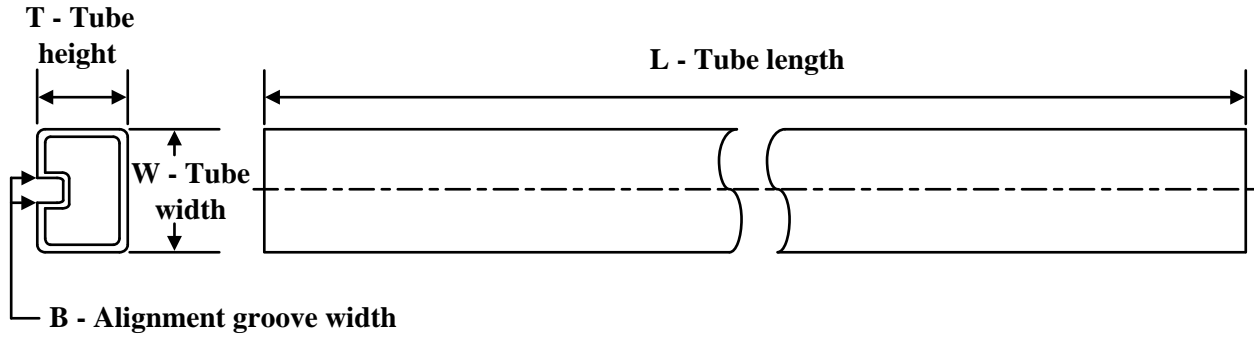

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AMC23C10DWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AMC23C10DWVR	SOIC	DWV	8	1000	350.0	350.0	43.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
AMC23C10DWV	DWV	SOIC	8	64	505.46	13.94	4826	6.6

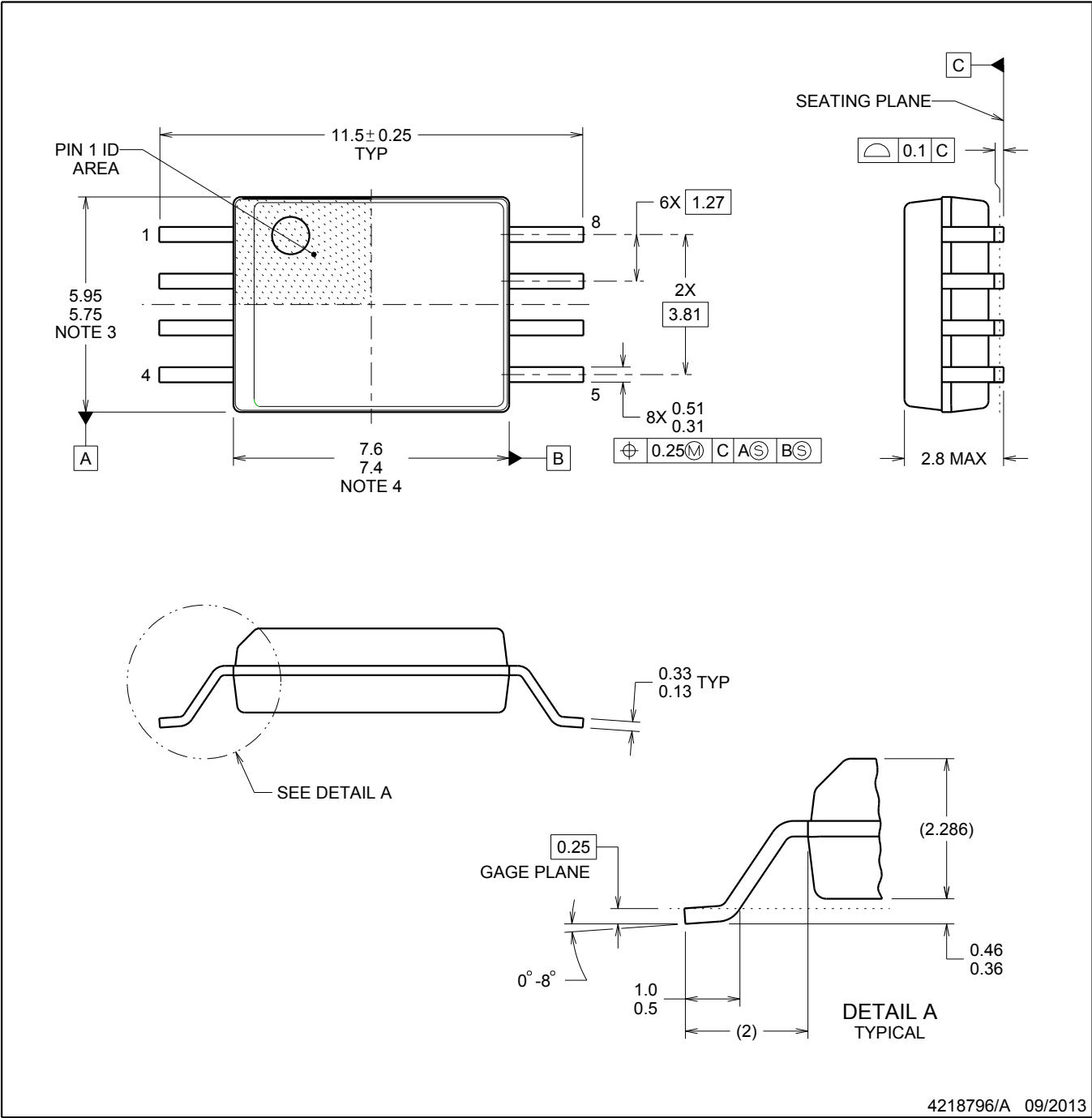
PACKAGE OUTLINE

DWV0008A



SOIC - 2.8 mm max height

SOIC

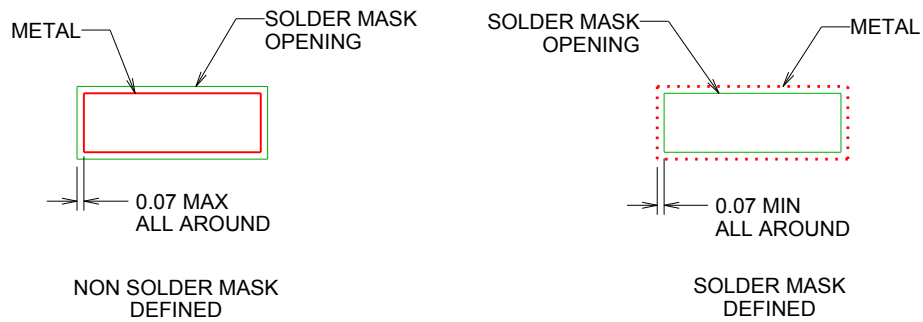


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
 9.1 mm NOMINAL CLEARANCE/CREEPAGE
 SCALE:6X

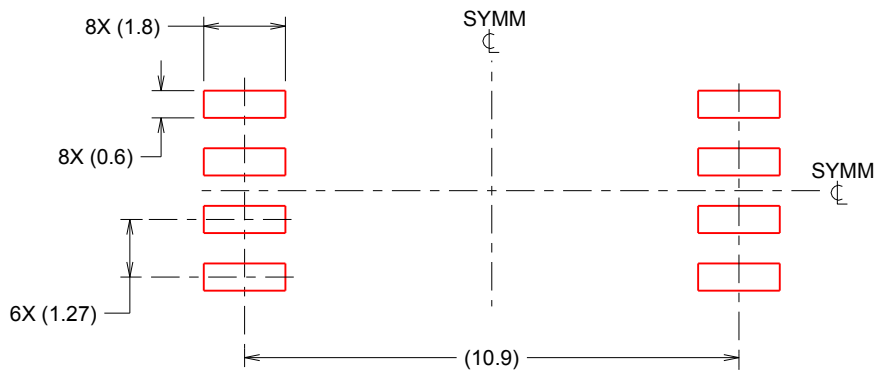


SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:6X

4218796/A 09/2013

NOTES: (continued)

- 7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated