

CD4016B タイプ CMOS クワッド双方向スイッチ

1 特長

- 20V のデジタルまたは $\pm 10V$ のピーク ツー ピーク スイッチング
- 15V 動作で 280Ω (標準値) のオン抵抗
- 15V の信号入力範囲にわたってスイッチのオン抵抗の変動が 10Ω (標準値) 以下
- 高いオン/オフ出力電圧比: $f_{is} = 10\text{kHz}$, $R_L = 10\text{k}\Omega$ のとき 65dB (標準値)
- 高度な線形性: $f_{is} = 1\text{kHz}$, $V_{is} = 5V_{p-p}$, $V_{DD} - V_{SS} \square 10V$, $R_L = 10\text{k}\Omega$ で歪み 0.5% 未満 (標準値)
- オフ状態のスイッチリークが非常に小さいため、非常に低いオフセット電流と高い実効オフ状態抵抗を実現: 標準値 100pA , $V_{DD} - V_{SS} = 18V$, $T_A = 25^\circ\text{C}$
- 非常に高い制御入力インピーダンス (制御回路を信号回路から絶縁): $10^{12}\Omega$ (標準値)
- スイッチ間の低いクロストーク: $f_{is} = 0.9\text{MHz}$, $R_L = 1\text{k}\Omega$ で -50dB (標準値)
- 制御入力容量と信号出力容量の照合: 出力信号の過渡を低減
- スイッチ オンでの周波数応答 = 40MHz (標準値)
- 20V で静止電流を 100% テスト済み
- パッケージの温度範囲全体にわたって 18V 時に最大制御入力電流 $1\mu\text{A}$ 、 25°C では 18V 時に 100nA
- 5V、10V、15V のパラメータ定格

2 アプリケーション

- アナログ信号スイッチング / 多重化信号ゲーティング
- 変調器スケルチ制御
- 復調器チョッパ
- 整流スイッチ
- デジタル信号スイッチング / 多重化
- CMOS ロジックの実装
- A/D 変換および D/A 変換
- 周波数、インピーダンス、位相、アナログ信号ゲインのデジタル制御

3 概要

高電圧タイプ (20V 定格) のアナログまたはデジタル信号の送信または多重化に適しています。

CD4016B B シリーズ タイプは、アナログまたはデジタル信号の伝送 / 多重化を目的としたクワッド双方向スイッチです。4 つの独立した双方向スイッチにはそれぞれ 1 つの制御信号入力があり、特定のスイッチのオン/オフを問わず、p デバイスと n デバイスの両方を同時にバイアスします。

CD4016B B シリーズ タイプは、14 リードのハーメチックデュアル インライン セラミック パッケージ (F3A サフィックス)、14 リードのデュアル インライン プラスチック パッケージ (E サフィックス)、14 リードのスマール アウトライン パッケージ (M、MT、M96、NSR サフィックス)、14 リードのシン シュリンク スモール アウトライン パッケージ (PW および PWR サフィックス) で供給されます。

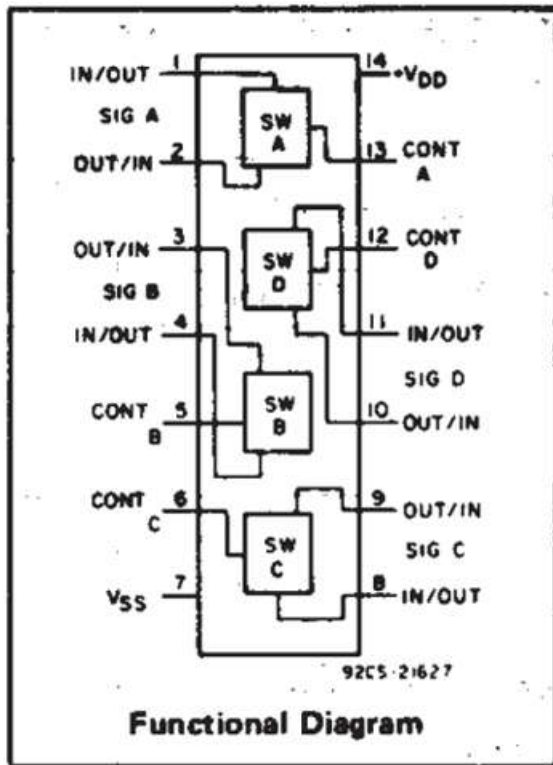
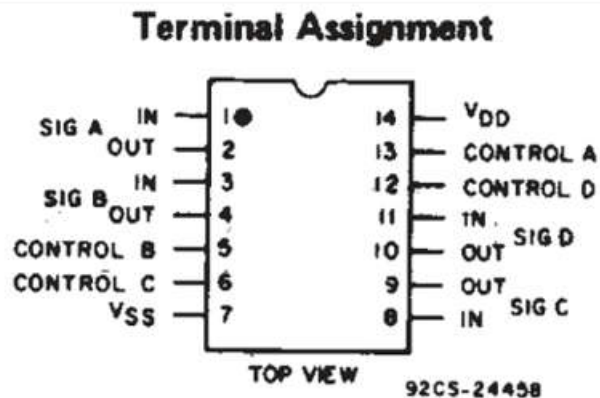
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
CD4016B	N (PDIP, 14)	19.3mm × 9.4mm
	D (SOIC, 14)	8.65mm × 6mm

(1) 詳細については、[セクション 8](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





回路図 - 同一セクションの 1/4

Table of Contents

1 特長	1	4.5 Electrical Characteristics.....	5
2 アプリケーション	1	4.6 Electrical Characteristics.....	9
3 概要	1	4.7 Typical Characteristics.....	10
4 Specifications	4	5 Parameter Measurement Information	11
4.1 Absolute Maximum Ratings.....	4	6 Device and Documentation Support	13
4.2 ESD Ratings.....	4	6.1 Documentation Support.....	13
4.3 Recommended Operating Conditions.....	4	7 Revision History	13
4.4 Thermal Information.....	5	8 Mechanical, Packaging, and Orderable Information ..	13

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)^{(1) (2)}

		MIN	MAX	UNIT
$V_{DD} - V_{SS}$	Supply voltage		20	V
V_{DD}		-0.5	20	V
V_{SS}		-20	0.5	V
I_{SEL} or I_{EN}	Logic control input pin current (\overline{EN} , A_x , SEL_x)	-30	30	mA
V_S or V_D	Source or drain voltage (S_x , D)	$V_{SS}-0.5$	$V_{DD}+0.5$	V
I_S or I_D (CONT)	Source or drain continuous current (S_x , D)	-20	20	mA
T_J	Junction temperature		150	°C
T_{stg}	Storage temperature	-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are with respect to ground, unless otherwise specified.

4.2 ESD Ratings

		VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/ JEDEC JS-001, all pins ⁽¹⁾	±500
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins ⁽²⁾	±1500

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

4.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
$V_{DD} - V_{SS}$ ⁽¹⁾	Power supply voltage differential	3		18	V
V_{DD}	Positive power supply voltage	3		18	V
V_S or V_D	Signal path input/output voltage (source or drain pin) (S_x , D)	V_{SS}		V_{DD}	V
V_{SEL} or V_{EN}	Address or enable pin voltage	0		V_{DD}	V
I_S or I_D (CONT)	Source or drain continuous current (S_x , D)	-10		10	mA
T_A	Ambient temperature	-55		125	°C

- (1) V_{DD} and V_{SS} can be any value as long as $3V \leq (V_{DD} - V_{SS}) \leq 24V$, and the minimum V_{DD} is met.

4.4 Thermal Information

THERMAL METRIC ⁽¹⁾		CD4016		UNIT
		N (PDIP)	D (SOIC)	
		14 PINS	14 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	93.7	109.7	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	72.5	69.4	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	68.0	67.9	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	50.3	25.8	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	67.3	67.1	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

4.5 Electrical Characteristics

Over operating free-air temperature range, $V_{SUPPLY} = \pm 5V$, and $R_L = 100\Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT		
SIGNAL INPUTS (V_{IS}) AND OUTPUTS (V_{OS})										
I_{DD}	Quiescent Device Current	$V_{IS} = 0$ to 5V $V_{DD} = 5V$	$T_A = -55^\circ C$					5	μA	
			$T_A = -40^\circ C$					5		
			$T_A = 25^\circ C$			4.5		6		
			$T_A = 85^\circ C$					7.5		
			$T_A = 125^\circ C$					7.5		
		$V_{IS} = 0$ to 10V $V_{DD} = 10V$	$T_A = -55^\circ C$							6
			$T_A = -40^\circ C$							6
			$T_A = 25^\circ C$			5		7		
			$T_A = 85^\circ C$					15		
			$T_A = 125^\circ C$					15		
		$V_{IS} = 0$ to 15V $V_{DD} = 15V$	$T_A = -55^\circ C$							7
			$T_A = -40^\circ C$							7.2
			$T_A = 25^\circ C$			6		8		
			$T_A = 85^\circ C$					30		
			$T_A = 125^\circ C$					30		
		$V_{IS} = 0$ to 20V $V_{DD} = 20V$	$T_A = -55^\circ C$							8.5
			$T_A = -40^\circ C$							8.5
			$T_A = 25^\circ C$			6.5		9		
			$T_A = 85^\circ C$					150		
			$T_A = 125^\circ C$					150		

4.5 Electrical Characteristics (続き)

Over operating free-air temperature range, $V_{SUPPLY} = \pm 5V$, and $R_L = 100\Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT
r_{ON}	ON Resistance r_{ON} Max	to ($V_{DD}+V_{SS}$)/2, $V_C = V_{DD}$, $R_L = 10k\Omega$	$V_{DD} = 10V$ $V_{is} = V_{SS}$ or V_{DD}	$T_A = -55^\circ C$			600	Ω
				$T_A = -40^\circ C$			610	
				$T_A = 25^\circ C$		250	660	
				$T_A = 85^\circ C$			840	
				$T_A = 125^\circ C$			960	
			$V_{DD} = 10V$ $V_{is} = 4.75$ to $5.75V$	$T_A = -55^\circ C$			1870	
				$T_A = -40^\circ C$			1900	
				$T_A = 25^\circ C$			2000	
				$T_A = 85^\circ C$			2380	
				$T_A = 125^\circ C$			2600	
			$V_{DD} = 15V$ $V_{is} = V_{SS}$ or V_{DD}	$T_A = -55^\circ C$			360	
				$T_A = -40^\circ C$			370	
				$T_A = 25^\circ C$		200	400	
				$T_A = 85^\circ C$			520	
				$T_A = 125^\circ C$			600	
			$V_{DD} = 15V$ $V_{is} = 7.25$ to $7.75V$	$T_A = -55^\circ C$			775	
$T_A = -40^\circ C$				790				
$T_A = 25^\circ C$				850				
$T_A = 85^\circ C$				1080				
$T_A = 125^\circ C$				1230				
r_{ON}	ON Resistance r_{ON} Max	to ($V_{DD}+V_{SS}$)/2, $V_C = V_{DD}$, $R_L = 10k\Omega$	$V_{DD} = 5V$ $V_{SS} = 0V$	$T_A = 25^\circ C$		580	7000	Ω
			$V_{DD} = 7.5V$ $V_{SS} = -7.5V$	$T_A = 25^\circ C$		200	280	
			$V_{DD} = 5V$ $V_{SS} = -5V$	$T_A = 25^\circ C$		250	580	
			$V_{DD} = 2.5V$ $V_{SS} = -2.5V$	$T_A = 25^\circ C$		520	30000	
ΔR_{ON}	On-state resistance difference between any two switches	$R_L = 10k\Omega$, $V_C = V_{DD}$	$V_{DD} = 5V$			15	Ω	
			$V_{DD} = 10V$			10		
			$V_{DD} = 15V$			5		
THD	Total Harmonic Distortion	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$, $V_{is(p-p)} = 5V$ (sine wave centered on 0V), $R_L = 10k\Omega$, $f_{is} = 1kHz$ sine wave				0.4	%	
BW	-3-dB cutoff frequency (switch on)	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$, $V_{is(p-p)} = 5V$ (sine wave centered on 0V), $R_L = 1k\Omega$				40	MHz	
OISO	-50-dB feedthrough frequency (switch off)	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$, $V_{is(p-p)} = 5V$ (sine wave centered on 0V), $R_L = 1k\Omega$				1.25	MHz	
I_{is}	Input/Output Leakage Current (switch off)	$V_{DD} = 18V$ $V_C = 0V$ $V_{is} = 18V$, $V_{os} = 0V$ $V_{is} = 0V$, $V_{os} = 18V$	$T_A = -55^\circ C$		-0.1	0.1	μA	
			$T_A = -40^\circ C$		-0.1	0.1		
			$T_A = 25^\circ C$		0.000 1	0.1		
			$T_A = 85^\circ C$		-1	1		
			$T_A = 125^\circ C$		-1	1		
XTALK	-50-dB crosstalk frequency	$V_C = V_{DD} = 5V$, $V_{SS} = -5V$, $V_{is(p-p)} = 5V$ (sine wave centered on 0V), $R_L = 1k\Omega$				0.9	MHz	

4.5 Electrical Characteristics (続き)

Over operating free-air temperature range, $V_{SUPPLY} = \pm 5V$, and $R_L = 100\Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT
t_{pd}	Propagation delay	$V_C = V_{DD}, V_{SS} = GND$ $V_{IS} = \text{Square Wave 0 to } V_{DD}, C_L = 50\text{pF}, R_L = 200\text{k}\Omega$	$V_{DD} = 5V$		40	100	ns	
			$V_{DD} = 10V$		20	40		
			$V_{DD} = 15V$		15	30		
C_{IS}	Input capacitance	$V_{DD} = 5V, V_C = V_{SS} = -5V$				4		pF
C_{OS}	Output capacitance	$V_{DD} = 5V, V_C = V_{SS} = -5V$				4		pF
C_{IOS}	Feed through	$V_{DD} = 5V, V_C = V_{SS} = -5V$				0.2		pF
V_{ILC}	Control input, low voltage (max)	$ I_{is} < 10\mu A,$ $V_{is} = V_{SS}, V_{OS} = V_{DD},$ and $V_{is} = V_{DD}, V_{OS} = V_{SS}$	$V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$	$T_A = -55^\circ C$			0.9	V
				$T_A = -40^\circ C$			0.9	
				$T_A = 25^\circ C$			0.7	
				$T_A = 85^\circ C$			0.4	
				$T_A = 125^\circ C$			0.4	
V_{IHC}	Control input, high voltage	See Figure 10	$V_{DD} = 5V$		3.5		V	
			$V_{DD} = 10V$		7		V	
			$V_{DD} = 15V$		11		V	
I_{IH}	Input High Leakage		$V_{DD} = 18V$		0.5	1	μA	
I_{IL}	Input Low Leakage		$V_{DD} = 18V$		-1	-0.1	μA	
	Crosstalk (control input to signal output)	$V_C = 10V$ (square wave), $t_r, t_f = 20\text{ns}, R_L = 10\text{k}\Omega, V_{DD} = 10V$	$V_{DD} = 10V$			50		mV
	Turn-on propagation delay	$t_r, t_f = 20\text{ns}$ $C_L = 50\text{pF}, R_L = 1\text{k}\Omega$	$V_{DD} = 5V$		35	70	ns	
			$V_{DD} = 10V$		20	40	ns	
			$V_{DD} = 15V$		15	30	ns	
	Maximum control input repetition rate	$V_{IN} = V_{DD}, C_L = 50\text{pF}, R_L = 1\text{k}\Omega, V_C = 10V$ (square wave centered on 5V), $t_r, t_f = 20\text{ns}, V_{OS} = 1/2V_{OS}$ at 1kHz	$V_{DD} = 10V$		10		MHz	
C_{IN}	Input Capacitance				5	7.5	pF	

4.5 Electrical Characteristics (続き)

Over operating free-air temperature range, $V_{SUPPLY} = \pm 5V$, and $R_L = 100\Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS			MIN	TYP	MAX	UNIT	
I_{IS}	Switch input current	$V_{DD} = 5V$ $V_{IS} = 0V$	$T_A = -55^\circ C$				0.25	mA	
			$T_A = -40^\circ C$				0.2		
			$T_A = 25^\circ C$				0.2		
			$T_A = 85^\circ C$				0.12		
			$T_A = 125^\circ C$				0.14		
		$V_{DD} = 5V$ $V_{IS} = 5V$	$T_A = -55^\circ C$					-0.25	mA
			$T_A = -40^\circ C$					-0.2	
			$T_A = 25^\circ C$					-0.2	
			$T_A = 85^\circ C$					-0.12	
			$T_A = 125^\circ C$					-0.14	
		$V_{DD} = 10V$ $V_{IS} = 0V$	$T_A = -55^\circ C$					0.62	mA
			$T_A = -40^\circ C$					0.5	
			$T_A = 25^\circ C$					0.5	
			$T_A = 85^\circ C$					0.3	
			$T_A = 125^\circ C$					0.35	
		$V_{DD} = 10V$ $V_{IS} = 10V$	$T_A = -55^\circ C$					-0.62	mA
			$T_A = -40^\circ C$					-0.5	
			$T_A = 25^\circ C$					-0.5	
			$T_A = 85^\circ C$					-0.3	
			$T_A = 125^\circ C$					-0.35	
$V_{DD} = 15V$ $V_{IS} = 0V$	$T_A = -55^\circ C$					1.8	mA		
	$T_A = -40^\circ C$					1.4			
	$T_A = 25^\circ C$					1.5			
	$T_A = 85^\circ C$					1			
	$T_A = 125^\circ C$					1.1			
$V_{DD} = 15V$ $V_{IS} = 15V$	$T_A = -55^\circ C$					-1.8	mA		
	$T_A = -40^\circ C$					-1.4			
	$T_A = 25^\circ C$					-1.5			
	$T_A = 85^\circ C$					-1			
	$T_A = 125^\circ C$					-1.1			
V_{OS}	Switch output voltage	$V_{DD} = 5V$ $V_{IS} = 0V$					0.4	V	
		$V_{DD} = 5V$ $V_{IS} = 5V$				4.6		V	
		$V_{DD} = 10V$ $V_{IS} = 0V$					0.5	V	
		$V_{DD} = 10V$ $V_{IS} = 10V$				9.5		V	
		$V_{DD} = 15V$ $V_{IS} = 0V$					1.5	V	
		$V_{DD} = 15V$ $V_{IS} = 15V$				13.5		V	

(1) Peak-to-Peak voltage symmetrical about $(V_{DD} - V_{EE}) / 2$.

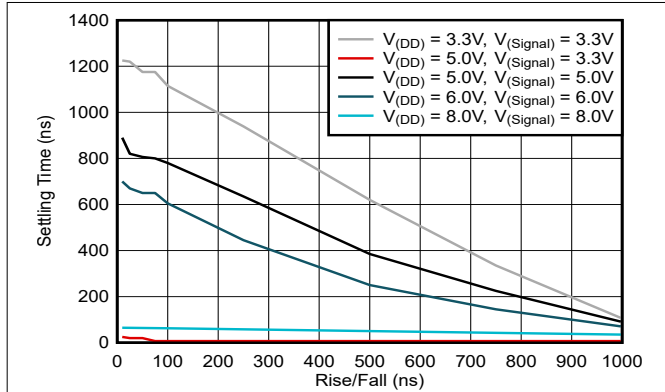
4.6 Electrical Characteristics

CHARACTERISTIC	TEST CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)						UNITS
		V _{IN} (V)	V _{DD} (V)					+25		
				-55	-40	+85	+125	TYP	MAX	
Quiescent Device Current, I _{DD}		0,5	5	025	0.25	7.5	7.5	0.01	0.25	μA
		0,10	10	0.5	0.5	15	15	0.01	0.5	
		0,15	15	1	1	30	30	0.01	1	
		0,20	20	5	5	150	150	0.02	5	
Signal Inputs (V _{is}) and Output (V _{os})										
On-State Resistance, r _{on} MAX	V _C =V _{DD}	V _{is} =V _{DD} or V _{SS}	10	600	610	840	960	–	660	Ω
	R _L =10kΩ Returned to	V _{is} =4.75 to 5.75V	10	1870	1900	2380	2600	–	2000	
	$\frac{V_{DD}-V_{SS}}{2}$	V _{is} =V _{DD} or V _{SS}	15	360	370	520	600	–	400	
		V _{is} =7.25 to 7.75V	15	775	790	1080	1230	–	850	
ΔOn-State Resistance Between Any 2 Switches, Δr _{on}	R _L =10kΩ, V _C = V _{DD}		5	–	–	–	–	15	–	Ω
			10	–	–	–	–	10	–	
			15	–	–	–	–	5	–	
Total Harmonic Distortion, THD	V _C =V _{DD} =5V, V _{SS} =-5V, V _{is(p-p)} =5V (Sine wave centered on 0V) R _L =10kΩ, f _{is} =1kHz sine wave		–	–	–	–	–	0.4	–	%
-3dB Cutoff Frequency (Switch on)	V _C =V _{DD} =5V, V _{SS} =-5V, V _{is(p-p)} (Sine wave centered on 0V) R _L =1kΩ,		–	–	–	–	–	40	–	MHz
-50dB Feed-through Frequency (Switch off)	V _C =V _{SS} =-5V, V _{is(p-p)} =5V (Sine wave centered on 0V) R _L =1kΩ		–	–	–	–	–	1.25	–	MHz
Input/Output Leakage Current (Switch off) I _{is} MAX	V _C = 0V V _{is} = 18V, V _{OS} = 0V; V _{is} = 0V, V _{OS} = 18V		18	±0.1	±0.1	±1	±1	10 ⁻⁴	±0.1	μA
-50dB Crosstalk Frequency	V _C (A) = V _{DD} = +5V, V _C (B) = V _{SS} =-5V, V _{is} (A)= 5V _{p-p} , 50Ω source R _L = 1kΩ		–	–	–	–	–	0.9	–	MHz
Propagation Delay (Signal Input to Signal Output) t _{pd}	R _L = 200kΩ V _C = V _{DD} , V _{SS} = GND, C _L = 50pF V _{is} = Square Wave 0 to V _{DD} t _r , t _f = 20ns		5	–	–	–	–	40	100	ns
			10	–	–	–	–	20	40	
			15	–	–	–	–	15	30	
Capacitance: Input, C _{is} Output, C _{OS} Feed-through, C _{ios}	V _{DD} = +5V V _C =V _{SS} =-5V		–	–	–	–	–	4	–	pF
			–	–	–	–	–	4	–	
			–	–	–	–	–	0.2	–	
Control (V _C)										
Control Input Low Voltage, V _{ILC} (MAX)	I _{is} < 10 μA V _{is} = V _{SS} , V _{OS} = V _{DD} and V _{is} = V _{DD} , V _{OS} = V _{SS}		5, 10, 15	0.9	0.9	0.4	0.4	–	0.7	V
Control Input High Voltage, V _{IHC}	See 4-8		5	3.5 (Min.)						V
			10	7 (Min.)						
			15	11 (Min.)						
Input Current, I _{IN} (MAX)	Input Current, I _{IN} (MAX) V _{is} □ V _{DD}									
	V _{DD} - V _{SS} = 18V		18	±0.1	±0.1	±1	±1	±10 ⁻⁵	±0.1	μA
	V _{CC} □ V _{DD} - V _{SS}									
Crosstalk (Control Input to Signal Output)	V _C = 10V (Sq. Wave)									
	t _r , t _f = 20ns		10	–	–	–	–	50	–	mV
	R _L = 10kΩ									
Turn-On Propagation Delay	Turn-On Propagation Delay t _r , t _f = 20ns		5	–	–	–	–	35	70	ns
	C _L = 50pF		10	–	–	–	–	20	40	
	R _L = 1kΩ		15	–	–	–	–	15	30	

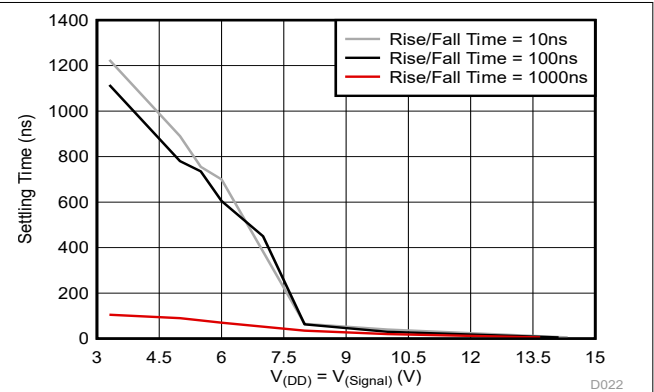
4.6 Electrical Characteristics (続き)

CHARACTERISTIC	TEST CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)						UNITS
		V _{IN} (V)	V _{DD} (V)					+25		
				-55	-40	+85	+125	TYP	MAX	
Maximum Control Input Repetition Rate	Maximum Control Input Repetition Rate V _{is} = V _{DD} < V _{SS} = GND, R _L = 1kΩ to GND, C _L = 50pF, V _C = 10V (Square wave centered on 5V) t _r , t _f = 20ns, V _{OS} = ½ V _{OS} at 1kHz		10	-	-	-	-	10	-	MHz
Input Capacitance, C _{IN}				-	-	-	-	5	7.5	μF

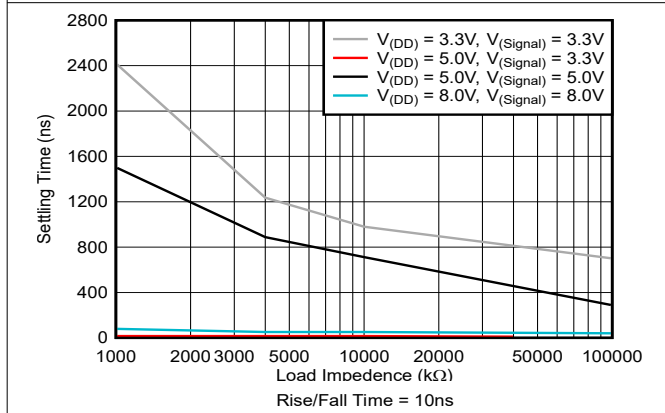
4.7 Typical Characteristics



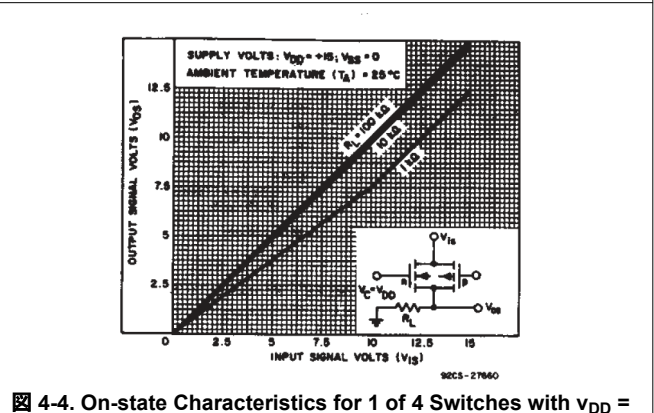
4-1. System Settling Time vs Signal Rise/Fall Time



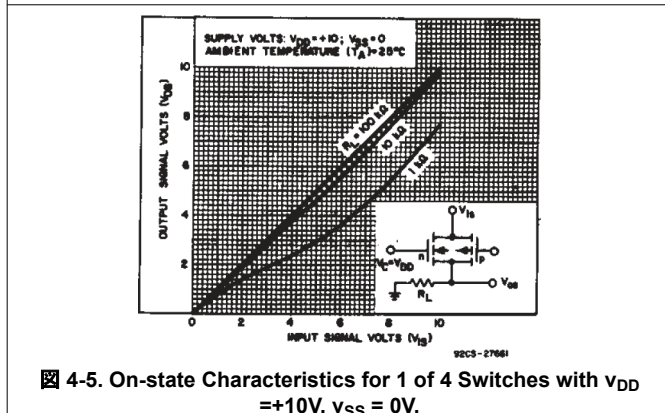
4-2. System Settling Time vs Signal Voltage



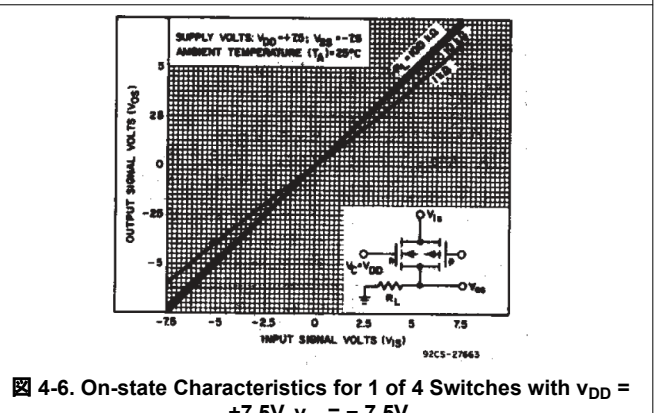
4-3. System Settling Time vs Signal Voltage



4-4. On-state Characteristics for 1 of 4 Switches with V_{DD} = +15V, V_{SS} = 0V.

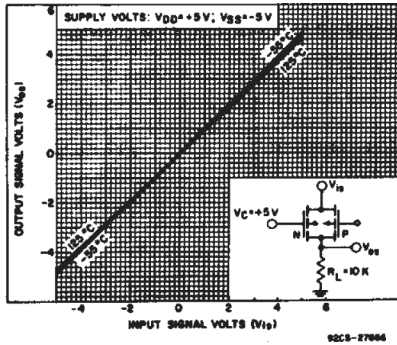


4-5. On-state Characteristics for 1 of 4 Switches with V_{DD} = +10V, V_{SS} = 0V.

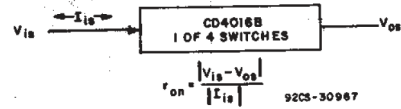


4-6. On-state Characteristics for 1 of 4 Switches with V_{DD} = +7.5V, V_{SS} = -7.5V.

4.7 Typical Characteristics (continued)

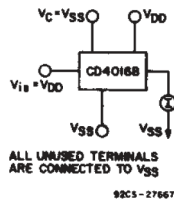


4-7. On-state Characteristics as a Function of Temp. for 1 of 4 Switches with $V_{DD} = +5V$, $V_{SS} = -5V$.

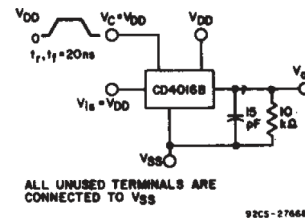


4-8. Determination of R_{ON} As a Test Condition for Control Input High Voltage Specification.

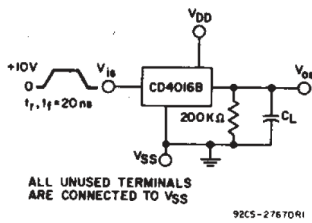
5 Parameter Measurement Information



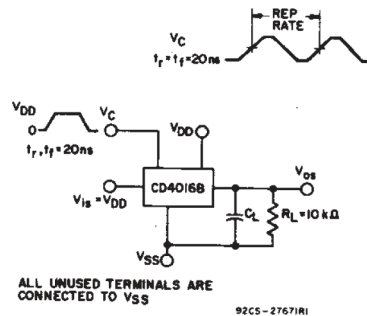
5-1. Off-state Switch Input or Output Leakage Current Test Circuit.



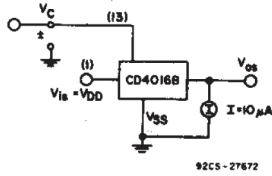
5-2. Test Circuit for Square-wave Response.



5-3. Propagation Delay Time Signal Input (V_I) To Signal Output (V_O)

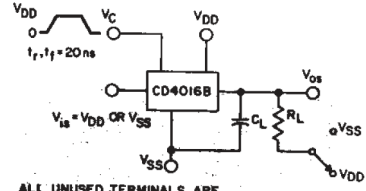


5-4. MAX Control-input Repetition Rate.



SWITCH THRESHOLD VOLTAGE IS DEFINED AS THE VOLTAGE APPLIED TO A TRANSMISSION GATE CONTROL WHICH CAUSES 10 μA OF TRANSMISSION GATE CURRENT.

図 5-5. Switch Threshold Voltage.



ALL UNUSED TERMINALS ARE CONNECTED TO VSS

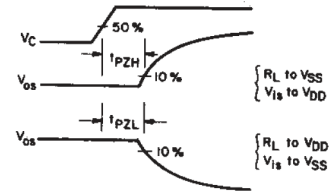


図 5-6. Turn-On Propagation Delay-control Input.

6 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

6.1 Documentation Support

6.1.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.1.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

6.1.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

6.1.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.1.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

7 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (May 2024) to Revision E (August 2024)	Page
• Added Settling Time plots.....	10

Changes from Revision C (September 2003) to Revision D (May 2024)	Page
• Increased IDD max/typ for the lower Temperature cases.....	5
• Changed typical I _{IH} to 0.5μA.....	5
• Changed typical I _{IL} to -0.1μA.....	5

8 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-9064001CA	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9064001CA CD4016BF3A	Samples
CD4016BE	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD4016BE	Samples
CD4016BEE4	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD4016BE	Samples
CD4016BF	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD4016BF	Samples
CD4016BF3A	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-9064001CA CD4016BF3A	Samples
CD4016BM	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-55 to 125	CD4016BM	
CD4016BM96	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4016BM	Samples
CD4016BMT	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-55 to 125	CD4016BM	
CD4016BNSR	NRND	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CD4016B	
CD4016BPW	NRND	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM016B	
CD4016BPWR	NRND	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	CM016B	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD4016B, CD4016B-MIL :

- Catalog : [CD4016B](#)
- Military : [CD4016B-MIL](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD4016BM96	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
CD4016BM96	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
CD4016BNSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
CD4016BPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD4016BM96	SOIC	D	14	2500	356.0	356.0	35.0
CD4016BM96	SOIC	D	14	2500	353.0	353.0	32.0
CD4016BNSR	SO	NS	14	2000	356.0	356.0	35.0
CD4016BPWR	TSSOP	PW	14	2000	367.0	367.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD4016BE	N	PDIP	14	25	506	13.97	11230	4.32
CD4016BEE4	N	PDIP	14	25	506	13.97	11230	4.32
CD4016BPW	PW	TSSOP	14	90	530	10.2	3600	3.5



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

J 14

GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



4214771/A 05/2017

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - $\triangle D$ The 20 pin end lead shoulder width is a vendor option, either half or full width.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated