

CDx4AC24x、CDx4ACT24x オクタルバッファ / ラインドライバ、3 ステート

1 特長

- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST /AS/S の速度
- 伝搬遅延時間の平衡化
- AC タイプは 1.5V~5.5V で動作し、バランスのとれたノイズ耐性を電源の 30% で実現
- ±24mA 出力駆動電流
 - 15 個の FAST* IC にファンアウト
 - 50Ω 伝送ラインを駆動

2 概要

RCA CD54/74AC240、CD54/74AC241、CD54/74AC244 および CD54/74ACT240、CD54/74ACT241、CD54/74ACT244、3 ステート オクタル バッファ / ライン ドライバは、RCA ADVANCED CMOS テクノロジーを使用しています。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
CDx4AC/ACT24x	DW (SOIC, 20)	12.8mm × 10.3mm	12.8mm × 7.5mm
	N (PDIP, 20)	24.33mm × 9.4mm	24.33mm × 6.35mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



概略回路図

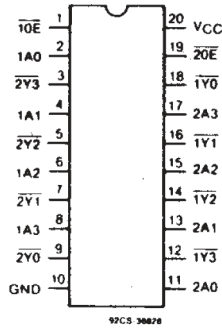
*FAST は Fairchild Semiconductor Corp. の登録商標です。



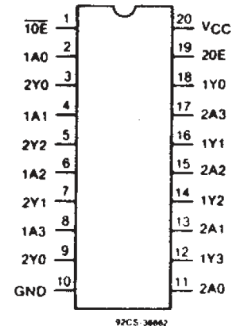
Table of Contents

1 特長	1	6.3 Device Functional Modes.....	12
2 概要	1	7 Application and Implementation	14
3 Pin Configuration and Functions	3	7.1 Power Supply Recommendations.....	14
4 Specifications	5	7.2 Layout.....	14
4.1 Absolute Maximum Ratings.....	5	8 Device and Documentation Support	15
4.2 Recommended Operating Conditions.....	5	8.1 Documentation Support (Analog).....	15
4.3 Thermal Information.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	15
4.4 Static Electrical Characteristics: AC Series.....	6	8.3 サポート・リソース.....	15
4.5 Electrical Characteristics: ACT Series.....	7	8.4 Trademarks.....	15
4.6 Switching Characteristics: AC Series.....	8	8.5 静電気放電に関する注意事項.....	15
4.7 Switching Characteristics: ACT Series.....	8	8.6 用語集.....	15
5 Parameter Measurement Information	10	9 Revision History	15
6 Detailed Description	12	10 Mechanical, Packaging, and Orderable Information	16
6.1 Overview.....	12		
6.2 Functional Block Diagram.....	12		

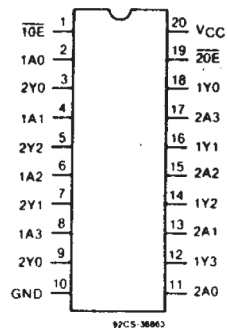
3 Pin Configuration and Functions




3-1. CD54/74AC, ACT240 Types Terminal Assignment




3-2. CD54/74AC, ACT241 Types Terminal Assignment




3-3. CD54/74AC, ACT244 Types Terminal Assignment

表 3-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NO.	NAME		
1	OE	I	Bank 1, output enable, active low
2	1A0	I	Bank 1, channel 1 input
3	2Y3	O	Bank 2, channel 4 output
4	1A1	I	Bank 1, channel 2 input
5	2Y2	O	Bank 2, channel 3 output
6	1A2	I	Bank 1, channel 3 input
7	2Y1	O	Bank 2, channel 2 output
8	1A3	I	Bank 1, channel 4 input
9	2Y0	O	Bank 2, channel 1 output
10	GND	G	Ground
11	2A0	I	Bank 2, channel 1 input
12	1Y3	O	Bank 1, channel 4 output
13	2A1	I	Bank 2, channel 2 input
14	1Y2	O	Bank 1, channel 3 output
15	2A2	I	Bank 2, channel 3 input
16	1Y1	O	Bank 1, channel 2 output
17	2A3	I	Bank 2, channel 4 input
18	1Y0	O	Bank 1, channel 1 output
19	2OE	I	Bank 2, output enable, active low
20	V _{CC}	P	Positive supply
Thermal pad ⁽²⁾		—	The thermal pad can be connected to GND or left floating. Do not connect to any other signal or supply

- (1) I = input, O = output, I/O = input or output, G = ground, P = power.
 (2) RKS package only.

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC}	Supply voltage		-0.5	6	V
I _{IK}	Input diode current	(V _I < -0.5 V or V _I > V _{CC} + 0.5 V)		±20	mA
I _{OK}	Output diode current	(V _O < -0.5 V or V _O > V _{CC} + 0.5 V)		±50	mA
I _O	Output source or sink current per output pin	(V _O > -0.5 V or V _O < V _{CC} + 0.5 V)		±50	mA
	V _{CC} or ground current, (I _{CC} or I _{GND})			±100	mA ⁽²⁾
T _{stg}	Storage temperature		-65	+150	°C

- (1) Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute Maximum Ratings do not imply functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions. If used outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) For up to 4 outputs per device: add ± 25 mA for each additional output.

4.2 Recommended Operating Conditions

For maximum reliability, normal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC			MIN	MAX	UNIT
	Supply voltage				
V _{CC} ⁽¹⁾	AC Types		1.5	5.5	V
	ACT Types		4.5	5.5	V
V _I , V _O	Input or Output Voltage		0	V _{CC}	V
T _A	Operating Temperature	CD54	-55	+125	°C
		CD74	-40	+85	
dt/dv	Input Rise and Fall Slew Rate				
		at 1.5 V to 3 V (AC Types)	0	50	ns/V
		at 3.6 v to 5.5 V (AC Types)	0	20	ns/V
		at 4.5 V to 5.5 V (ACT Types)	0	10	ns/V

- (1) Unless otherwise specified, all voltages are referenced to ground.

4.3 Thermal Information

THERMAL METRIC ⁽¹⁾		CDx4AC/ACT24x		UNIT
		DW (SOIC)	N (PDIP)	
		20 PINS		
R _{θJA}	Junction-to-ambient thermal resistance	101.2	40	°C/W

- (1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).

4.4 Static Electrical Characteristics: AC Series

CHARACTERISTICS	TEST CONDITIONS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C						UNIT
				+25		-40 to +85		-55 to +125		
	V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{IH} High-Level Input Voltage			1.5	1.2	—	1.2	—	1.2	—	V
			3	2.1	—	2.1	—	2.1	—	
			5.5	3.85	—	3.85	—	3.85	—	
V _{IL} Low-Level Input Voltage			1.5	—	0.3	—	0.3	—	0.3	V
			3	—	0.9	—	0.9	—	0.9	
			5.5	—	1.65	—	1.65	—	1.65	
V _{OH} High-Level Output Voltage	V _{IH} or V _{IL}	-0.05	1.5	1.4	—	1.4	—	1.4	—	V
		-0.05	3	2.9	—	2.9	—	2.9	—	
		-0.05	4.5	4.4	—	4.4	—	4.4	—	
		-4	3	2.58	—	2.48	—	2.4	—	
		-24	4.5	3.94	—	3.8	—	3.7	—	
	(1), (2)	-75	5.5	—	—	3.85	—	—	—	
	(1), (2)	-50	5.5	—	—	—	—	3.85	—	
V _{OL} Low-Level Output Voltage	V _{IH} or V _{IL}	0.05	1.5	—	0.1	—	0.1	—	0.1	V
		0.05	3	—	0.1	—	0.1	—	0.1	
		0.05	4.5	—	0.1	—	0.1	—	0.1	
		12	3	—	0.36	—	0.44	—	0.5	
		24	4.5	—	0.36	—	0.44	—	0.5	
	(1), (2)	75	5.5	—	—	—	1.65	—	—	
	(1), (2)	50	5.5	—	—	—	—	1.65	—	
I _I Input Leakage Current	V _{CC} or GND		5.5	—	±0.1	—	±1	—	±1	μA
I _{oz} 3-State Leakage Current	V _{IH} or V _{IL} V _O = V _{CC} or GND		5.5	—	±0.5	—	±5	—	±10	μA
I _{CC} Quiescent Supply Current, MSI	V _{CC} or GND	0	5.5	—	8	—	80	—	160	μA

- (1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.
- (2) Test verifies a minimum 50-ohm transmission-line-drive capability at +85°C, 75 ohms at +125°C.

4.5 Electrical Characteristics: ACT Series

CHARACTERISTICS	TEST CONDITIONS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C						UNIT	
				+25		-40 to +85		-55 to +125			
	V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX		
V _{IH}	High-Level Input Voltage		4.5 to 5.5	2	—	2	—	2	—	V	
V _{IL}	Low-Level Input Voltage		4.5 to 5.5	—	0.8	—	0.8	—	0.8	V	
V _{OH}	High-Level Output Voltage	V _{IH} or V _{IL}	-0.05	4.5	4.4	—	4.4	—	4.4	—	V
			-24	4.5	3.94	—	3.8	—	3.7	—	
		(1), (2)	-75	5.5	—	—	3.85	—	—	—	
			-50	5.5	—	—	—	—	3.85	—	
V _{OL}	Low-Level Output Voltage	V _{IH} or V _{IL}	0.05	4.5	—	0.1	—	0.1	—	0.1	V
			24	4.5	—	0.36	—	0.44	—	0.5	
		(1), (2)	75	5.5	—	—	—	1.65	—	—	
			50	5.5	—	—	—	—	—	1.65	
I _I	Input Leakage Current	V _{CC} or GND		5.5	—	±0.1	—	±1	—	±1	μA
I _{OZ}	3-State Leakage Current	V _{IH} or V _{IL} V _O = V _{CC} or GND		5.5	—	±0.5	—	±5	—	±10	μA
I _{CC}	Quiescent Supply Current, MSI	V _{CC} or GND	0	5.5	—	8	—	80	—	160	μA
	Additional Quiescent Supply Current per Input Pin										
ΔI _{CC}	TTL Inputs High	V _{CC} -2.1	4.5 to 5.5	—	2.4	—	2.8	—	3	mA	
	1 Unit Load										

- (1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.
(2) Test verifies a minimum 50-ohm transmission-line-drive capability at +85°C. 75 ohms at +125°C.

表 4-1. Act Input Loading Tables

CD54/74ACT240	
INPUT	UNIT LOADS ⁽¹⁾
nA0 - A3	1.42
10E	0.83
20E	0.83

CD54/74ACT241	
INPUT	UNIT LOADS ⁽¹⁾
nA0 - A3	0.5
10E	0.83
20E	1.67

CD54/74ACT244	
INPUT	UNIT LOADS ⁽¹⁾
nA0 - A3	0.5
10E	0.83
20E	0.83

4.6 Switching Characteristics: AC Series

t_r, t_f 3 ns, $C_L = 50$ pF

PARAMETER	CHARACTERISTICS	V_{CC} (V)	AMBIENT TEMPERATURE (T_A) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
Propagation Delays: Data to Outputs							
t_{PLH}	AC 240	1.5	—	82	—	90	ns
		3.3 ⁽¹⁾	2.6	9.2	2.5	10.1	
t_{PHL}		5	1.9	6.5	1.8	7.2	
t_{PLH}	AC 241, 244	1.5	—	93	—	103	ns
		3.3	3	10.5	2.9	11.5	
t_{PHL}		5	2.2	7.5	2.1	8.2	
t_{PZL}	Output Enable Times	1.5	—	136	—	—	ns
		3.3	4.6	16.4	4.5	18	
t_{PZH}		5	3.1	10.9	3	12	
t_{PLZ}	Output Disable Times	1.5	—	136	—	150	ns
		3.3	3.9	13.6	3.8	15	
t_{PHZ}		5	3.1	10.9	3	12	
Power Dissipation Capacitance							
$C_{PD\text{\$}}$	AC240	—	65 Typ.		65 Typ.		pF
	AC241, 244	—	71 Typ.		71 Typ.		
Min. (Valley) V_{oh}							
V_{OHV}	During Switching of Other Outputs (Output Under Test Not Switching)	5	4 Typ @25°C				V
Max. (Peak) V_{OL}							
V_{OLP}	During Switching of Other Outputs (Output Under Test Not Switching)	5	1 Typ. @ 25°C				V
C_I	Input Capacitance	—	—	10	—	10	pF
C_O	3-State Output Capacitance	—	—	15	—	15	pF

4.7 Switching Characteristics: ACT Series

$t_r, t_f = 3$ ns, $C_L = 50$ pF

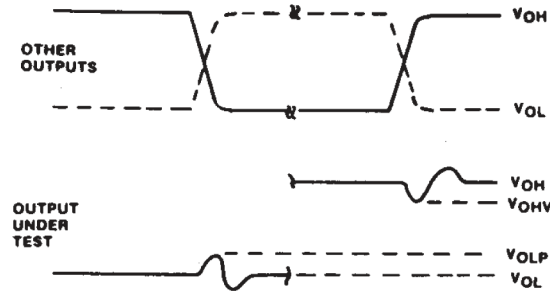
PARAMETER	CHARACTERISTICS	V_{CC} (V)	AMBIENT TEMPERATURE (T_A) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
Propagation Delays: Data to Outputs							
t_{PLH}	ACT240	5 ⁽²⁾	2.3	7.8	2.2	8.6	ns
t_{PHL}							
t_{PLH}	ACT241, 244	5	2.5	8.7	2.4	9.6	ns
t_{PHL}							
t_{PZL}	Output Enable Times	5	3.5	12.2	3.4	13.4	ns
t_{PZH}							
t_{PLZ}	Output Disable Times	5	3.5	12.2	3.4	13.4	ns
t_{PHZ}							
Power Dissipation Capacitance							
$C_{PD\text{\$}}$ ⁽³⁾	ACT240	—	65 Typ		65 Typ		pF
	ACT241, 244	—	71 Typ		71 Typ		pF

$t_r, t_f = 3 \text{ ns}, C_L = 50 \text{ pF}$

PARAMETER	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
Min. (Valley) V _{oh} V _{OHV} ⁽¹⁾	During Switching of Other Outputs (Output Under Test Not Switching)	5	4 Typ @25°C				V
Max. (Peak) V _{OL} V _{OLP} ⁽¹⁾	During Switching of Other Outputs (Output Under Test Not Switching)	5	1 Typ. @ 25°C				V
C _I	Input Capacitance	—	—	10	—	10	pF
C _O	3-State Output Capacitance	—	—	15	—	15	pF

- (1) 3.3 V: min. is @ 3.6 V; max. is @ 3 V
 (2) 5 V: min. is @ 5.5 V; max. is @ 4.5 V
 (3) C_{PD} is used to determine the dynamic power consumption, per package.
- For AC series: $P_D = V_{CC}^2 f_i (C_{PD} + C_L)$
 - For ACT series: $P_D = V_{CC}^2 f_i (C_{PD} + C_L) + V_{CC} \Delta I_{CC}$ where f_i = input frequency
 - C_L = output load capacitance
 - V_{CC} = supply voltage.

5 Parameter Measurement Information



- A. V_{OHV} AND V_{OLP} ARE MEASURED WITH RESPECT TO A GROUND REFERENCE NEAR THE OUTPUT UNDER TEST.
- B. INPUT PULSES HAVE THE FOLLOWING CHARACTERISTICS: $PRR \leq 1$ MHz, $t_r = 3$ ns, $t_f = 3$ ns, SKEW 1 ns.
- C. R.F. FIXTURE WITH 700-MHz DESIGN RULES REQUIRED. IC SHOULD BE SOLDERED INTO TEST BOARD AND BYPASSED WITH $0.1 \mu\text{F}$ CAPACITOR. SCOPE AND PROBES REQUIRE 700-MHz BANDWIDTH.
- D. 92CS-42406

图 5-1. Simultaneous Switching Transient Waveforms.

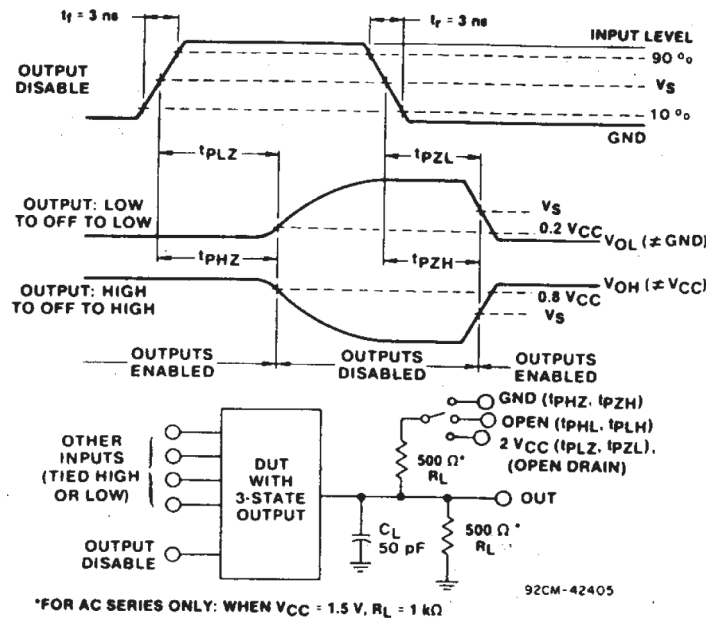
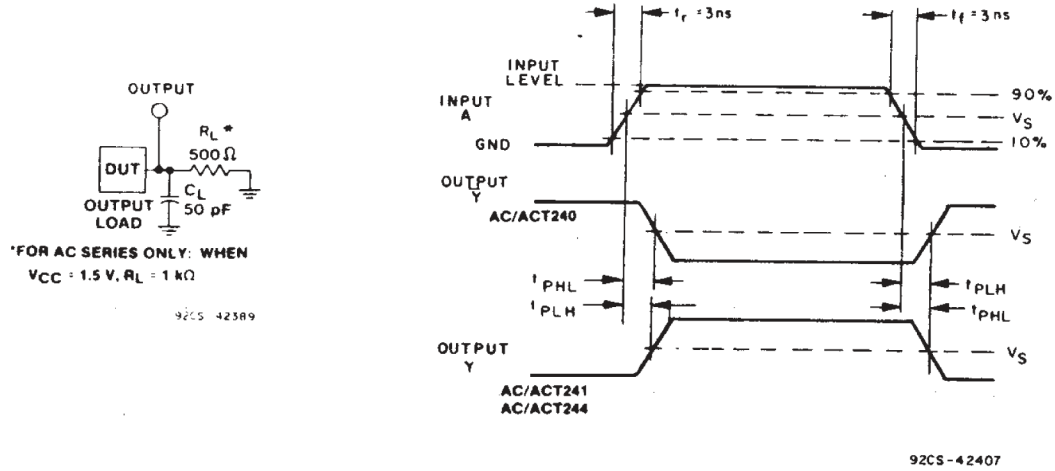


图 5-2. Three-state Propagation Delay Times and Test Circuit.




5-3. Propagation Delay Times and Test Circuit.

	CDX4AC	CDX4ACT
Input Level	V_{CC}	3 V
Input Switching Voltage, V_S	$0.5 V_{CC}$	1.5 V
Output Switching Voltage, V_S	$0.5 V_{CC}$	$0.5 V_{CC}$

6 Detailed Description

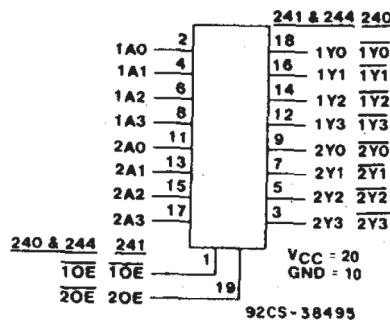
6.1 Overview

The RCA CD54/74AC240, CD54/74AC241, and CD54/74AC244 and the CD54/74ACT240, CD54/74ACT241, and CD54/74ACT244 3-state octal buffer/line drivers use the RCA ADVANCED CMOS technology. The CD54/74AC/ACT240 and CD54/74AC/ACT244 have active-LOW output enables ($\overline{1OE}$, $\overline{2OE}$). The CD54/74AC/ACT241 has one active-LOW ($\overline{1OE}$) and one active-HIGH (2OE) output enable.

The CD74AC240 and CD74ACT240 are supplied in 20-lead dual-in-line plastic packages (E suffix) and 20-lead small-outline packages (M and M96 suffixes). The CD74AC241 is supplied in 20-lead dual-in-line plastic packages (E suffix) and the CD74ACT241 is supplied in 20-lead dual-in-line plastic packages (E suffix) and 20-lead small-outline packages (M96 suffix). The CD74AC244 and CD74ACT244 are supplied in 20-lead dual-in-line plastic packages (E suffix), 20-lead small-outline packages (M and M96 suffixes), and 20-lead shrink small-outline packages (SM96 suffix). These package types are operable over the following temperature ranges: Commercial (0 to 70°C); Industrial (-40 to +85°C); and Extended Industrial/Military (-55 to +125°C).

The CD54AC240 and CD54AC244 and the CD54ACT240, CD54ACT241, and CD54ACT244 are supplied in 20-lead hermetic dual-in-line ceramic packages (F3A suffix) and are operable over the -55 to +125°C temperature range.

6.2 Functional Block Diagram



6.3 Device Functional Modes

表 6-1. Truth Tables

INPUTS		OUTPUT
$\overline{1OE}$, 2OE	A	Y
L	L	H
L	H	L
H	X	Z
(AC/ACT240)		

INPUTS		OUTPUT
$\overline{1OE}$, 2OE	A	Y
L	L	L
L	H	H
H	X	Z

INPUTS		OUT PUT
$\overline{10E}, 20E$	A	Y
(AC/ACT244)		

INPUTS		OUTPUT	INPUTS		OUTPUT
$\overline{10E}$	1A	1Y	20E	2A	2Y
L	L	L	L	X	Z
L	H	H	H	L	L
H	X	Z	H	H	H
(AC/ACT241)					

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Power Supply Recommendations

The power supply can be any voltage between the min and max supply voltage rating located in [セクション 4.2](#).

Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, TI recommends 0.1 μF and if there are multiple V_{CC} terminals, then TI recommends .01 μF or .022 μF for each power terminal. It is okay to parallel multiple bypass capacitors to reject different frequencies of noise. A 0.1 μF and 1 μF are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple bit logic devices inputs should not ever float.

In many cases, functions or parts of functions of digital logic devices are unused, for example, when only two inputs of a triple-input AND gate are used or only 3 of the 4 buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. Specified below are the rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or V_{CC} whichever make more sense or is more convenient. It is generally okay to float outputs unless the part is a transceiver. If the transceiver has an output enable pin it will disable the outputs section of the part when asserted. This does not disable the input section of the IOs so they cannot float when disabled.

8 Device and Documentation Support

8.1 Documentation Support (Analog)

8.1.1 Related Documentation

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD74AC240	Click here	Click here	Click here	Click here	Click here
CD74AC244	Click here	Click here	Click here	Click here	Click here
CD74ACT240	Click here	Click here	Click here	Click here	Click here
CD74ACT241	Click here	Click here	Click here	Click here	Click here
CD74ACT244	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2004) to Revision C (May 2024)	Page
<ul style="list-style-type: none"> 「製品情報」表、「ピンの機能」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 	1

- Updated R θ JA value: DW = 50 to 101.2, all values in °C/W 5
-

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CD54AC240F3A	ACTIVE	CDIP	J	20	20	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54AC240F3A	Samples
CD54AC244F3A	ACTIVE	CDIP	J	20	20	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54AC244F3A	Samples
CD54ACT240F3A	ACTIVE	CDIP	J	20	20	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54ACT240F3A	Samples
CD54ACT241F3A	ACTIVE	CDIP	J	20	20	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54ACT241F3A	Samples
CD54ACT244F3A	ACTIVE	CDIP	J	20	20	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	CD54ACT244F3A	Samples
CD74AC240E	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74AC240E	Samples
CD74AC240EE4	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74AC240E	Samples
CD74AC240M96	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC240M	Samples
CD74AC244E	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74AC244E	Samples
CD74AC244M96	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	(AC244, AC244M)	Samples
CD74ACT240E	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74ACT240E	Samples
CD74ACT240M96	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT240M	Samples
CD74ACT240M96E4	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT240M	Samples
CD74ACT241E	ACTIVE	PDIP	N	20	20	RoHS & Non-Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74ACT241E	Samples
CD74ACT241M96	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT241M	Samples
CD74ACT244E	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-55 to 125	CD74ACT244E	Samples
CD74ACT244M96	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 125	(ACT244, ACT244M)	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ **MSL, Peak Temp.** - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ **Lead finish/Ball material** - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC240, CD54AC244, CD54ACT240, CD54ACT241, CD54ACT244, CD74AC240, CD74AC244, CD74ACT240, CD74ACT241, CD74ACT244 :

● Catalog : [CD74AC240](#), [CD74AC244](#), [CD74ACT240](#), [CD74ACT241](#), [CD74ACT244](#)

● Military : [CD54AC240](#), [CD54AC244](#), [CD54ACT240](#), [CD54ACT241](#), [CD54ACT244](#)

NOTE: Qualified Version Definitions:

● Catalog - TI's standard catalog product

- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC240M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74AC244M96	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
CD74AC244M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74ACT240M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74ACT241M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74ACT244M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74ACT244M96	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC240M96	SOIC	DW	20	2000	367.0	367.0	45.0
CD74AC244M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74AC244M96	SOIC	DW	20	2000	367.0	367.0	45.0
CD74ACT240M96	SOIC	DW	20	2000	367.0	367.0	45.0
CD74ACT241M96	SOIC	DW	20	2000	367.0	367.0	45.0
CD74ACT244M96	SOIC	DW	20	2000	367.0	367.0	45.0
CD74ACT244M96	SOIC	DW	20	2000	356.0	356.0	45.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74AC240E	N	PDIP	20	20	506	13.97	11230	4.32
CD74AC240EE4	N	PDIP	20	20	506	13.97	11230	4.32
CD74AC244E	N	PDIP	20	20	506	13.97	11230	4.32
CD74ACT240E	N	PDIP	20	20	506	13.97	11230	4.32
CD74ACT241E	N	PDIP	20	20	506	13.97	11230	4.32
CD74ACT244E	N	PDIP	20	20	506	13.97	11230	4.32

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package is hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated