

# CDx4AC373、CDx4ACT373 オクタールトランスペアレントラッチ、3ステート

## 1 特長

- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST\*/AS/S の速度
- 伝搬遅延時間の平衡化
- AC タイプは 1.5V~5.5V で動作し、バランスのとれたノイズ耐性を電源の 30% で実現
- ±24mA 出力駆動電流
  - 15 個の FAST\* IC にファンアウト
  - 50Ω 伝送ラインを駆動

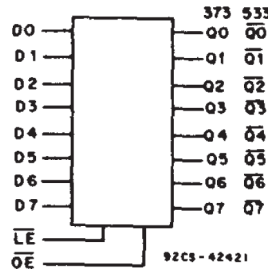
## 2 概要

RCA-CDx4AC373 および CDx4ACT373 は、RCA アドバンスド CMOS テクノロジーを使用したオクタールトランスペアレント 3 ステート ラッチです。

### 製品情報

部品番号	パッケージ (1)	パッケージサイズ (2)	本体サイズ (3)
CDx4AC/ACT373	DW (SOIC, 20)	12.80mm × 10.3mm	12.80mm × 7.50mm
	N (PDIP, 20)	24.33mm × 9.4mm	24.33mm × 6.35mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

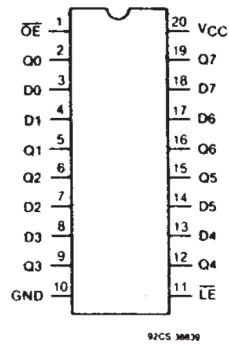
\*FAST は Fairchild Semiconductor Corp. の登録商標です。



## Table of Contents

<b>1 特長</b> .....	1	6.1 Overview.....	11
<b>2 概要</b> .....	1	6.2 Functional Block Diagram.....	11
<b>3 Pin Configuration and Functions</b> .....	3	6.3 Functional Block Diagram.....	11
<b>4 Specifications</b> .....	4	<b>7 Application and Implementation</b> .....	12
4.1 Absolute Maximum Ratings.....	4	7.1 Power Supply Recommendations.....	12
4.2 ESD Ratings.....	4	7.2 Layout Guidelines.....	12
4.3 Recommended Operating Conditions.....	4	<b>8 Device and Documentation Support</b> .....	13
4.4 Thermal Information.....	5	8.1 Documentation Support (Analog).....	13
4.5 Electrical Characteristics: AC Series.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	13
4.6 Electrical Characteristics: ACT Series.....	5	8.3 サポート・リソース.....	13
4.7 Prerequisite for Switching: AC Series.....	6	8.4 Trademarks.....	13
4.8 Switching Characteristics: AC Series.....	7	8.5 静電気放電に関する注意事項.....	13
4.9 Prerequisite for Switching: ACT Series.....	7	8.6 用語集.....	13
4.10 Switching Characteristics: ACT Series.....	8	<b>9 Revision History</b> .....	13
<b>5 Parameter Measurement Information</b> .....	9	<b>10 Mechanical, Packaging, and Orderable Information</b> .....	14
<b>6 Detailed Description</b> .....	11		

### 3 Pin Configuration and Functions



**图 3-1. CDx4AC373, CDx4ACT373**

PIN		I/O	DESCRIPTION
NAME	NO.		
OE	1	Input	3-state output enable input
0Q	2	Output	Output for channel 0
0D	3	Input	Input for channel 0
1D	4	Input	Input for channel 1
1Q	5	Output	Output for channel 1
2Q	6	Output	Output for channel 2
2D	7	Input	Input for channel 2
3D	8	Input	Input for channel 3
3Q	9	Output	Output for channel 3
GND	10	—	Ground
LE	11	Input	Latch enable input (active HIGH)
4Q	12	Output	Output for channel 4
4D	13	Input	Input for channel 4
5D	14	Input	Input for channel 5
5Q	15	Output	Output for channel 5
6Q	16	Output	Output for channel 6
6D	17	Input	Input for channel 6
7D	18	Input	Input for channel 7
7Q	19	Output	Output for channel 7
V <sub>CC</sub>	20	—	Supply voltage

## 4 Specifications

### 4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

		MIN	MAX	UNIT
V <sub>CC</sub>	Supply-voltage	-0.5	6	V
I <sub>IK</sub>	Input diode current	(V <sub>I</sub> < -0.5 V or V <sub>I</sub> > V <sub>CC</sub> + 0.5 V)		±20 mA
I <sub>OK</sub>	Output diode current	(V <sub>O</sub> < -0.5 V or V <sub>O</sub> > V <sub>CC</sub> + 0.5 V)		±50 mA
I <sub>O</sub>	Output source or sink current per output pin	(V <sub>O</sub> > -0.5 V or V <sub>O</sub> < V <sub>CC</sub> + 0.5 V)		±50 mA
V <sub>CC</sub> or ground current, I <sub>CC</sub> or I <sub>GND</sub>				±100 mA <sup>(2)</sup>
T <sub>stg</sub>	Storage temperature	-65	+150	°C

- (1) Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under Recommended Operating Conditions is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) For up to 4 outputs per device; add ± 25 mA for each additional output.

### 4.2 ESD Ratings

		Value	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	±2000 V

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

### 4.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

CHARACTERISTIC		MIN	MAX	UNIT
V <sub>CC</sub> <sup>(2)</sup>	Supply-voltage			
	AC types	1.5	5.5	V
	ACT types	4.5	5.5	
V <sub>I</sub> , V <sub>O</sub>	Input or output voltage	0	V <sub>CC</sub>	V
dt/dv	Input rise and fall slew rate			
	at 1.5 V to 3 V (AC types)	0	50	ns/V
	at 3.6 V to 5.5 V (AC types)	0	20	ns/V
	at 4.5 V to 5.5 V (ACT types)	0	10	ns/V
T <sub>A</sub>	Operating-temperature range	-55	+125	°C

- (1) All unused inputs of the device must be held at V<sub>CC</sub> or GND to ensure proper device operation. Refer to the TI application report: Implications of Slow or Floating CMOS Inputs.
- (2) Unless otherwise specified, all voltages are referenced to ground.

## 4.4 Thermal Information

THERMAL METRIC <sup>(1)</sup>		CDx4AC/ACT373		UNIT
		N (PDIP)	DW (SOIC)	
		20 PINS	20 PINS	
R <sub>θJA</sub>	Junction-to-ambient thermal resistance	50	101.2	°C/W

(1) For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report (SPRA953).

## 4.5 Electrical Characteristics: AC Series

CHARACTERISTICS	TEST CONDITIONS		V <sub>CC</sub> (V)	AMBIENT TEMPERATURE (T <sub>A</sub> ) - °C						UNIT
	V <sub>I</sub> (V)	I <sub>O</sub> (mA)		+25		-40 to+85		-55 to +125		
				MIN	MAX	MIN	MAX	MIN	MAX	
V <sub>IH</sub> High-Level Input Voltage			1.5	1.2	—	1.2	—	1.2	—	V
			3	2.1	—	2.1	—	2.1	—	
			5.5	3.85	—	3.85	—	3.85	—	
V <sub>IL</sub> Low-Level Input Voltage			1.5	—	0.3	—	0.3	—	0.3	V
			3	—	0.9	—	0.9	—	0.9	
			5.5	—	1.65	—	1.65	—	1.65	
V <sub>OH</sub> High-Level Output Voltage	V <sub>IH</sub> or V <sub>IL</sub>	-0.05	1.5	1.4	—	1.4	—	1.4	—	V
		-0.05	3	2.9	—	2.9	—	2.9	—	
		-0.05	4.5	4.4	—	4.4	—	4.4	—	
		-4	3	2.58	—	2.48	—	2.4	—	
		-24	4.5	3.94	—	3.8	—	3.7	—	
	(1), (2)	-75	5.5	—	—	3.85	—	—	—	
(1), (2)	-50	5.5	—	—	—	—	3.85	—		
V <sub>IH</sub> or V <sub>IL</sub> Low-Level Output Voltage	V <sub>IH</sub> or V <sub>IL</sub>	0.05	1.5	—	0.1	—	0.1	—	0.1	V
		0.05	3	—	0.1	—	0.1	—	0.1	
		0.05	4.5	—	0.1	—	0.1	—	0.1	
		12	3	—	0.36	—	0.44	—	0.5	
		24	4.5	—	0.36	—	0.44	—	0.5	
	(1), (2)	75	5.5	—	—	—	1.65	—	—	
(1), (2)	50	5.5	—	—	—	—	—	1.65		
I <sub>I</sub> Input Leakage Current	V <sub>CC</sub> or GND		5.5	—	±0.1	—	±1	—	±1	μA
I <sub>OZ</sub> 3-State Leakage Current	V <sub>IH</sub> or V <sub>IL</sub> V <sub>O</sub> = V <sub>CC</sub> or GND		5.5	—	±0.5	—	±5	—	±10	μA
I <sub>CC</sub> Quiescent Supply Current, MSI	V <sub>CC</sub> or GND	0	5.5	—	8	—	80	—	160	μA

(1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.

(2) Test verifies a minimum 50-ohm transmission-line-drive capability at +85° C, 75 ohms at +125° C.

## 4.6 Electrical Characteristics: ACT Series

CHARACTERISTICS	TEST CONDITIONS		V <sub>CC</sub> (V)	AMBIENT TEMPERATURE (T <sub>A</sub> ) - °C						UNIT
	V <sub>I</sub> (V)	I <sub>O</sub> (mA)		+25		-40 to+85		-55 to +125		
				MIN	MAX	MIN	MAX	MIN	MAX	
V <sub>IH</sub> High-level input voltage			4.5 to 5.5	2	—	2	—	2	—	V
V <sub>IL</sub> Low-level input voltage			4.5 to 5.5	—	0.8	—	0.8	—	0.8	V
V <sub>OH</sub> High-level output voltage	V <sub>IH</sub> or V <sub>IL</sub>	-0.05	4.5	4.4	—	4.4	—	4.4	—	V
		-24	4.5	3.94	—	3.8	—	3.7	—	
		(1), (2)	-75	5.5	—	—	3.85	—	—	
	(1), (2)	-50	5.5	—	—	—	—	3.85	—	

CHARACTERISTICS	TEST CONDITIONS		V <sub>CC</sub> (V)	AMBIENT TEMPERATURE (T <sub>A</sub> ) - °C						UNIT
				+25		-40 to+85		-55 to +125		
				V <sub>I</sub> (V)	I <sub>O</sub> (mA)	MIN	MAX	MIN	MAX	
V <sub>OH</sub> Low-level output voltage	V <sub>IH</sub> or V <sub>IL</sub>	0.05	4.5	—	0.1	—	0.1	—	0.1	V
		24	4.5	—	0.36	—	0.44	—	0.5	
	(1), (2)	75	5.5	—	—	—	1.65	—	—	
		50	5.5	—	—	—	—	—	1.65	
V <sub>OH</sub> Input leakage current	V <sub>CC</sub> or GND		5.5	—	±0.1	—	±1	—	±1	
I <sub>OZ</sub> 3-state leakage current	V <sub>IH</sub> or V <sub>IL</sub> V <sub>O</sub> = V <sub>CC</sub> or GND		5.5	—	±0.5	—	±5	—	±10	μA
I <sub>CC</sub> Quiescent supply current, msi	V <sub>CC</sub> or GND	0	5.5	—	8	—	80	—	160	μA
Additional quiescent supply current per input pin	V <sub>CC</sub> -2.1		4.5 to 5.5	—	2.4	—	28	—	3	mA
ΔI <sub>CC</sub> TTL inputs high										
1 unit load										

- (1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.  
 (2) Test verifies a minimum 50-ohm transmission-line-drive capability at +85°C. 75 ohms at +125°C.

表 4-1. Act Input Loading Table

INPUT	UNIT LOAD <sup>(1)</sup>	
	ACT373	ACT533
OE	0.87	0.87
Dn	0.5	0.5
LE	0.8	0.8

- (1) Unit load is ΔI<sub>CC</sub> limit specified in Static Characteristics Chart, e.g. 2.4 mA max. @ 25°C.

#### 4.7 Prerequisite for Switching: AC Series

SYMBOL	CHARACTERISTICS	V <sub>CC</sub> (V)	AMBIENT TEMPERATURE (T <sub>A</sub> ) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t <sub>W</sub>	LE Pulse Width	1.5	44	—	50	—	ns
		3.3 <sup>(1)</sup>	4.9	—	5.6	—	
		5 <sup>(2)</sup>	3.5	—	4	—	
t <sub>SU</sub>	Setup Time Data to LE	1.5	2	—	2	—	ns
		3.3	2	—	2	—	
		5	2	—	2	—	
t <sub>H</sub>	Hold Time Data to LE	1.5	33	—	38	—	ns
		3.3	3.7	—	4.2	—	
		5	2.6	—	3	—	

- (1) 3.3 V: min. is @ 3 V  
 (2) 5 V: min. is @ 4.5 V

## 4.8 Switching Characteristics: AC Series

$t_r, t_f = 3 \text{ ns}, C_L = 50 \text{ pF}$

SYMBOL	CHARACTERISTICS	V <sub>CC</sub> (V)	AMBIENT TEMPERATURE (T <sub>A</sub> ) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t <sub>PLH</sub>	Propagation Delays: Data to Qn 373	1.5	—	96	—	106	ns
		3.3 <sup>(1)</sup>	3.1	10.8	3	11.9	
t <sub>PHL</sub>		5 <sup>(2)</sup>	2.2	7.7	2.1	8.5	
t <sub>PLH</sub>	533	1.5	—	119	—	131	ns
		3.3	3.8	13.4	3.7	14.7	
t <sub>PHL</sub>		5	2.7	9.5	2.6	10.5	
t <sub>PLH</sub>	LE on Qn 373	1.5	—	136	—	150	ns
		3.3	4.3	15.2	4.2	16.8	
t <sub>PHL</sub>		5	3.1	10.9	3	12	
t <sub>PLH</sub>	533	1.5	—	136	—	150	ns
		3.3	4.3	15.3	4.2	16.8	
t <sub>PHL</sub>		5	3.1	10.9	3	12	
t <sub>PZL</sub>	Output Enable Times	1.5	—	119	—	131	ns
		3.3	4.1	14.4	4	15.8	
t <sub>PZH</sub>		5	2.7	9.5	2.6	10.5	
t <sub>PLZ</sub>	Output Disable Times	1.5	—	131	—	144	ns
		3.3	3.7	13.1	3.6	14.4	
t <sub>PHZ</sub>		5	3	10.5	2.9	11.5	
C <sub>PD</sub> <sup>(3)</sup>	Power Dissipation Capacitance	—	63 Typ.		63 Typ.		pF
V <sub>OHV</sub>	Min. (Valley) V <sub>OH</sub> During Switching of Other Outputs (Output Under Test Not Switching)	5	4 Typ. @ 25° C				V
V <sub>OLP</sub>	Max. (Peak) V <sub>OL</sub> During Switching of Other Outputs (Output Under Test Not Switching)	5	1 Typ. @ 25° C				V
C <sub>I</sub>	Input Capacitance	—	—	10	—	10	pF
C <sub>O</sub>	3-State Output Capacitance	—	—	15	—	15	pF

- (1) 3.3 V: min. is @ 3.6 V  
(2) 5 V: min. is @ 5.5 V  
(3) C<sub>PD</sub> is used to determine the dynamic power consumption, per latch.

## 4.9 Prerequisite for Switching: ACT Series

SYMBOL	CHARACTERISTICS	V <sub>CC</sub> (V)	AMBIENT TEMPERATURE (T <sub>A</sub> ) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t <sub>W</sub>	LE Pulse Width	5 <sup>(1)</sup>	3.6	—	4	—	ns
t <sub>SU</sub>	Setup Time Data to LE	5	2	—	2	—	ns
t <sub>H</sub>	Hold Time Data to LE	5	2.7	—	3	—	ns

- (1) 5 V: min. is @ 4.5 V

## 4.10 Switching Characteristics: ACT Series

$t_r, t_f = 3 \text{ ns}, C_L = 50 \text{ pF}$

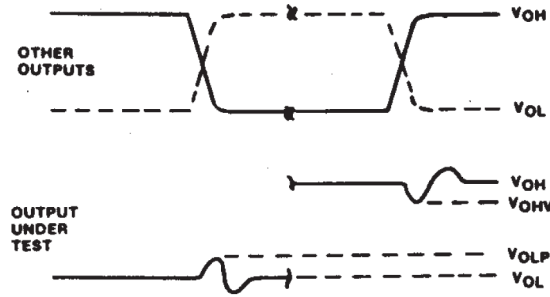
SYMBOL	CHARACTERISTICS	V <sub>CC</sub> (V)	AMBIENT TEMPERATURE (T <sub>A</sub> ) -°C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delays: Data to Qn 373	5 <sup>(1)</sup>	2.7	9.5	2.6	10.4	ns
	533		3	10.4	2.9	11.4	
t <sub>PLH</sub> t <sub>PHL</sub>	LE to Qn 373 533	5	3.1	11.4	3	12.5	ns
t <sub>PZL</sub> t <sub>PZH</sub>	Output Enable Times	5	3.5	12.3	3.4	13.5	ns
t <sub>PLZ</sub> t <sub>PHZ</sub>	Output Disable Times	5	3.2	11.4	3.1	12.5	ns
C <sub>PD</sub> <sup>(2)</sup>	Power Dissipation Capacitance	—	63 Typ.		63 Typ.		pF
V <sub>OHV</sub>	Min. (Valley) V <sub>OH</sub> During Switching of Other Outputs (Output Under Test Not Switching)	5	4 Typ. @ 25° C				V
V <sub>OLP</sub>	Max. (Peak) V <sub>OL</sub> During Switching of Other Outputs (Output Under Test Not Switching)	5	1 Typ. @25° C				V
C <sub>I</sub>	Input Capacitance	—	—	10	—	10	pF
C <sub>O</sub>	3-State Output Capacitance	—	—	15	—	15	pF

(1) 5 V: min. is @ 5.5 V

(2) C<sub>PD</sub> is used to determine the dynamic power consumption, per latch.



## 5 Parameter Measurement Information



- A.  $V_{OHV}$  AND  $V_{OLP}$  ARE MEASURED WITH RESPECT TO A GROUND REFERENCE NEAR THE OUTPUT UNDER TEST.
- B. INPUT PULSES HAVE THE FOLLOWING CHARACTERISTICS:  $PRR \leq 1$  MHz,  $t_r = 3$  ns,  $t_f = 3$  ns, SKEW 1 ns.
- C. R.F. FIXTURE WITH 700-MHZ DESIGN RULES REQUIRED. IC SHOULD BE SOLDERED INTO TEST BOARD AND BYPASSED WITH  $0.1 \mu F$  CAPACITOR. SCOPE AND PROBES REQUIRE 700-MHZ BANDWIDTH.
- D. 92CS-42406

図 5-1. Simultaneous Switching Transient Waveforms.

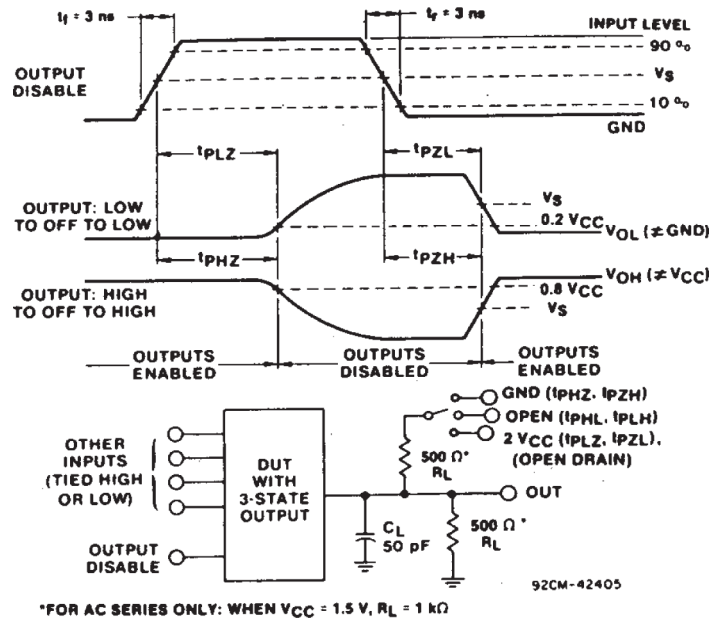


図 5-2. Three-state Propagation Delay Waveforms and Test Circuit.

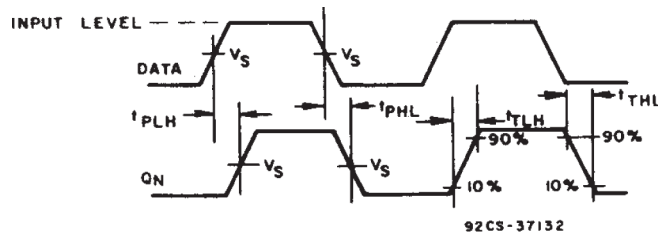


図 5-3. Data to Qn Output Propagation Delays and Output Transition Times.

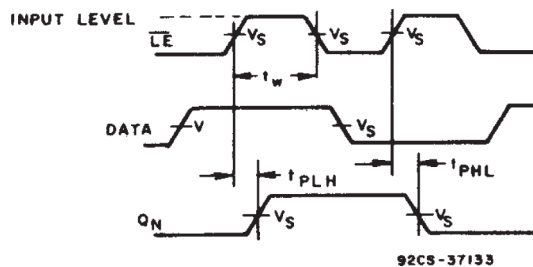


図 5-4. Latch Enable Propagation Delays.

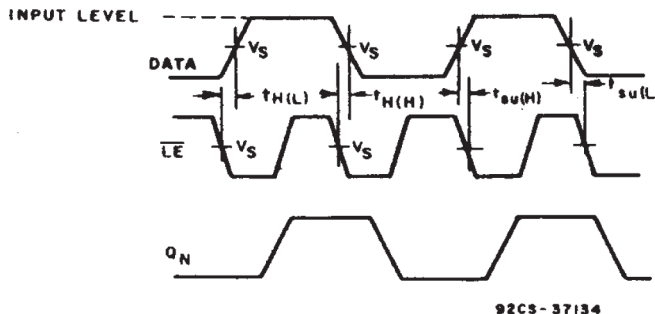


図 5-5. Latch Enable Prerequisite Times.

	CD54/74AC	CD54/74ACT
Input Level	$V_{CC}$	3 V
Input Switching Voltage, $V_S$	$0.5 V_{CC}$	1.5 V
Output Switching Voltage, $V_S$	$0.5 V_{CC}$	$0.5 V_{CC}$

## 6 Detailed Description

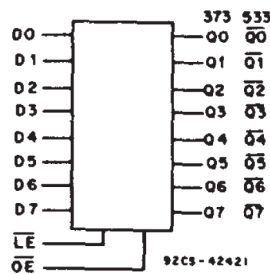
### 6.1 Overview

The RCA-CD54/74AC373 and the CD54/74ACT373 octal transparent 3-state latches use the RCA ADVANCED CMOS technology. The outputs are transparent to the inputs when the Latch Enable ( $\overline{LE}$ ) is HIGH. When the Latch Enable ( $\overline{LE}$ ) goes LOW, the data is latched. The Output Enable ( $\overline{OE}$ ) controls the 3-state outputs. When the Output Enable ( $\overline{OE}$ ) is HIGH, the outputs are in the high-impedance state. The latch operation is independent of the state of the Output Enable.

The CD74AC/ACT373 are supplied in 20-lead dual-in-line plastic packages (E suffix) and in 20-lead dual-in-line small-outline plastic packages (M suffix). Both package types are operable over the following temperature ranges: Commercial (0 to 70°C); Industrial (-40 to +85°C); and Extended Industrial/Military (-55 to +125°C).

The CD54AC/ACT373, available in chip form (H suffix), are operable over the -55 to +125°C temperature range.

### 6.2 Functional Block Diagram



### 6.3 Functional Block Diagram

表 6-1. Truth Table

Output Enable	Latch Enable	Data	AC/ACT373 Output
L	H	H	H
L	H	L	L
L	L	l	L
L	L	h	H
H	X	X	Z

## 7 Application and Implementation

### 7.1 Power Supply Recommendations

The power supply can be any voltage between the MIN and MAX supply voltage rating located in the [Recommended Operating Conditions](#) table.

Each VCC pin should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, 0.1  $\mu\text{f}$  is recommended; if there are multiple VCC pins, then 0.01  $\mu\text{f}$  or 0.022  $\mu\text{f}$  is recommended for each power pin. It is acceptable to parallel multiple bypass caps to reject different frequencies of noise. A 0.1  $\mu\text{f}$  and a 1  $\mu\text{f}$  are commonly used in parallel. The bypass capacitor should be installed as close to the power pin as possible for best results.

### 7.2 Layout Guidelines

#### 7.2.1 Layout Guidelines

When using multiple bit logic devices inputs should not ever float. In many cases, functions or parts of functions of digital logic devices are unused, for example, when only two inputs of a triple-input AND gate are used or only three of the four buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. Specified below are the rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or  $V_{CC}$  whichever make more sense or is more convenient. Floating outputs is generally acceptable, unless the part is a transceiver. If the transceiver has an output enable pin it will disable the outputs section of the part when asserted. This will not disable the input section of the I.O's so they also cannot float when disabled.

## 8 Device and Documentation Support

### 8.1 Documentation Support (Analog)

#### 8.1.1 Related Documentation

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD54AC373	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>
CD74AC373	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>
CD54ACT373	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>
CD74ACT373	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision \* (April 2002) to Revision A (May 2024)

Page

• 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 .....	1
• Updated RθJA values: DW = 40 to 101.2, all values in °C/W .....	5

## 10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated