

## CDCVF2509 3.3V フェーズ ロック ループ クロック ドライバ

### 1 特長

- PC133 SDRAM 登録 DIMM 仕様 Rev. 1.1 を満たし、それを上回るよう設計
- 拡散スペクトラム クロック 互換
- 動作周波数: 50MHz~175MHz
- 66MHz から 166MHz への静的位相誤差の分布は  $\pm 125\text{ps}$  です
- 66MHz でのジッタ (cyc - cyc) と 166MHz の間の代表値 = 70ps
- 先進のディープ サブミクロン プロセスにより、現行世代の PC133 デバイスに比べて消費電力を 40% 以上低減
- プラスチック 24 ピン TSSOP で供給可能
- 同期 DRAM アプリケーション向けのフェーズ ロック ループ クロック 分配機能
- 1 つのクロック入力を、5 つの出力のうちの 1 つのバンクと 4 つの出力のうちの 1 つのバンクに分配
- 出力バンクごとに独立した出力イネーブル
- 外部フィードバック (FBIN) 端子を使用して、出力をクロック入力に同期します
- 25 $\Omega$  のオンチップ直列ダンピング抵抗
- 外部 RC ネットワーク不要
- 3.3V で動作

### 2 アプリケーション

- DRAM アプリケーション
- PLL ベースのクロック分配器
- PLL 以外のクロック バッファ

### 3 概要

CDCVF2509 は、高性能、低スキュー、低ジッタのフェーズ ロック ループ (PLL) クロック ドライバです。本デバイスは PLL を使用して、周波数と位相の両方について、フィードバック (FBOUT) 出力をクロック (CLK) 入力信号に正確に整合させます。このデバイスは、同期 DRAM で使用するように特に設計されています。CDCVF2509 は 3.3V の  $V_{CC}$  で動作し、ポイント ツー ポイントの負荷を駆動するように設計された直列ダンピング抵抗を内蔵しています。

5 つの出力を持つ 1 バンクと 4 つの出力を持つ 1 バンクは、CLK の低スキュー、低ジッタ コピーを 9 つ提供します。出力信号のデューティ サイクルは、CLK のデューティ サイクルに関係なく 50% に調整されます。出力の各バンクは、制御 (1G および 2G) 入力を使用して個別にイネーブルまたはディセーブルされます。G 入力が高 のとき、出力は CLK によって位相および周波数でスイッチングされます。G 入力が Low のとき、出力はディセーブルされて論理 Low 状態になります。

PLL を搭載した多くの製品とは異なり、CDCVF2509 は外部 RC ネットワークを必要としません。PLL 用のループ フィルタがオンチップに内蔵されており、部品数、基板面積、コストを最小限に抑えています。

このデバイスは PLL 回路に基づいているため、CDCVF2509 では、基準信号へのフィードバック信号の位相ロックを実現するために安定化時間が必要です。この安定化時間は、電源投入時および CLK で固定周波数の固定位相信号が印加された後、および PLL 基準信号またはフィードバック信号が変更された後に必要です。AV<sub>CC</sub> をグランドにストラップすることで、PLL をバイパスできます。

CDCVF2509A は、0°C~85°C で動作特性が規定されています。

アプリケーション 情報 については、『CDC509/516/2509/2510/2516 の高速ディストリビューション設計技法』および『CDC2509A/2510A PLL とスペクトラム拡散クロック (SSC) の使用』アプリケーション ノートを参照してください。

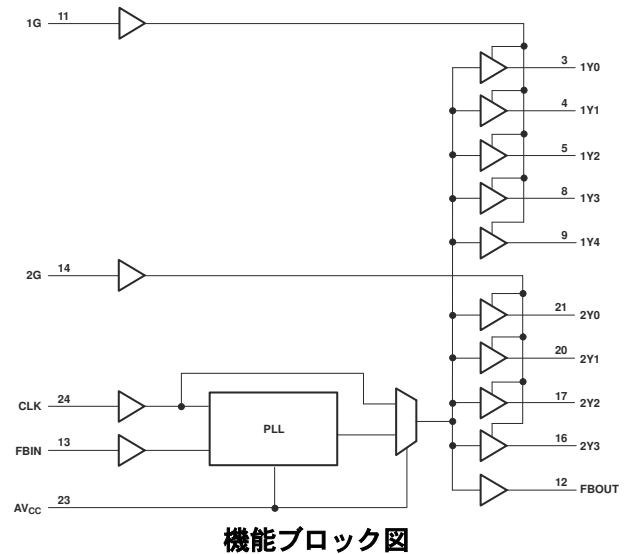
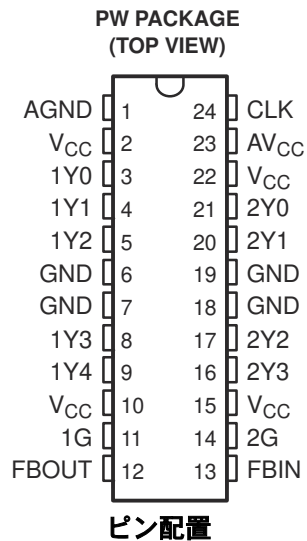


**機能表**

入力			出力		
1G	2G	CLK	1Y (0:4)	2Y (0:3)	FBOUT
X	X	L	L	L	L
L	L	H	L	L	H
L	H	H	L	H	H
H	L	H	H	L	H
H	H	H	H	H	H

**利用可能なオプション**

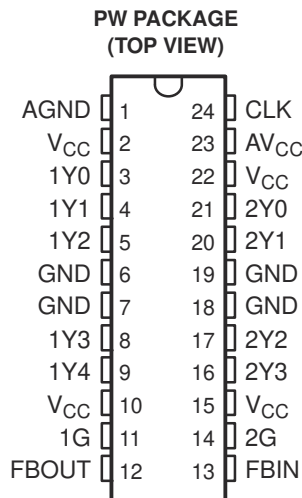
T <sub>A</sub>	パッケージ
	スモール アウトライン (PW)
0°C~85°C	CDCVF2509PWR
	CDCVF2509PW



## Table of Contents

<b>1 特長</b> .....	<b>1</b>	<b>4.7 Switching Characteristics</b> .....	<b>7</b>
<b>2 アプリケーション</b> .....	<b>1</b>	<b>4.8 Typical Characteristics</b> .....	<b>8</b>
<b>3 概要</b> .....	<b>1</b>	<b>5 Parameter Measurement Information</b> .....	<b>11</b>
<b>Pin Configuration and Functions</b> .....	<b>4</b>	<b>6 Device and Documentation Support</b> .....	<b>12</b>
<b>4 Specifications</b> .....	<b>5</b>	<b>6.1 Documentation Support</b> .....	<b>12</b>
4.1 Absolute Maximum Ratings.....	<b>5</b>	<b>6.2 サポート・リソース</b> .....	<b>12</b>
4.2 Dissipation Ratings.....	<b>5</b>	<b>6.3 Trademarks</b> .....	<b>12</b>
4.3 Recommended Operating Conditions.....	<b>5</b>	<b>6.4 静電気放電に関する注意事項</b> .....	<b>12</b>
4.4 Package Thermal Resistance.....	<b>6</b>	<b>6.5 用語集</b> .....	<b>12</b>
4.5 Electrical Characteristics.....	<b>7</b>	<b>7 Revision History</b> .....	<b>12</b>
4.6 Timing Requirements.....	<b>7</b>	<b>8 Mechanical, Packaging, and Orderable Information..</b>	<b>13</b>

## Pin Configuration and Functions



**表 4-1. Pin Functions**

PIN		TYPE	DESCRIPTION
NAME	NO.		
CLK	24	I	Clock input. CLK provides the clock signal to be distributed by the CDCVF2509A clock driver. CLK is used to provide the reference signal to the integrated PLL that generates the clock output signals. CLK must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLK signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
FBIN	13	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard-wired to FBOU to complete the PLL. The integrated PLL synchronizes CLK and FBIN so that there is nominally zero phase error between CLK and FBIN.
1G	11	I	Output bank enable. 1G is the output enable for outputs 1Y(0:4). When 1G is low, outputs 1Y(0:4) are disabled to a logic-low state. When 1G is high, all outputs 1Y(0:4) are enabled and switch at the same frequency as CLK.
2G	14	I	Output bank enable. 2G is the output enable for outputs 2Y(0:3). When 2G is low, outputs 2Y(0:3) are disabled to a logic low state. When 2G is high, all outputs 2Y(0:3) are enabled and switch at the same frequency as CLK.
FBOU	12	O	Feedback output. FBOU is dedicated for external feedback. It switches at the same frequency as CLK. When externally wired to FBIN, FBOU completes the feedback loop of the PLL. FBOU has an integrated 25-Ω series-damping resistor.
1Y (0:4)	3, 4, 5, 8, 9	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 1Y(0:4) is enabled via the 1G input. These outputs can be disabled to a logic-low state by deasserting the 1G control input. Each output has an integrated 25-Ω series-damping resistor.
2Y (0:3)	16, 17, 21, 20	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 2Y(0:3) is enabled via the 2G input. These outputs can be disabled to a logic-low state by deasserting the 2G control input. Each output has an integrated 25-Ω series-damping resistor.
AV <sub>CC</sub>	23	Power	Analog power supply. AV <sub>CC</sub> provides the power reference for the analog circuitry. In addition, AV <sub>CC</sub> can be used to bypass the PLL. When AV <sub>CC</sub> is strapped to ground, PLL is bypassed and CLK is buffered directly to the device outputs.
AGND	1	Ground	Analog ground. AGND provides the ground reference for the analog circuitry.
V <sub>CC</sub>	2, 10, 15, 22	Power	Power supply
GND	6, 7, 18, 19	Ground	Ground

## 4 Specifications

### 4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

	<b>UNIT</b>
$AV_{CC}$ Supply voltage range <sup>(2)</sup>	$AV_{CC} < V_{CC} + 0.7\text{ V}$
$V_{CC}$ Supply voltage range	–0.5 V to 4.3 V
$V_I$ Input voltage range <sup>(3)</sup>	–0.5 V to 4.6 V
$V_O$ Voltage range applied to any output in the high or low state <sup>(3) (4)</sup>	–0.5 V to $V_{CC} + 0.5\text{ V}$
$I_{IK}$ Input clamp current ( $V_I < 0$ )	–50 mA
$I_{OK}$ Output clamp current ( $V_O < 0$ or $V_O > V_{CC}$ )	±50 mA
$I_O$ Continuous output current ( $V_O = 0$ to $V_{CC}$ )	±50 mA
Continuous current through each $V_{CC}$ or GND	±100 mA
Maximum power dissipation at $T_A = 55^\circ\text{C}$ (in still air) <sup>(5)</sup>	0.7 W
$T_{stg}$ Storage temperature range	–65°C to 150°C

- (1) Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2)  $AV_{CC}$  **must not** exceed  $V_{CC} + 0.7\text{ V}$
- (3) The input and output negative-voltage ratings may be exceeded if the input and output clamp-current ratings are observed.
- (4) This value is limited to 4.6 V maximum.
- (5) The maximum package power dissipation is calculated using a junction temperature of 150°C and a board trace length of 750 mils. For more information, see the *Package Thermal Considerations* application note in the *ABT Advanced BiCMOS Technology Data Book (SCBD002)*.

### 4.2 Dissipation Ratings

PACKAGE	BOARD TYPE	$R_{\theta JA}$	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTORS ABOVE $T_A \leq 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING
PW	JEDEC low-K	114.5°C/W	920 mW	8.7 mW/°C	520 mW	390 mW
	JEDEC high-K	62.1°C/W	1690 mW	16.1 mW/°C	960 mW	720 mW

### 4.3 Recommended Operating Conditions

See <sup>(1)</sup>

	<b>MIN</b>	<b>MAX</b>	<b>UNIT</b>
$V_{CC}, AV_{CC}$ Supply voltage	3	3.6	V
$V_{IH}$ High-level input voltage	2		V
$V_{IL}$ Low-level input voltage		0.8	V
$V_I$ Input voltage	0	$V_{CC}$	V
$I_{OH}$ High-level output current		–12	mA
$I_{OL}$ Low-level output current		12	mA
$T_A$ Operating free-air temperature	0	85	°C

- (1) Unused inputs must be held high or low to prevent them from floating.

### 4.4 Package Thermal Resistance

CDCVF2509APW 24-PIN TSSOP <sup>(1)</sup>			THERMAL AIRFLOW (CFM)				UNIT
			0	150	250	500	
R <sub>θJA</sub>	High K		88	83	81	77	°C/W
R <sub>θJC</sub>	High K	26.5					

(1) The package thermal impedance is calculated in accordance with JESD 51 and JEDEC2S2P (high-k board).

## 4.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS	V <sub>CC</sub> , AV <sub>CC</sub>	MIN TYP <sup>(1)</sup> MAX	UNIT
V <sub>IK</sub>	Input clamp voltage	I <sub>I</sub> = -18 mA	3 V		-1.2 V
V <sub>OH</sub>	High-level output voltage	I <sub>OH</sub> = -100 μA	MIN to MAX	V <sub>CC</sub> -0.2	
		I <sub>OH</sub> = -12 mA	3 V	2.1	
		I <sub>OH</sub> = -6 mA	3 V	2.4	
V <sub>OL</sub>	Low-level output voltage	I <sub>OL</sub> = 100 μA	MIN to MAX	0.2	
		I <sub>OL</sub> = 12 mA	3 V	0.8	
		I <sub>OL</sub> = 6 mA	3 V	0.55	
I <sub>OH</sub>	High-level output current	V <sub>O</sub> = 1 V	3 V	-28	
		V <sub>O</sub> = 1.65 V	3.3 V	-36	
		V <sub>O</sub> = 3.135 V	3.6 V	-8	
I <sub>OL</sub>	Low-level output current	V <sub>O</sub> = 1.95 V	3 V	30	
		V <sub>O</sub> = 1.65 V	3.3 V	40	
		V <sub>O</sub> = 0.4 V	3.6 V	10	
I <sub>I</sub>	Input current	V <sub>I</sub> = V <sub>CC</sub> or GND	3.6 V	±5 μA	
I <sub>CC</sub> <sup>(2)</sup>	Supply current (static, output not switching)	V <sub>I</sub> = V <sub>CC</sub> or GND, I <sub>O</sub> = 0, Outputs: low or high	3.6 V, 0 V	40 μA	
ΔI <sub>CC</sub>	Change in supply current	One input at V <sub>CC</sub> - 0.6 V, Other inputs at V <sub>CC</sub> or GND	3.3 V to 3.6 V	500 μA	
C <sub>i</sub>	Input capacitance	V <sub>I</sub> = V <sub>CC</sub> or GND	3.3 V	2.5 pF	
C <sub>o</sub>	Output capacitance	V <sub>O</sub> = V <sub>CC</sub> or GND	3.3 V	2.8 pF	

- (1) For conditions shown as MIN or MAX, use the appropriate value specified under the *recommended operating conditions* section.  
(2) For dynamic I<sub>CC</sub> vs Frequency, see [4-6](#) and [4-7](#).

## 4.6 Timing Requirements

over recommended ranges of supply voltage and operating free-air temperature

		MIN	MAX	UNIT
f <sub>clk</sub>	Clock frequency	50	175	MHz
	Input clock duty cycle	40%	60%	
	Stabilization time <sup>(1)</sup>		1	ms

- (1) The time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. For phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at CLK. Until phase lock is obtained, the specifications for propagation delay, skew and jitter parameters given in the *switching characteristics* table are not applicable. This parameter does not apply for input modulation under SSC application.

## 4.7 Switching Characteristics

over recommended ranges of supply voltage and operating free-air temperature, C<sub>L</sub> = 25 pF (see [5-1](#) and [5-2](#))<sup>(3)</sup> (1)

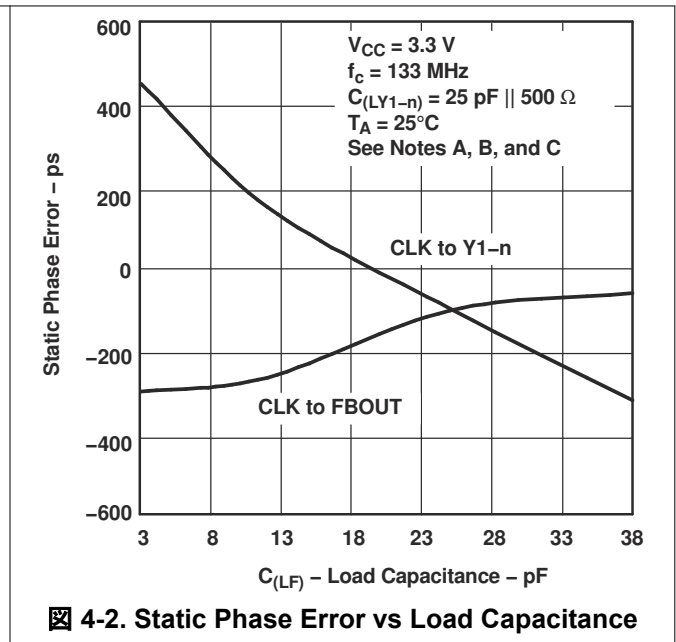
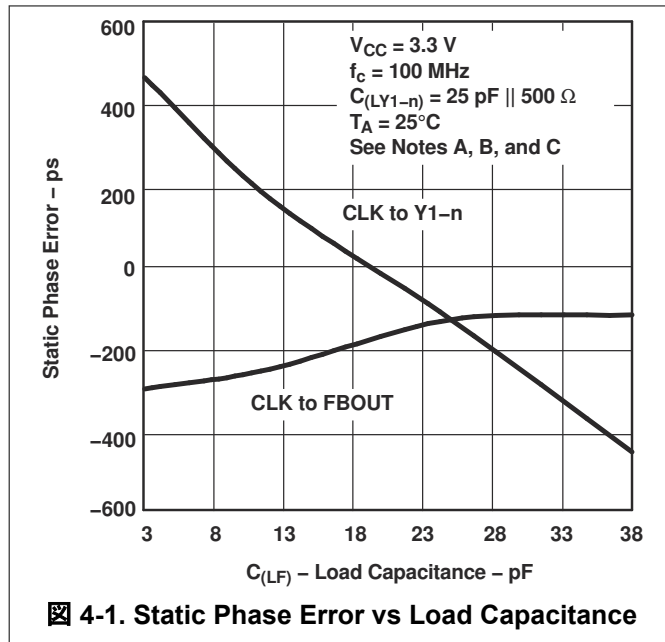
PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub> , AV <sub>CC</sub> = 3.3 V ± 0.3 V			UNIT
			MIN	TYP	MAX	
t <sub>(φ)</sub>	Phase error time- static (normalized) (see <a href="#">4-1</a> through <a href="#">4-4</a> )	CLK ↑ = 66 MHz to 166 MHz	FBIN ↑	-125	125	ps
t <sub>sk(o)</sub>	Output skew time <sup>(2)</sup>	Any Y	Any Y		100	ps
	Phase error time-jitter <sup>(4)</sup>	CLK = 66 MHz to 100 MHz	Any Y or FBOUT	-50	50	ps
	Jitter <sub>(cycle-cycle)</sub> (see <a href="#">4-5</a> )	CLK = 66 MHz to 100 MHz	Any Y or FBOUT	-70		ps
		CLK = 100 MHz to 166 MHz		-65		
	Duty cycle	f <sub>(CLK)</sub> > 60 MHz	Any Y or FBOUT	45%	55%	

over recommended ranges of supply voltage and operating free-air temperature,  $C_L = 25\text{ pF}$  (see [§ 5-1](#) and [§ 5-2](#))<sup>(3) (1)</sup>

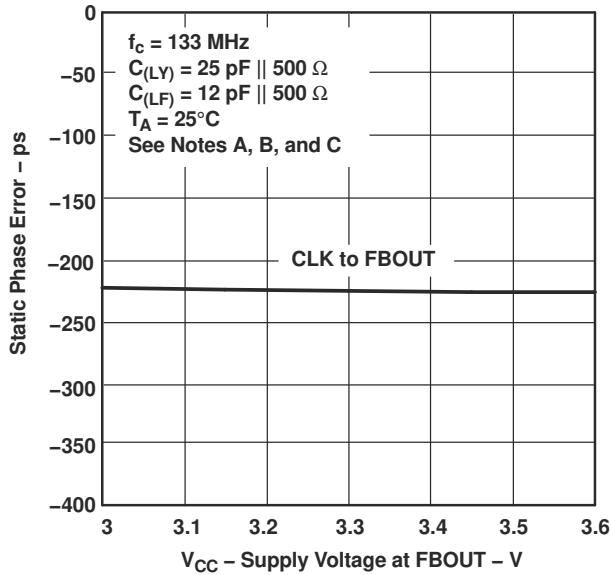
PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC}, AV_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$			UNIT
			MIN	TYP	MAX	
$t_r$ Rise time	$V_O = 0.4\text{ V to }2\text{ V}$	Any Y or FBOU	0.3		1.1	ns/V
$t_f$ Fall time	$V_O = 2\text{ V to }0.4\text{ V}$	Any Y or FBOU	0.3		1.1	ns/V
$t_{PLH}$ Low-to-high propagation delay time, bypass mode	CLK	Any Y or FBOU	1.8		3.9	ns
$t_{PHL}$ High-to-low propagation delay time, bypass mode	CLK	Any Y or FBOU	1.8		3.9	ns

- (1) These parameters are not production tested.
- (2) The  $t_{sk(o)}$  specification is only valid for equal loading of all outputs.
- (3) The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.
- (4) Calculated per PC DRAM SPEC ( $t_{\text{phase error}}$ ,  $t_{\text{static-jitter}}_{(\text{cycle-to-cycle})}$ ).

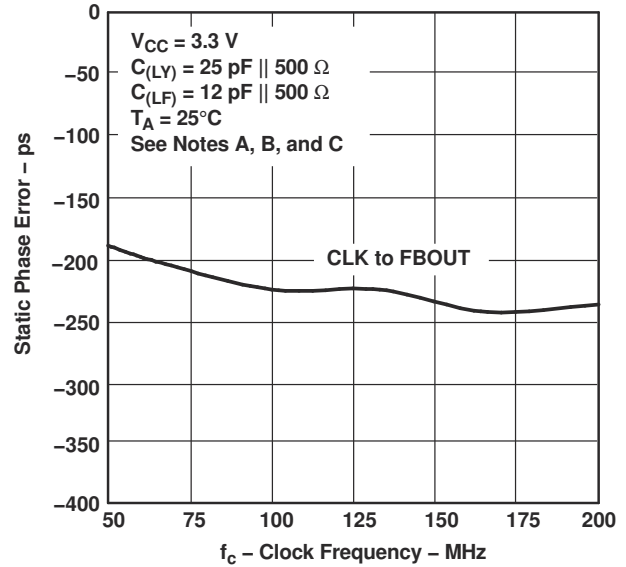
### 4.8 Typical Characteristics



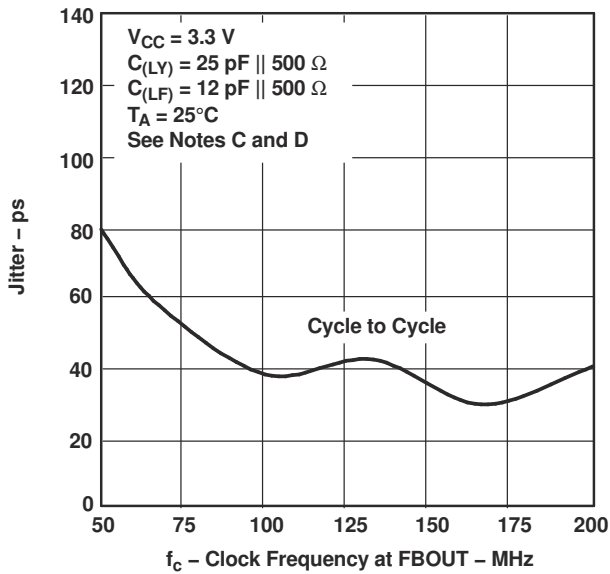




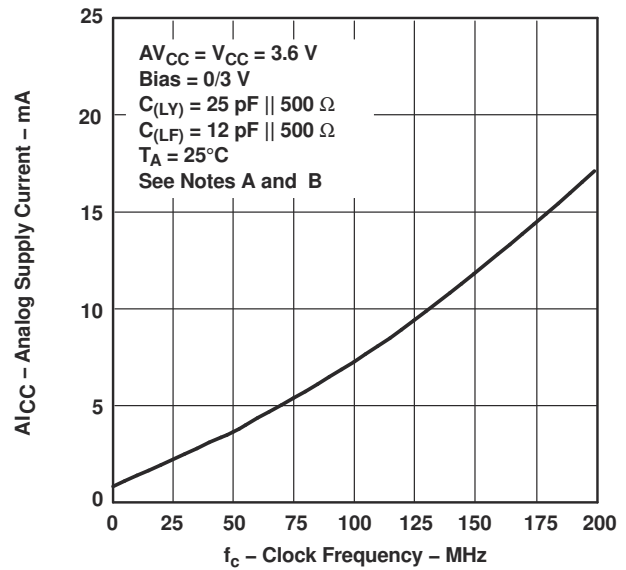
4-3. Static Phase Error vs Supply Voltage at FBOU



4-4. Static Phase Error vs Clock Frequency



4-5. Jitter vs Clock Frequency at FBOU



4-6. Analog Supply Current vs Clock Frequency

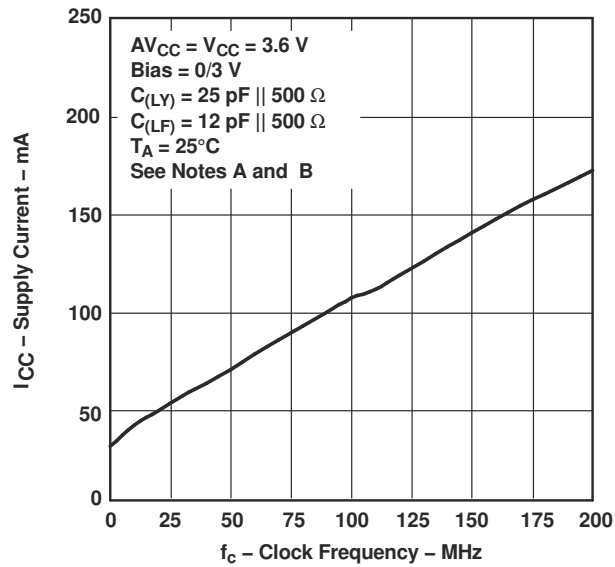
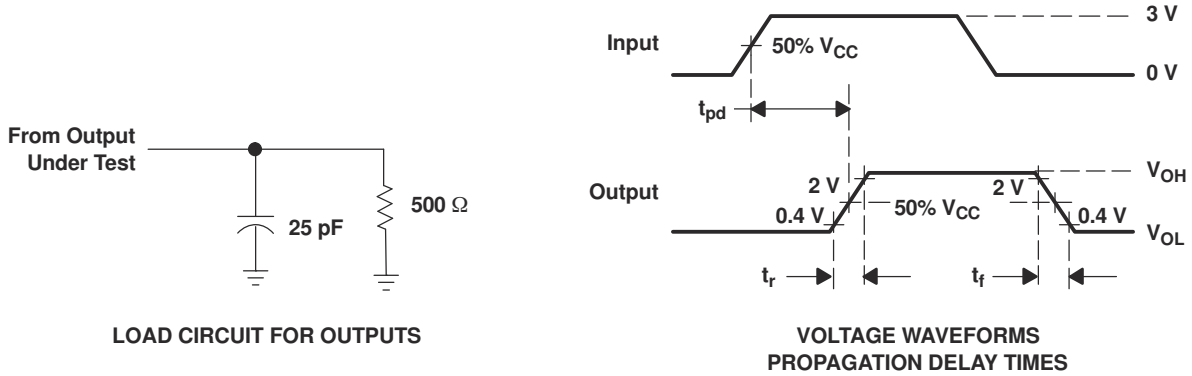


図 4-7. Supply Current vs Clock Frequency

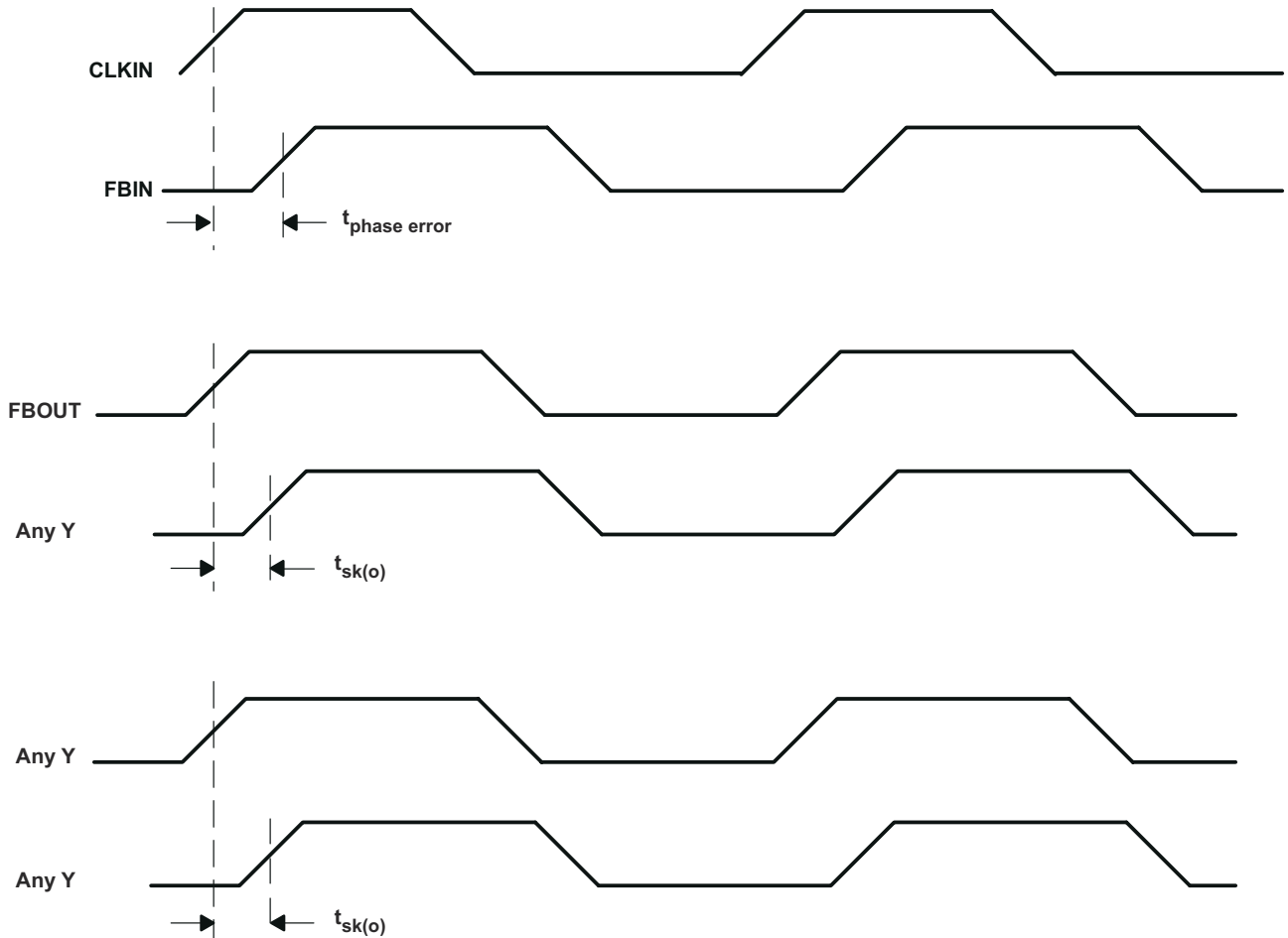
1. Trace length FBOUT to FBIN = 5 mm,  $Z_O = 50 \Omega$
2.  $C_{(LY)}$  = Lumped capacitive load  $Y_{1-n}$
3.  $C_{(LFx)}$  = Lumped feedback capacitance at FBOUT = FBIN
4.  $C_{(LFx)}$  = Lumped feedback capacitance at FBOUT = FBIN.

## 5 Parameter Measurement Information



- NOTES: A.  $C_L$  includes probe and jig capacitance.  
 B. All input pulses are supplied by generators having the following characteristics: PRR  $\leq$  133 MHz,  $Z_O = 50 \Omega$ ,  $t_r \leq 1.2$  ns,  $t_f \leq 1.2$  ns.  
 C. The outputs are measured one at a time with one transition per measurement.

5-1. Load Circuit and Voltage Waveforms



5-2. Skew Calculations

## 6 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

### 6.1 Documentation Support

#### 6.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [High Speed Distribution Design Techniques for CDC509/516/2509/2510/2516 application note](#)
- Texas Instruments, [Using CDC2509A/2510A PLL with Spread Spectrum Clocking \(SSC\) application note](#)

### 6.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 6.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 6.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 6.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 7 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (February 2010) to Revision E (February 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「特長」から箇条書き項目を削除: CDCVF2509A (SCAS765) をこのデバイスの代替として使用します.....	1
• Added <i>Device and Documentation Support</i> section.....	12

Changes from Revision C (January 2009) to Revision D (February 2010)	Page
• Added the PACKAGE THERMAL RESISTANCE table.....	6

Changes from Revision B (June 2005) to Revision C (January 2009)	Page
• 「新規設計での使用を推奨しません」を追加.....	1

<b>Changes from Revision A (July 2004) to Revision B (June 2005)</b>	<b>Page</b>
• Changed Rise time values in the Switching Characteristics table From: Min =0.5 Max = 2.5 To: Min = 0.3 Max = 1.1 .....	7
• Changed Fall time values in the Switching Characteristics table From: Min =0.5 Max = 2.5 To: Min = 0.3 Max = 1.1 .....	7
• Changed Low-to-high propagation delay time values in the Switching Characteristics table From: Min =0.4 Max = 2.3 To: Min = 1.8 Max = 3.9 .....	7
• Changed High-to-low propagation delay time values in the Switching Characteristics table From: Min =0.4 Max = 2.3 To: Min = 1.8 Max = 3.9 .....	7

<b>Changes from Revision * (April 2004) to Revision A (July 2004)</b>	<b>Page</b>
• 「利用可能なオプション」表に CDCVF2509PW パッケージ番号を追加.....	1

## 8 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CDCVF2509PW	ACTIVE	TSSOP	PW	24	60	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 85	CKV2509	Samples
CDCVF2509PWR	ACTIVE	TSSOP	PW	24	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 85	CKV2509	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.





**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCVF2509PWR	TSSOP	PW	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCVF2509PWR	TSSOP	PW	24	2000	356.0	356.0	35.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CDCVF2509PW	PW	TSSOP	24	60	530	10.2	3600	3.5

# PW0024A



# PACKAGE OUTLINE

## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220208/A 02/2017

### NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated