

# CSD17308Q3 30V N チャネル NexFET™ パワー MOSFET

## 1 特長

- 5V ゲートの駆動に最適化
- 非常に低い  $Q_g$  および  $Q_{gd}$
- 低い熱抵抗
- アバランシェ定格
- 鉛フリーの端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- VSON 3.3mm × 3.3mm プラスチック・パッケージ

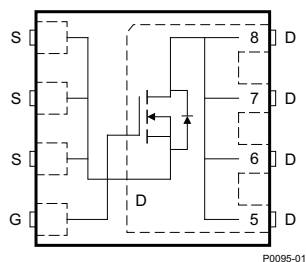
## 2 アプリケーション

- ノートブック・ポイント・オブ・ロード
- ネットワーク、テレコム、およびコンピューティング・システムのポイント・オブ・ロード同期整流降圧

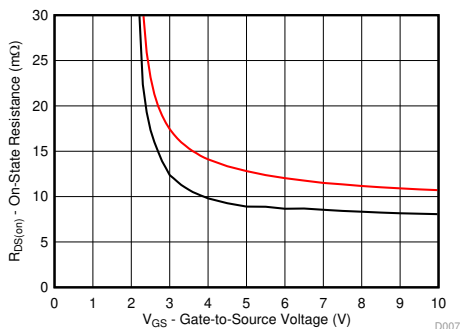
## 3 概要

この 30V、8.2mΩ、3.3mm × 3.3mm VSON NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるよう設計され、5V のゲート駆動アプリケーション向けに最適化されています。

上面図



$R_{DS(on)}$  と  $V_{GS}$  との関係



## 製品概要

$T_A = 25^\circ\text{C}$		値	単位
$V_{DS}$	ドレイン-ソース間電圧	30	V
$Q_g$	総ゲート電荷量(4.5 V)	3.9	nC
$Q_{gd}$	ゲート電荷、ゲート-ドレイン間	0.8	nC
$R_{DS(on)}$	ドレイン-ソース間オン抵抗	$V_{GS} = 3\text{ V}$	12.5
		$V_{GS} = 4.5\text{ V}$	9.4
		$V_{GS} = 8\text{ V}$	8.2
$V_{GS(th)}$	スレッショルド電圧	1.3	V

## 製品情報(1)

デバイス	数量	メディア	パッケージ	出荷
CSD17308Q3	2500	13インチ・リール	SON 3.30mm × 3.30mm プラスチック・パッケージ	テープ・アンド・リール

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

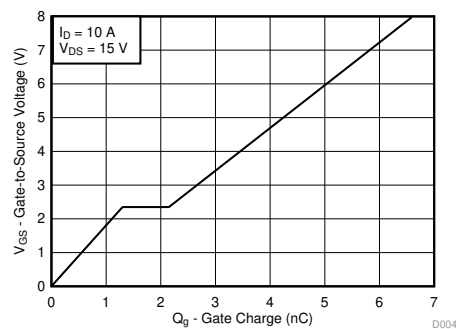
## 絶対最大定格

$T_A = 25^\circ\text{C}$ (特に記述のない限り)		値	単位
$V_{DS}$	ドレイン-ソース間電圧	30	V
$V_{GS}$	ゲート-ソース間電圧	+10 / -8	V
$I_D$	連続ドレイン電流(パッケージ制限)	50	A
	連続ドレイン電流、 $T_C = 25^\circ\text{C}$	44	
	連続ドレイン電流 <sup>(1)</sup>	14	
$I_{DM}$	パルス・ドレイン電流、 $T_A = 25^\circ\text{C}$ <sup>(2)</sup>	167	A
$P_D$	消費電力 <sup>(1)</sup>	2.7	W
	消費電力、 $T_C = 25^\circ\text{C}$	28	
$T_J$ , $T_{stg}$	動作時の接合部および保存温度	-55 ~ 150	$^\circ\text{C}$
$E_{AS}$	アバランシェ・エネルギー、単一パルス $I_D = 36\text{ A}$ , $L = 0.1\text{ mH}$ , $R_G = 25\Omega$	65	mJ

(1) 0.06in (1.52mm)厚のFR4 PCB上の面積1in<sup>2</sup> (6.45cm<sup>2</sup>)、2oz (0.071mm)厚のCuパッドで、標準 $R_{\theta JA} = 46^\circ\text{C}/\text{W}$ の場合

(2) 最大  $R_{\theta JC} = 4.5^\circ\text{C}/\text{W}$ 、パルス期間  $\leq 100\mu\text{s}$ 、デューティ・サイクル  $\leq 1\%$ 。

## ゲート電荷



## 目次

1	特長	1	6.1	サポート・リソース	8
2	アプリケーション	1	6.2	商標	8
3	概要	1	6.3	静電気放電に関する注意事項	8
4	改訂履歴	2	6.4	Glossary	8
5	Specifications	3	7	メカニカル、パッケージ、および注文情報	9
5.1	Electrical Characteristics	3	7.1	Q3パッケージの寸法	9
5.2	Thermal Information	3	7.2	推奨のPCBパターン	10
5.3	Typical MOSFET Characteristics	5	7.3	推奨されるステンシル開口部	10
6	デバイスおよびドキュメントのサポート	8	7.4	Q3のテープ・アンド・リール情報	11

## 4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Revision B (October 2015) から Revision C に変更 Page

- Changed  $V_{GS(th)}$  MAX specification in the *Electrical Characteristics* table, From 1.8 V : To 1.6 V ..... 3

### Revision A (February 2010) から Revision B に変更 Page

- タイトルに型番を追加 ..... 1
- 「連続ドレイン電流 (パッケージ制限)」を追加 ..... 1
- 「絶対最大定格」表に「消費電力、 $T_C = 25^\circ\text{C}$ 」の行を追加 ..... 1
- パルス電流の条件を更新 ..... 1
- Updated [Figure 1](#) to show  $R_{\theta JC}$  curves ..... 5
- Added 4.5 V curve in [Figure 8](#) ..... 6
- Updated [Figure 10](#) ..... 7
- 追加「デバイスおよびドキュメントのサポート」セクションを ..... 8
- 「[メカニカル、パッケージ、および注文情報](#)」セクションを更新 ..... 9

### 2010年2月発行のものから更新 Page

- 削除「[パッケージ・マーキング情報](#)」セクションを ..... 11

## 5 Specifications

### 5.1 Electrical Characteristics

 $T_A = 25^\circ\text{C}$  unless otherwise stated

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT	
<b>STATIC CHARACTERISTICS</b>							
$BV_{DSS}$	Drain-to-source voltage	$V_{GS} = 0\text{ V}, I_D = 250\ \mu\text{A}$	30			V	
$I_{DSS}$	Drain-to-source leakage current	$V_{GS} = 0\text{ V}, V_{DS} = 24\text{ V}$			1	$\mu\text{A}$	
$I_{GSS}$	Gate-to-source leakage current	$V_{DS} = 0\text{ V}, V_{GS} = +10 / -8\text{ V}$			100	nA	
$V_{GS(th)}$	Gate-to-source threshold voltage	$V_{DS} = V_{GS}, I_D = 250\ \mu\text{A}$	0.9	1.3	1.6	V	
$R_{DS(on)}$	Drain-to-source on-resistance	$V_{GS} = 3\text{ V}, I_D = 10\text{ A}$		12.5	16.5	m $\Omega$	
		$V_{GS} = 4.5\text{ V}, I_D = 10\text{ A}$		9.4	11.8		
		$V_{GS} = 8\text{ V}, I_D = 10\text{ A}$		8.2	10.3		
$g_{fs}$	Transconductance	$V_{DS} = 15\text{ V}, I_D = 10\text{ A}$		37		S	
<b>DYNAMIC CHARACTERISTICS</b>							
$C_{ISS}$	Input capacitance	$V_{GS} = 0\text{ V}, V_{DS} = 15\text{ V}, f = 1\text{ MHz}$		540	700	pF	
$C_{OSS}$	Output capacitance			280	365	pF	
$C_{RSS}$	Reverse transfer capacitance			27	35	pF	
$R_g$	Series gate resistance	$V_{DS} = 15\text{ V}, I_D = 10\text{ A}$		0.9	1.8	$\Omega$	
$Q_g$	Gate charge total (4.5 V)			3.9	5.1	nC	
$Q_{gd}$	Gate charge gate-to-drain			0.8		nC	
$Q_{gs}$	Gate charge gate-to-source			1.3		nC	
$Q_{g(th)}$	Gate charge at $V_{th}$			0.7		nC	
$Q_{OSS}$	Output charge		$V_{DS} = 13\text{ V}, V_{GS} = 0\text{ V}$		7.4		nC
$t_{d(on)}$	Turnon delay time		$V_{DS} = 15\text{ V}, V_{GS} = 4.5\text{ V}, I_D = 10\text{ A}, R_G = 2\ \Omega$		4.5		ns
$t_r$	Rise time			5.7		ns	
$t_{d(off)}$	Turnoff delay time			9.9		ns	
$t_f$	Fall time			2.3		ns	
<b>DIODE CHARACTERISTICS</b>							
$V_{SD}$	Diode forward voltage	$I_{DS} = 10\text{ A}, V_{GS} = 0\text{ V}$		0.85	1	V	
$Q_{rr}$	Reverse recovery charge	$V_{DD} = 13\text{ V}, I_F = 10\text{ A}, di/dt = 300\text{ A}/\mu\text{s}$		9.3		nC	
$t_{rr}$	Reverse recovery time			14.3		ns	

### 5.2 Thermal Information

 $T_A = 25^\circ\text{C}$  unless otherwise stated

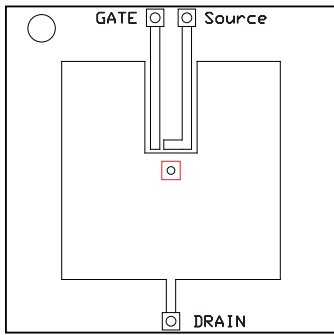
THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Junction-to-case thermal resistance <sup>(1)</sup>			4.5	$^\circ\text{C}/\text{W}$
$R_{\theta JA}$	Junction-to-ambient thermal resistance <sup>(1)(2)</sup>			58	$^\circ\text{C}/\text{W}$

- (1)  $R_{\theta JC}$  is determined with the device mounted on a 1-in<sup>2</sup> (6.45-cm<sup>2</sup>), 2-oz (0.071-mm) thick Cu pad on a 1.5-in × 1.5-in (3.81-cm × 3.81-cm), 0.06-in (1.52-mm) thick FR4 PCB.  $R_{\theta JC}$  is specified by design, whereas  $R_{\theta JA}$  is determined by the user's board design.
- (2) Device mounted on FR4 material with 1-in<sup>2</sup> (6.45-cm<sup>2</sup>), 2-oz (0.071-mm) thick Cu.

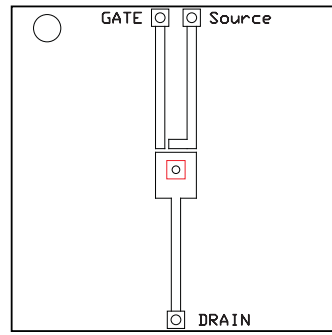
**CSD17308Q3**

JAJSIA3C – FEBRUARY 2010 – REVISED DECEMBER 2019

[www.ti.com](http://www.ti.com)



Max  $R_{\theta JA} = 58^{\circ}\text{C/W}$   
 when mounted on 1 in<sup>2</sup>  
 (6.45 cm<sup>2</sup>) of  
 2-oz (0.071-mm) thick  
 Cu.



Max  $R_{\theta JA} = 165^{\circ}\text{C/W}$   
 when mounted on a  
 minimum pad area of  
 2-oz (0.071-mm) thick  
 Cu.

### 5.3 Typical MOSFET Characteristics

$T_A = 25^\circ\text{C}$  unless otherwise stated

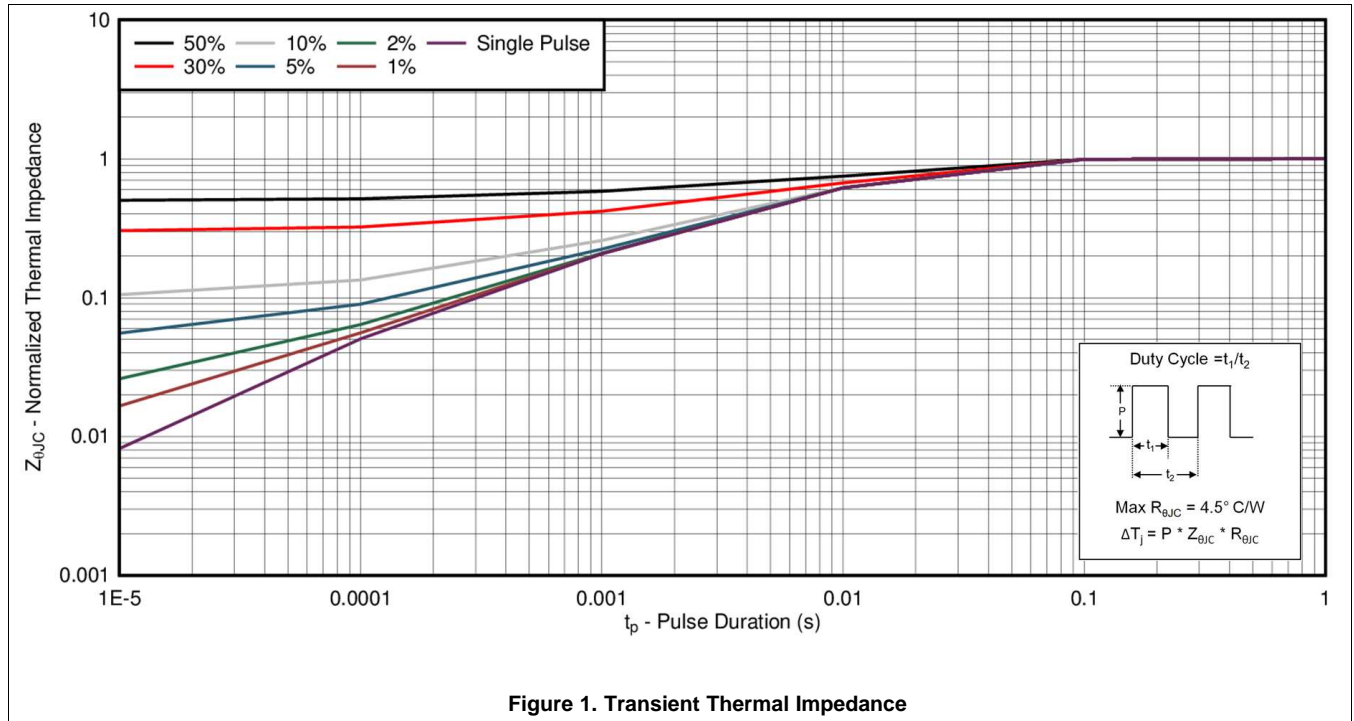


Figure 1. Transient Thermal Impedance

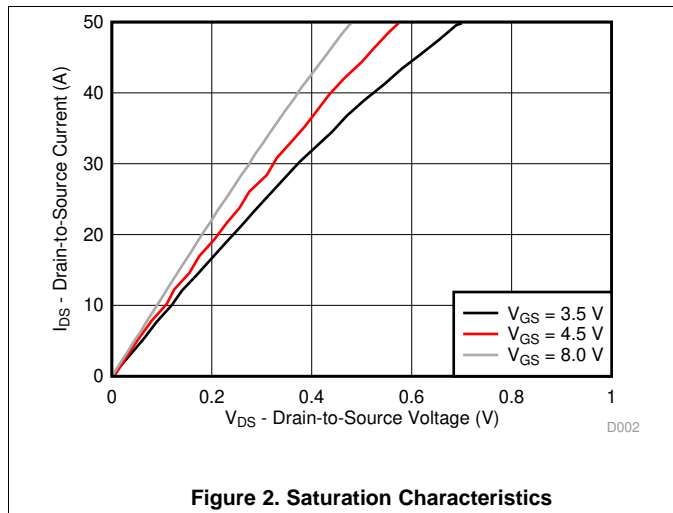


Figure 2. Saturation Characteristics

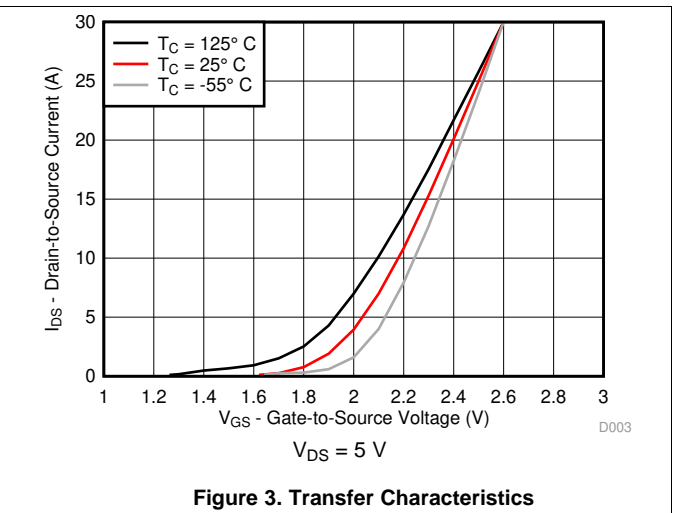
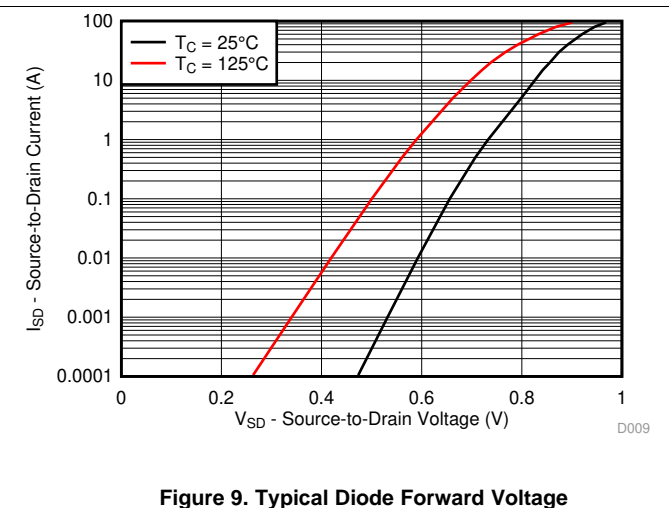
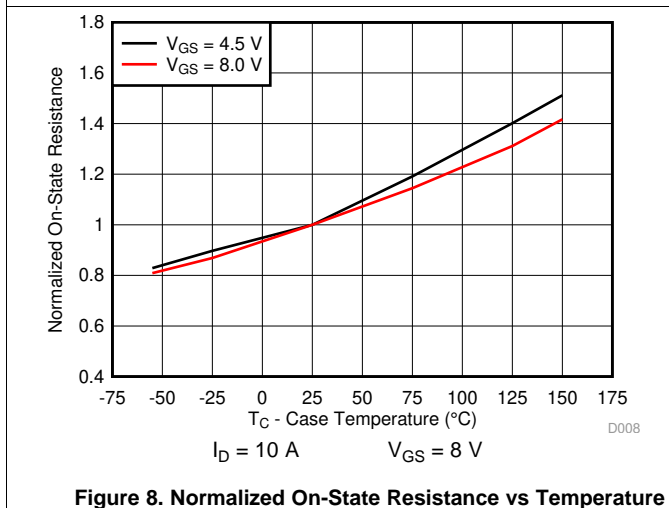
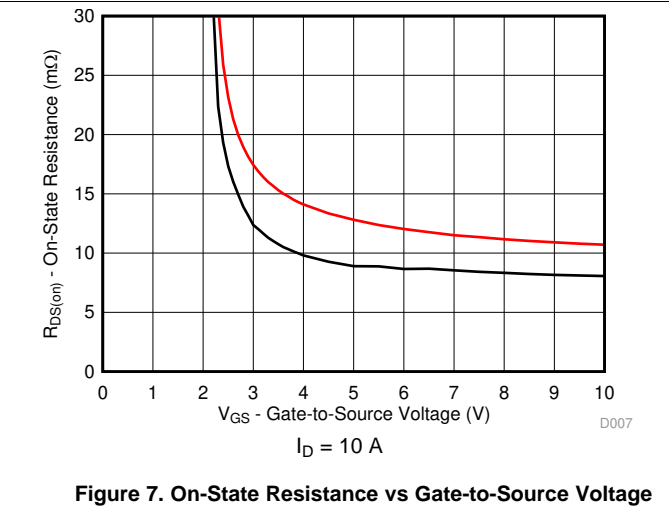
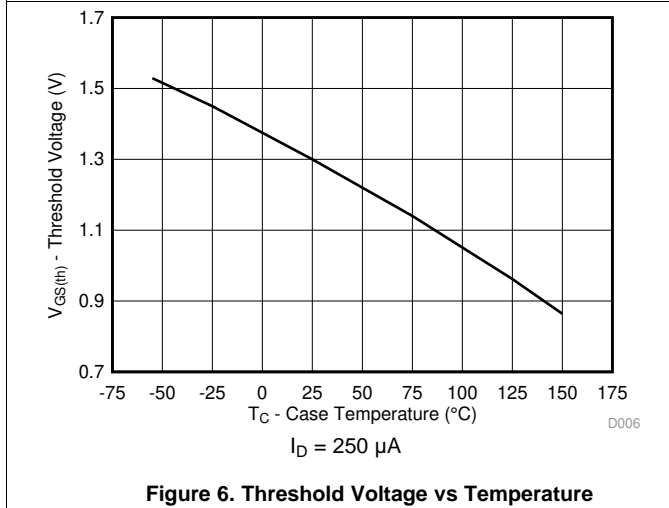
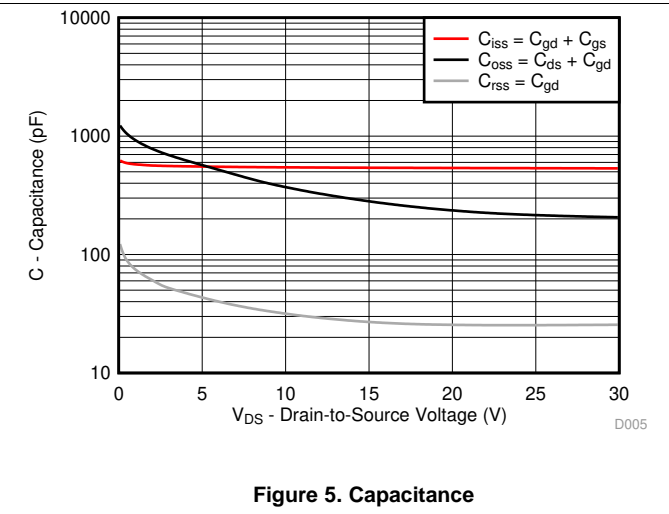
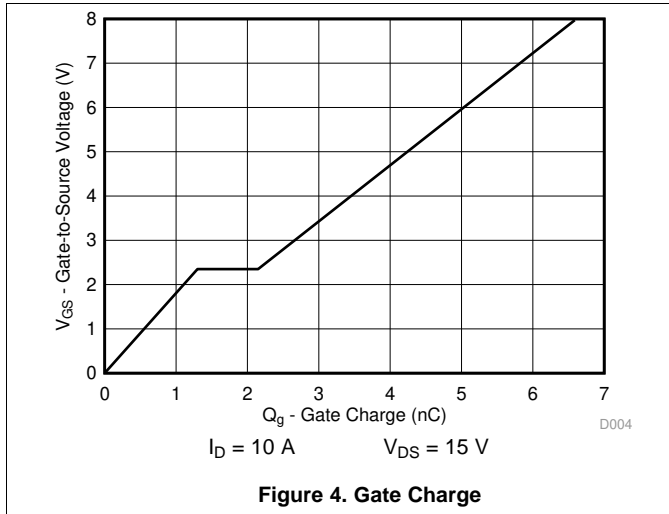


Figure 3. Transfer Characteristics

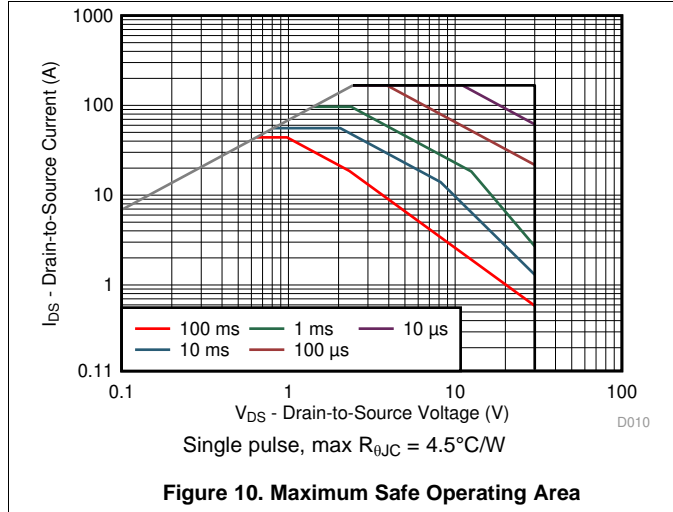
Typical MOSFET Characteristics (continued)

T<sub>A</sub> = 25°C unless otherwise stated

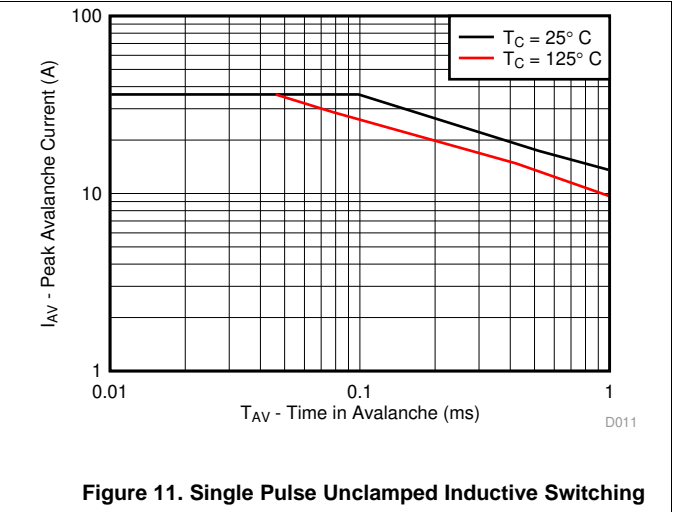


**Typical MOSFET Characteristics (continued)**

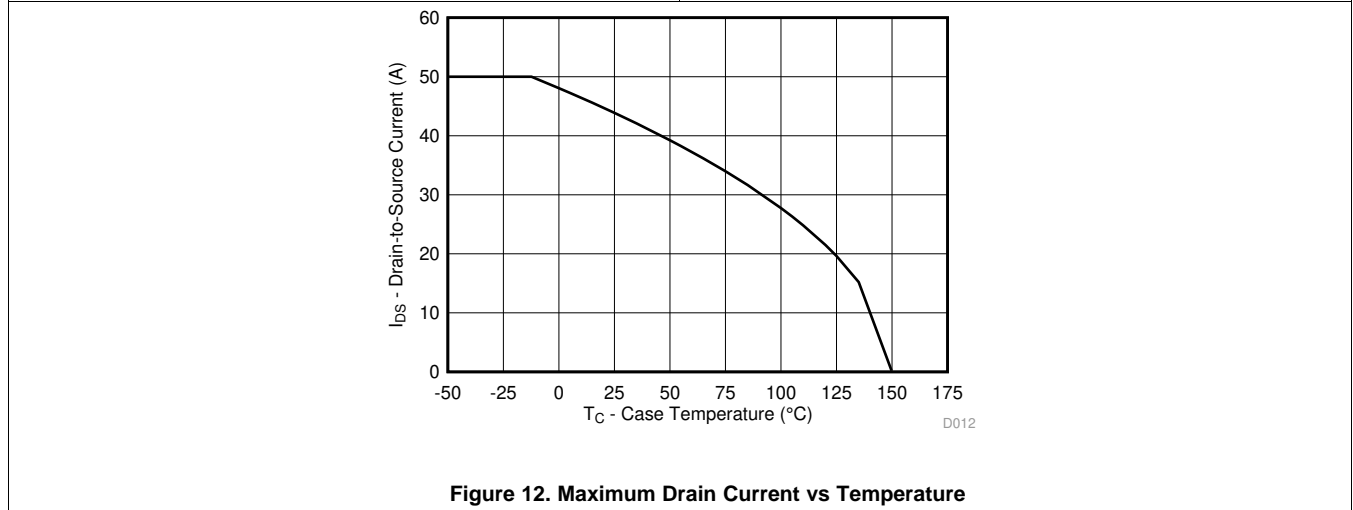
$T_A = 25^\circ\text{C}$  unless otherwise stated



**Figure 10. Maximum Safe Operating Area**



**Figure 11. Single Pulse Unclamped Inductive Switching**



**Figure 12. Maximum Drain Current vs Temperature**

## 6 デバイスおよびドキュメントのサポート

### 6.1 サポート・リソース

TI E2E™ [support forums](#) are an engineer's go-to source for fast, verified answers and design help — straight from the experts. Search existing answers or ask your own question to get the quick design help you need.

Linked content is provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

### 6.2 商標

NexFET, E2E are trademarks of Texas Instruments.  
All other trademarks are the property of their respective owners.

### 6.3 静電気放電に関する注意事項



これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

### 6.4 Glossary

[SLYZ022](#) — *TI Glossary*.

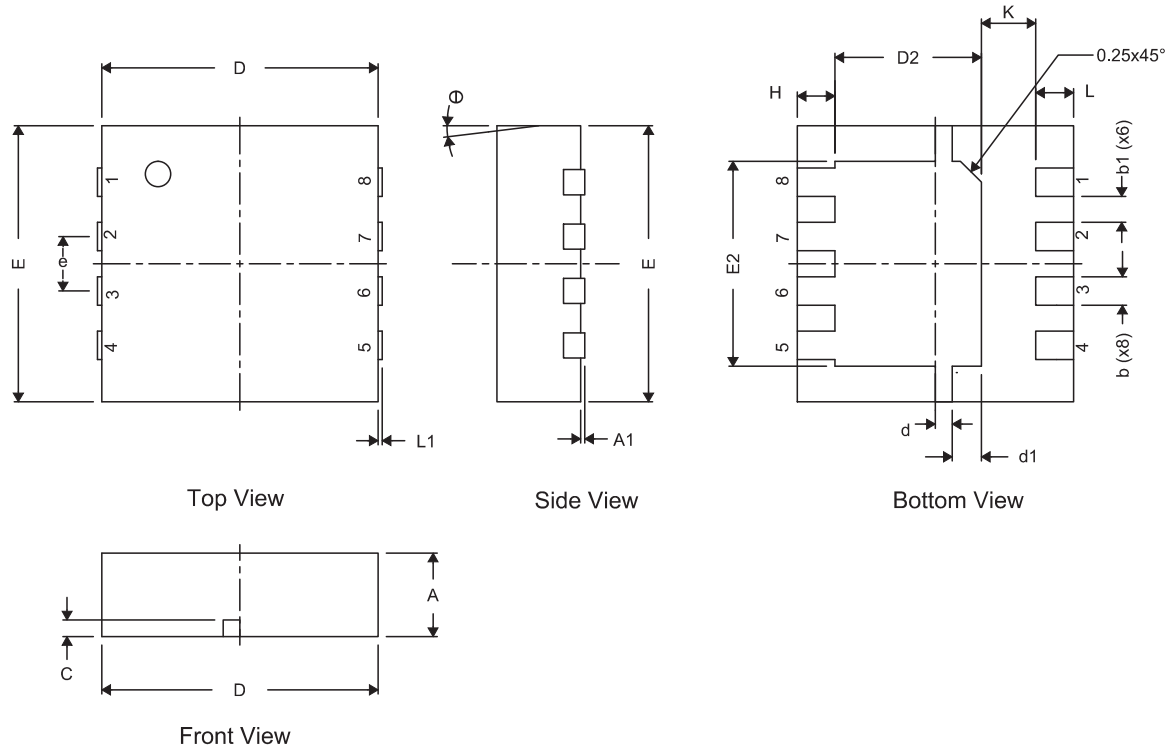
This glossary lists and explains terms, acronyms, and definitions.



## 7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

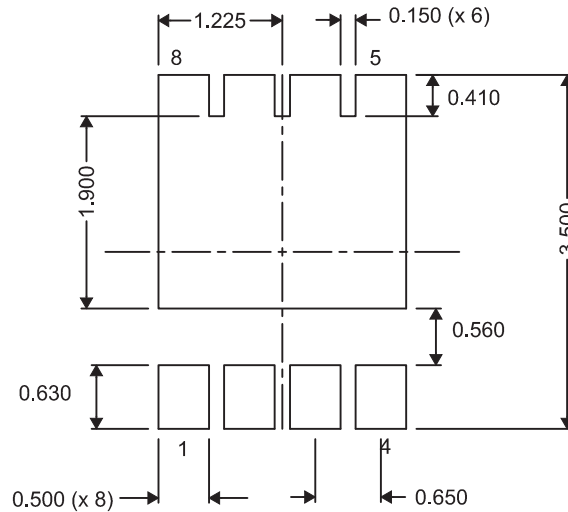
### 7.1 Q3パッケージの寸法



寸法	ミリメートル			インチ		
	最小	公称	最大	最小	公称	最大
A	0.950	1.000	1.100	0.037	0.039	0.043
A1	0.000	0.000	0.050	0.000	0.000	0.002
b	0.280	0.340	0.400	0.011	0.013	0.016
b1	0.310 (公称値)			0.012 (公称値)		
c	0.150	0.200	0.250	0.006	0.008	0.010
D	3.200	3.300	3.400	0.126	0.130	0.134
D2	1.650	1.750	1.800	0.065	0.069	0.071
d	0.150	0.200	0.250	0.006	0.008	0.010
d1	0.300	0.350	0.400	0.012	0.014	0.016
E	3.200	3.300	3.400	0.126	0.130	0.134
E2	2.350	2.450	2.550	0.093	0.096	0.100
e	0.650 (標準値)			0.026 (標準値)		
H	0.35	0.450	0.550	0.014	0.018	0.022
K	0.650 (標準値)			0.026 (標準値)		
L	0.35	0.450	0.550	0.014	0.018	0.022
L1	0	—	0	0	—	0

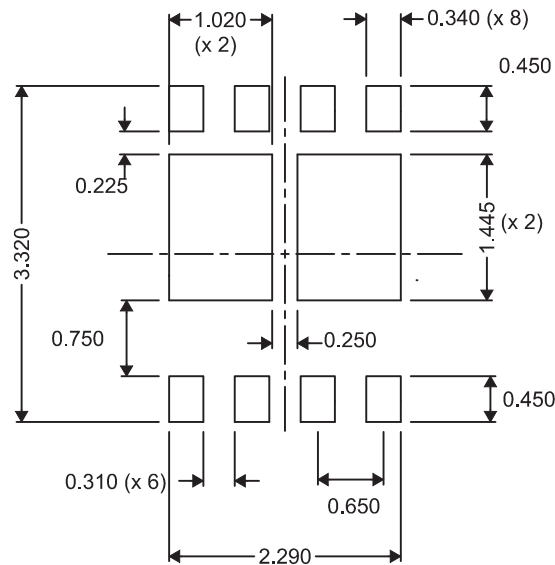
寸法	ミリメートル			インチ		
	最小	公称	最大	最小	公称	最大
θ	0	—	0	0	—	0

### 7.2 推奨のPCBパターン



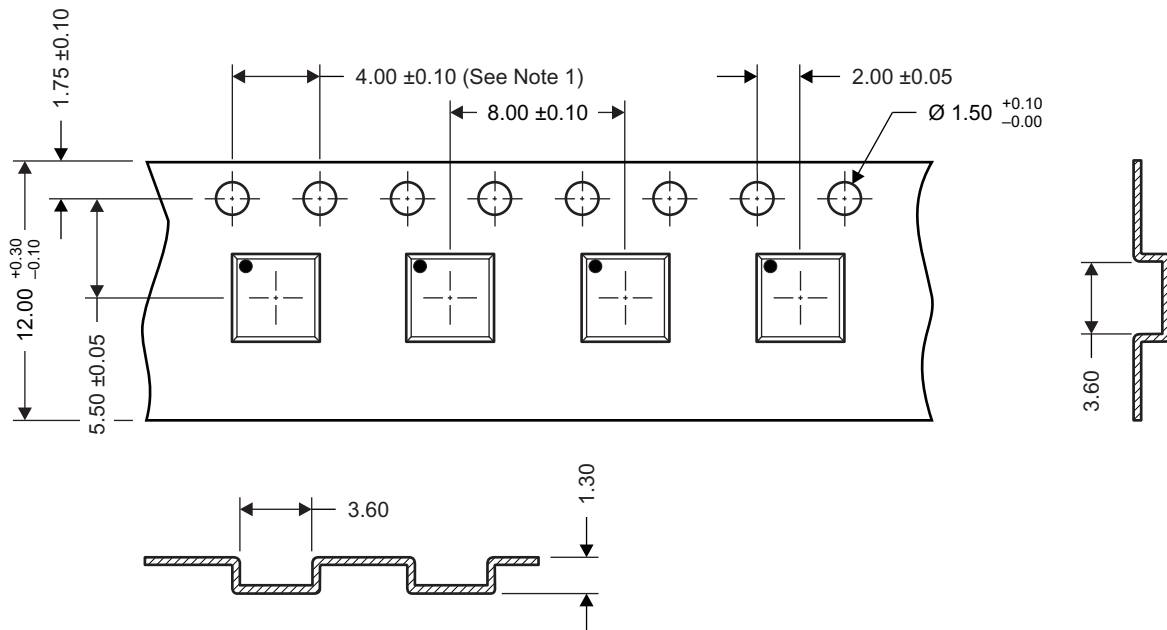
PCBデザインの推奨回路レイアウトについては、アプリケーション・ノート [SLPA005『PCBレイアウト技法によるリンギングの低減』](#)を参照してください。

### 7.3 推奨されるステンシル開口部



すべての寸法は、特記されていない限りmm単位

## 7.4 Q3のテープ・アンド・リール情報



M0144-01

### 注:

1. スプロケット穴のピッチ10個分の累積許容誤差 $\pm 0.2$
2. キャンバーは100mm内に1mmを超えないこと(250mm以上では累積しない)
3. 材質: 黒色の静電放電性ポリスチレン
4. すべての寸法は、特記されていない限りmm単位です。
5. 厚さ:  $0.30 \pm 0.05$  mm
6. MSL1 260°C (IRおよび対流方式) Pbフリフロー互換

## 重要なお知らせと免責事項



TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 ([www.tij.co.jp/ja-jp/legal/termssofsale.html](http://www.tij.co.jp/ja-jp/legal/termssofsale.html))、または [ti.com](http://ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2020, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD17308Q3	ACTIVE	VSON-CLIP	DQG	8	2500	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD17308	
CSD17308Q3T	ACTIVE	VSON-CLIP	DQG	8	250	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD17308	

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 ([www.tij.co.jp/ja-jp/legal/termsofsale.html](http://www.tij.co.jp/ja-jp/legal/termsofsale.html))、または [ti.com](http://ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2020, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社