

30V、Nチャネル NexFET™ パワー MOSFETs

1 特長

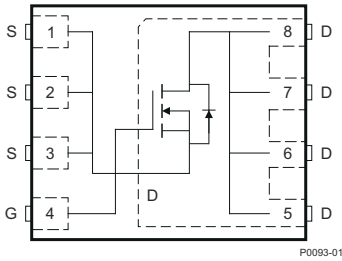
- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛不使用の端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- SON 5mm × 6mm プラスチック パッケージ

2 アプリケーション

- ネットワーク、テレコム、およびコンピューティング システムのポイント オブ ロード同期整流降圧
- 制御および同期 FET アプリケーションに最適化

3 概要

NexFET™ パワー MOSFET は、電源変換アプリケーションの損失を最小限に抑えるように設計されています。



上面図

製品概要

V_{DS}	ドレイン - ソース間電圧	30	V
Q_g	ゲートの合計電荷 (4.5V)	6.4	nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	1.9	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 4.5V$	5.4 mΩ
		$V_{GS} = 10V$	4.1 mΩ
$V_{GS(th)}$	スレッショルド電圧	1.5	V

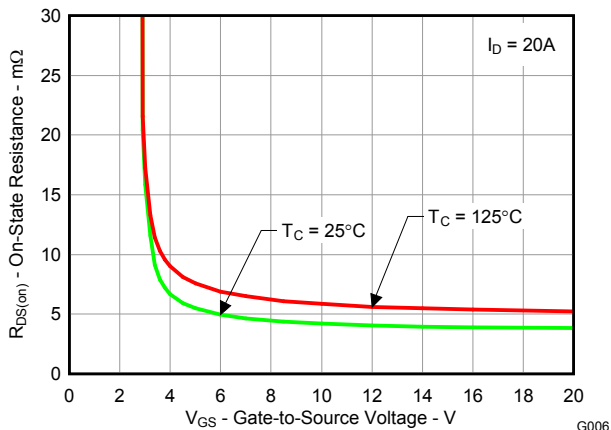
注文情報

デバイス	パッケージ	メディア	数量	Ship (配送)
CSD17510Q5A	SON 5mm×6mm プラスチック パッケージ	13 インチ リール	2500	テープ アン ドリール

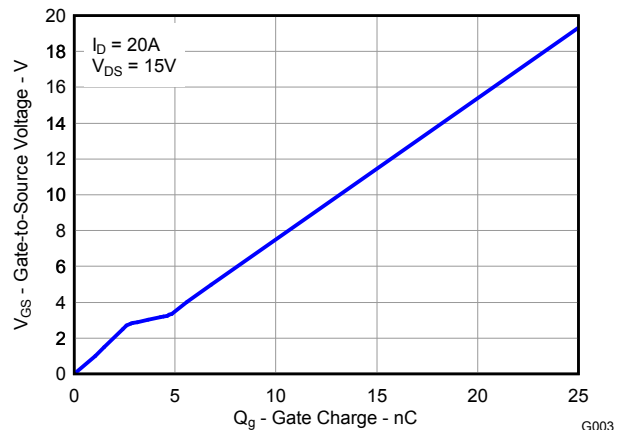
絶対最大定格

$T_A = 25^\circ C$ (特に記述のない限り)		値	単位
V_{DS}	ドレイン - ソース間電圧	30	V
V_{GS}	ゲート - ソース間電圧	±20	V
I_D	連続ドレイン電流、 $T_C = 25^\circ C$	55	A
	連続ドレイン電流 ⁽¹⁾	20	A
I_{DM}	パルスドレイン電流、 $T_A = 25^\circ C$ ⁽²⁾	129	A
P_D	消費電力 ⁽¹⁾	3	W
T_J , T_{STG}	動作時の接合部温度、保存温度	-55~150	°C
E_{AS}	アバランシェ エネルギー、単一パルス $I_D = 54A$, $L = 0.1mH$, $R_G = 25\Omega$	146	mJ

- 厚さ 0.06 インチ (1.52mm) の FR4 PCB 上にある 1 平方インチ (6.45cm²)、2 オンス (厚さ 0.071mm) の Cu パッドで、標準 $R_{\theta JA} = 41^\circ C/W$ 。
- パルス幅 ≤ 300μs、デューティサイクル ≤ 2%



$R_{DS(on)}$ と V_{GS} との関係



ゲート電荷



Table of Contents

1 特長	1	7.2 Documentation Support	7
2 アプリケーション	1	7.3 ドキュメントの更新通知を受け取る方法	7
3 概要	1	7.4 サポート・リソース	7
4 Electrical Characteristics	3	7.5 商標	7
5 Thermal Characteristics	3	7.6 静電気放電に関する注意事項	7
6 Typical MOSFET Characteristics	4	7.7 用語集	7
7 Device and Documentation Support	7	9 Mechanical Data	9
7.1 サード・パーティ製品に関する免責事項.....	7		

4 Electrical Characteristics

(T_A = 25°C unless otherwise stated)

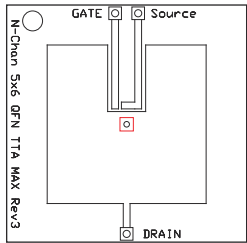
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
Static Characteristics						
B _V DSS	Drain to Source Voltage	V _{GS} = 0V, I _{DS} = 250μA	30			V
I _{DSS}	Drain to Source Leakage Current	V _{GS} = 0V, V _{DS} = 24V			1	μA
I _{GSS}	Gate to Source Leakage Current	V _{DS} = 0V, V _{GS} = 20V			100	nA
V _{GS(th)}	Gate to Source Threshold Voltage	V _{DS} = V _{GS} , I _{DS} = 250μA	1	1.5	2.1	V
R _{DS(on)}	Drain to Source On Resistance	V _{GS} = 4.5V, I _{DS} = 20A		5.4	7.3	mΩ
		V _{GS} = 10V, I _{DS} = 20A		4.1	5.2	mΩ
g _{fs}	Transconductance	V _{DS} = 15V, I _{DS} = 20A		59		S
Dynamic Characteristics						
C _{iss}	Input Capacitance	V _{GS} = 0V, V _{DS} = 15V, f = 1MHz		960	1250	pF
C _{oss}	Output Capacitance			630	820	pF
C _{rss}	Reverse Transfer Capacitance			51	66	pF
R _G	Series Gate Resistance			0.85	1.7	Ω
Q _g	Gate Charge Total (4.5V)	V _{DS} = 15V, I _{DS} = 20A		6.4	8.3	nC
Q _{gd}	Gate Charge Gate to Drain			1.9		nC
Q _{gs}	Gate Charge Gate to Source			2.7		nC
Q _{g(th)}	Gate Charge at V _{th}			1.5		nC
Q _{oss}	Output Charge	V _{DS} = 13.5V, V _{GS} = 0V		16		nC
t _{d(on)}	Turn On Delay Time	V _{DS} = 15V, V _{GS} = 4.5V, I _{DS} = 20A, R _G = 2Ω		7		ns
t _r	Rise Time			11		ns
t _{d(off)}	Turn Off Delay Time			9		ns
t _f	Fall Time			4.1		ns
Diode Characteristics						
V _{SD}	Diode Forward Voltage	I _{SD} = 20A, V _{GS} = 0V		0.85	1	V
Q _{rr}	Reverse Recovery Charge	V _{DD} = 13.5V, I _F = 20A, di/dt = 300A/μs		25		nC
t _{rr}	Reverse Recovery Time			24		ns

5 Thermal Characteristics

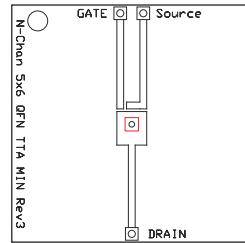
(T_A = 25°C unless otherwise stated)

PARAMETER		MIN	TYP	MAX	UNIT
R _{θJC}	Thermal Resistance Junction to Case ⁽¹⁾			1.6	°C/W
R _{θJA}	Thermal Resistance Junction to Ambient ^{(1) (2)}			51	°C/W

- R_{θJC} is determined with the device mounted on a 1-inch² (6.45cm²), 2oz. (0.071mm thick) Cu pad on a 1.5-inch × 1.5-inch (3.81cm × 3.81cm), 0.06-inch (1.52mm) thick FR4 PCB. R_{θJC} is specified by design, whereas R_{θJA} is determined by the user's board design.
- Device mounted on FR4 material with 1-inch² (6.45cm²), 2oz. (0.071mm thick) Cu.



Max R_{θJA} = 51°C/W when mounted on 1 inch² (6.45cm²) of 2oz. (0.071mm thick) Cu.



Max R_{θJA} = 125°C/W when mounted on a minimum pad area of 2-oz. (0.071-mm thick) Cu.

6 Typical MOSFET Characteristics

($T_A = 25^\circ\text{C}$ unless otherwise stated)

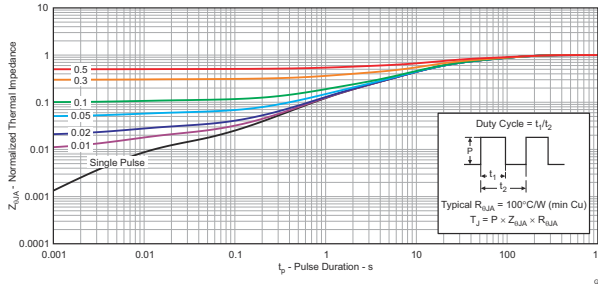


图 6-1. Transient Thermal Impedance

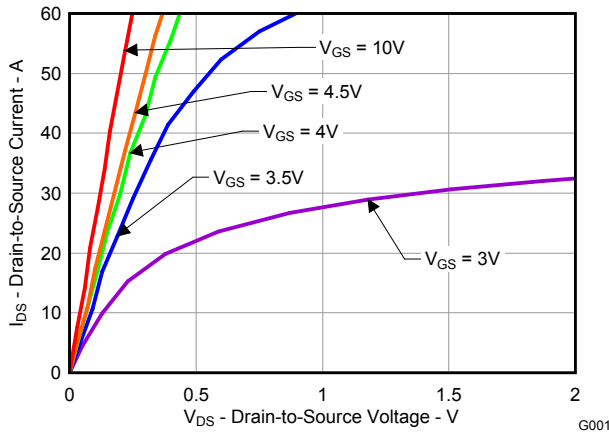


图 6-2. Saturation Characteristics

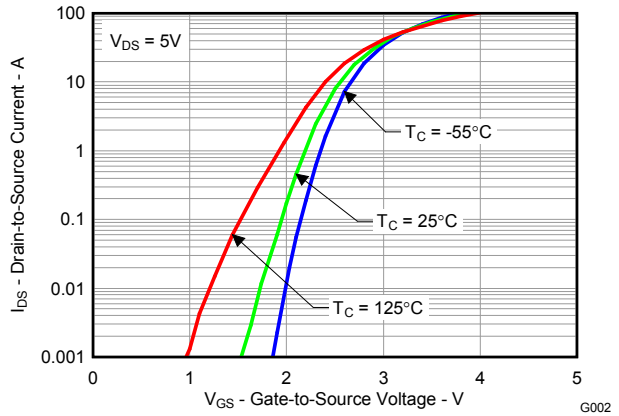


图 6-3. Transfer Characteristics

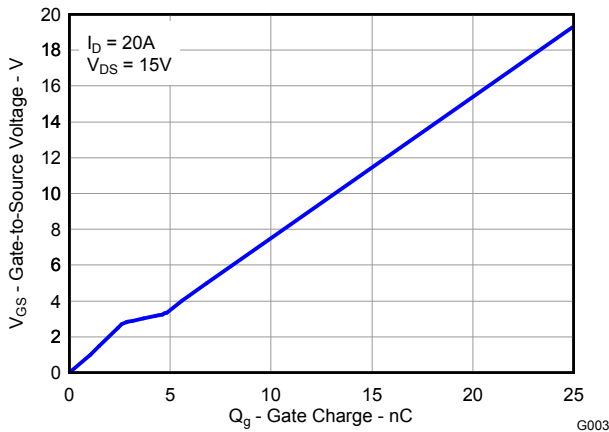


图 6-4. Gate Charge

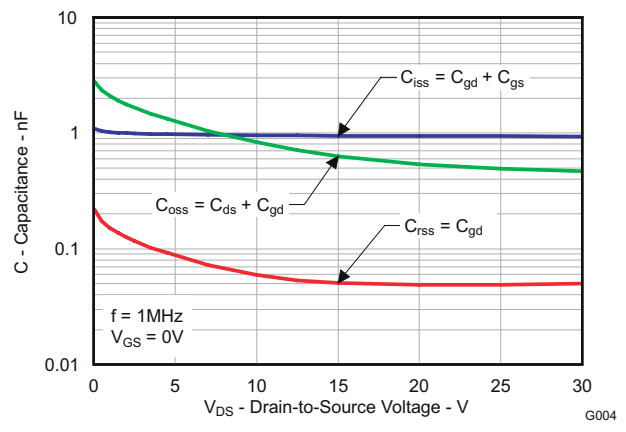
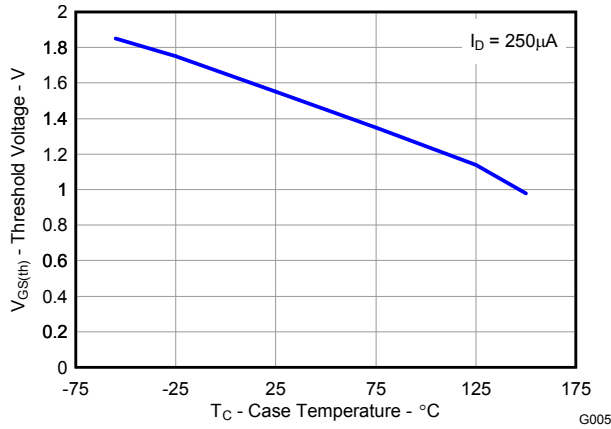
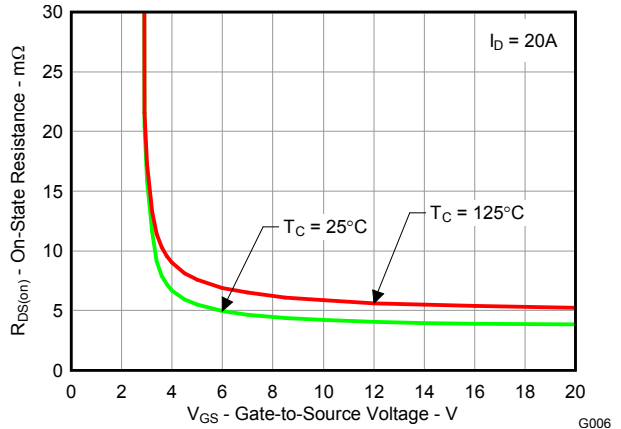


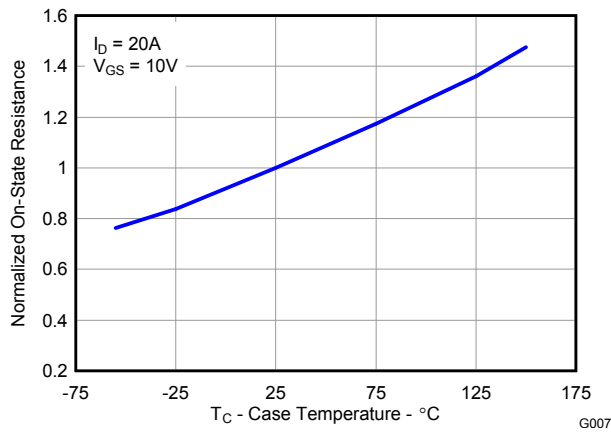
图 6-5. Capacitance



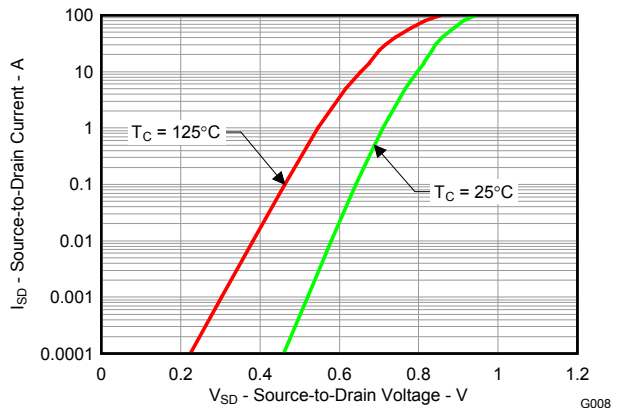
6-6. Threshold Voltage vs. Temperature



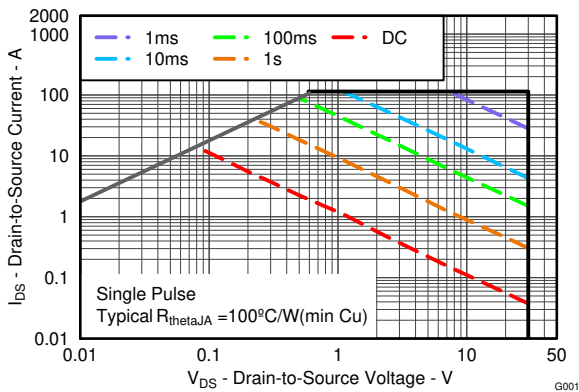
6-7. On-State Resistance vs. Gate-to-Source Voltage



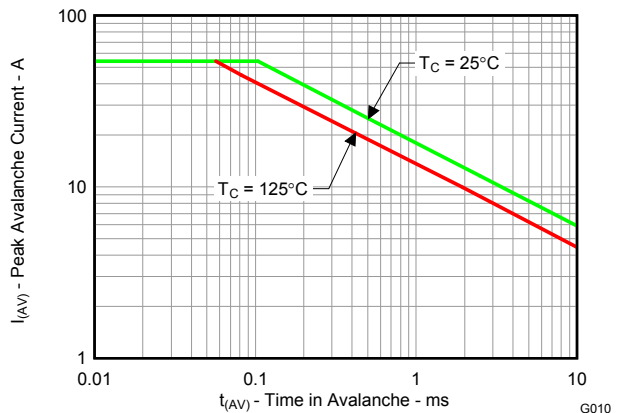
6-8. Normalized On-State Resistance vs. Temperature



6-9. Typical Diode Forward Voltage



6-10. Maximum Safe Operating Area



6-11. Single Pulse Unclamped Inductive Switching

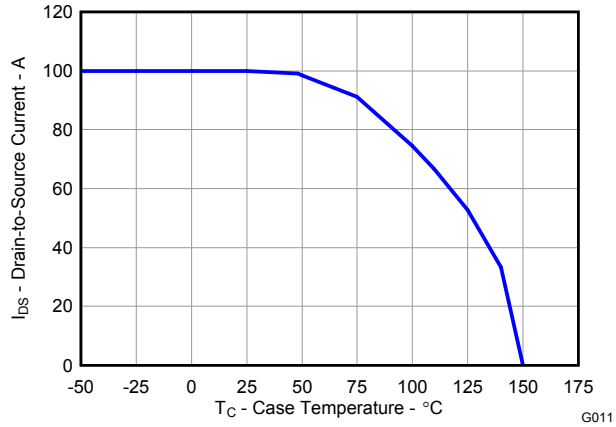


図 6-12. Maximum Drain Current vs. Temperature

7 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

7.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

7.2 Documentation Support

7.2.1 Related Documentation

7.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.5 商標

NexFET™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。


Changes from Revision G (September 2012) to Revision H (December 2024) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1


Changes from Revision * (July 2010) to Revision A () Page

- Changed the Y axis scale for [図 6-5](#)4

Changes from Revision F (October 2011) to Revision G (September 2012) **Page**

- Changed  6-10 4
-

Changes from Revision E (July 2011) to Revision F (October 2011) **Page**

- 「 I_D 連続ドレイン電流、 $T_C = 25^\circ\text{C}$ 」の値を 100A から 55A に変更。..... 1
 - Changed  6-10 4
-

Changes from Revision A (August 2010) to Revision B () **Page**

- Changed $R_{DS(on)}$ Test Conditions From $V_{GS} = 8\text{V}$ To: $V_{GS} = 10\text{V}$ 3
-

Changes from Revision B (September 2010) to Revision C () **Page**

- 絶対最大定格で、 E_{AS} の値を 45 から 146mJ に変更..... 1
-

Changes from Revision C (September 2010) to Revision D () **Page**

Changes from Revision D (November 2010) to Revision E () **Page**

- 「絶対最大定格」表の V_{GS} を変更: +20/-12V から $\pm 20\text{V}$ 1
 - Changed from +20/-12V to 20V..... 3
-

9 Mechanical Data

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD17510Q5A	ACTIVE	VSONP	DQJ	8	2500	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD17510	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

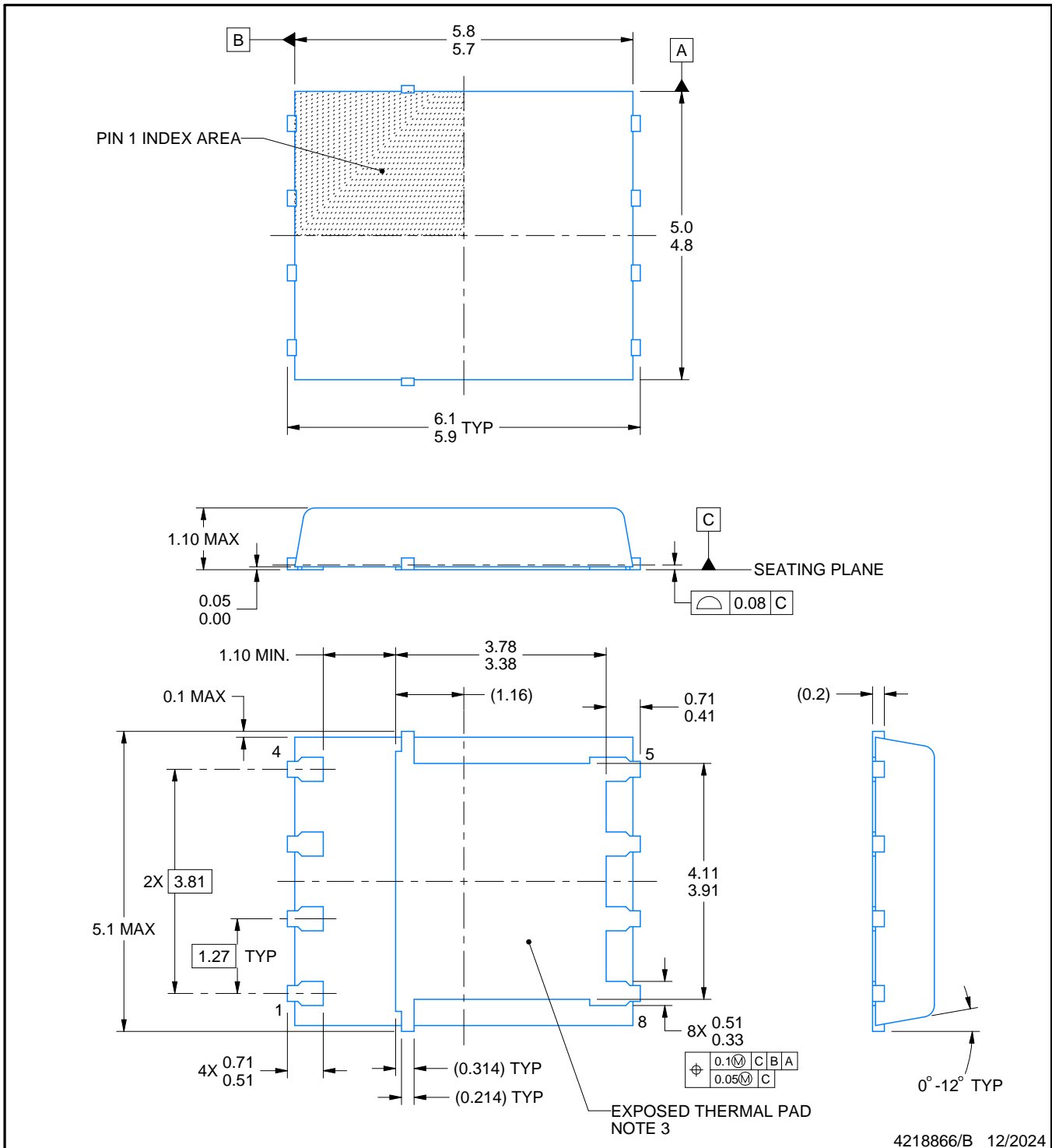
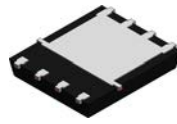
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD17510Q5A	VSONP	DQJ	8	2500	330.0	12.4	6.3	5.3	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD17510Q5A	VSONP	DQJ	8	2500	340.0	340.0	38.0



4218866/B 12/2024

NOTES:

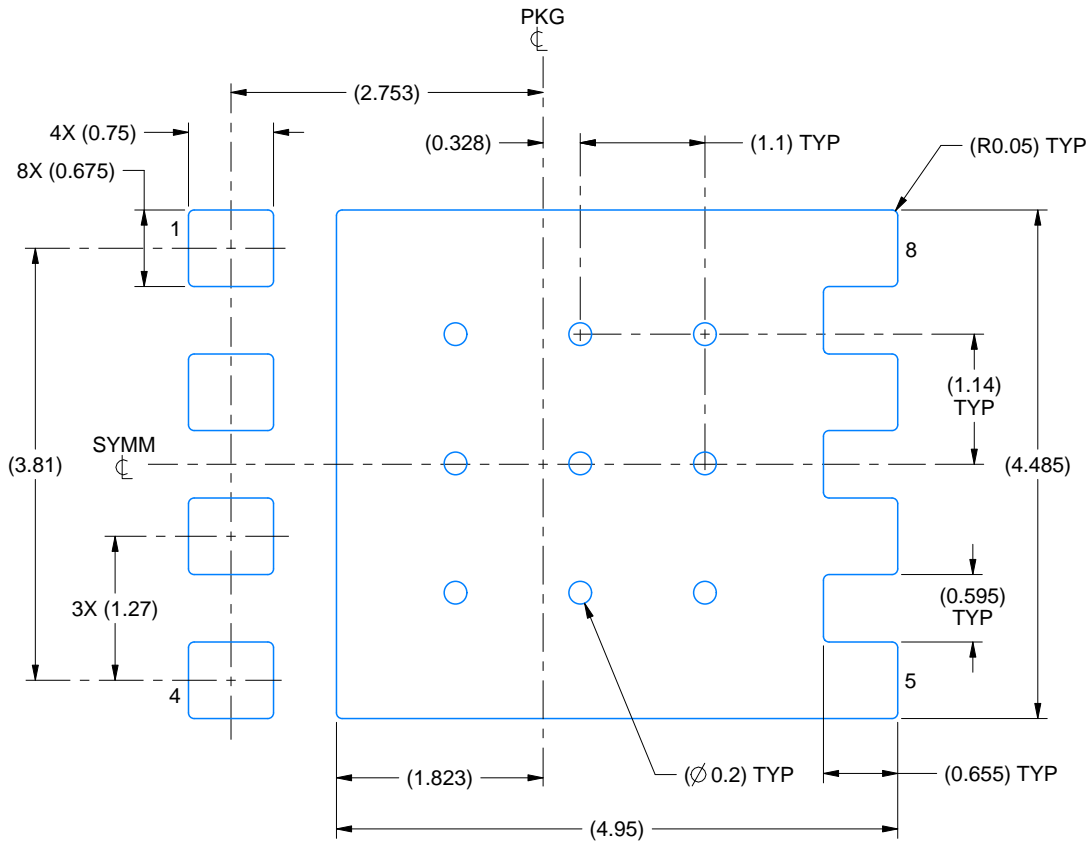
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Metalized features are supplier options and may not be on the package.
5. All dimensions do not include mold flash or protrusions.

EXAMPLE BOARD LAYOUT

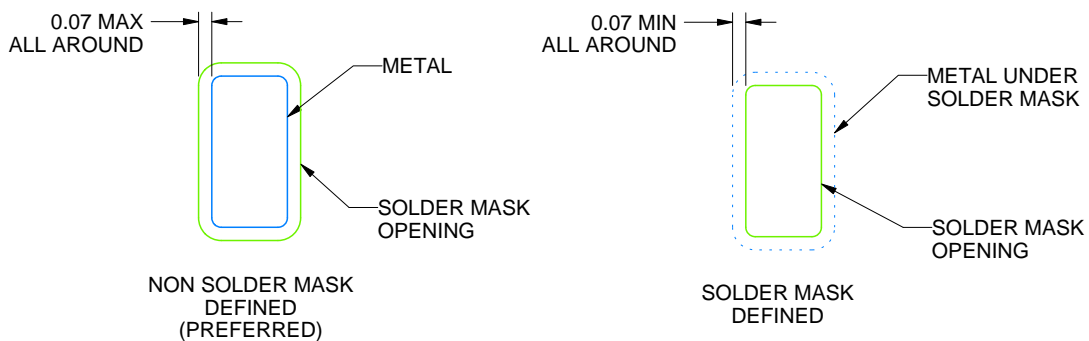
DQJ0008A

VSONP - 1.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE: 15X



SOLDER MASK DETAILS

4218866/B 12/2024

NOTES: (continued)

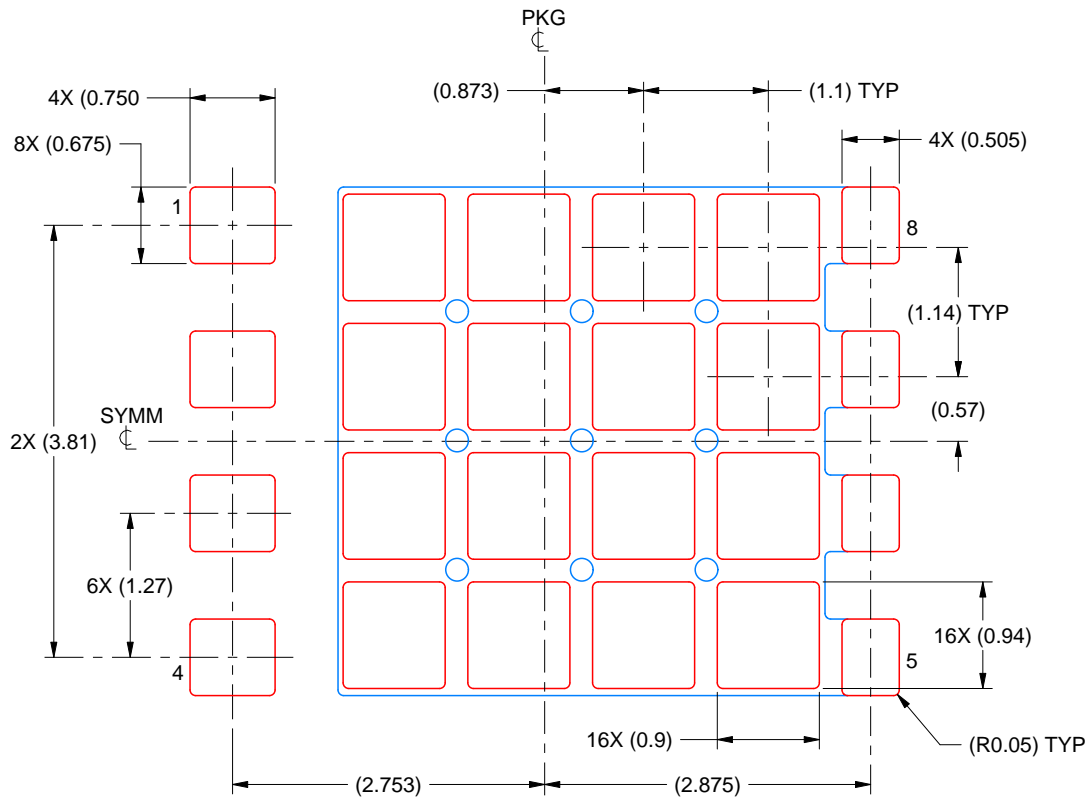
6. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
7. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

EXAMPLE STENCIL DESIGN

DQJ0008A

VSONP - 1.1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD:
70% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE: 15X

4218866/B 12/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated