

# CSD23382F4 12V P チャネル FemtoFET™ MOSFET

## 1 特長

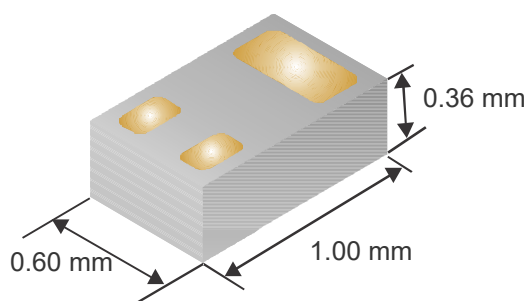
- 低いオン抵抗
- 非常に低い  $Q_g$  および  $Q_{gd}$
- 非常に小さな外形 (0402 ケース・サイズ)
  - 1.0mm × 0.6mm
- 薄型
  - 最大高 0.36mm
- ESD 保護ダイオード搭載
  - HBM 定格 2kV 超
  - CDM 定格 2kV 超
- 鉛フリーの端子メッキ処理
- ハロゲン不使用
- RoHS に準拠

## 2 アプリケーション

- 負荷スイッチ・アプリケーションに最適化
- 汎用スイッチング・アプリケーションに最適化
- バッテリー・アプリケーション
- ハンドヘルドおよびモバイル・アプリケーション

## 3 概要

この 66mΩ、12V P チャネル FemtoFET™ MOSFET は、多くのハンドヘルドおよびモバイル・アプリケーションでプリントを最小化するように設計および最適化されています。標準の小信号 MOSFET をこのテクノロジーに置き換えて、占有面積を 60% 以上減らすことができます。



標準的なデバイス寸法

### 製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
$V_{DS}$	ドレイン - ソース間電圧	-12	V
$Q_g$	総ゲート電荷量 (-4.5V)	1.04	nC
$Q_{gd}$	ゲート - ドレイン間のゲート電荷量	0.15	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = -1.8\text{V}$	149
		$V_{GS} = -2.5\text{V}$	90
		$V_{GS} = -4.5\text{V}$	66
$V_{GS(th)}$	スレッショルド電圧	-0.8	V

### 注文情報(1)

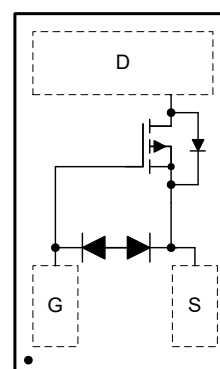
デバイス	数量	メディア	パッケージ	出荷形態
CSD23382F4	3000	7 インチ・リール	Femto (0402) 1.0mm × 0.6mm LGA (Land Grid Array)	テープ・アンド・リール
CSD23382F4T	250	7 インチ・リール		

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

### 絶対最大定格

$T_A = 25^\circ\text{C}$	値	単位
$V_{DS}$	ドレイン - ソース間電圧	-12
$V_{GS}$	ゲート - ソース間電圧	±8
$I_D$	連続ドレイン電流(1)	-3.5
$I_{DM}$	パルス・ドレイン電流、 $T_A = 25^\circ\text{C}$ (2)	-22
$I_G$	連続ゲート・クランプ電流	-35
	パルス・ゲート・クランプ電流(2)	-350
$P_D$	消費電力(1)	500
$V_{(ESD)}$	人体モデル (HBM)	2
	デバイス帯電モデル (CDM)	2
$T_J$ , $T_{stg}$	動作時の接合部温度、 保存温度	-55~150

- (1) 厚さ 0.06 インチ (1.52mm) の FR4 PCB 上に形成された面積 1 平方インチ (6.45cm<sup>2</sup>)、2 オンス (0.071mm 厚) の Cu パッド上で、標準値  $R_{\theta JA} = 85^\circ\text{C/W}$ 。
- (2) パルス幅 ≤ 100μs、デューティ・サイクル ≤ 1%



上面図



## Table of Contents

1 特長.....	1	6.1 Trademarks.....	7
2 アプリケーション.....	1	6.2 Electrostatic Discharge Caution.....	7
3 概要.....	1	6.3 Glossary.....	7
4 Revision History.....	2	<b>7 Mechanical, Packaging, and Orderable Information...8</b>	
5 Specifications.....	3	7.1 Mechanical Dimensions.....	8
5.1 Electrical Characteristics.....	3	7.2 Recommended Minimum PCB Layout.....	9
5.2 Thermal Information.....	3	7.3 Recommended Stencil Pattern.....	9
5.3 Typical MOSFET Characteristics.....	4	7.4 CSD23382F4 Embossed Carrier Tape Dimensions..	10
6 Device and Documentation Support.....	7		

## 4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision D (October 2021) to Revision E (January 2022)</b>	<b>Page</b>
• 「特長」セクションで最大の高さを「0.35mm」から「0.36mm」に変更 .....	1
• 「標準的なデバイスの寸法」で、最大の高さを「0.35mm」から「0.36mm」に変更 .....	1
• Changed maximum height from "0.35-mm" to "0.36-mm" in <i>Mechanical Dimensions</i> section.....	8
<b>Changes from Revision C (October 2014) to Revision D (October 2021)</b>	<b>Page</b>
• 文書全体にわたって表、図、相互参照の採番方法を更新.....	1
• Added footnote with link to support document.....	9
<b>Changes from Revision B (July 2014) to Revision C (October 2014)</b>	<b>Page</b>
• Corrected timing $V_{DS}$ to read $-6\text{ V}$ .....	3

## 5 Specifications

### 5.1 Electrical Characteristics

( $T_A = 25^\circ\text{C}$  unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>STATIC CHARACTERISTICS</b>						
$BV_{DSS}$	Drain-to-Source Voltage	$V_{GS} = 0\text{ V}, I_{DS} = -250\ \mu\text{A}$	-12			V
$I_{DSS}$	Drain-to-Source Leakage Current	$V_{GS} = 0\text{ V}, V_{DS} = -9.6\text{ V}$			-1	$\mu\text{A}$
$I_{GSS}$	Gate-to-Source Leakage Current	$V_{DS} = 0\text{ V}, V_{GS} = -8\text{ V}$			-10	$\mu\text{A}$
$V_{GS(th)}$	Gate-to-Source Threshold Voltage	$V_{DS} = V_{GS}, I_{DS} = 250\ \mu\text{A}$	-0.5	-0.8	-1.1	V
$R_{DS(on)}$	Drain-to-Source On-Resistance	$V_{GS} = -1.8\text{ V}, I_{DS} = -0.1\text{ A}$		149	199	$\text{m}\Omega$
		$V_{GS} = -2.5\text{ V}, I_{DS} = -0.5\text{ A}$		90	105	$\text{m}\Omega$
		$V_{GS} = -4.5\text{ V}, I_{DS} = -0.5\text{ A}$		66	76	$\text{m}\Omega$
$g_{fs}$	Transconductance	$V_{DS} = -10\text{ V}, I_{DS} = -0.5\text{ A}$		3.4		S
<b>DYNAMIC CHARACTERISTICS</b>						
$C_{iss}$	Input Capacitance	$V_{GS} = 0\text{ V}, V_{DS} = -6\text{ V},$ $f = 1\text{ MHz}$		180	235	pF
$C_{oss}$	Output Capacitance			118	154	pF
$C_{riss}$	Reverse Transfer Capacitance			12.8	16.6	pF
$R_G$	Series Gate Resistance			350		$\Omega$
$Q_g$	Gate Charge Total (-4.5 V)	$V_{DS} = -6\text{ V}, I_{DS} = -0.5\text{ A}$		1.04	1.35	nC
$Q_{gd}$	Gate Charge Gate-to-Drain			0.15		nC
$Q_{gs}$	Gate Charge Gate-to-Source			0.50		nC
$Q_{g(th)}$	Gate Charge at $V_{th}$			0.18		nC
$Q_{oss}$	Output Charge	$V_{DS} = -6\text{ V}, V_{GS} = 0\text{ V}$		1.08		nC
$t_{d(on)}$	Turn On Delay Time	$V_{DS} = -6\text{ V}, V_{GS} = -4.5\text{ V},$ $I_{DS} = -0.5\text{ A}, R_G = 2\ \Omega$		28		ns
$t_r$	Rise Time			25		ns
$t_{d(off)}$	Turn Off Delay Time			66		ns
$t_f$	Fall Time			41		ns
<b>DIODE CHARACTERISTICS</b>						
$V_{SD}$	Diode Forward Voltage	$I_{SD} = -0.5\text{ A}, V_{GS} = 0\text{ V}$		-0.75	-1	V
$Q_{rr}$	Reverse Recovery Charge	$V_{DS} = -6\text{ V}, I_F = -0.5\text{ A}, di/dt = 200\text{ A}/\mu\text{s}$		1.8		nC
$t_{rr}$	Reverse Recovery Time			8.4		ns

### 5.2 Thermal Information

( $T_A = 25^\circ\text{C}$  unless otherwise stated)

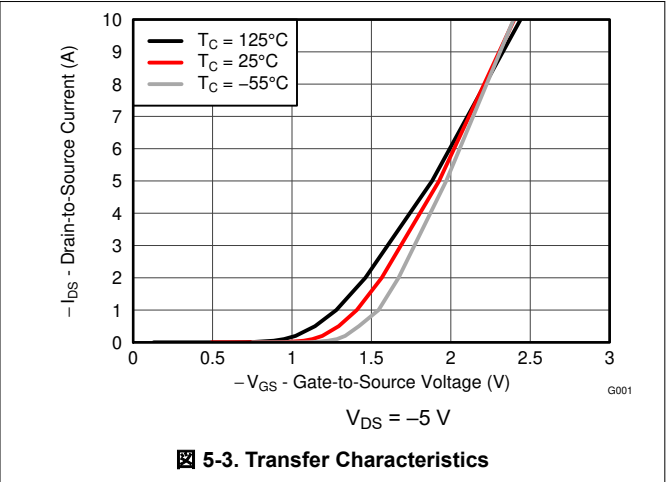
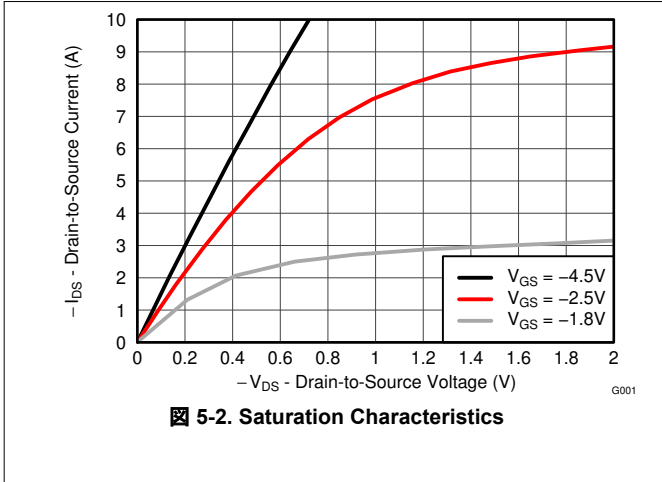
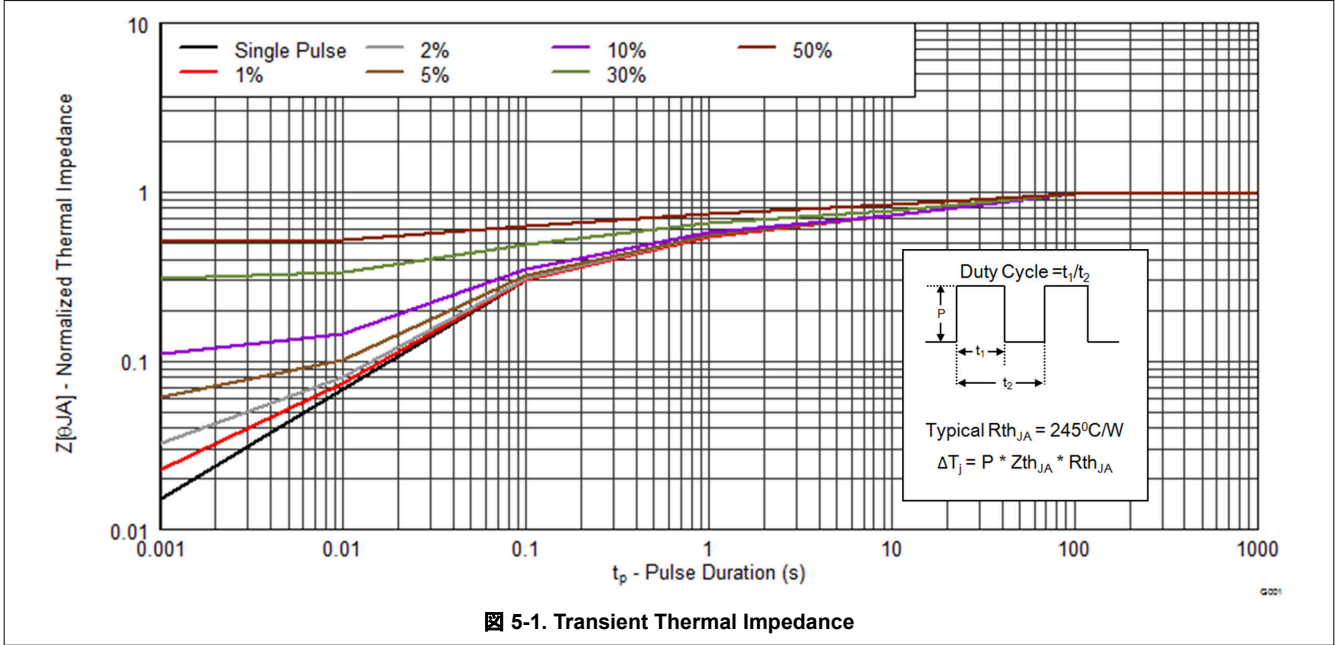
THERMAL METRIC		TYP	UNIT
$R_{\theta JA}$	Junction-to-Ambient Thermal Resistance <sup>(1)</sup>	85	$^\circ\text{C}/\text{W}$
	Junction-to-Ambient Thermal Resistance <sup>(2)</sup>	245	

(1) Device mounted on FR4 material with 1-inch<sup>2</sup> (6.45 cm<sup>2</sup>), 2-oz. (0.071-mm thick) Cu.

(2) Device mounted on FR4 material with minimum Cu mounting area.

### 5.3 Typical MOSFET Characteristics

( $T_A = 25^\circ\text{C}$  unless otherwise stated)



### 5.3 Typical MOSFET Characteristics (continued)

( $T_A = 25^\circ\text{C}$  unless otherwise stated)

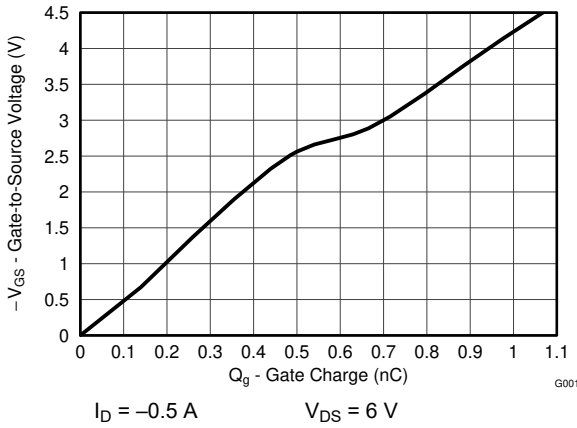


FIG 5-4. Gate Charge

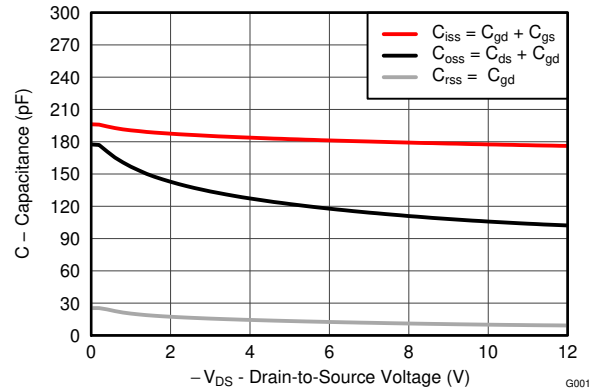


FIG 5-5. Capacitance

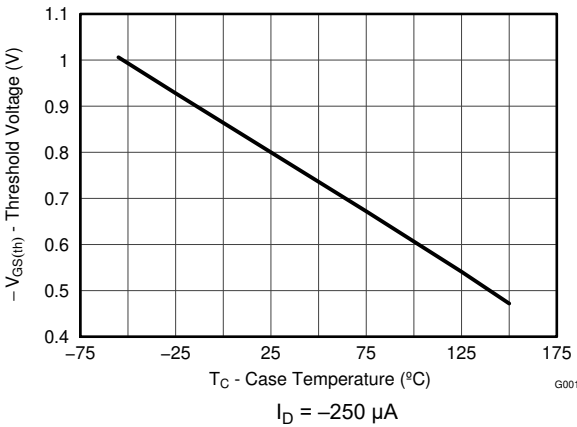


FIG 5-6. Threshold Voltage vs Temperature

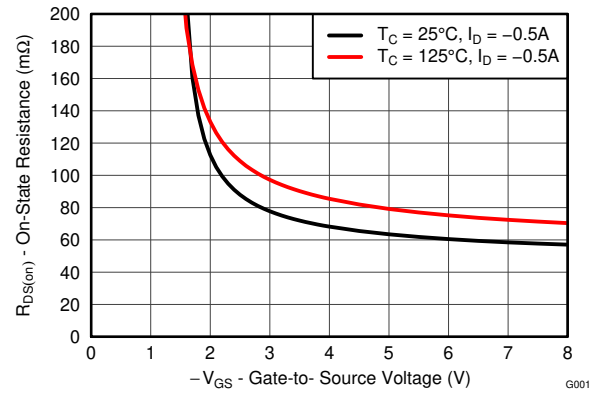


FIG 5-7. On-State Resistance vs Gate-to-Source Voltage

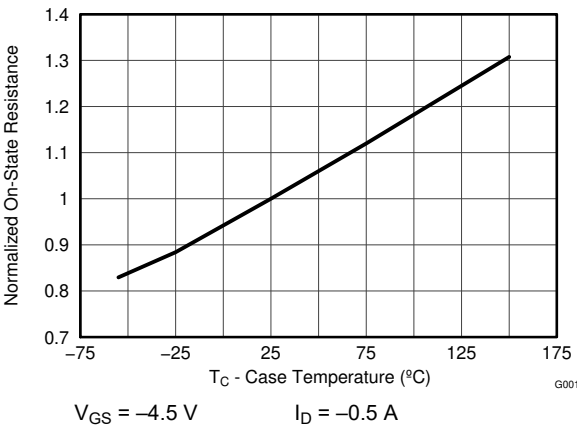


FIG 5-8. Normalized On-State Resistance vs Temperature

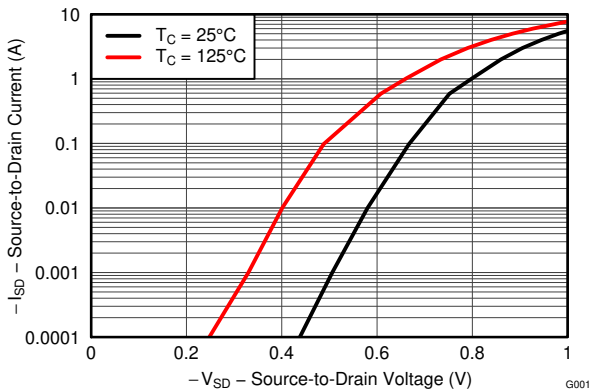
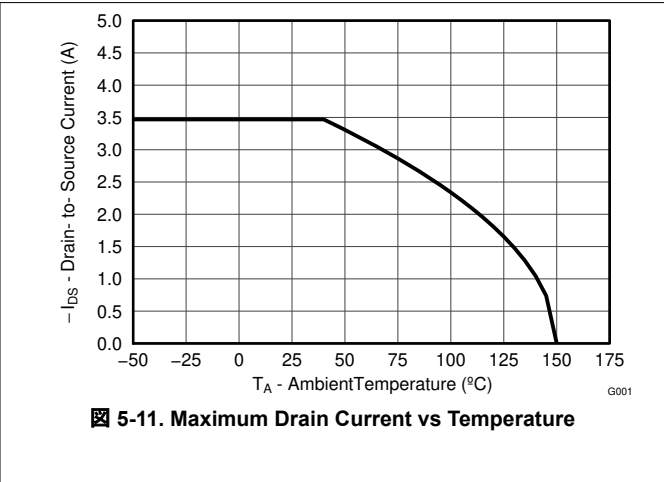
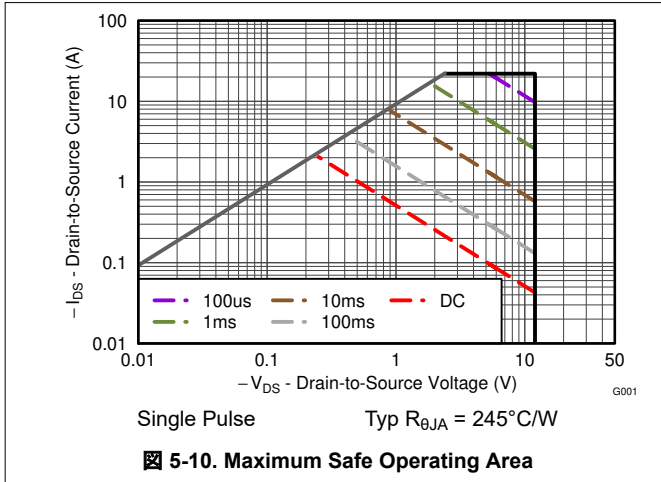


FIG 5-9. Typical Diode Forward Voltage

### 5.3 Typical MOSFET Characteristics (continued)

( $T_A = 25^\circ\text{C}$  unless otherwise stated)



## 6 Device and Documentation Support

### 6.1 Trademarks

FemtoFET™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 6.2 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

### 6.3 Glossary

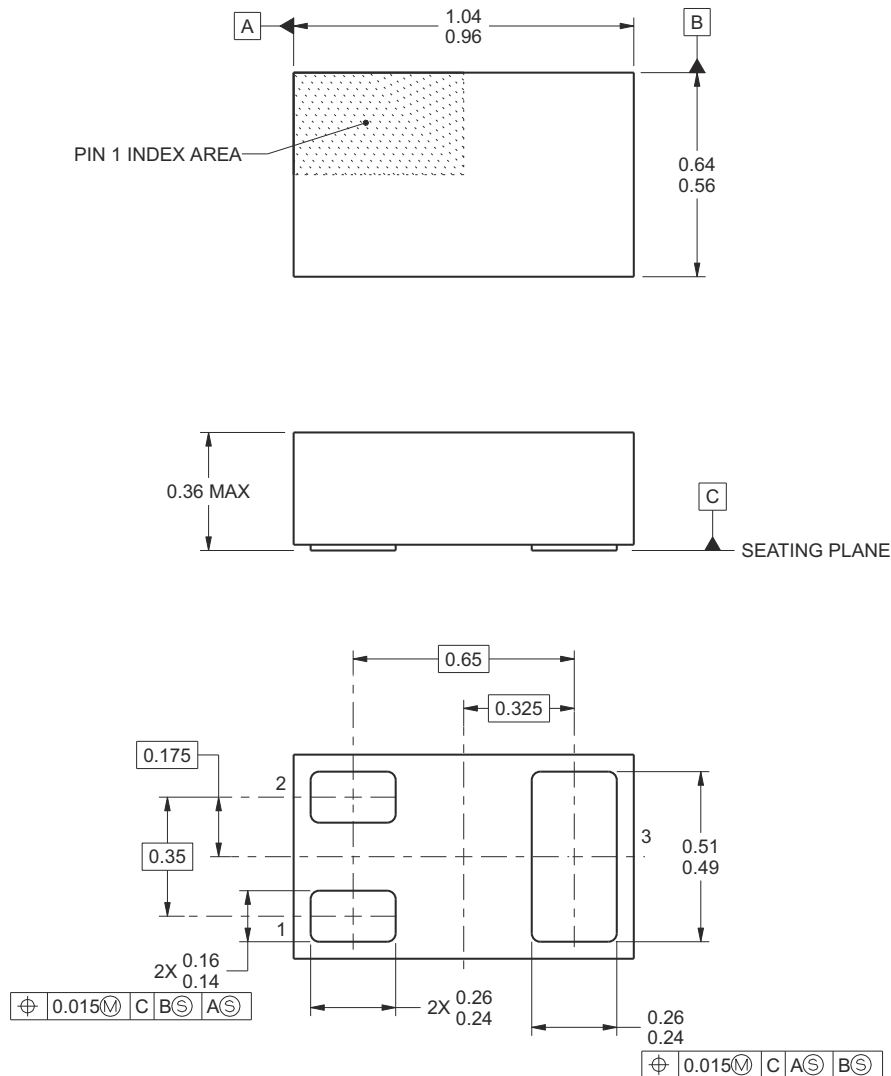
#### [TI Glossary](#)

This glossary lists and explains terms, acronyms, and definitions.

## 7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

### 7.1 Mechanical Dimensions



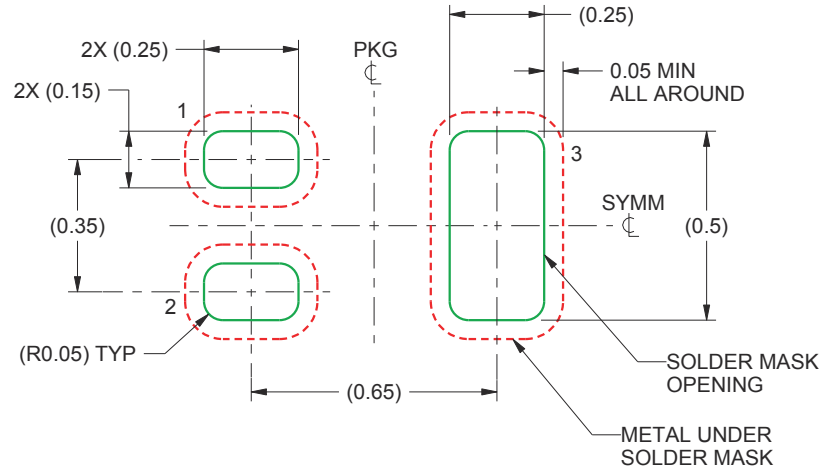
- A. All linear dimensions are in millimeters (dimensions and tolerancing per AME T14.5M-1994).
- B. This drawing is subject to change without notice.
- C. This package is a PB-free solder land design.

#### Pin Configuration

Position	Designation
Pin 1	Gate
Pin 2	Source
Pin 3	Drain

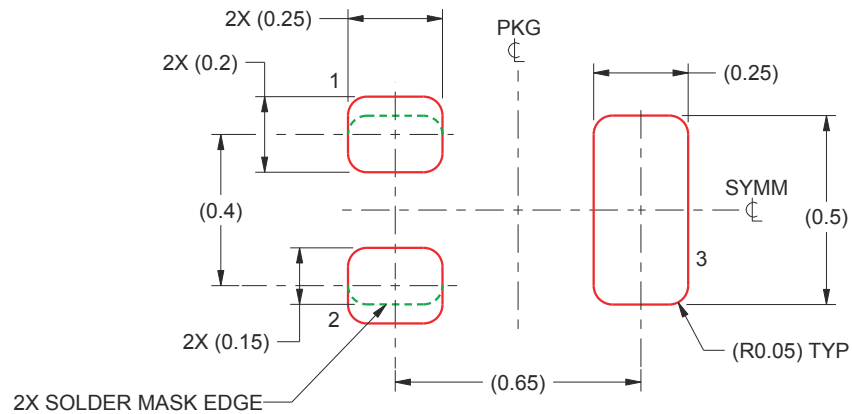


## 7.2 Recommended Minimum PCB Layout



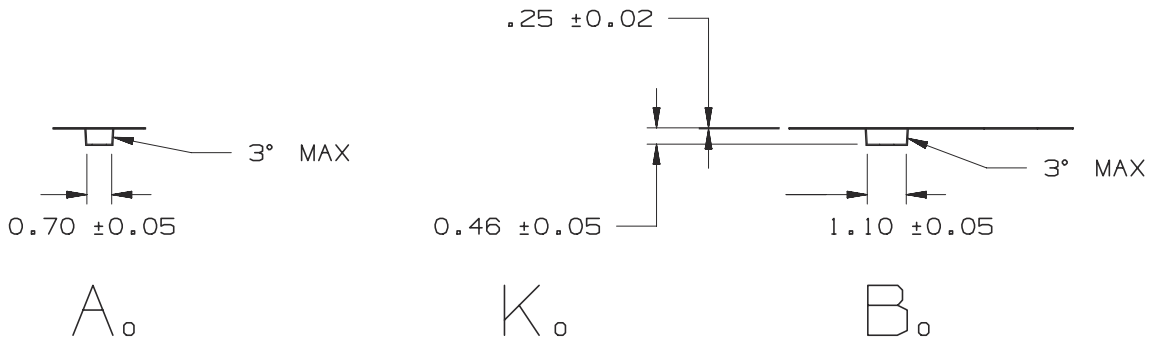
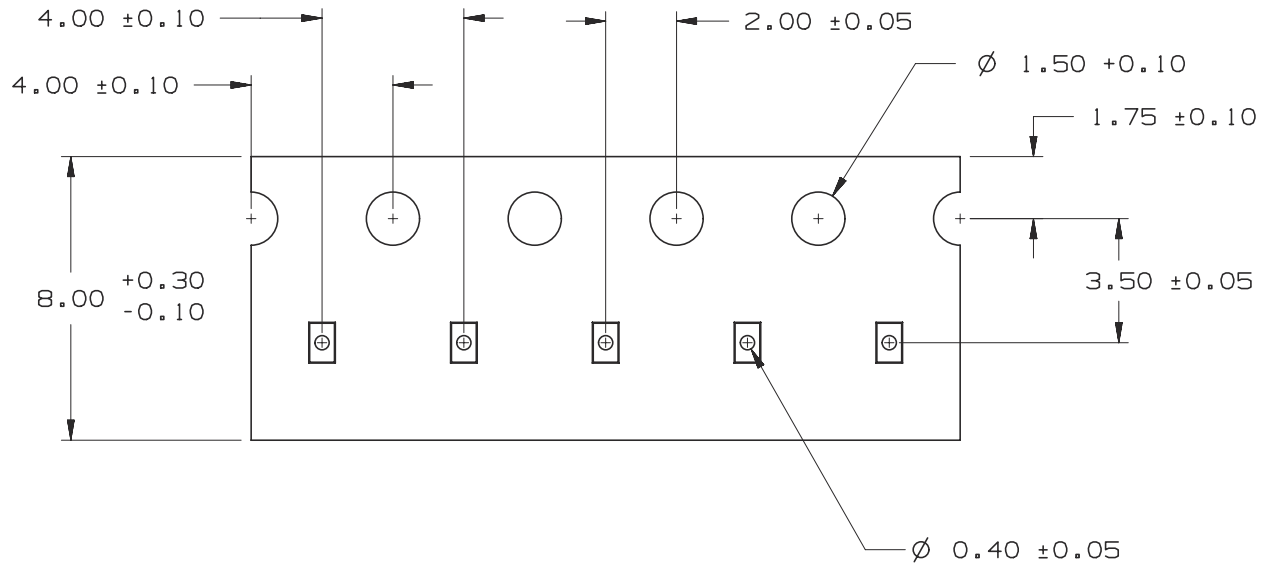
- A. All dimensions are in millimeters.
- B. For more information, see [FemtoFET Surface Mount Guide \(SLRA003D\)](#).

## 7.3 Recommended Stencil Pattern



- A. All dimensions are in millimeters.

### 7.4 CSD23382F4 Embossed Carrier Tape Dimensions



- A. Pin 1 is oriented in the top-right quadrant of the tape enclosure (quadrant 2), closest to the carrier tape sprocket holes.

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD23382F4	ACTIVE	PICOSTAR	YJC	3	3000	RoHS & Green	NIAU	Level-1-260C-UNLIM	0 to 0	EM	<a href="#">Samples</a>
CSD23382F4T	ACTIVE	PICOSTAR	YJC	3	250	RoHS & Green	NIAU	Level-1-260C-UNLIM	-55 to 150	EM	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD23382F4	PICOSTAR	YJC	3	3000	180.0	8.4	0.7	1.1	0.46	4.0	8.0	Q2
CSD23382F4T	PICOSTAR	YJC	3	250	180.0	8.4	0.7	1.1	0.46	4.0	8.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD23382F4	PICOSTAR	YJC	3	3000	182.0	182.0	20.0
CSD23382F4T	PICOSTAR	YJC	3	250	182.0	182.0	20.0

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated