

CSD25310Q2 -20V、P チャネル NexFET™ パワー MOSFET

1 特長

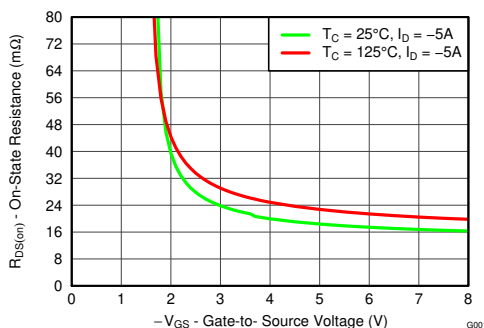
- 非常に低い Q_g および Q_{gd}
- 低いオン抵抗
- 低い熱抵抗
- 鉛フリー
- RoHS に準拠
- ハロゲン不使用
- SON 2mm × 2mm プラスチック・パッケージ

2 アプリケーション

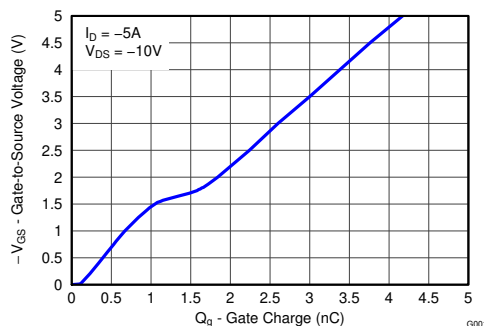
- バッテリー管理
- 負荷管理
- バッテリー保護

3 概要

この 19.9mΩ、-20V P チャネル・デバイスは、可能な限り小さな外形で、最低のオン抵抗とゲート電荷を実現し、非常に低いプロファイルで優れた熱特性を持つよう設計されています。本デバイスの小さいオン抵抗と SON 2mm × 2mm プラスチック・パッケージの非常に小さいフットプリントは、限られたスペースでのバッテリー動作に理想的です。



$R_{DS(on)}$ と V_{GS} との関係



ゲート電荷

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	-20	V
Q_g	ゲートの合計電荷 (-4.5V)	3.6	nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	0.5	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = -1.8\text{V}$	59.0 mΩ
		$V_{GS} = -2.5\text{V}$	27.0 mΩ
		$V_{GS} = -4.5\text{V}$	19.9 mΩ
$V_{GS(th)}$	スレッショルド電圧	-0.85	V

製品情報

製品名	メディア	数量	パッケージ	配送
CSD25310Q2	7 インチ・リール	3000	SON 2 × 2mm プラスチック・パッケージ	テープ・アンド・リール
CSD25310Q2T	7 インチ・リール	250		

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	-20	V
V_{GS}	ゲート - ソース間電圧	±8	V
I_D	連続ドレイン電流 (パッケージ制限)	-20	A
	連続ドレイン電流 (1)	-9.6	A
I_{DM}	パルス・ドレイン電流 (2)	48	A
P_D	消費電力	2.9	W
	1. $R_{\theta JA} = 43^\circ\text{C/W}$ (厚さ 0.060 インチの FR4 PCB 上の 1 平方インチの Cu (厚さ 2oz) に実装した場合)		
T_J , T_{stg}	動作時の接合部温度、保存温度	-55~150	°C

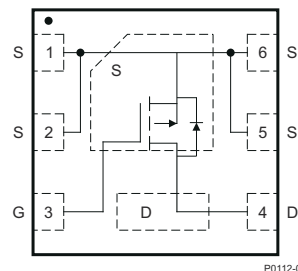


図 3-1. 上面図



Table of Contents

1 特長	1	6 Device and Documentation Support	6
2 アプリケーション	1	6.1 Trademarks.....	6
3 概要	1	7 Mechanical, Packaging, and Orderable Information	7
4 Revision History	2	7.1 Q2 Package Dimensions.....	7
5 Specifications	3	7.2 Recommended PCB Pattern.....	8
5.1 Electrical Characteristics.....	3	7.3 Recommended Stencil Pattern.....	8
5.2 Thermal Information.....	4	7.4 Q2 Tape and Reel Information.....	9
5.3 Typical MOSFET Characteristics.....	5		

4 Revision History

Changes from Revision A (June 2014) to Revision B (March 2022)	Page
• Updated drain and source connection images.....	4

Changes from Revision * (January 2014) to Revision A (June 2014)	Page
• 「鉛フリーの端子メッキ」を単なる「鉛フリー」に変更.....	1
• 「製品情報」表に小型リール・オプションを追加.....	1

5 Specifications

5.1 Electrical Characteristics

$T_A = 25^\circ\text{C}$, unless otherwise specified

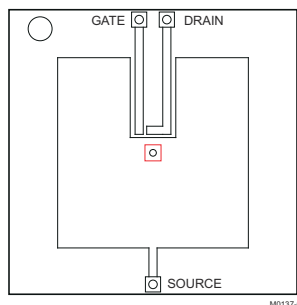
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
V_{DSS}	Drain-to-Source Voltage	$V_{GS} = 0\text{ V}, I_D = -250\ \mu\text{A}$	-20			V
I_{DSS}	Drain-to-Source Leakage Current	$V_{GS} = 0\text{ V}, V_{DS} = -16\text{ V}$			-1	μA
I_{GSS}	Gate-to-Source Leakage Current	$V_{DS} = 0\text{ V}, V_{GS} = -8\text{ V}$			-100	nA
$V_{GS(th)}$	Gate-to-Source Threshold Voltage	$V_{DS} = V_{GS}, I_{DS} = -250\ \mu\text{A}$	-0.55	-0.85	-1.10	V
$R_{DS(on)}$	Drain-to-Source On Resistance	$V_{GS} = -1.8\text{ V}, I_{DS} = -5\text{ A}$		59.0	89.0	$\text{m}\Omega$
		$V_{GS} = -2.5\text{ V}, I_{DS} = -5\text{ A}$		27.0	32.5	$\text{m}\Omega$
		$V_{GS} = -4.5\text{ V}, I_{DS} = -5\text{ A}$		19.9	23.9	$\text{m}\Omega$
g_{fs}	Transconductance	$V_{DS} = -16\text{ V}, I_{DS} = -5\text{ A}$		34		S
DYNAMIC CHARACTERISTICS						
C_{ISS}	Input Capacitance	$V_{GS} = 0\text{ V}, V_{DS} = -10\text{ V}, f = 1\text{ MHz}$		504	655	pF
C_{OSS}	Output Capacitance			281	365	pF
C_{RSS}	Reverse Transfer Capacitance			16.7	21.7	pF
R_g	Series Gate Resistance			1.9		Ω
Q_g	Gate Charge Total (-4.5 V)	$V_{DS} = -10\text{ V}, I_{DS} = -5\text{ A}$		3.6	4.7	nC
Q_{gd}	Gate Charge Gate to Drain			0.5		nC
Q_{gs}	Gate Charge Gate to Source			1.1		nC
$Q_{g(th)}$	Gate Charge at V_{th}			0.6		nC
Q_{OSS}	Output Charge	$V_{DS} = -10\text{ V}, V_{GS} = 0\text{ V}$		5.0		nC
$t_{d(on)}$	Turn On Delay Time	$V_{DS} = -10\text{ V}, V_{GS} = -4.5\text{ V}, I_{DS} = -5\text{ A}$ $R_G = 2\ \Omega$		8		ns
t_r	Rise Time			15		ns
$t_{d(off)}$	Turn Off Delay Time			15		ns
t_f	Fall Time			5		ns
DIODE CHARACTERISTICS						
V_{SD}	Diode Forward Voltage	$I_{DS} = -5\text{ A}, V_{GS} = 0\text{ V}$		-0.8	-1.0	V
Q_{rr}	Reverse Recovery Charge	$V_{DD} = -10\text{ V}, I_F = -5\text{ A}, di/dt = 200\text{ A}/\mu\text{s}$		9.2		nC
t_{rr}	Reverse Recovery Time			13		ns

5.2 Thermal Information

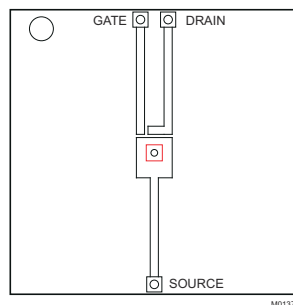
($T_A = 25^\circ\text{C}$ unless otherwise stated)

THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Thermal Resistance Junction to Case ⁽¹⁾			4.5	°C/W
$R_{\theta JA}$	Thermal Resistance Junction to Ambient ^{(1) (2)}			55	

- (1) $R_{\theta JC}$ is determined with the device mounted on a 1-inch² (6.45-cm²), 2-oz. (0.071-mm thick) Cu pad on a 1.5-inch × 1.5-inch (3.81-cm × 3.81-cm), 0.06-inch (1.52-mm) thick FR4 PCB. $R_{\theta JC}$ is specified by design, whereas $R_{\theta JA}$ is determined by the user's board design.
- (2) Device mounted on FR4 material with 1-inch² (6.45-cm²), 2-oz. (0.071-mm thick) Cu.



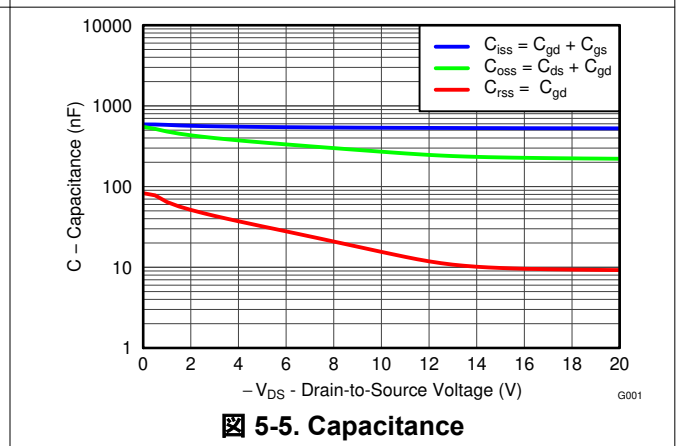
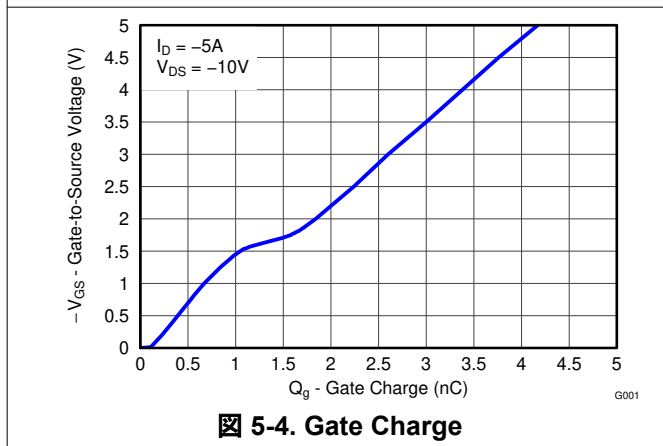
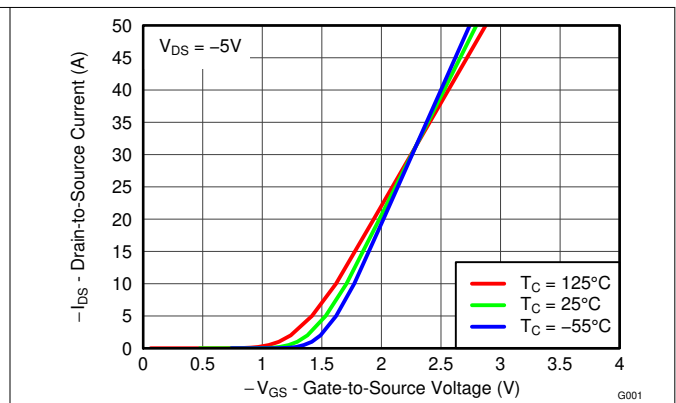
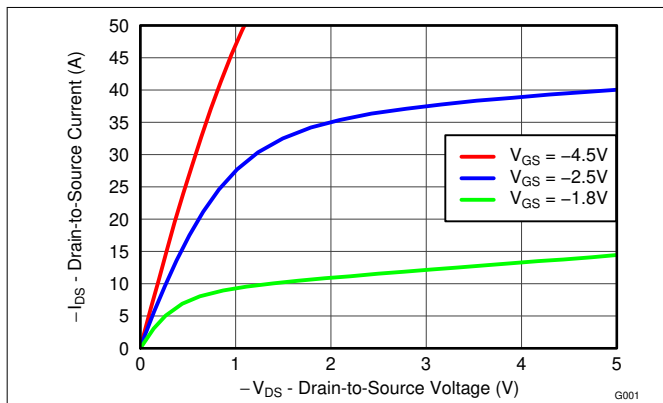
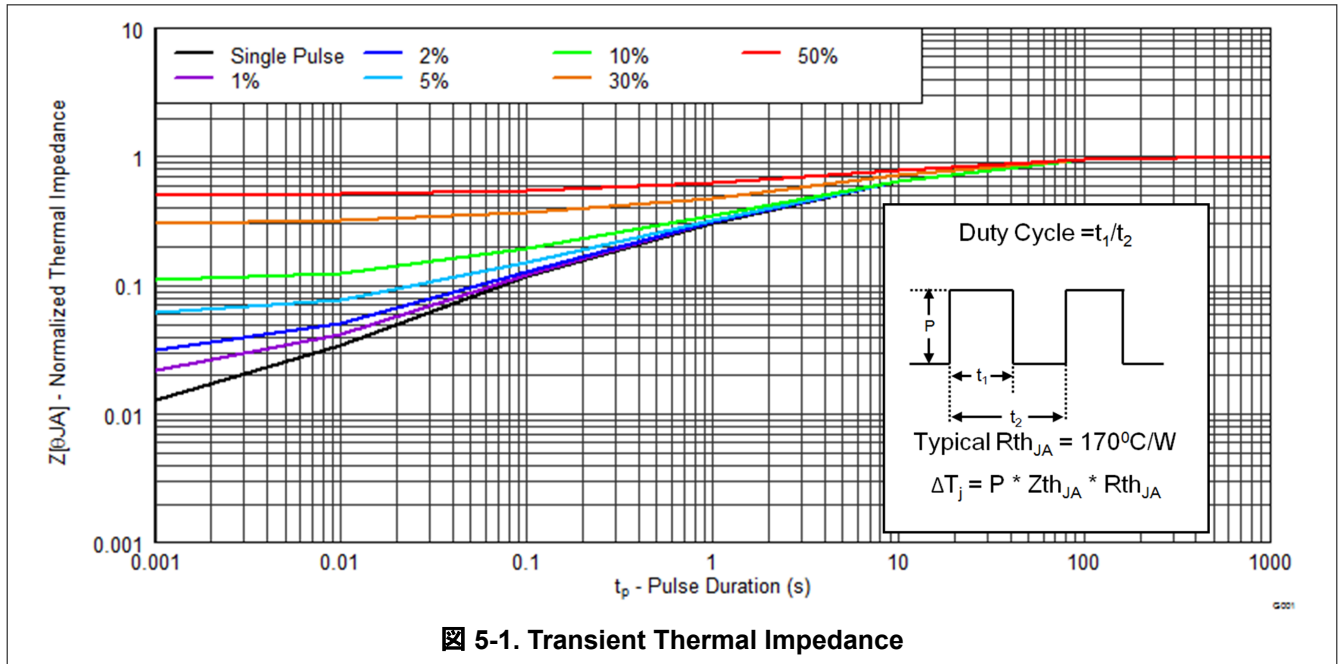
Max $R_{\theta JA} = 55$ when mounted on 1 inch² (6.45 cm²) of 2-oz. (0.071-mm thick) Cu.

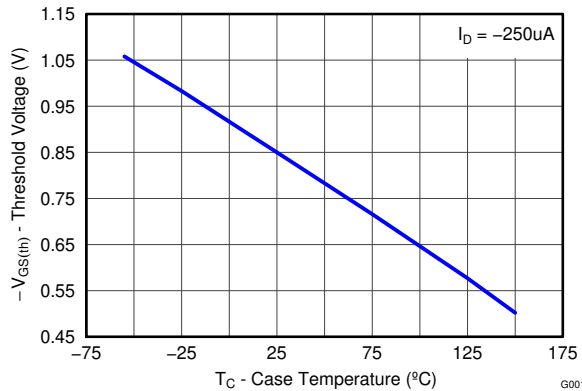


Max $R_{\theta JA} = 215$ when mounted on minimum pad area of 2-oz. (0.071-mm thick) Cu.

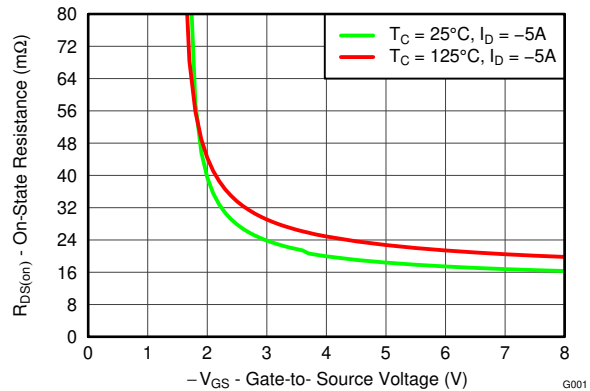
5.3 Typical MOSFET Characteristics

($T_A = 25^\circ\text{C}$ unless otherwise stated)

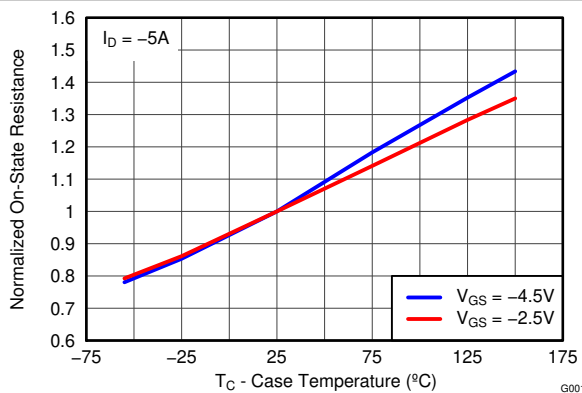




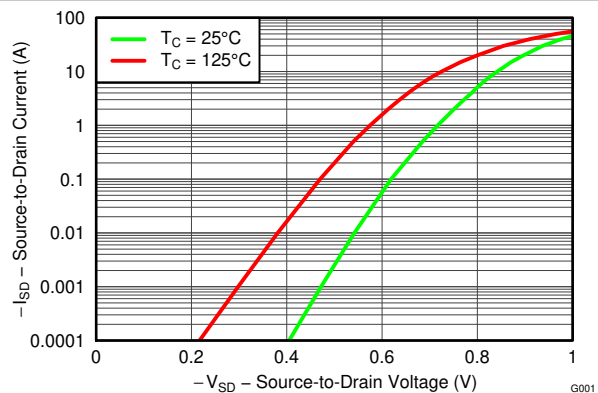
5-6. Threshold Voltage vs Temperature



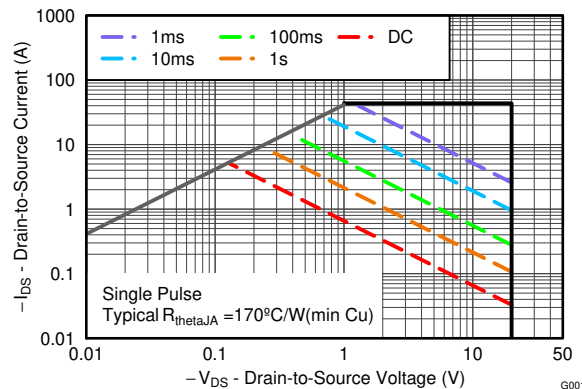
5-7. On-State Resistance vs Gate-to-Source Voltage



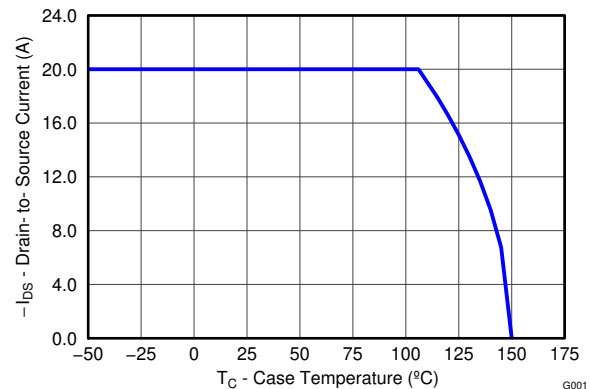
5-8. Normalized On-State Resistance vs Temperature



5-9. Typical Diode Forward Voltage



5-10. Maximum Safe Operating Area



5-11. Maximum Drain Current vs Temperature

6 Device and Documentation Support

6.1 Trademarks

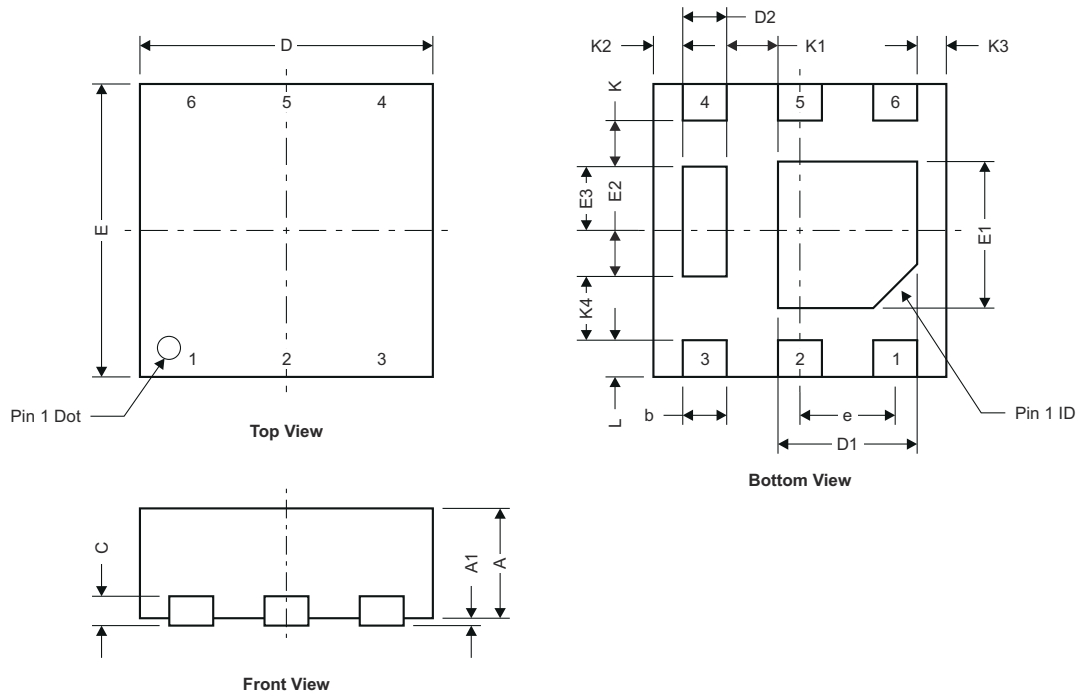
NexFET™ is a trademark of TI.

すべての商標は、それぞれの所有者に帰属します。

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

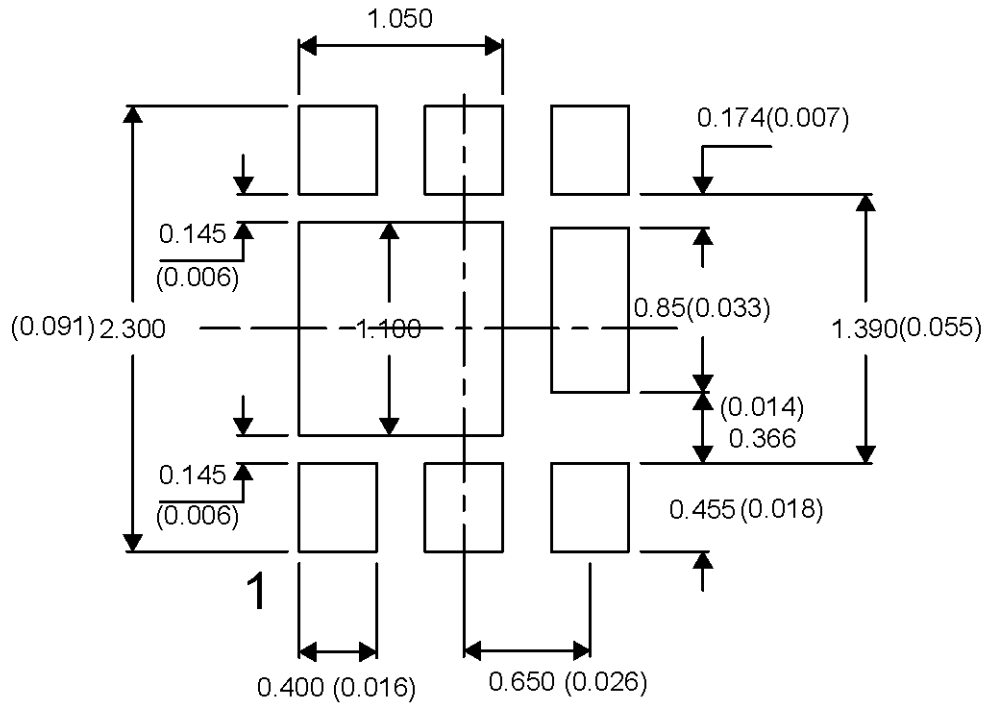
7.1 Q2 Package Dimensions



M0165-01

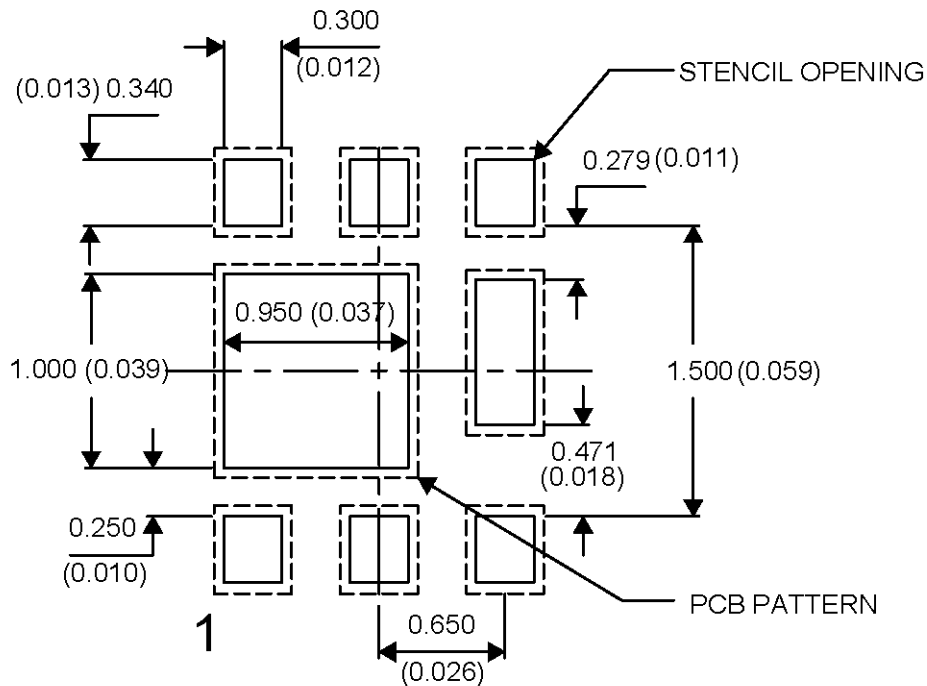
DIM	MILLIMETERS			INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.700	0.750	0.800	0.028	0.030	0.032
A1	0.000		0.050	0.000		0.002
b	0.250	0.300	0.350	0.010	0.012	0.014
C	0.203 TYP			0.008 TYP		
D	2.000 TYP			0.080 TYP		
D1	0.900	0.950	1.000	0.036	0.038	0.040
D2	0.300 TYP			0.012 TYP		
E	2.000 TYP			0.080 TYP		
E1	0.900	1.000	1.100	0.036	0.040	0.044
E2	0.280 TYP			0.0112 TYP		
E3	0.470 TYP			0.0188 TYP		
e	0.650 TYP			0.026 TYP		
K	0.280 TYP			0.0112 TYP		
K1	0.350 TYP			0.014 TYP		
K2	0.200 TYP			0.008 TYP		
K3	0.200 TYP			0.008 TYP		
K4	0.470 TYP			0.0188 TYP		
L	0.200	0.25	0.300	0.008	0.010	0.012

7.2 Recommended PCB Pattern



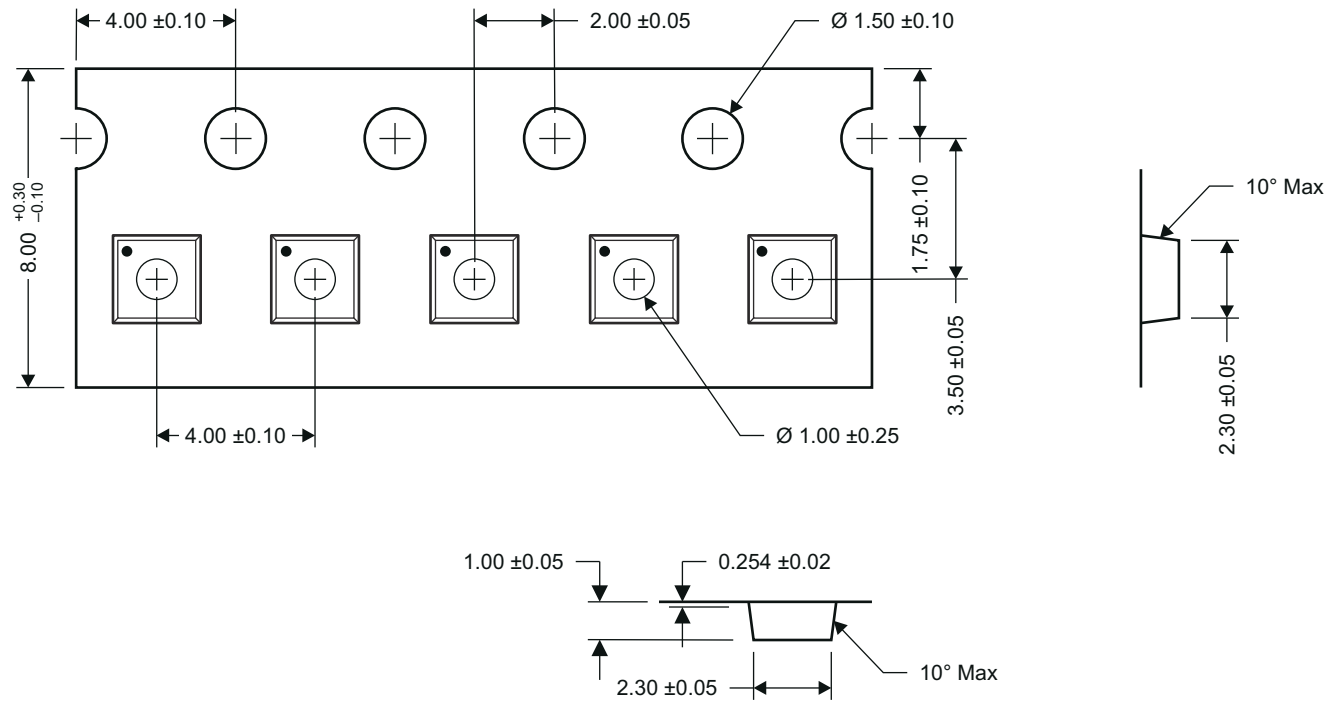
For recommended circuit layout for PCB designs, see application note [SLPA005 – Reducing Ringing Through PCB Layout Techniques](#).

7.3 Recommended Stencil Pattern



All dimensions are in mm, unless otherwise specified.

7.4 Q2 Tape and Reel Information



1. Measured from centerline of sprocket hole to centerline of pocket
2. Cumulative tolerance of 10 sprocket holes is ± 0.20
3. Other material available
4. Typical SR of form tape Max 10^9 OHM/SQ
5. All dimensions are in mm, unless otherwise specified.

M0168-01

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD25310Q2	ACTIVE	WSON	DQK	6	3000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-55 to 150	2530	Samples
CSD25310Q2T	ACTIVE	WSON	DQK	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2530	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated