

CSD25481F4 20V P チャネル FemtoFET™ MOSFET

1 特長

- 非常に小さいオン抵抗
- 非常に低い Q_g および Q_{gd}
- 大きな動作時ドレイン電流
- 非常に小さな外形 (0402 ケース・サイズ)
 - 1mm × 0.6mm
- 超薄型プロファイル
 - 最大高 0.36mm
- ESD 保護ダイオード搭載
 - HBM 定格 > 4kV
 - CDM 定格 > 2kV
- 鉛およびハロゲン不使用
- RoHS 準拠

2 アプリケーション

- ロード・スイッチ・アプリケーションに最適
- 汎用スイッチング・アプリケーションに最適
- バッテリー・アプリケーション
- ハンドヘルドおよびモバイル・アプリケーション

3 概要

この 90mΩ、20V P チャネル FemtoFET™ MOSFET は、さまざまなハンドヘルドおよびモバイル・アプリケーション向けに、フットプリントを最小化するよう設計され、最適化されています。標準の小信号 MOSFET をこのテクノロジーに置き換えて、占有面積を 60% 以上減らすことができます。

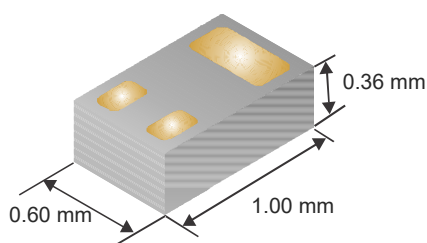


図 3-1. 標準的な部品寸法

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	-20	V
Q_g	ゲートの合計電荷 (-4.5V)	913	pC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	153	pC
$R_{DS(on)}$	ドレイン - ソース間 オン抵抗	$V_{GS} = -1.8\text{V}$	395 mΩ
		$V_{GS} = -2.5\text{V}$	145 mΩ
		$V_{GS} = -4.5\text{V}$	90 mΩ
$V_{GS(th)}$	スレッショルド電圧	-0.95	V

製品情報

デバイス ⁽¹⁾	数量	メディア	パッケージ	配送
CSD25481F4	3000	7 インチ・リール	Femto (0402) 1.0mm × 0.6mm	テープ・アンド・リール
CSD25481F4T	250	7 インチ・リール	LGA (Land Grid Array)	

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$ (特に記述のない限り)		値	単位
V_{DS}	ドレイン - ソース間電圧	-20	V
V_{GS}	ゲート - ソース間電圧	-12	V
I_D	連続ドレイン電流 ⁽¹⁾	-2.5	A
I_{DM}	パルス・ドレイン電流 ⁽²⁾	-13.1	A
I_G	連続ゲート・クランプ電流	-35	mA
	パルス・ゲート・クランプ電流 ⁽²⁾	-350	
P_D	消費電力 ⁽¹⁾	500	mW
$V_{(ESD)}$	人体モデル (HBM)	4	kV
	荷電デバイス・モデル (CDM)	2	kV
T_J , T_{stg}	動作時の接合部温度、 保存温度	-55~150	°C

- (1) $R_{\theta JA} = 90^\circ\text{C/W}$ (標準値、厚さ 0.06 インチ (1.52mm) の FR4 PCB 上の面積 1 平方インチ (6.45cm²)、厚さ 2oz (0.071mm) の Cu パッドに実装した場合)
- (2) パルス幅 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$

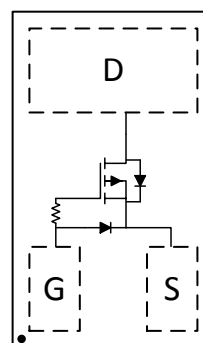


図 3-2. 上面図



Table of Contents

1 特長.....	1	6.1 サポート・リソース.....	7
2 アプリケーション.....	1	6.2 Trademarks.....	7
3 概要.....	1	6.3 Electrostatic Discharge Caution.....	7
4 Revision History.....	2	6.4 Glossary.....	7
5 Specifications.....	3	7 Mechanical, Packaging, and Orderable Information...	8
5.1 Electrical Characteristics.....	3	7.1 Mechanical Dimensions.....	8
5.2 Thermal Information.....	3	7.2 Recommended Minimum PCB Layout.....	9
5.3 Typical MOSFET Characteristics.....	4	7.3 Recommended Stencil Pattern.....	9
6 Device and Documentation Support.....	7		

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (December 2017) to Revision F (February 2022)	Page
• 超薄型プロファイルの箇条書き項目を、高さ 0.35mm から 0.36mm に変更。.....	1
• 超薄型プロファイルの画像の高さを 0.35mm から 0.36mm に更新。.....	1
• Changed ultra-low profile image height from 0.35 mm to 0.36 mm.....	8
• Added FemtoFET Surface Mount Guide note.....	9

Changes from Revision D (October 2014) to Revision E (December 2017)	Page
• 絶対最大定格の表のパルス・ドレイン電流の値を -10A から -13.1A に変更。.....	1
• 注 1 を $R_{\theta JA} = 85^{\circ}\text{C/W}$ (標準値) から $R_{\theta JA} = 90^{\circ}\text{C/W}$ (標準値) に変更。.....	1
• 注 2 を「パルス幅 $\leq 300\mu\text{s}$ 、デューティ・サイクル $\leq 2\%$ 」から「パルス幅 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$ 」に変更。.....	1
• Changed the typical $R_{\theta JA}$ values in the <i>Thermal Information</i> table	3
• Updated 図 5-1	4
• Updated 図 5-10 with newly measured data.	4
• Updated all mechanical drawings, increased the size of the pads in the セクション 7.3 section.	8

5 Specifications

5.1 Electrical Characteristics

($T_A = 25^\circ\text{C}$ unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
V_{DSS}	Drain-to-Source Voltage	$V_{GS} = 0\text{ V}, I_{DS} = -250\ \mu\text{A}$	-20			V
I_{DSS}	Drain-to-Source Leakage Current	$V_{GS} = 0\text{ V}, V_{DS} = -16\text{ V}$			-100	nA
I_{GSS}	Gate-to-Source Leakage Current	$V_{DS} = 0\text{ V}, V_{GS} = -12\text{ V}$			-50	nA
$V_{GS(th)}$	Gate-to-Source Threshold Voltage	$V_{DS} = V_{GS}, I_{DS} = -250\ \mu\text{A}$	-0.7	-0.95	-1.2	V
$R_{DS(on)}$	Drain-to-Source On-Resistance	$V_{GS} = -1.8\text{ V}, I_{DS} = -0.1\text{ A}$		395	800	m Ω
		$V_{GS} = -2.5\text{ V}, I_{DS} = -0.5\text{ A}$		145	174	m Ω
		$V_{GS} = -4.5\text{ V}, I_{DS} = -0.5\text{ A}$		90	105	m Ω
		$V_{GS} = -8\text{ V}, I_{DS} = -0.5\text{ A}$		75	88	m Ω
g_{fs}	Transconductance	$V_{DS} = -10\text{ V}, I_{DS} = -0.5\text{ A}$		3.3		S
DYNAMIC CHARACTERISTICS						
C_{iss}	Input Capacitance	$V_{GS} = 0\text{ V}, V_{DS} = -10\text{ V},$ $f = 1\text{ MHz}$		189		pF
C_{oss}	Output Capacitance			78		pF
C_{riss}	Reverse Transfer Capacitance			5.5		pF
R_G	Series Gate Resistance			20		Ω
Q_g	Gate Charge Total (4.5 V)	$V_{DS} = -10\text{ V}, I_{DS} = -0.5\text{ A}$		913		pC
Q_{gd}	Gate Charge Gate-to-Drain			153		pC
Q_{gs}	Gate Charge Gate-to-Source			240		pC
$Q_{g(th)}$	Gate Charge at V_{th}			116		pC
Q_{oss}	Output Charge	$V_{DS} = -10\text{ V}, V_{GS} = 0\text{ V}$		1030		pC
$t_{d(on)}$	Turn On Delay Time	$V_{DS} = -10\text{ V}, V_{GS} = -4.5\text{ V},$ $I_{DS} = -0.5\text{ A}, R_G = 2\ \Omega$		4.1		ns
t_r	Rise Time			3.6		ns
$t_{d(off)}$	Turn Off Delay Time			16.9		ns
t_f	Fall Time			6.7		ns
DIODE CHARACTERISTICS						
V_{SD}	Diode Forward Voltage	$I_{SD} = -0.5\text{ A}, V_{GS} = 0\text{ V}$		-0.75		V
Q_{rr}	Reverse Recovery Charge	$V_{DS} = -10\text{ V}, I_F = -0.5\text{ A}, di/dt = 100\text{ A}/\mu\text{s}$		1010		pC
t_{rr}	Reverse Recovery Time			7.5		ns

5.2 Thermal Information

($T_A = 25^\circ\text{C}$ unless otherwise stated)

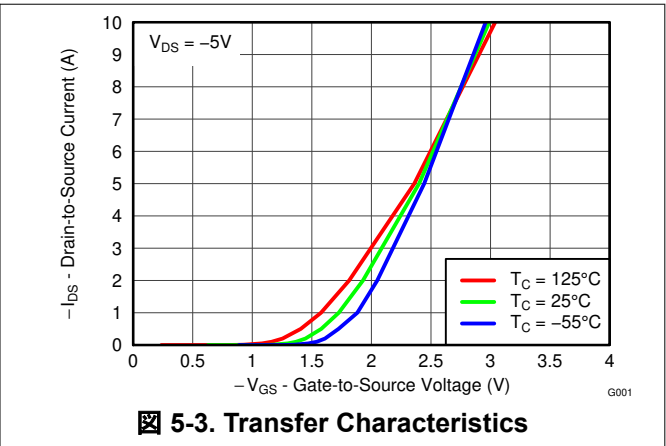
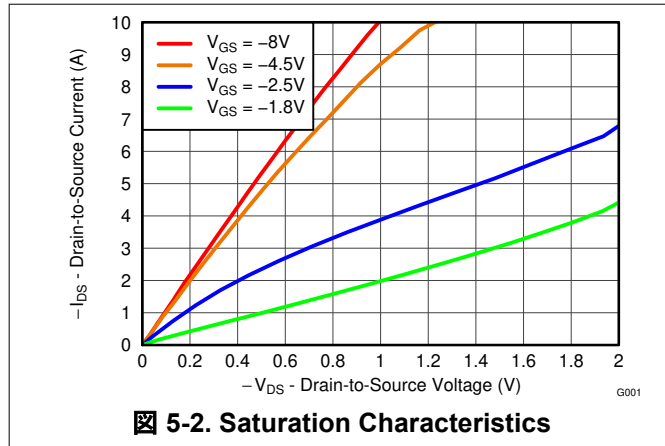
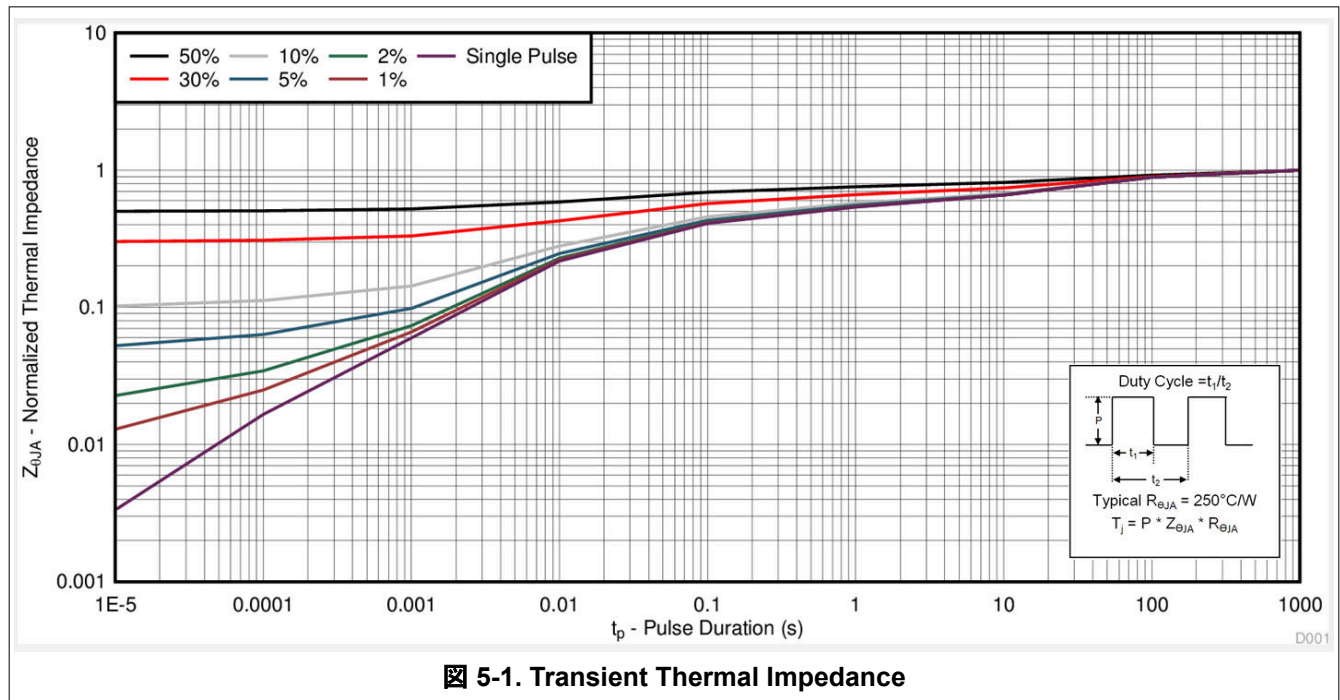
THERMAL METRIC		TYPICAL VALUES	UNIT
$R_{\theta JA}$	Junction-to-Ambient Thermal Resistance ⁽¹⁾	90	$^\circ\text{C}/\text{W}$
	Junction-to-Ambient Thermal Resistance ⁽²⁾	250	

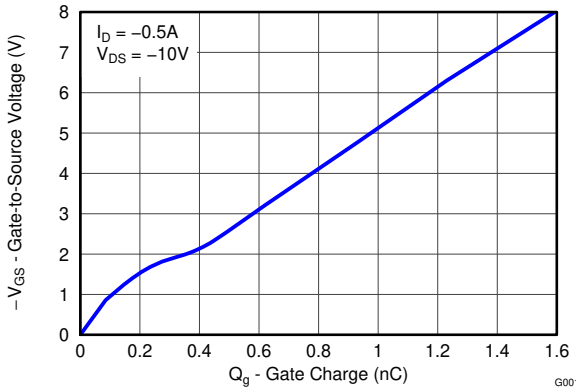
(1) Device mounted on FR4 material with 1 inch² (6.45 cm²), 2 oz. (0.071 mm thick) Cu.

(2) Device mounted on FR4 material with minimum Cu mounting area.

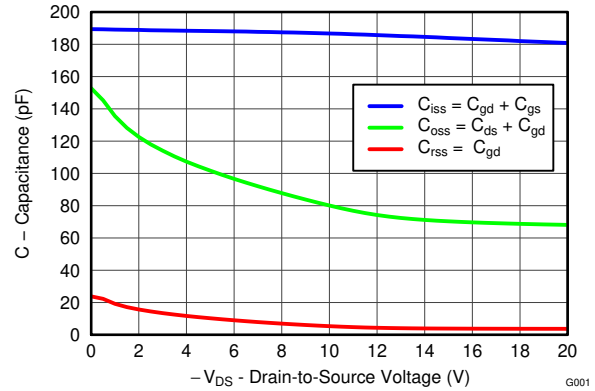
5.3 Typical MOSFET Characteristics

($T_A = 25^\circ\text{C}$ unless otherwise stated)

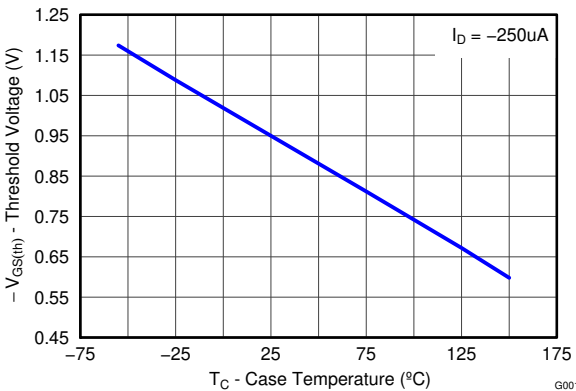




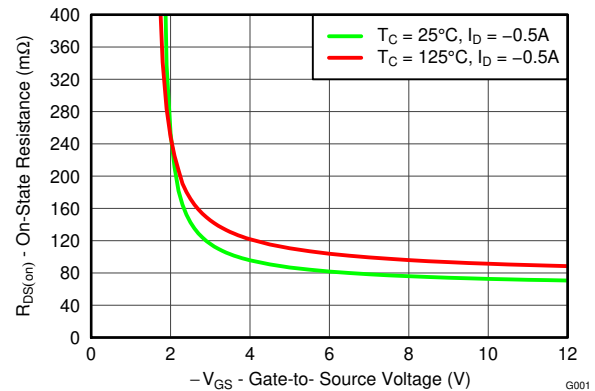
5-4. Gate Charge



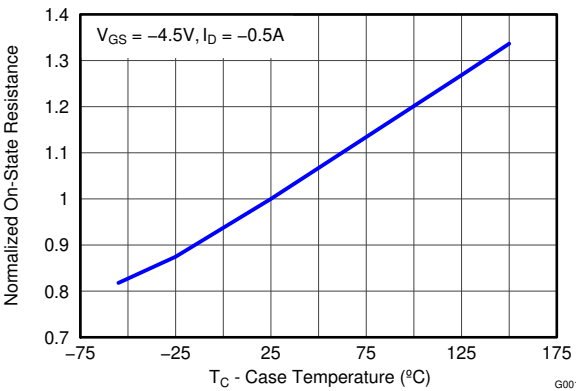
5-5. Capacitance



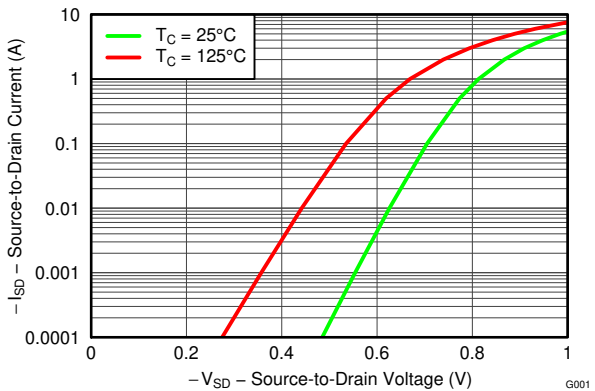
5-6. Threshold Voltage vs Temperature



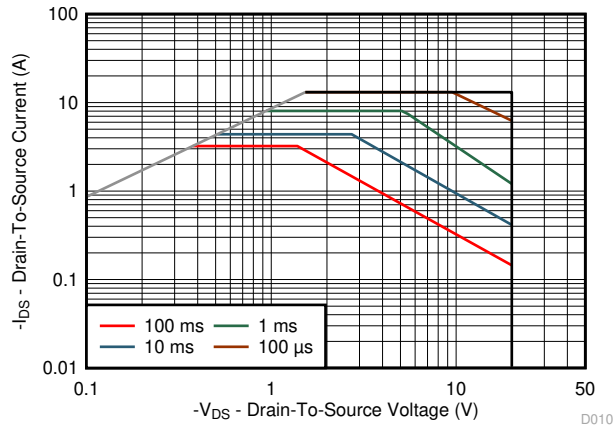
5-7. On-State Resistance vs Gate-to-Source Voltage



5-8. Normalized On-State Resistance vs Temperature

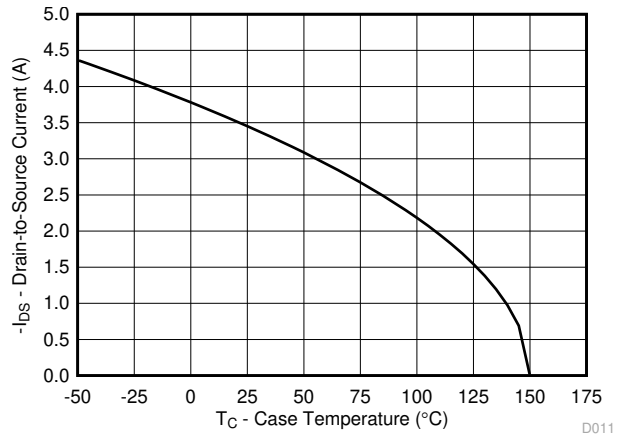


5-9. Typical Diode Forward Voltage



Single Pulse Typical $R_{\theta JA} = 250^{\circ}\text{C/W}$ (min Cu)

5-10. Maximum Safe Operating Area



Typical $R_{\theta JA} = 90^{\circ}\text{C/W}$ (max Cu)

5-11. Maximum Drain Current vs Temperature

6 Device and Documentation Support

6.1 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の [使用条件](#) を参照してください。

6.2 Trademarks

FemtoFET™ is a trademark of Texas Instruments.

TI E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

6.3 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

6.4 Glossary

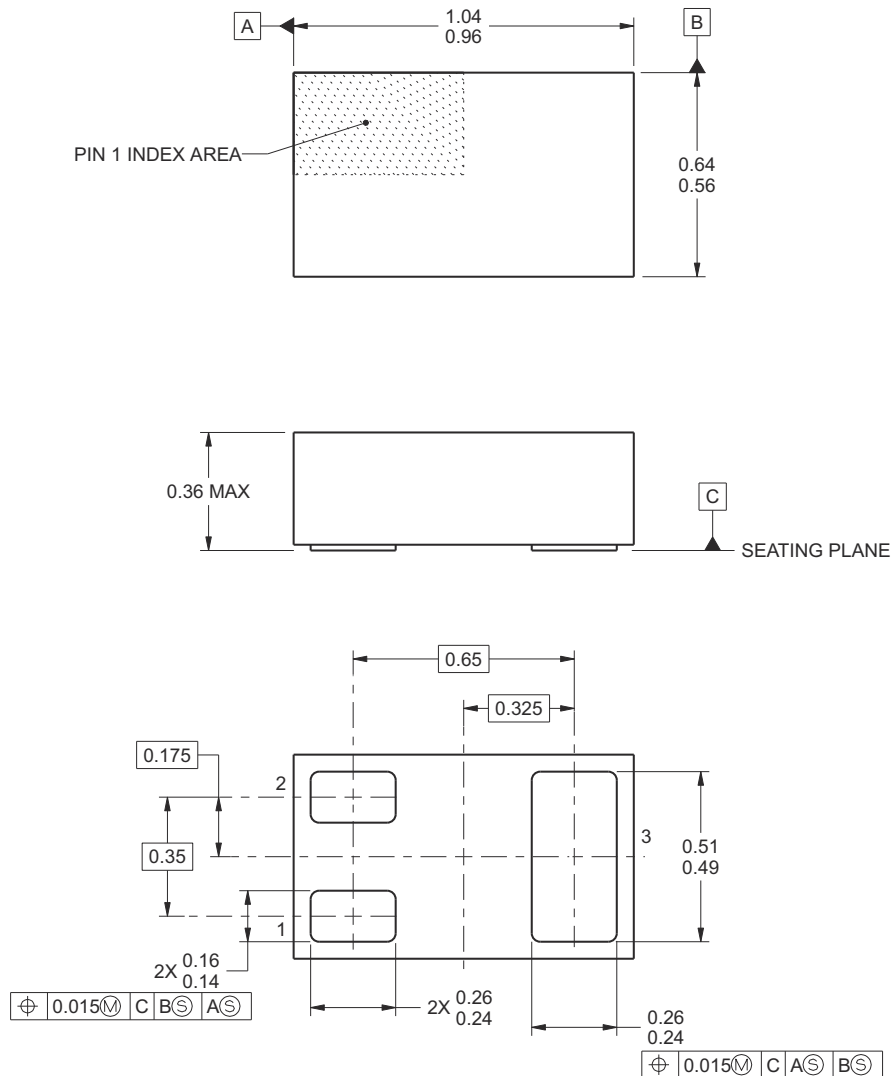
[TI Glossary](#)

This glossary lists and explains terms, acronyms, and definitions.

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

7.1 Mechanical Dimensions

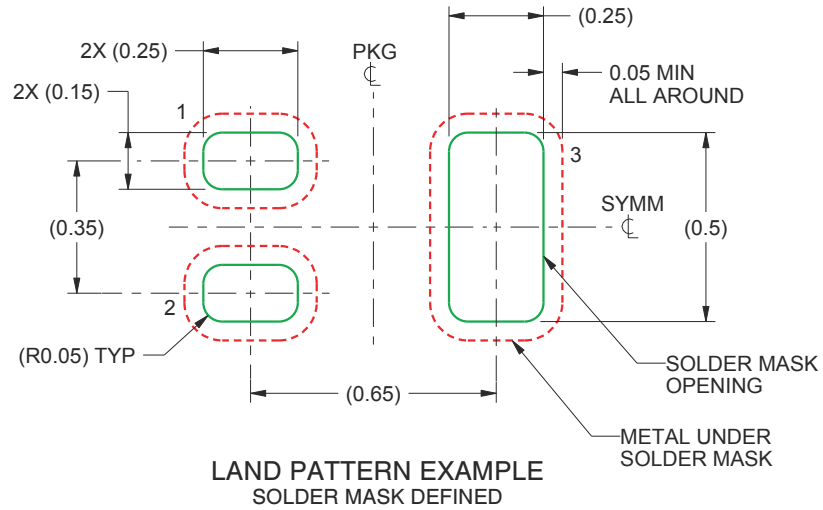


- A. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- B. This drawing is subject to change without notice.
- C. This package is a Pb-free bump design. Bump finish may vary. To determine the exact finish, refer to the device data sheet or contact a local TI representative.

表 7-1. Pin Configuration

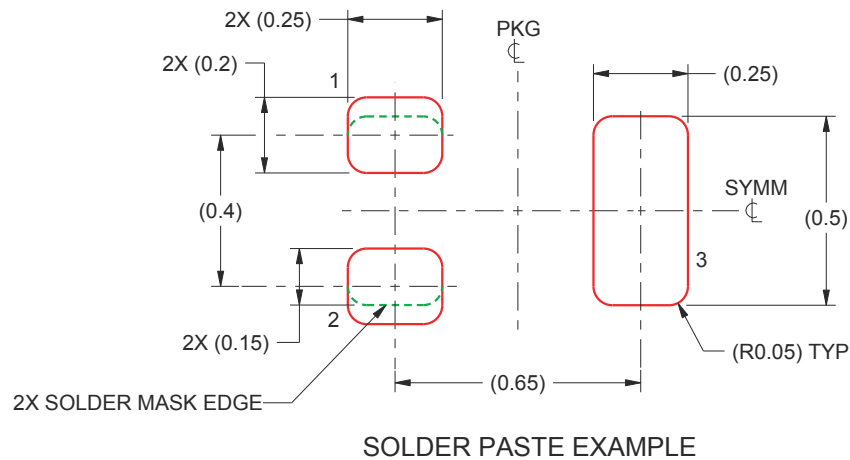
Position	Designation
Pin 1	Gate
Pin 2	Source
Pin 3	Drain

7.2 Recommended Minimum PCB Layout



- A. All dimensions are in millimeters.
- B. For more information, see [FemtoFET Surface Mount Guide](#) (SLRA003D).

7.3 Recommended Stencil Pattern



- A. All dimensions are in millimeters.
- B. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD25481F4	ACTIVE	PICOSTAR	YJC	3	3000	RoHS & Green	NIAU	Level-1-260C-UNLIM	-55 to 150	CS	Samples
CSD25481F4T	ACTIVE	PICOSTAR	YJC	3	250	RoHS & Green	NIAU	Level-1-260C-UNLIM	-55 to 150	CS	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated