

CSD87313DMS 30V、デュアルNチャネル NexFET™ Power MOSFET

1 特長

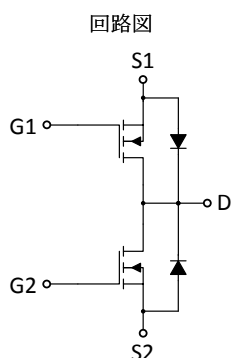
- 低いソース間オン抵抗
- デュアル共通ドレインNチャネルMOSFET
- 5Vゲートの駆動に最適化
- 低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛フリーの端子メッキ処理
- RoHS準拠
- ハロゲン不使用
- SON 3.3mm×3.3mmプラスチック・パッケージ

2 アプリケーション

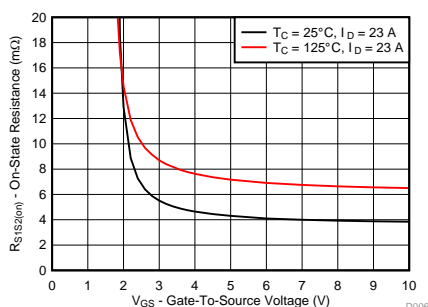
- USB Type-C™および電力供給(PD) VBus保護
- バッテリー保護
- ロード・スイッチ

3 概要

CSD87313DMSは30Vの共通ドレイン、デュアルNチャネル・デバイスで、USB Type-C/PDおよびバッテリー保護用に設計されています。このSON 3.3mm×3.3mmデバイスはソース間のオン抵抗が低いため損失が最小化され、部品数が少なくなるため、スペースの制約があるアプリケーションに適しています。



$R_{S1S2(ON)}$ と V_{GS} との関係



製品概要

$T_A = 25^\circ\text{C}$		値	単位	
V_{S1S2}	ソース1-ソース2間電圧	30	V	
Q_g	ゲートの合計電荷(4.5V)	28	nC	
Q_{gd}	ゲート電荷、ゲート-ドレイン間	6.0	nC	
$R_{S1S2(on)}$	ソース1-ソース2間最大オン抵抗	$V_{GS} = 2.5\text{V}$	9.6	mΩ
		$V_{GS} = 4.5\text{V}$	5.5	
$V_{GS(th)}$	スレッショルド電圧	0.9	V	

製品情報(1)

デバイス	数量	メディア	パッケージ	出荷
CSD87313DMS	2500	13インチ・リール	SON 3.30mm×3.30mm	テー プ・アン ド・リール
CSD87313DMST	250	7インチ・リール	プラスチック・パッケージ	

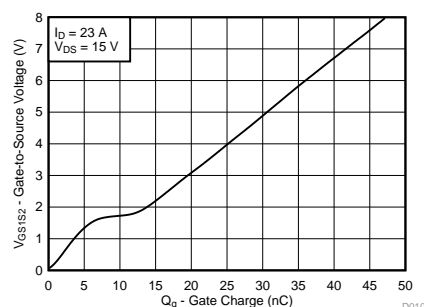
(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$ (特記のない限り)		値	単位
V_{S1S2}	ソース1-ソース2間電圧	30	V
V_{GS}	ゲート-ソース間電圧(1)	±10	V
I_{S1S2}	連続ソース電流(2)	17	A
I_{SM}	パルス・ソース電流、 $T_A = 25^\circ\text{C}$ (2)(3)	120	A
P_D	消費電力(2)	2.7	W
	消費電力(4)	1	
T_J , T_{stg}	動作時の接合部、 保管温度	-55~150	°C
E_{AS}	アバランシェ・エネルギー、単一パルス、 $I_D = 37\text{A}$, $L = 0.1\text{mH}$, $R_G = 25\Omega$	67	mJ

- (1) V_{G1S1} は±10V、 V_{G2S2} は±10Vを超えないこと
- (2) 0.06in (1.52mm)厚のFR4 PCB上の面積1in² (6.45cm²)、2oz (0.071mm)厚のCuパッドで、標準 $R_{\theta JA} = 45^\circ\text{C}/\text{W}$ の場合
- (3) デューティ・サイクル ≤ 2%、パルス期間 ≤ 300μs
- (4) 最低2ozのCUパッド上で、標準 $R_{\theta JA} = 125^\circ\text{C}/\text{W}$ の場合

ゲート電荷



目次

1	特長	1	6.1	ドキュメントの更新通知を受け取る方法.....	8
2	アプリケーション	1	6.2	コミュニティ・リソース	8
3	概要	1	6.3	商標	8
4	改訂履歴.....	2	6.4	静電気放電に関する注意事項	8
5	Specifications	3	6.5	Glossary	8
	5.1 Electrical Characteristics.....	3	7	メカニカル、パッケージ、および注文情報	9
	5.2 Thermal Information	3	7.1	DMSパッケージの寸法	9
	5.3 Typical MOSFET Characteristics.....	4	7.2	推奨されるPCBパターン	10
6	デバイスおよびドキュメントのサポート.....	8	7.3	推奨されるステンシル開口部	11

4 改訂履歴

日付	改訂内容	注
2017年4月	*	初版

5 Specifications

5.1 Electrical Characteristics

 $T_A = 25^\circ\text{C}$ (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
I_{S1S2}	Source1-to-Source2 leakage current	$V_{G1S1} = 0\text{ V}, V_{G2S2} = 0\text{ V}, V_{S1S2} = 24\text{ V}$			1	μA
I_{GSS}	Gate-to-source leakage current	$V_{S1S2} = 0\text{ V}, V_{GS} = 10\text{ V}$			100	nA
$V_{GS(th)}$	Gate-to-source threshold voltage	$V_{S1S2} = V_{GS}, I_{S1S2} = 250\ \mu\text{A}$	0.6	0.9	1.2	V
$R_{S1S2(on)}$	Source1-to-Source2 on resistance	$V_{GS} = 2.5\text{ V}, I_{S1S2} = 20\text{ A}$		6.7	9.6	m Ω
		$V_{GS} = 4.5\text{ V}, I_{S1S2} = 23\text{ A}$		4.6	5.5	
g_{fs}	Transconductance	$V_{S1S2} = 3\text{ V}, I_{S1S2} = 23\text{ A}$		149		S
DYNAMIC CHARACTERISTICS⁽¹⁾						
C_{ISS}	Input capacitance	$V_{GS} = 0\text{ V}, V_{S1S2} = 15\text{ V}, f = 1\text{ MHz}$		3300	4290	pF
C_{OSS}	Output capacitance			281	365	pF
C_{RSS}	Reverse transfer capacitance			154	200	pF
Q_g	Gate charge total (4.5 V)	$V_{S1S2} = 15\text{ V}, I_{S1S2} = 23\text{ A}$ $V_{G1S1} = 4.5\text{ V}, V_{G2S2} = 0\text{ V}$		28		nC
Q_{gd}	Gate charge gate-to-drain			6.0		nC
Q_{gs}	Gate charge gate-to-source			6.3		nC
$Q_{g(th)}$	Gate charge at V_{th}			3.2		nC
$t_{d(on)}$	Turnon delay time	$V_{S1S2} = 15\text{ V}, I_{S1S2} = 23\text{ A}$ $V_{GS} = 4.5\text{ V}, R_{GEN} = 0\ \Omega$		9		ns
t_r	Rise time			27		ns
$t_{d(off)}$	Turnoff delay time			41		ns
t_f	Fall time			13		ns
DIODE CHARACTERISTICS						
I_{fss}	Maximum continuous Source1-to-Source2 diode forward current ⁽²⁾	$V_{G1S1} = 0\text{ V}, V_{G2S2} = 4.5\text{ V}$			2	A
V_{fss}	Source1-to-Source2 diode forward voltage	$V_{G1S1} = 0\text{ V}, V_{G2S2} = 4.5\text{ V}, I_{fss} = 23\text{ A}$		0.8	1.0	V

(1) Dynamic characteristic measurements are for a single FET.

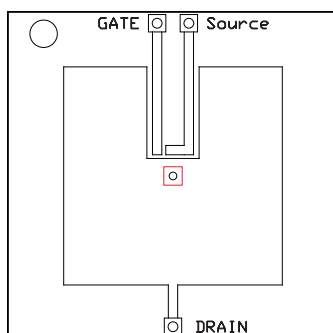
(2) Typical $R_{\theta JA} = 125^\circ\text{C/W}$ on a minimum 2-oz Cu pad.

5.2 Thermal Information

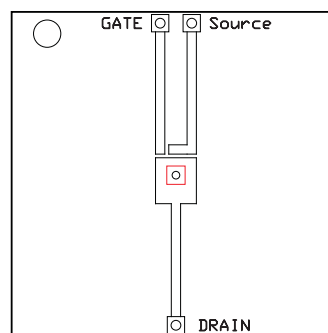
 $T_A = 25^\circ\text{C}$ (unless otherwise stated)

THERMAL METRIC		UNIT
$R_{\theta JA}$	Junction-to-case thermal resistance ⁽¹⁾	125 $^\circ\text{C/W}$
$R_{\theta JA}$	Junction-to-ambient thermal resistance ⁽¹⁾⁽²⁾	45 $^\circ\text{C/W}$

(1) Device mounted on minimum 2-oz (0.071-mm) thick Cu.

(2) Device mounted on FR4 material with 1-in² (6.45-cm²), 2-oz (0.071-mm) thick Cu.


M0161-01

 $R_{\theta JA} = 45^\circ\text{C/W}$ when mounted on 1 in² (6.45 cm²) of 2-oz (0.071-mm) thick Cu.


M0161-02

 $R_{\theta JA} = 125^\circ\text{C/W}$ when mounted on a minimum pad area of 2-oz (0.071-mm) thick Cu.

5.3 Typical MOSFET Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

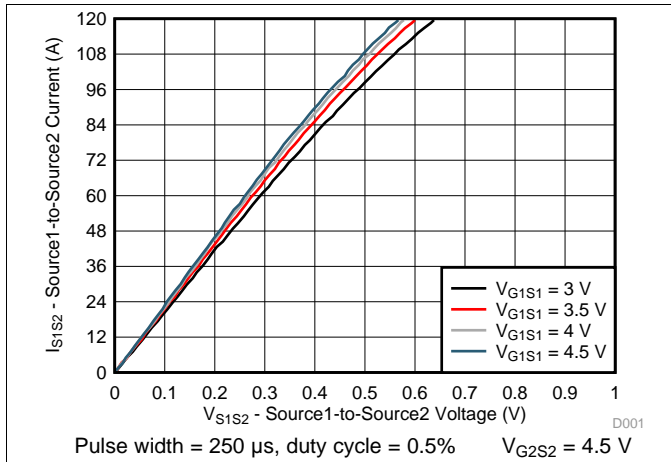


Figure 1. Saturation Characteristics

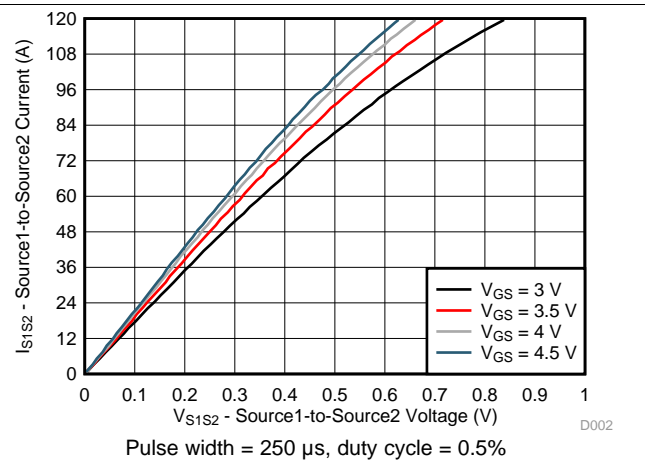


Figure 2. Saturation Characteristics

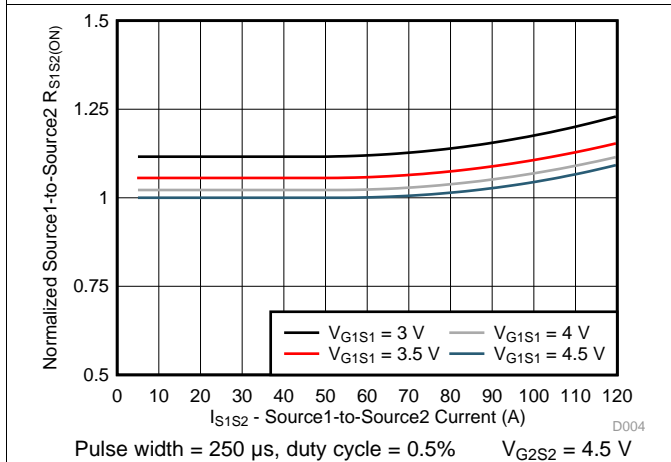


Figure 3. Saturation Characteristics

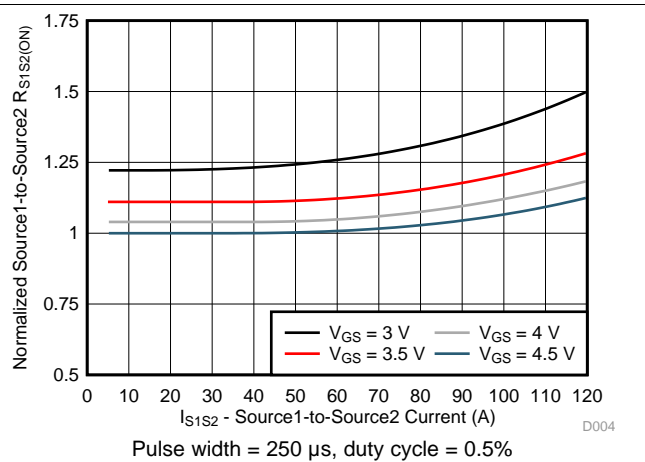


Figure 4. Saturation Characteristics

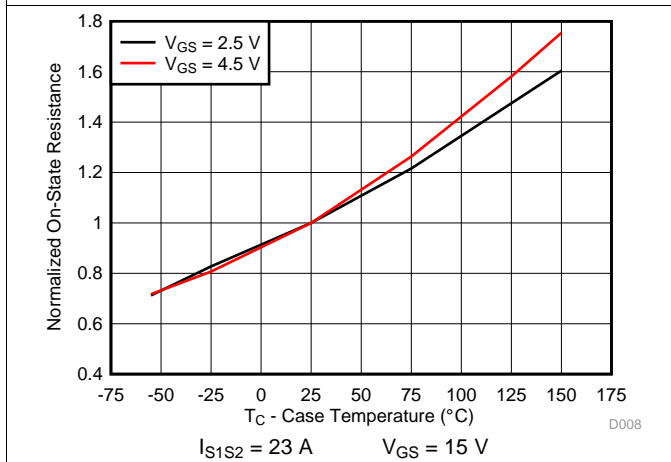


Figure 5. Normalized On-State Resistance vs Temperature

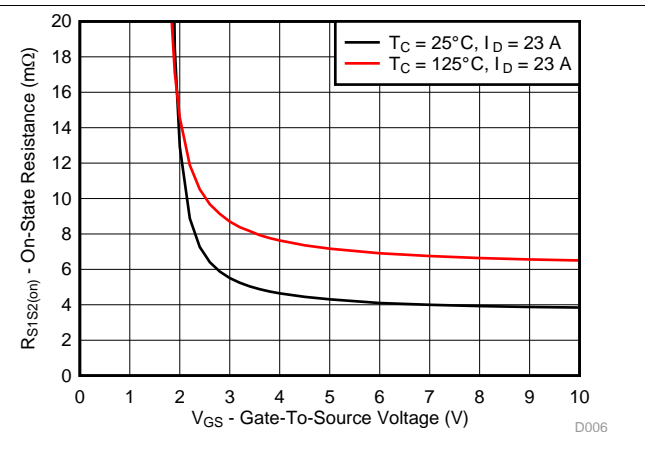


Figure 6. On-State Resistance vs Gate-to-Source Voltage

Typical MOSFET Characteristics (continued)

T_A = 25°C (unless otherwise stated)

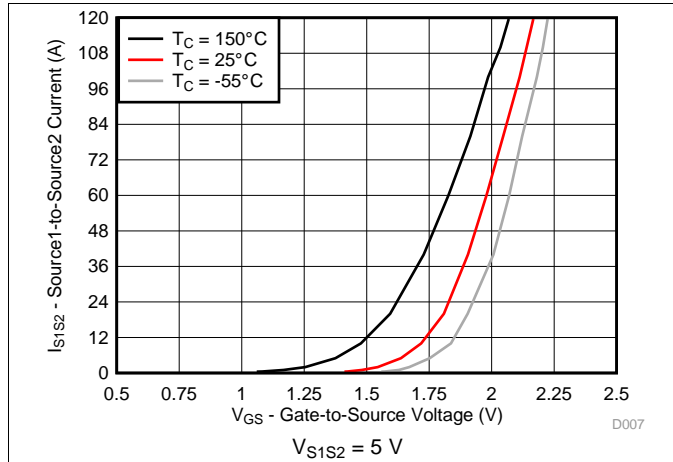


Figure 7. Transfer Characteristics

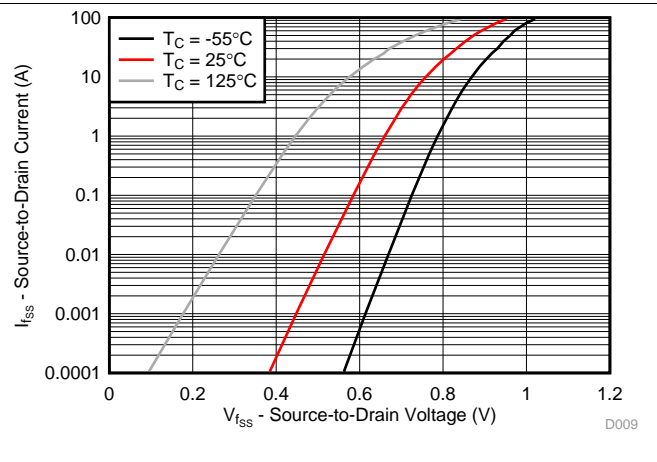


Figure 8. Typical Diode Forward Voltage

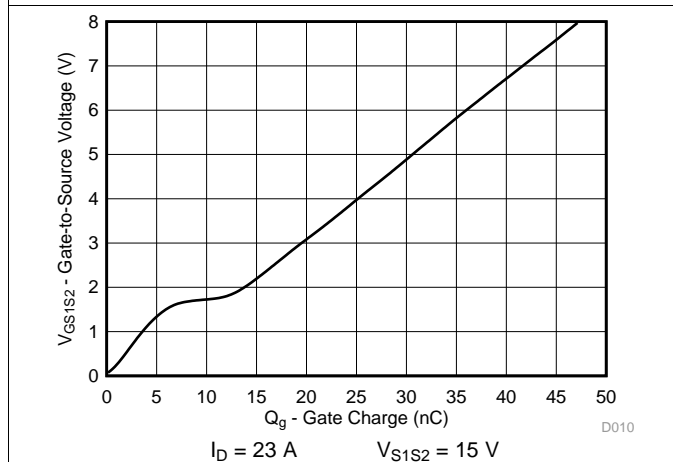


Figure 9. Gate Charge

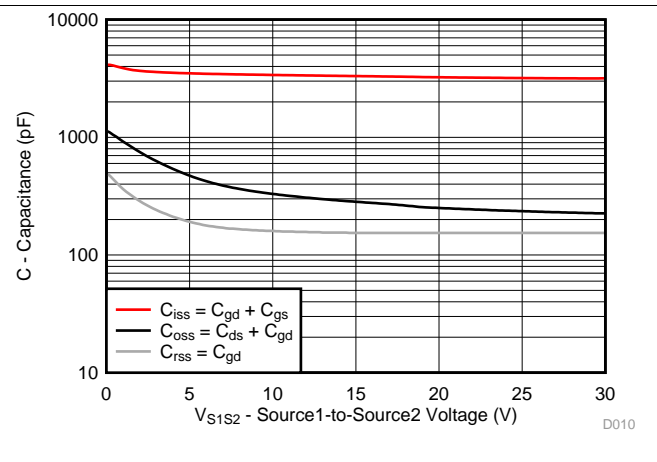


Figure 10. Capacitance

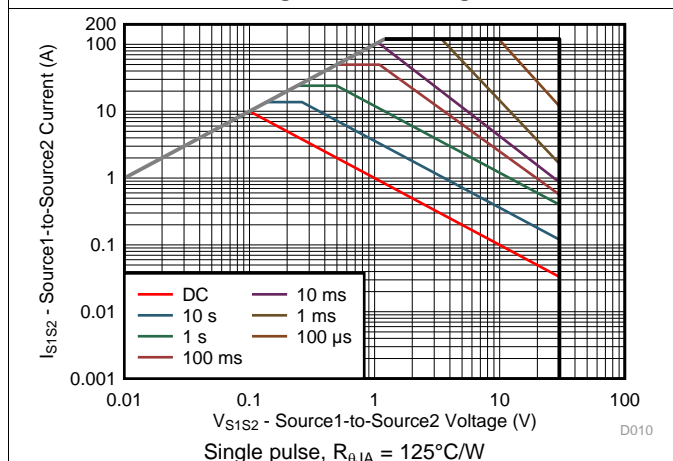


Figure 11. Maximum Safe Operating Area

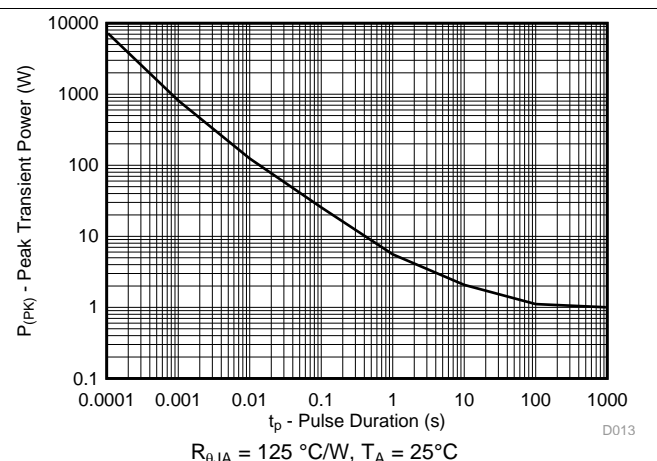


Figure 12. Single Pulse Maximum Power Dissipation

Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

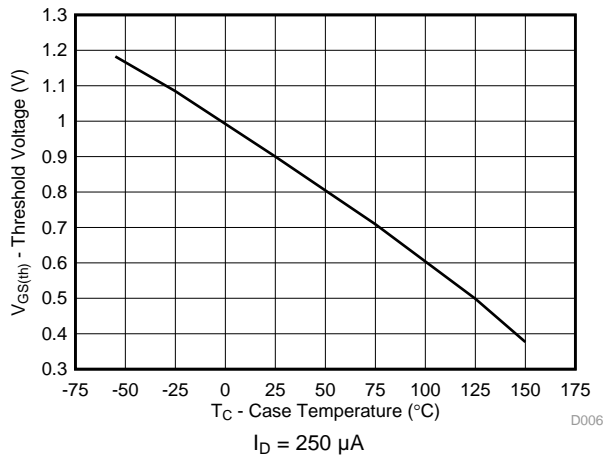


Figure 13. Threshold Voltage vs Temperature

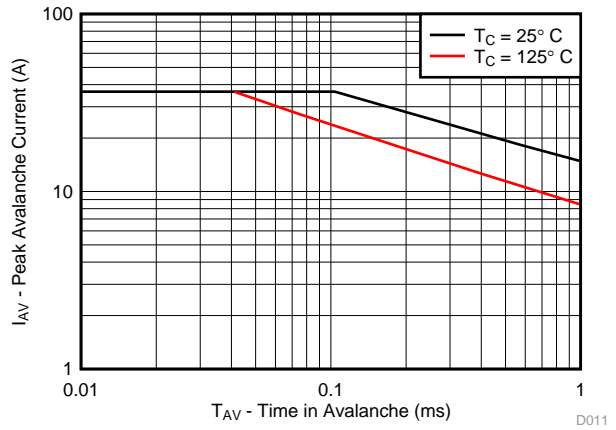


Figure 14. Single Pulse Unclamped Inductive Switching

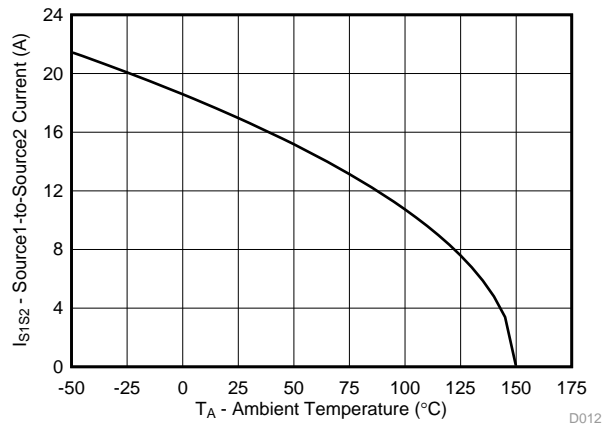


Figure 15. Maximum Source1-to-Source2 Current vs Temperature

Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

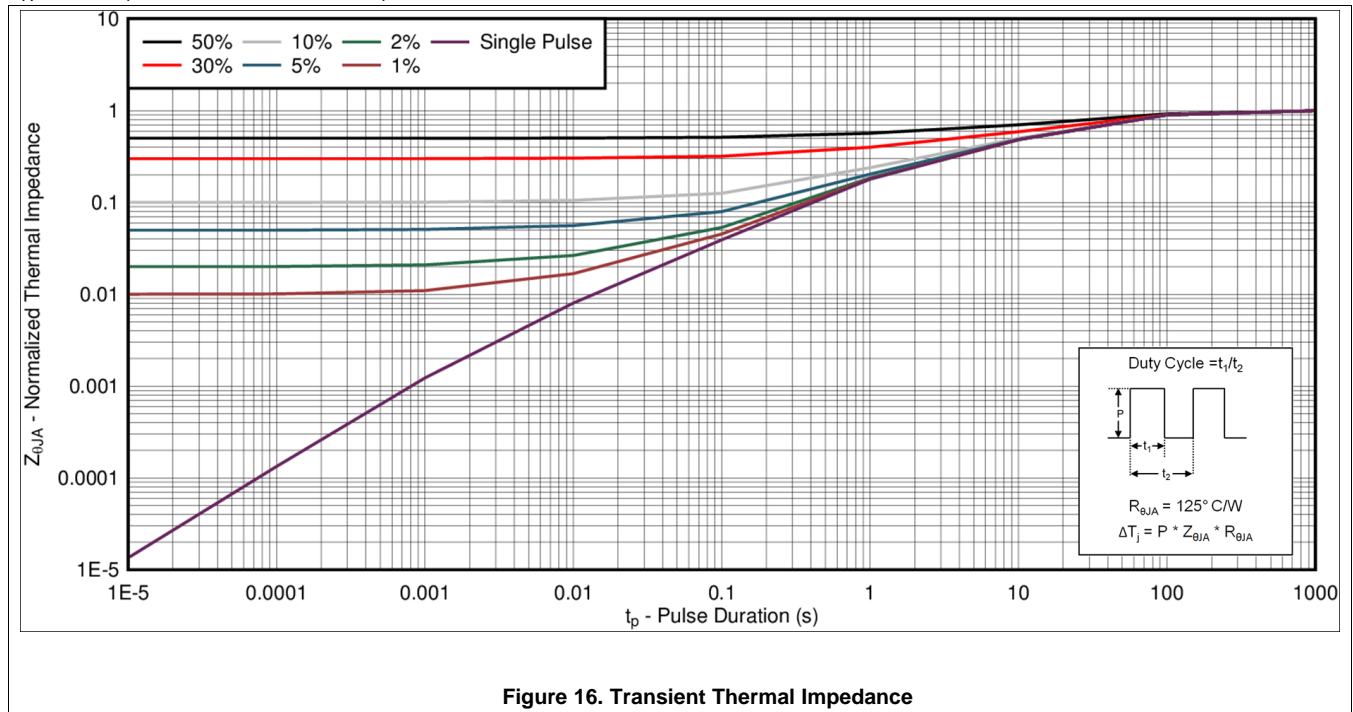


Figure 16. Transient Thermal Impedance

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™オンライン・コミュニティ *TIのE2E (Engineer-to-Engineer) コミュニティ*。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

設計サポート *TIの設計サポート* 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

6.3 商標

NexFET, E2E are trademarks of Texas Instruments.
 USB Type-C is a trademark of USB Implementers Forum.
 All other trademarks are the property of their respective owners.

6.4 静電気放電に関する注意事項



これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

6.5 Glossary

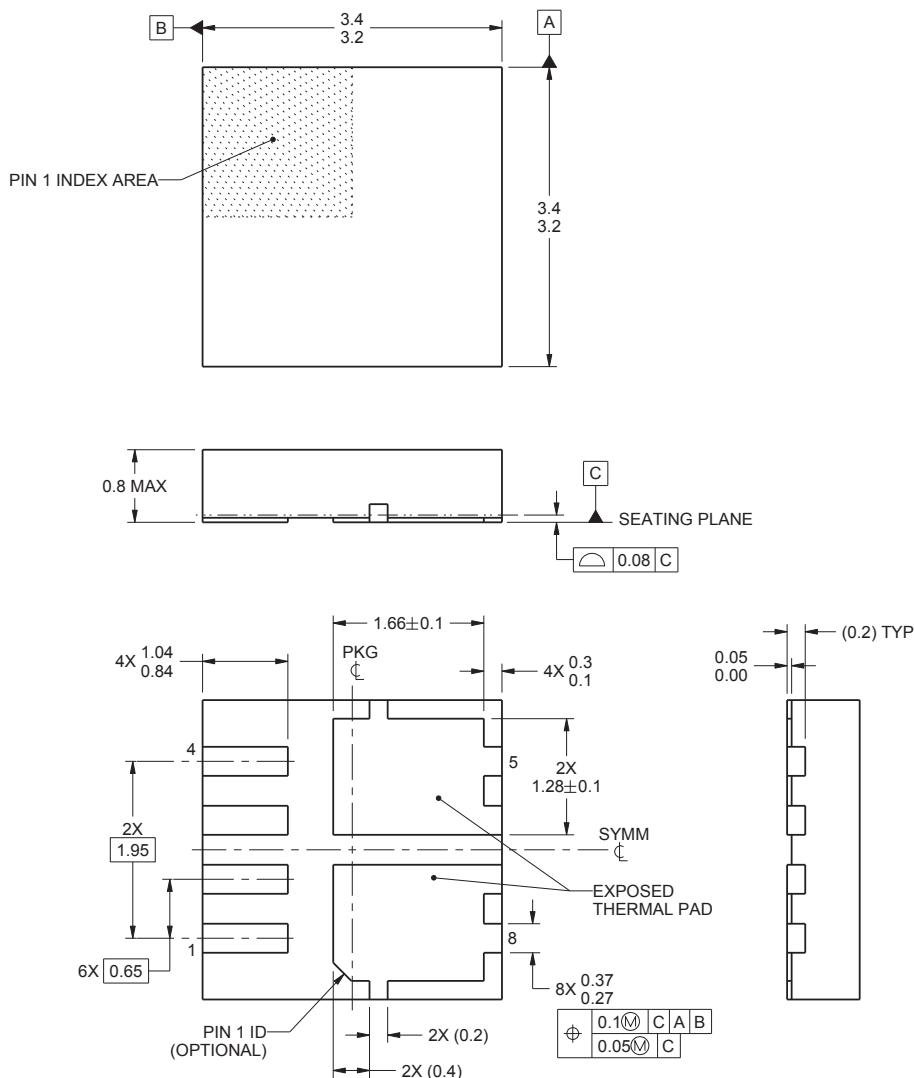
[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

7.1 DMSパッケージの寸法



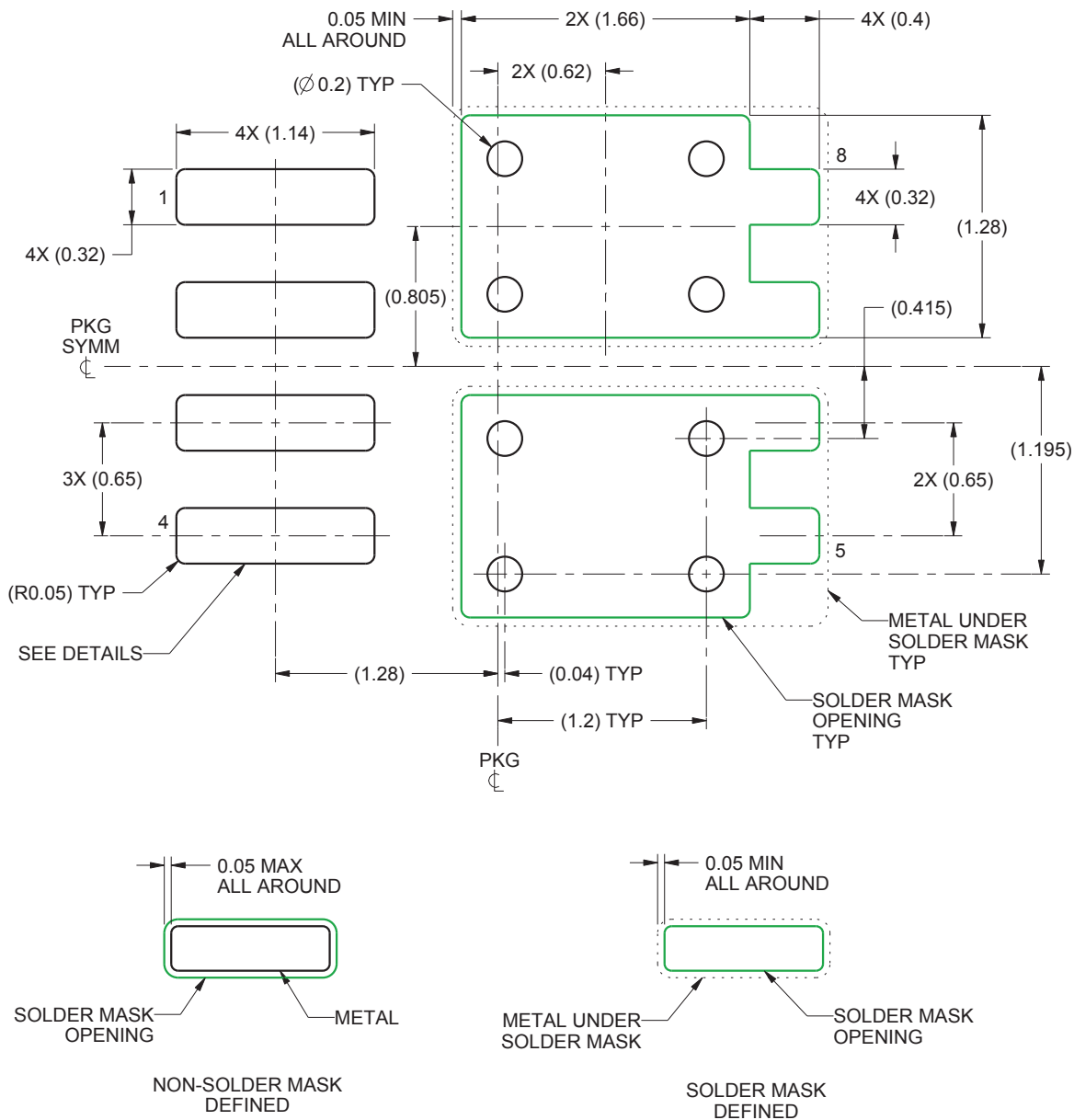
4222980/A 05/2016

- (1) すべての直線寸法はミリメートル(mm)単位です。括弧内のすべての寸法は、参照のみを目的としたものです。寸法と許容誤差は、ASME Y14.5M準拠です。
- (2) この図面は、予告なく変更される可能性があります。
- (3) 熱特性および機械的な性能を実現するため、パッケージのサーマル・パッドはプリント基板にハンダ付けする必要があります。

表 1. ピン構成

位置	機能	位置	機能
1	ゲート1	5	ソース2
2	ドレイン	6	ソース2
3	ドレイン	7	ソース1
4	ゲート2	8	ソース1

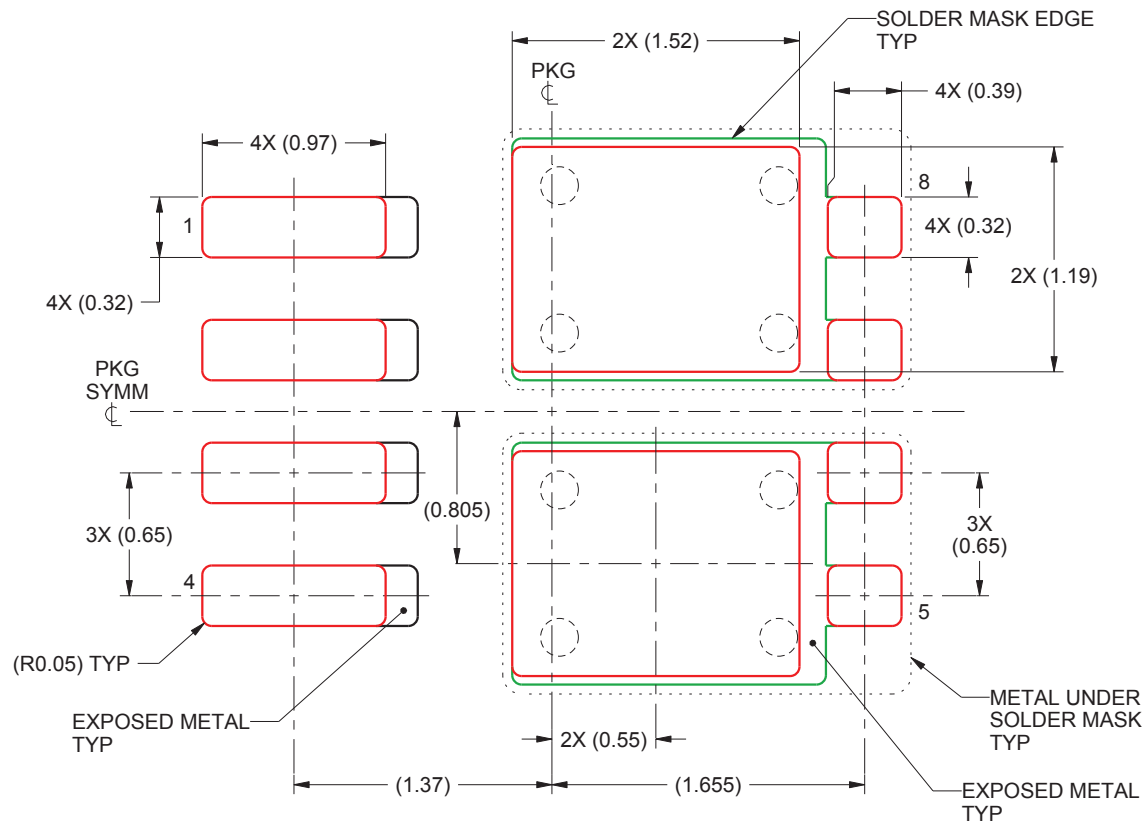
7.2 推奨されるPCBパターン



4222980/A 05/2016



- (1) このパッケージは、基板上的サーマル・パッドにハンダ付けされるよう設計されています。詳細については、『QFN/SOIC PCB アタッチメント』(SLUA271)を参照してください。
- (2) ビアはアプリケーションに応じてのオプションです。デバイスのデータシートを参照してください。ビアを取り付ける場合、この図に示されているビアの位置を参考にしてください。ペーストの下のビアは埋める、プラグを付ける、またはテントで覆うことをお勧めします。

7.3 推奨されるステンシル開口部



- (1) レーザ・カット・アパーチャの壁面を台形にし、角に丸みを付けることで、ペースト離れが良くなります。IPC-7525には、別の設計推奨事項が存在する可能性があります。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD87313DMS	ACTIVE	WSON	DMS	8	2500	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD87313	
CSD87313DMST	ACTIVE	WSON	DMS	8	250	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD87313	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 (www.tij.co.jp/ja-jp/legal/termsofsale.html)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2020, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社